

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5203948号
(P5203948)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	627C
HO1L 29/786	(2006.01)	HO1L 29/78	618C
HO1L 21/8238	(2006.01)	HO1L 29/78	620
HO1L 27/092	(2006.01)	HO1L 27/08	321C
HO1L 27/08	(2006.01)	HO1L 27/08	321D

請求項の数 17 (全 31 頁) 最終頁に続く

(21) 出願番号	特願2008-531447 (P2008-531447)
(86) (22) 出願日	平成18年9月19日 (2006.9.19)
(65) 公表番号	特表2009-509344 (P2009-509344A)
(43) 公表日	平成21年3月5日 (2009.3.5)
(86) 國際出願番号	PCT/US2006/036575
(87) 國際公開番号	W02007/035788
(87) 國際公開日	平成19年3月29日 (2007.3.29)
審査請求日	平成21年5月19日 (2009.5.19)
(31) 優先権主張番号	11/162,663
(32) 優先日	平成17年9月19日 (2005.9.19)
(33) 優先権主張国	米国(US)

(73) 特許権者	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャード ロード
(74) 代理人	100108501 弁理士 上野 剛史
(74) 代理人	100112690 弁理士 太佐 稔一
(74) 代理人	100091568 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】高密度のシェvron fin FET及びそれを製造する方法

(57) 【特許請求の範囲】

【請求項1】

バルク基板の上面に形成された絶縁層と前記絶縁層の上面に形成された単結晶半導体層を有する基板とを準備するステップと、

第1のフォトマスクにおいて第1の遠位端及び第2の遠位端の間に延びた第1のフィンパターンに、第2のフォトマスクの前記第1のフォトマスクに近い側として定義される第1の遠位端及び第2の遠位端の間に延びた第2のフィンパターンを前記第1のフィンパターンに位置合わせするステップと、

前記半導体層内に前記第1のフィンパターンによって定められる第1のfin FETのフィンを形成するステップと、

前記半導体層内に前記第2のフィンパターンによって定められる第2のfin FETのフィンを形成するステップと
を含む方法。

【請求項2】

バルク基板の上面に形成された絶縁層を有する基板と、

前記絶縁層の上面に単結晶半導体の第1のフィンであって、第1及び第2の遠位端の間に延びた、単結晶半導体の第1のフィンと、

前記絶縁層の前記上面で第1及び第2の遠位端の間に延びた、単結晶半導体の第2のフィンと、

前記第1のフィンの前記第2の遠位端と前記第2のフィンの前記第1の遠位端とが重合

10

20

して画成され、前記第1及び第2のフィンと一体であり、かつ、前記第1のフィンの上面に對してほぼ垂直な結晶面を有する前記第1のフィンと同じ結晶構造を有する、単結晶シリコン・ブロック

と

を備え、

前記第1のフィンの長手方向軸及び前記第2のフィンの長手方向軸は、前記結晶面及び前記第1のフィンの前記上面に對してほぼ平行に位置合わせされ、

前記第1のフィンの前記長手方向軸及び前記第2のフィンの前記長手方向軸が、前記結晶面に對してほぼ垂直方向にオフセットした、構造体。

【請求項3】

前記第1のフィンの前記第2の遠位端は、前記第2のフィンの前記第1の遠位端に当接し、前記第2のフィンは前記第1のフィンと一体である、請求項2に記載の構造体。

【請求項4】

それぞれがゲート誘電体の上に形成された第1のゲート及び第2のゲートをさらに含み、前記第1のゲートは、前記第1のフィンの側壁及び前記上面に接触し、前記第2のゲートは、前記第2のフィンの側壁及び前記上面と接触しており、前記第1のゲートの長手方向軸は前記第1のフィンの前記長手方向軸と直交せず、前記第2のゲートの長手方向軸は前記第2のフィンの前記長手方向軸と直交せず、前記第1のゲートの前記長手方向軸は前記第2のゲートの前記長手方向軸に對してほぼ平行とされる、請求項2に記載の構造体。

【請求項5】

前記第1のフィンの前記上面上の第1の誘電体キャップと、前記第2のフィンの上面上の第2の誘電体キャップとをさらに含む、請求項2に記載の構造体。

【請求項6】

それぞれがゲート誘電体の上に形成され、前記第1のフィンの側壁及び上面に接触する第1のゲート及び前記第2のフィンの側壁及び上面と接触する第2のゲートを含み、前記第1のゲートの長手方向軸は前記第1のフィンの前記長手方向軸と直交せず、前記第2のゲートの長手方向軸は前記第2のフィンの前記長手方向軸と直交せず、前記第1のゲートの前記長手方向軸は前記第2のゲートの前記長手方向軸に對してほぼ平行とされる、請求項5に記載の構造体。

【請求項7】

前記第1及び第2のフィンは単結晶シリコンであり、前記第1及び第2のフィンの前記上面は(100)面にあり、前記第1のフィンの長手方向軸及び前記第2のフィンの長手方向軸は、前記第1及び第2のフィンのそれぞれの{100}面及び前記第1及び第2のフィンのそれぞれの上面に對してほぼ平行に位置合わせされる、請求項2に記載の構造体。

【請求項8】

前記第1のフィンの上の第1のゲート及び前記第2のフィンの上の第2のゲートであつて、前記第1のゲートの長手方向軸はN型FETでは、前記第1のフィンの前記長手方向軸から反時計周りに67.5°回転され、前記第2のゲートの長手方向軸はP型FETでは、前記第2のフィンの前記長手方向軸から時計回りに67.5°回転され、前記第1のゲートの前記長手方向軸は前記第2のゲートの前記長手方向軸に對してほぼ平行である、第1のゲート及び第2のゲートをさらに含む、請求項7に記載の構造体。

【請求項9】

前記第1及び第2のフィンは単結晶シリコンであり、前記第1及び第2のフィンの前記上面が(110)を含み、前記第1のフィンの長手方向軸及び前記第2のフィンの長手方向軸は、第1及び第2のフィンのそれぞれ{110}面及び前記第1及び第2のフィンのそれぞれ上面に對してほぼ平行に位置合わせされる、請求項2に記載の構造体。

【請求項10】

前記第1のフィンの上の第1のゲート及び前記第2のフィンの上の第2のゲートであつて、前記第1のゲートの長手方向軸はN型FETでは、前記第1のフィンの前記長手方向軸から時計周りに67.5°回転され、前記第2のゲートの長手方向軸はP型FETでは

10

20

30

40

50

、前記第2のフィンの前記長手方向軸から時計回りに67.5°回転され、前記第1のゲートの前記長手方向軸は前記第2のゲートの前記長手方向軸に対してほぼ平行である、第1のゲート及び第2のゲートをさらに含む、請求項9に記載の構造体。

【請求項11】

バルク基板の上面に形成された絶縁層を有する基板と、

前記絶縁層の上面の単結晶シリコンの第1のフィンであって、前記第1のフィンは第1及び第2の遠位端の間に延び、前記第1のフィンの上面は前記第1のフィンの結晶構造の(100)面と同一平面上にあり、前記第1のフィンの長手方向軸は前記第1のフィンの前記結晶構造の{100}面に対してほぼ平行である、単結晶シリコンの第1のフィンと、10

前記絶縁層の上面の単結晶シリコンの第2のフィンであって、前記第2のフィンは第1及び第2の遠位端の間に延び、前記第2のフィンの上面は前記第2のフィンの結晶構造の(100)面と同一平面上にあり、前記第1のフィンの長手方向軸は前記第2のフィンの前記結晶構造の{100}面に対してほぼ平行である、単結晶シリコンの第2のフィンと、

前記第1のフィンの前記第2の遠位端と、前記第1のフィンの前記第2の遠位端と重合する前記第2のフィンの前記第1の遠位端との間の第1の単結晶シリコン・ブロックであつて、前記第1のブロックは前記第1及び第2のフィンと一体であり、かつ、前記同じ結晶構造を有する、第1の単結晶シリコン・ブロックと、

前記絶縁層の上面の単結晶シリコンの第3のフィンであって、前記第3のフィンは第1及び第2の遠位端の間に延び、前記第3のフィンの上面は前記第3のフィンの結晶構造の(110)面と同一平面上にあり、前記第1のフィンの長手方向軸は前記第3のフィンの前記結晶構造の{110}面に対してほぼ平行である、単結晶シリコンの第3のフィンと、20

前記絶縁層の上面の単結晶シリコンの第4のフィンであって、前記第4のフィンは第1及び第2の遠位端の間に延び、前記第4のフィンの上面は前記第4のフィンの結晶構造の(110)面と同一平面上にあり、前記第4のフィンの長手方向軸は前記第4のフィンの前記結晶構造の{110}面に対してほぼ平行であり、前記第3のフィンの前記第2の遠位端は、前記第3のフィンの前記第2の遠位端と重合する前記第4のフィンの前記第1の遠位端に当接し、前記第4のフィンは前記第3のフィンと一体である、単結晶シリコンの第4のフィンと、30

前記第4のフィンの前記第2の遠位端と前記第3のフィンの前記第1の遠位端との間の第2の単結晶シリコン・ブロックであつて、前記第2のブロックは前記第3及び第4のフィンと一体であり、かつ、前記同じ結晶構造を有する、第2の単結晶シリコン・ブロックと

を備え、

前記第1のフィンの前記長手方向軸及び前記第2のフィンの前記長手方向軸は、共通の{100}面に対してほぼ垂直方向にオフセットされ、

前記第3のフィンの前記長手方向軸及び前記第4のフィンの前記長手方向軸は、共通の{110}面に対してほぼ垂直方向にオフセットされ、40

前記第1、第2、第3及び第4のフィンは同じ結晶構造を有する、構造体。

【請求項12】

1つ又は複数の層を有する基板を準備するステップと、

前記1つ又は複数の層の最上層上の第1のフォトトレジスト層内に第1の像及び第1の位置合わせターゲット像を形成するステップと、

前記1つ又は複数の層の前記最上層上の第2のフォトトレジスト層内に第2の像及び第2の位置合わせターゲット像を形成するステップと、

前記1つ又は複数の層の前記最上層上の第2のフォトトレジスト層内に第2の像及び第2の位置合わせターゲット像を形成するステップと、前記1つ又は複数の層の1つ又は複数に転写し、これにより、前記1つ又は複数の層の少なくとも1つの中に第1のフィーチャ及び第1の位置合わせターゲットが形成されるステップと、50

前記第2の像及び前記第2の位置合わせターゲット像を前記1つ又は複数の層の1つ又は複数に転写し、これにより、前記1つ又は複数の層の少なくとも1つの中に第2のフィーチャ及び第2の位置合わせターゲットが形成されるステップと、

前記第1及び第2のフォトレジスト層を除去するステップと、

前記最上層上に形成された付加的な層上、又は、前記1つ又は複数の層の残りの最上層上に第3のフォトレジスト層を形成するステップと、

フォトマスクの位置合わせマークを前記第1及び第2の位置合わせターゲットに同時に位置合わせするステップであって、前記フォトマスクは第3及び第4の像を含む、ステップと、

前記第3及び第4の像を前記付加的な層に転写し、これにより、前記付加的な層内に第3及び第4のフィーチャが形成されるステップと

含み、前記第1の像はfinFETの第1のフィンのものであり、前記第2の像はfinFETの第2のフィンのものであり、前記第3の像は前記第1のfinFETのゲートのものであり、前記第4の像は前記第2のfinFETのゲートのものである、方法。

【請求項13】

前記第1及び第2のフォトレジスト層は同じ層である、請求項12に記載の方法。

【請求項14】

前記第1の位置合わせターゲット、前記第2の位置合わせターゲット、及び前記位置合わせマークは第1及び第2の端部を有するバーであり、前記第1及び第2の位置合わせターゲットは列状に配置され、前記第1及び第2の位置合わせターゲットの前記第1の端部は前記列の第1の側上に配置され、前記第1及び第2の位置合わせターゲットの前記第2の端部は前記列の第2の側上に配置され、前記第1の位置合わせターゲットの長手方向軸は前記第2の位置合わせターゲットの長手方向軸とほぼ平行であり、前記第1及び第2の位置合わせターゲットは互いに噛み合わされ、

前記位置合わせマークを、前記第1の位置合わせターゲットと第2の位置合わせターゲットとの間に位置決めし、前記位置合わせマークの長手方向軸を、前記第1又は第2の位置合わせターゲットの前記長手方向軸とほぼ平行に位置合わせするステップと、

前記位置合わせターゲットに対して前記位置合わせマークの前記位置を調整し、前記第1の位置合わせターゲットの前記第1の端部と前記位置合わせマークの前記第1の端部との間の第1の距離が、前記第2の位置合わせターゲットの前記第2の端部と前記位置合わせマークの前記第2の端部との間の第2の距離とほぼ等しくなるようにするステップであって、前記第1及び第2の距離は、前記第1の位置合わせターゲット、前記第2の位置合わせターゲット、又は前記位置合わせマークの前記長手方向軸に対してほぼ平行方向に測定される、ステップと、

をさらに含む、請求項12に記載の方法。

【請求項15】

前記位置合わせマークを前記第1の位置合わせターゲットと前記第2の位置合わせターゲットとの間に位置合わせする前記ステップは、

前記基板に対して前記フォトマスクを移動させて、前記位置決めするステップ及び前記調整するステップに影響を及ぼすステップをさらに含む、請求項14に記載の方法。

【請求項16】

前記第1の位置合わせターゲット、前記第2の位置合わせターゲット、及び前記位置合わせマークは第1及び第2の端部を有するバーであり、前記第1及び第2の位置合わせターゲットは、ターゲット列状に配置され、前記第1及び第2の位置合わせターゲットの前記第1の端部は前記ターゲット列の第1の側上に配置され、前記第1及び第2の位置合わせターゲットの前記第2の端部は前記ターゲット列の第2の側上に配置され、前記第1の位置合わせターゲットの長手方向軸は、前記第2の位置合わせターゲットの長手方向軸とほぼ平行であり、前記第1及び第2の位置合わせターゲットは互いに噛み合わされ、

前記ターゲット列の前記第1の側上に前記位置合わせマークの第1のサブセットの第1の列を位置決めし、前記ターゲット列の前記第2の側上に前記位置合わせマークの第2の

10

20

30

40

50

サブセットの第2の列を位置決めし、前記位置合わせマークの長手方向軸を、前記第1又は第2の位置合わせターゲットの前記長手方向軸とほぼ平行に位置合わせするステップと、

前記位置合わせターゲットに対して前記位置合わせマークの前記位置を調整し、前記第1の位置合わせターゲットの前記第1の端部と前記第1の列の前記位置合わせマークの前記第2の端部との間の第1の距離が、前記第2の位置合わせターゲットの前記第2の端部と前記位置合わせマークの前記第1の端部との間の第2の距離とほぼ等しくなり、かつ、前記第1の位置合わせターゲットの前記第2の端部と前記第2の列の前記位置合わせマークの前記第1の端部との間の第3の距離が、前記第2の位置合わせターゲットの前記第1の端部と前記第1の列の前記位置合わせマークの前記第2の端部との間の第4の距離とほぼ等しくなるようにするステップであって、前記第1、第2、第3、及び第4の距離は、前記第1の位置合わせターゲット、前記第2の位置合わせターゲット、又は前記位置合わせマークの前記長手方向軸に対してほぼ平行方向に測定される、ステップとをさらに含む、請求項12に記載の方法。

【請求項17】

前記位置合わせマークを前記位置合わせターゲット間に位置合わせする前記ステップは、

前記基板に対して前記フォトマスクを移動させて、前記位置決めするステップ及び前記調整するステップに影響を及ぼすステップをさらに含む、請求項16に記載の方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体構造体及び処理の分野に関し、より具体的には、本発明は、シェブロン(Chevron) finFETデバイス及びfinFETデバイスを製造する方法に関する。

【背景技術】

【0002】

finFETは、FETのボディが単結晶半導体材料のブロック又はフィンであり、ゲートがフィンの側壁上に形成された電界効果トランジスタ(FET)である。シェブロンfinFETは、NチャネルfinFET(NfinFET)及びPチャネルfinFET(PfinFET)が同じ単結晶基板上ではあるが、互いに対してもある角度をなして形成され、単結晶半導体基板の異なる面におけるN FET及びP FETの反転キャリア移動度の差を利用する、finFETである。シェブロンfinFETデバイスの製造に用いられるマスク上の(矩形の集積回路チップの側部に対して)直交像から、NfinFET又はPfinFETのいずれか1つのタイプのfinFETしか形成することができないので、必然的に、NfinFET又はPfinFETのいずれかは、非直交像から形成しなければならない。基板上のフォトレジスト層に非直交マスク像を正確に転写することは、制御が困難なだけでなく、直交像には生じない種々の光学収差が非直交像に対して生じさせ、現在の製造スキームを用いて達成可能なシェブロンfinFETの密度を増大させる方法を妨げている。

30

【発明の開示】

【発明が解決しようとする課題】

【0003】

従って、高密度のシェブロンfinFETデバイス及び高密度のシェブロンfinFETデバイスを製造する方法に対する必要性が存在する。

【課題を解決するための手段】

【0004】

finFETを形成する方法が、第1のマスクを用いてfinFETの第1のフィンを定めることと、第2のマスクを用いてfinFETの第2のフィンを定めることとを含む。finFET構造体は、単結晶半導体材料である一体の第1及び第2のフィンを含み、

40

50

第1及び第2のフィンの長手方向軸は同じ結晶方向に位置合わせされるが、互いからオフセットされる。2つのフィンマスクを用いてfinFETを形成するための位置合わせ(alignment)手順は、ゲートマスク上の位置合わせマークを、第1のフィンを定めるのに用いられる第1のマスク及び第2のフィンを定めるのに用いられる第2のマスクによって別個に形成された位置合わせターゲットに同時に位置合わせすることを含む。

【0005】

本発明の第1の態様は、バルク基板の上面に形成された絶縁層と絶縁層の上面に形成された単結晶半導体層とを有する基板を準備するステップと、第2のフォトマスク上の第2のフィンパターンを第1のフォトマスク上の第1のフィンパターンに位置合わせするステップであって、第1のフィンパターンは第1及び第2の遠位端を有し、第2のフィンパターンは第1及び第2の遠位端を有するステップと、半導体層内に第1のfinFETのフィンを形成するステップであって、第1のfinFETのフィンは第1のフィンパターンによって定められるステップと、半導体層内に第2のfinFETのフィンを形成するステップであって、第2のfinFETのフィンは第2のフィンパターンによって定められる、ステップとを含む方法である。10

【0006】

本発明の第2の態様は、バルク基板の上面に形成された絶縁層を有する基板と、絶縁層の上面に単結晶半導体の第1のフィンであって、第1のフィンは第1及び第2の遠位端を有する単結晶半導体の第1のフィンと、絶縁層の上面に単結晶半導体の第2のフィンであって、第2のフィンは第1及び第2の遠位端を有する単結晶半導体の第2のフィンと、第1のフィンの第2の端部と第2のフィンの第1の端部との間の単結晶シリコン・ブロックであって、ブロックは第1及び第2のフィンと一体であり、かつ、第1のフィンと同じ結晶構造を有する単結晶シリコン・ブロックと、第1のフィンの上面に対してほぼ垂直な第1のフィンの結晶面とを含み、第1のフィンの長手方向軸及び第2のフィンの長手方向軸は、結晶面及び第1のフィンの上面に対してほぼ平行に位置合わせされ、第1のフィンの長手方向軸及び第2のフィンの長手方向軸は、結晶面に対してほぼ垂直な方向にオフセットされる、構造体である。20

【0007】

本発明の第3の態様は、バルク基板の上面に形成された絶縁層を有する基板と、絶縁層の上面に単結晶シリコンの第1のフィンであって、第1のフィンは第1及び第2の遠位端を有し、第1のフィンの上面は第1のフィンの結晶構造の(100)面と同一平面上にあり、第1のフィンの長手方向軸は第1のフィンの結晶構造の{100}面に対してほぼ平行である単結晶シリコンの第1のフィンと、絶縁層の上面に単結晶シリコンの第2のフィンであって、第2のフィンは第1及び第2の遠位端を有し、第2のフィンの上面は第2のフィンの結晶構造の(100)面と同一平面上にあり、第1のフィンの長手方向軸は第2のフィンの結晶構造の{100}面に対してほぼ平行である単結晶シリコンの第2のフィンと、第1のフィンの第2の端部と第2のフィンの第1の端部との間の第1の単結晶シリコン・ブロックであって、第1のブロックは第1及び第2のフィンと一体であり、かつ、同じ結晶構造を有する第1の単結晶シリコン・ブロックと、絶縁層の上面に単結晶シリコンの第3のフィンであって、第3のフィンは第1及び第2の遠位端を有し、第3のフィンの上面は第3のフィンの結晶構造の(110)面と同一平面上にあり、第1のフィンの長手方向軸は第3のフィンの結晶構造の{110}面に対してほぼ平行である単結晶シリコンの第3のフィンと、絶縁層の上面に単結晶シリコンの第4のフィンであって、第4のフィンは第1及び第2の遠位端を有し、第4のフィンの上面は第4のフィンの結晶構造の(110)面と同一平面上にあり、第4のフィンの長手方向軸は第4のフィンの結晶構造の{110}面に対してほぼ平行であり、第3のフィンの第2の遠位端は第4のフィンの第1の遠位端に当接し、第4のフィンは第3のフィンと一体である単結晶シリコンの第4のフィンと、第4のフィンの第2の端部と第3のフィンの第1の端部との間の第2の単結晶シリコン・ブロックであって、第2のブロックは第3及び第4のフィンと一体であり、かつ、同じ結晶構造を有する第2の単結晶シリコン・ブロックとを含み、第1のフィンの4050

長手方向軸及び第2のフィンの長手方向軸は、共通の{100}面に対してほぼ垂直な方向にオフセットされ、第3のフィンの長手方向軸及び第4のフィンの長手方向軸は、共通の{110}面に対してほぼ垂直な方向にオフセットされ、第1、第2、第3及び第4のフィンは同じ結晶構造を有する、構造体である。

【0008】

本発明の第4の態様は、1つ又は複数の層を有する基板を準備するステップと、1つ又は複数の層の最上層上の第1のフォトレジスト層内に第1の像及び第1の位置合わせターゲット像を形成するステップと、1つ又は複数の層の最上層上の第2のフォトレジスト層内に第2の像及び第2の位置合わせターゲット像を形成するステップと、第1の像及び第1の位置合わせターゲット像を1つ又は複数の層の1つ又は複数に転写し、これにより、1つ又は複数の層の少なくとも1つの中に第1のフィーチャ(feature)及び第1の位置合わせターゲットが形成されるステップと、第2の像及び第2の位置合わせターゲット像を1つ又は複数の層の1つ又は複数に転写し、これにより、1つ又は複数の層の少なくとも1つの中に第2のフィーチャ及び第2の位置合わせターゲットが形成されるステップと、第1及び第2のフォトレジスト層を除去するステップと、最上層上に形成された付加的な層上又は1つ又は複数の層の残りの最上層上に第3のフォトレジスト層を形成するステップと、フォトマスクの位置合わせマークを第1及び第2の位置合わせターゲットに同時に位置合わせするステップであって、フォトマスクは第3及び第4の像を含むステップと、第3及び第4の像を付加的な層に転写し、これにより、付加的な層内に第3及び第4のフィーチャを形成するステップとを含む。

10

20

【発明を実施するための最良の形態】

【0009】

本発明の特徴は、添付の特許請求の範囲に述べられる。しかしながら、本発明自体は、添付の図面と併せて読むときに、例示的な実施形態の次の詳細な説明を参照することによって最も良く理解されるであろう。

【0010】

結晶性固体において、固体を構成する原子は、格子と呼ばれる周期的な方法で空間的に配置される。結晶格子は、格子全体を表し、結晶全体を通して規則的に繰り返される容積(volume)を含む。本開示において結晶半導体材料を説明する際に、以下の慣例が用いられる。

30

【0011】

格子における方向は、その方向におけるベクトルの成分と同じ関係を有する1組の3つの整数として表される。例えば、ダイヤモンド結晶格子を有する、シリコンのような立方格子において、ボディの対角線は[111]方向に沿って存在し、[]括弧は特定の方向を示す。配向軸線の任意の選択に応じて、対称変換により、結晶格子における多くの方向は等価である。例えば、立方格子における結晶方向[100]、[010]及び[001]は、全て結晶学的に等価である。方向とその全ての等価な方向は、<>括弧で示される。従って、<100>方向の表示は、等価な[100]、[010]及び[001]の正の方向、並びに、等価な負の方向[-100]、[0-10]及び[00-1]を含む。

【0012】

結晶における面は、1組の3つの整数を用いて特定することもできる。これらは1組のほぼ平行な面を定めるために用いられ、()括弧に囲まれた整数の組の各々が特定の面を特定する。例えば[100]方向に対してほぼ垂直な面についての適切な表示は(100)である。従って、立方格子の方向又は面のいずれかが既知である場合には、計算なしで、そのほぼ垂直な対応物を迅速に決定することができる。配向軸の任意の選択に応じて、対称変換により、結晶格子における多くの面は等価である。例えば、(100)、(010)及び(001)面は、全て結晶学的に等価である。面とその全ての等価な面は、{}括弧で示される。従って、{100}面の表示は、等価な(100)、(010)及び(001)の正の面、並びに、等価な面(-100)、(0-10)及び(00-1)を含む。{100}面をもつ基板から切り取られた垂直面によって形成されたとき、{100}及び{

40

50

{110}面は、45°の角度で互いに配向される。

【0013】

本発明は、シリコン・オン・インシュレータ(SOI)基板に関して説明され、説明された結晶方向及び面は、単結晶シリコンに適用される。本発明が、絶縁体上の半導層が単結晶Ge、GaP、InAs、InP、SiGe、GaAs、又は別のIII/V族化合物であるシリコン・オン・インシュレータ基板以外に適用されたとき、他の半導体材料に特有の対応する結晶方向及び面は、以下に参照される結晶面及び方向と置き換えるべきである。

【0014】

図1及び図2は、本発明によるシリコン基板100の結晶面に対するNFinFET及びPFinFETについてのフィンの配向を示す図である。図1及び図2において、円形の{100}面をもつシリコン基板100は、配向ノッチ105を含む(代替的に、平坦な部分を用いてもよい)。ノッチ105及びシリコン基板100の幾何学的中心115を通る軸110は、{110}結晶面を定める。45°(22.5°+22.5°)の角度で中心115を通る軸120は、{100}面を定める。図1において、NFinFETのフィンボディ125は、{100}軸にほぼ沿って位置合わせされ、軸120に対してほぼ平行方向の反転キャリア(電子)移動度は、任意の他の方向に対してほぼ最大になる。図2において、PFinFETのフィンボディ130は、{110}軸にほぼ沿って位置合わせされ、軸110に対してほぼ平行方向の反転キャリア(正孔)移動度は、任意の他の方向に対してほぼ最大になる。

10

20

【0015】

本発明はNFinFETの製造に関して説明されるが、種々のフィン製造要素の位置合わせをおよそ{100}からおよそ{110}の位置合わせに変更する際に、下記の説明をPFinFETの製造にも適用可能であることを理解すべきである。図3(A)、図3(B)、図3(C)、図4(A)、図4(B)、図4(C)、図5(A)、図5(B)、図6(A)、図6(B)、図7(A)、図7(B)、図8(A)、図8(B)、図9(A)、図9(B)、図10(A)、図10(B)、図10(C)、図11(A)、図11(B)、図11(C)、図12(A)、図12(B)、図12(C)及び図12(D)は、本発明の第1の実施形態によるシェブロンFinFETの製造を示す平面図及び対応する側断面図である。

30

【0016】

図3(A)において、方向120は、シリコン基板100の{100}面によって定められる。第1の直交方向135が、方向120から角度Bだけオフセットされるように定められ、第2の直交方向140が、方向120から角度Aだけオフセットされるように定められる。シリコンの例においては、A=22.5°及びB=67.5°であり、第1の直交方向135と第2の直交方向140との間の角度は90°になる。方向120、135及び140は、全てシリコン基板100の上面145(図3(B)を参照されたい)に対してほぼ平行である。シリコン基板100上の第1の組のフォトレジスト・フィーチャ150は、フォトレジスト・フィーチャ155A、155B及び155Cを含み、各々のフォトレジスト・フィーチャ155A、155B及び155Cは、方向120に対してほぼ平行に位置合わせされたそれぞれの長手方向軸160A、160B及び160Cを有し、各々のフォトレジスト・フィーチャ155A、155B及び155Cは、方向140に沿って互いからオフセットされる。シリコン基板100上の第2の組のフォトレジスト・フィーチャ165は、フォトレジスト・フィーチャ170A、170B及び170Cを含み、各々のフォトレジスト・フィーチャ170A、170B及び170Cは、方向120に対してほぼ平行に位置合わせされたそれぞれの長手方向軸175A、175B及び175Cを有する。各々のフォトレジスト・フィーチャ170A、170B及び170Cは、方向140に沿って互いからオフセットされる。

40

【0017】

第1の例において、各々のフォトレジスト・フィーチャ155A、155B及び155

50

Cは同一であり、方向135に沿って全く同様に離間配置され、各々のフォトレジスト・フィーチャ170A、170B及び170Cは同一であり、方向135に沿って全く同様に離間配置される。第2の例において、各々のフォトレジスト・フィーチャ155A、155B及び155C、並びに、各々のフォトレジスト・フィーチャ170A、170B及び170Cは、同一であり、方向135に沿って全く同様に離間配置される。第3の例において、各々のフォトレジスト・フィーチャ170A、170B及び170Cは、方向140に沿ってのみ移動された場合、方向140に沿ったある時点で、それぞれフォトレジスト・フィーチャ155A、155B及び155Cの各々の上に完全に位置合わせされる。各組のフォトレジスト・フィーチャにおいて3つより多い又は3つより少ないフォトレジスト・フィーチャがあってもよいこと、及び、各組のフォトレジスト・フィーチャにおけるフォトレジスト・フィーチャの数は、同じ数である必要がないことを理解すべきである。10

【0018】

図3(B)は、図3(A)の線3B-3Bを通る断面である。図3(B)において、シリコン基板100は、支持基板180、単結晶シリコン層185及び電気絶縁層を含み、一例においては、支持基板180とシリコン層185との間に形成され、支持基板180をシリコン層185から完全に分離する埋込み酸化物層(BOX)190を含む。支持基板180は、これらに限られるものではないが、Si、Ge、GaP、InAs、InP、SiGe、GaAs、又は他のIII/V族の化合物を含む任意の適切な半導体材料を別個に含むことができる。Ge、GaP、InAs、InP、SiGe、GaAs、又は他のIII/V族化合物の層を、シリコン層185と置き換えることができる。ハードマスク層195が、シリコン基板100の上面145(シリコン層185の上面でもある)上に形成される。ハードマスク層195は、1つ又は複数の層を含むことができる。一例において、ハードマスク層195は、二酸化シリコン層の上に形成された窒化シリコン層を含む。マンドレル層200が、ハードマスク層195の上面205上に形成される。フォトレジスト・フィーチャ155A、155B及び155Cが、マンドレル層200の上面210上に形成される。マンドレル層200は、2つの層を含むことができ、上部層は、下部層をエッチングするためのハードマスク層として働く。一例において、マンドレル層200は、ポリシリコンを含む。一例において、マンドレル層は、ポリシリコン層の上に二酸化シリコン層を含む。30

【0019】

図3(A)のフォトレジスト・フィーチャ155A、155B、155C、170A、170B及び170Cを形成する2つの代替的な方法がある。フォトレジスト・フィーチャを形成する第1の方法においては、第1のパターン形成されたマスクを通して、フォトレジスト層を化学線に露光し、フォトレジスト層を現像することによって、フォトレジスト層内にフォトレジスト・フィーチャが形成される。下記に述べられるような第2のパターン形成されたフォトレジスト・マスクを用いて、異なるフォトレジスト層内に付加的なフォトレジスト・フィーチャ(図4(A)及び図4(B)に示され、以下に説明されるような)が形成される。第1の方法において、フォトレジスト・フィーチャ155A、155B、155C(及び図3(A)の170A、170B、170C)は、物理的フォトレジスト・フィーチャである。第1の方法において、第1のパターン形成されたマスクは、形成されるマンドレルの正確なポジであり、フォトレジストはポジ型フォトレジストである。40

【0020】

フォトレジスト・フィーチャを形成する第2の方法において、現像するステップは、以下に説明されるような第2のパターン形成されたフォトレジスト・マスクを用いて、同じフォトレジスト層内に付加的なフォトレジスト・フィーチャ(図4(A)及び図4(B)に示され、以下に説明されるような)が形成された後まで延期される。第2の方法において、フォトレジスト・フィーチャ155A、155B、155C(及び図3(A)の170A、170B、170C)は、点線で示されるフォトレジスト層215内のフォトレジ50

スト・フィーチャの潜像にすぎない。第2の方法において、第1及び第2のパターン形成されたマスクは、形成されるマンドレルの正確なネガであり、フォトレジストはネガ型フォトレジストである。

【0021】

正確なポジ型マスクは、形成されるフィーチャの化学線の像に対して不透明であり（これをブロックし）、正確なネガ型マスクは、形成されるフィーチャの化学線の像に対して透明である（これを通す）。ポジ型フォトレジストは、現像した後、フォトレジスト層が化学線に露光されなかった場所に物理的フォトレジスト・フィーチャを残す。ネガ型フォトレジストは、現像した後、フォトレジスト層が化学線に露光された場所に物理的フォトレジスト・フィーチャを残す。

10

【0022】

図3(C)は、本発明に従って形成される位置合わせターゲット220の第1の部分の像を示す。この時点で、位置合わせターゲット220は、第1のマスクによって印刷された、図3(A)の方向135に対してほぼ平行な様々な水平バー225と、図3(A)の方向135に対してほぼ垂直な垂直バー230とを含む。

【0023】

図4(A)において、シリコン基板100上の第3の組のフォトレジスト・フィーチャ235が、フォトレジスト・フィーチャ240A、240B及び240Cを含み、各々のフォトレジスト・フィーチャ240A、240B及び240Cは、方向120に対してほぼ平行に位置合わせされたそれぞれの長手方向軸245A、245B及び245Cを有し、各々のフォトレジスト・フィーチャ245A、245B及び245Cは、方向140に沿って互いからオフセットされる。各々のフォトレジスト・フィーチャ240A、240B及び240Cは、対応するフォトレジスト・フィーチャ155A、155B及び155Cと対応するフォトレジスト・フィーチャ170A、170B及び170Cとの間に配置される。しかしながら、フォトレジスト・フィーチャ240A、240B及び240Cは、フォトレジスト・フィーチャ245Aがフォトレジスト・フィーチャ155Bと重なり、フォトレジスト・フィーチャ240Bがフォトレジスト・フィーチャ155B及びフォトレジスト・フィーチャ170Aの両方と重なり、フォトレジスト・フィーチャ240Cがフォトレジスト・フィーチャ270Bと重なるように、方向135に沿って移動される。

20

【0024】

第1の例においては、各々のフォトレジスト・フィーチャ240A、240B及び240Cは、同一であり、方向135に沿って全く同様に離間配置される。第2の例においては、各々のフォトレジスト・フィーチャ240A、240B及び240C、各々のフォトレジスト・フィーチャ155A、155B及び155C、並びに各々のフォトレジスト・フィーチャ170A、170B及び170Cは、同一であり、方向135に沿って全く同様に離間配置される。第3の例においては、各々のフォトレジスト・フィーチャ240A、240B及び240Cは、方向140に沿ってのみ移動された場合、方向140に沿ったある時点において、それぞれフォトレジスト・フィーチャ155A、155B及び155Cの各々の上に完全に位置合わせされる。

30

【0025】

上述されたフォトレジスト・フィーチャ（2つのフォトレジスト層）を形成する第1の方法において、フォトレジスト・フィーチャ155A、155B、155C、170A、170B及び170Cは、第1のフォトレジスト層から形成された物理的フォトレジスト・フィーチャであり、フォトレジスト・フィーチャ240A、240B及び240Cは、第2のフォトレジスト層から形成された物理的フォトレジスト・フィーチャである。従つて、フォトレジスト・フィーチャ155Bは、物理的フォトレジスト・フィーチャ240Aと重なる物理的フォトレジスト・フィーチャであり、フォトレジスト・フィーチャ240Bは、物理的フォトレジスト・フィーチャ155C及び170Aと重なる物理的フォトレジスト・フィーチャであり、フォトレジスト・フィーチャ240Cは、物理的フォトレジスト

40

50

ジスト・フィーチャ 170B と重なる物理的フォトレジスト・フィーチャである。

【0026】

上述されたフォトレジスト・フィーチャ(1つのフォトレジスト・レジスト層)を形成する第2の方法において、フォトレジスト・フィーチャ 155A、155B、155C、170A、170B 及び 170C の潜像が形成された同じフォトレジスト層内にフォトレジスト・フィーチャ 240A、240B 及び 240C の潜像が形成された後に、現像プロセスが行われる。従って、フォトレジスト・フィーチャ 155A は第1の物理的フォトレジスト・フィーチャであり、フォトレジスト・フィーチャ 155B 及び 240A は第2の物理的フォトレジスト・フィーチャの部分であり、フォトレジスト・フィーチャ 155C、240B 及び 170A は第3の物理的フォトレジスト・フィーチャの部分であり、フォトレジスト・フィーチャ 240C 及び 170B は第4の物理的フォトレジスト・フィーチャの部分であり、フォトレジスト・フィーチャ 170C は第5の物理的フォトレジスト・フィーチャである。10

【0027】

本質的に、1つの像(すなわち、フォトレジスト・フィーチャ 155C、240B 及び 170A)を定めるために、2つの異なるマスク上の3組のフォトレジスト像が用いられた。これは、方向 120 に対して(22.5°の角度で)位置合わせされた複合フォトレジスト・フィーチャを保持するのに必要である。単一のフォトレジスト像が印刷される場合には、近接性及び他の光学効果の両方により、その中央で単一の像が拡大され、22.5°だけその長手方向軸からオフセットされる傾向がある。この単一の像によって最終的に定められたフィンに沿って形成された異なる fin FET デバイスは、移動度が低く、表面状態の密度が増大し、これらは回路の性能を低下させる。一例において、約 10 nm の幅を有する単一のフォトレジスト・フィーチャの場合、フォトレジスト・フィーチャの長手方向軸は、4.5°だけ 22.5°からオフセットされることが見出され(すなわち 18°であり)、これは、単一のフォトレジスト・フィーチャの長手方向軸の位置合わせにおいて約 20% の誤差になる。20

【0028】

図 4 (B) は、図 4 (A) の線 3B - 3B を通る断面であり、図 3 (B) と同一である。図 4 (C)においては、この時点で、位置合わせターゲット 220 は、多数の水平バー 250 と互いに噛み合った多数の水平バー 225 と、多数の垂直バー 255 と互いに噛み合わせられた印刷された多数の垂直バー 230 とを含む。水平バー 250 及び垂直バー 255 は、第2のパターン形成されたマスクによって印刷された。水平バー 250 は、図 4 (A) の方向 135 に対してほぼ平行に位置合わせされ、垂直バー 255 は、図 4 (A) の方向 135 に対してほぼ垂直に位置合わせされる。30

【0029】

図 5 (A)において、マスクとしてフォトレジスト・フィーチャ 155A、155B、155C、170A、170B、170C、240A、240B 及び 240C (図 4 (A) を参照されたい)を用いて、マンドレル層 200 (図 4 (B) を参照されたい)をエッティングして、マンドレル 260A、260B、260C、260D 及び 260E を形成し、その後、フォトレジスト・フィーチャを除去する。代替的に、マンドレル層 200 (図 4 (B) を参照されたい)が上部層及び下部層と、上部層内にフィーチャを形成するためのマスクとしてのフォトレジスト・フィーチャ 155A、155B、155C、170A、170B、170C、240A、240B 及び 240C を含むとき、フォトレジスト・フィーチャを除去し、下部層をエッティングして、マンドレル 260A、260B、260C、260D 及び 260E を形成する。上部層内のフィーチャは、除去してもしなくてよい。一例においては、マンドレル 260A、260B、260C、260D 及び 260E は、反応性イオンエッティング (RIE) によって形成される。40

【0030】

後続の図には示されないが、位置合わせターゲット 220 (図 4 (C) を参照されたい) は、fin FET が形成されるときに引き続き製造される。以下に開示される fin F50

E T 製造ステップを知っている当業者であれば、f i n F E T の製造と同時に位置合わせターゲット 2 2 0 を製造することができるであろう。

【 0 0 3 1 】

図 6 (B) は、図 6 (A) の線 6 B - 6 B を通る断面である。図 6 (A) 及び図 6 (B) において、スペーサ 2 6 5 A がマンドレル 2 6 0 A の側壁上に形成され、スペーサ 2 6 5 B がマンドレル 2 6 0 B の側壁上に形成され、スペーサ 2 6 5 C がマンドレル 2 6 0 C の側壁上に形成され、スペーサ 2 6 5 D がマンドレル 2 6 0 D の側壁上に形成され、スペーサ 2 6 5 E がマンドレル 2 6 0 E の側壁上に形成される。一例においては、スペーサ 2 6 5 A、2 6 5 B、2 6 5 C、2 6 5 D 及び 2 6 5 E は、共形の (conformal) 二酸化シリコン層の堆積、それに続く堆積された二酸化シリコン層の R I E によって形成された二酸化シリコンを含む。10

【 0 0 3 2 】

図 7 (B) は、図 7 (A) の線 7 B - 7 B を通る断面である。図 7 (A) 及び図 7 (B) において、マンドレル 2 6 0 A、2 6 0 B、2 6 0 C、2 6 0 D 及び 2 6 0 E は、一例において、湿式エッティングによって除去される。

【 0 0 3 3 】

図 8 (A)、図 8 (B)、図 9 (A) 及び図 9 (B) は、f i n F E T デバイスの列 (図 1 2 (A) を参照されたい) における f i n F E T デバイスの数を低減させる随意的なステップを示す。図 8 (B) は、図 8 (A) の線 8 B - 8 B を通る断面である。図 8 (A) 及び図 8 (B) において、フォトレジスト層 2 7 0 が、スペーサ 2 6 5 A、2 6 5 B、2 6 5 C、2 6 5 D 及び 2 6 5 E の上に形成され、スペーサ 2 6 5 C の一部分の上のフォトレジスト層内に、開口部 2 7 5 が形成される。図 9 (B) は、図 9 (A) の線 8 B - 8 B を通る断面である。図 9 (A) 及び図 9 (B) において、スペーサ 2 6 5 C の一部分が除去され、フォトレジスト層 2 7 0 の除去が続く (図 8 (B) も参照されたい)。20

【 0 0 3 4 】

図 1 0 (A) において、スペーサ 2 6 5 A、2 6 5 B、2 6 5 C、2 6 5 D 及び 2 6 5 E の領域の上に、フォトレジスト・フィーチャ 2 8 0 が形成され、スペーサ 2 6 5 A、2 6 5 B、2 6 5 C、2 6 5 D 及び 2 6 5 E のコーナー部と湾曲部を覆う。当技術分野において周知の任意の数のフォトリソグラフィ技術によって、フォトレジスト・フィーチャ 2 8 0 を形成することができる。図 1 0 (B) は、図 1 0 (A) の線 1 0 B - 1 0 B を通る断面であり、図 1 0 (C) は、図 1 0 (A) の線 1 0 C - 1 0 C を通る断面である。図 1 0 (B) においては、スペーサ 2 6 5 A、2 6 5 B 及び 2 6 5 C だけが、ハードマスク層 1 9 5 内にパターンを定め、次に、図 1 1 (A)、図 1 1 (B) 及び図 1 1 (C) に示され、以下に説明されるように、半導体層 1 8 5 内にパターンを定める。図 1 0 (C) においては、フォトレジスト・フィーチャ 2 8 0 は、ハードマスク層 1 9 5 内にパターンを定め、図 1 1 (A)、1 0 B 及び 1 0 C に示され、以下に説明されるように、シリコン層 1 8 5 内にパターンを定める。スペーサ 2 6 5 A、2 6 5 B、2 6 5 C、2 6 5 D 及び 2 6 5 E、並びにフォトレジスト・フィーチャ 2 8 0 は、ハードマスク層 1 9 5 及びシリコン層 1 8 5 のエッティングのための複合マスクを形成する。3040

【 0 0 3 5 】

フォトレジスト・フィーチャ 2 8 0 を形成し、未分解の構造体を不規則にエッティングし、続いて製造される f i n F E T のアレイ内に欠陥を生じさせる、湾曲部における最小限度未満のフィーチャの次のエッティング (ハードマスク層 1 9 5 及びシリコン層 1 8 5 における) を回避する。これらの欠陥は、ウェハから剥落し、次にウェハ上の他の場所に堆積されることがあり、これにより製品の歩留まりが低下する。

【 0 0 3 6 】

図 1 1 (A) において、スペーサ 2 6 5 A、2 6 5 B、2 6 5 C、2 6 5 D 及び 2 6 5 E、並びにフォトレジスト・フィーチャ 2 8 0 からなる複合マスク (図 1 0 (A) を参照されたい) が、例えば、R I E によってハードマスク層 1 9 5 (図 1 0 (B) 及び図 1 0 (C))50

(C)を参照されたい)に転写され、スペーサ265A、265B、265C、265D及び265E、並びにフォトレジスト・フィーチャ280(図10(A)を参照されたい)が除去され、パターン形成されたハードマスク層が、シリコン層185(図10(B)及び図10(C)を参照されたい)のためのエッチングマスクとして用いられる。このプロセス・ステップの結果が、フィン285A、285B及び285C、並びに一体のシリコン・ブロック290の組である。一例として、フィン285Aの組を用いる際、フィン285Aの組の中に5つのフィン(フィン295A、295B、295C、295D及び295E)が存在する。シリコン・ブロック290の長手方向軸は、方向135に位置合わせされる。フィン295A、295B、295C、295D、295E及び他の全てのフィンの長手方向軸は、方向120に位置合わせされる。

10

【0037】

図11(B)は図11(A)の線11B-11Bを通る断面であり、図11(C)は図11(A)の線11C-11Cを通る断面である。図11(B)において、フィン295A、295B、295C、295D及び295Eは、それぞれ誘電体キャップ300A、300B、300C、300D及び300Eを有する。ハードマスク層をパターン形成した後、誘電体キャップ300A、300B、300C、300D及び300Eは、ハードマスク層195(図10(B)を参照されたい)の層の全て又は一部を含む。図11(C)において、シリコン・ブロック290は、誘電体キャップ305を有する。ハードマスク層をパターン形成した後、誘電体キャップ305は、ハードマスク層195(図10(C)を参照されたい)の層の全て又は一部を含む。随意的に、誘電体キャップ300A、300B、300C、300D、300E及び305(並びに、他の全てのフィン及びシリコン・ブロック290上の他の全ての誘電体キャップ)を除去することができる。

20

【0038】

図12(B)は、図12(A)の線12B-12Bを通る断面であり、図12(C)は、図12(A)の線12C-12Cを通る断面である。図12(A)において、ゲート構造体310Aがフィン285Aの組の上に形成され、ゲート構造体310Bがフィン285Bの組の上に形成され、ゲート構造体310Cがフィン285Cの組の上に形成される。図12(B)において、ゲート構造体310Aは、ゲート誘電体315と、ゲート電極320と、随意的な誘電体キャップ325とを含むことが分かる。一例において、ゲート誘電体315は、SiO₂、高K(誘電率)材料であり、その例は、これらに限られるものではないが、Ta₂O₅、BaTiO₃、HfO₂、ZrO₂、Al₂O₃のような金属酸化物、或いはHfSi_xO_y又はHfSi_xO_yN_zのような金属シリケート、或いはそれらの層の組み合わせを含む。高K誘電体材料は、10より高い比誘電率を有する。一例において、ゲート電極320はポリシリコンである。

30

【0039】

ゲート構造体310A、310B及び310Cは、如何なる数の周知のフォトリソグラフィ及びエッチング技術によっても形成することができる。一例において、ゲート構造体310A、310B及び310Cは、ゲート誘電体層、導電性ゲート層及び誘電体キャッピング層を堆積させ、続いてフォトレジスト層を形成し、パターン形成し、パターン形成されたフォトレジスト層のパターンをキャッピング層内にエッチングし、レジストを除去し、キャッピング層内のパターンを導電性ゲート層内に転写することによって形成される。誘電体キャッピング層325は、除去してもしなくてもよい。

40

【0040】

図12(D)において、ゲートマスクを定めるために用いられるマスクからの位置合わせマークが、位置合わせターゲット220の上に位置合わせされた状態で示される。明確にするために、水平方向の第1のフィンマスク・バー225が、水平方向の第2のフィンマスク・バー250に対して心ずれした状態で示され、垂直方向の第1のフィンマスク・バー230は、垂直方向の第2のフィンマスク・バー235に対して心ずれした状態で示される。ゲート位置合わせマークの水平バー330(図12(A)の方向135に対してほぼ平行に位置合わせされた)は、水平方向の第1のフィンマスク・バー225及び水平

50

方向の第2のフィンマスク・バー250と互いに噛み合わされる。ゲート位置合わせマークの垂直バー335(図12(A)の方向135に対してほぼ垂直に位置合わせされた)は、垂直方向の第1のフィンマスク・バー230及び垂直方向の第2のフィンマスク・バー235と互いに噛み合わされる。

【0041】

finFETを完成するために、ハロ注入及びエクステンション・イオン注入が行われ、スペーサがゲートの側壁上に形成され、ソース/ドレインのイオン注入が行われ、ゲート及びソース/ドレインへのコンタクトが形成される。コンタクトは、シリサイド、金属スタッド、又はシリサイド及び金属スタッドのコンタクトを含むことができる。本発明による位置合わせターゲット及び位置合わせマークを用いる方法についてのさらに詳細な説明が、図21及び図22を参照して以下に説明される。10

【0042】

図13(A)、図13(B)、図14(A)、図14(B)、図15(A)、図15(B)、図16(A)、図16(B)、図16(C)、図17(A)、図17(B)、図17(C)、図18(A)、図18(B)及び図18(C)は、本発明の第2の実施形態による、シェブロンfinFETの製造を示す平面図及び対応する側断面図である。

【0043】

図13(B)は、図13(A)の線13B-13Bを通る断面である。図13(A)及び図13(B)は、マンドレル層200(図3(B)を参照されたい)が存在せず、フォトレジスト・フィーチャ155A、155B、155C、170A、170B及び170Cがハードマスク層195の上面205上に形成される点を除いて、図3(A)及び図3(B)と類似している。20

【0044】

図14(B)は、図14(A)の線14B-14Bを通る断面である。図14(A)及び図14(B)は、マンドレル層200(図4(B)を参照されたい)が存在せず、フォトレジスト・フィーチャ240A、240B及び240Cがハードマスク層195の上面205上に形成される点を除いて、図4(A)及び図4(B)と類似している。

【0045】

図15(B)は、図15(A)の線15B-15Bを通る断面である。図15(A)及び図15(B)において、フォトレジスト・フィーチャ155A、155B、155C、170A、170B、170C、240A、240B及び240Cによって形成されたパターンは、例えばRIEによって、ハードマスク層195(図14(B)を参照されたい)内に転写される。図15(B)において、ハードマスク・フィーチャ345A、345B及び345Cが示される。図16(A)、図16(B)及び図16(C)に示されるステップより前に、フォトレジスト・フィーチャ155A、155B、155C、170A、170B、170C、240A、240B及び240Cが除去される。30

【0046】

図16(A)において、ハードマスク・フィーチャ345A、345B、345C、345D及び345Eの領域の上に、フォトレジスト・フィーチャ280を形成し、ハードマスク・フィーチャ345A、345B、345C、345D及び345Eのコーナー部及び湾曲部を覆う。図16(B)は、図16(A)の線16B-16Bを通る断面であり、図16(C)は、図16(A)の線16C-16Cを通る断面である。図16(B)においては、ハードマスク・フィーチャ345A、345B、345Cだけが、図17(A)、図17(B)及び図17(C)に示され、以下に説明されるように、シリコン層185内にパターンを定める。図16(C)においては、フォトレジスト・フィーチャ280が、図17(A)、図17(B)及び図17(C)に示され、以下に説明されるように、ハードマスク層195内にパターンを定める。ハードマスク・フィーチャ345A、345B、345C、345D及び345E、並びにフォトレジスト・フィーチャ280は、シリコン層185のエッチングのための複合マスクを形成する。40

【0047】

図17(A)において、ハードマスク・フィーチャ345A、345B、345C、345D及び345E、並びにフォトレジスト・フィーチャ280(図16(A)を参照されたい)からなる複合マスクは、例えば、RIEによって、シリコン層185(図16(B))及び図16(C)を参照されたい)に転写され、ハードマスク・フィーチャ345A、345B、345C、345D及び345E、並びにフォトレジスト・フィーチャ280(図16(A)を参照されたい)が除去される。これらのプロセス・ステップの結果は、シリコン・ブロック290A及び290Bと一体であり、かつ、これらの間にあるフィン350A、350B及び350Cと、シリコン・ブロック290B及び290Cと一体であり、かつ、これらの間にあるフィン355A、355B及び355Cと、シリコン・ブロック290C及び290Dと一体であり、かつ、これらの間にあるフィン360A、360B及び360Cとである。シリコン・ブロック290A、290B、290C及び290Dの長手方向軸は、方向135に位置合わせされる。フィン350A、350B、350C、355A、355B、355C、360A、360B及び360Cの長手方向軸は、方向120に位置合わせされる。

【0048】

図17(B)は、図17(A)の線17B-17Bを通る断面であり、図17(C)は、図17(A)の線17C-17Cを通る断面である。図17(B)において、フィン350A、350B及び350Cは、それぞれ誘電体キャップ365A、365B及び365Cを有する。誘電体キャップ365A、365B及び365Cは、ハードマスク層195(図14(B)を参照されたい)の層の全て又は一部を含む。図17(C)において、フィン360A、360B及び360C(図17(A)を参照されたい)の上に延びる誘電体キャップ370A、370B及び370Cが、シリコン・ブロック290D上にある。誘電体キャップ370A、370B及び370Cは、ハードマスク層195(図16(C)を参照されたい)の層の全て又は一部を含む。随意的に、誘電体キャップ365A、365B、365C、370A、370B及び370Cと、フィン355A、355B及び355C上の他の誘電体キャップと、シリコン・ブロック290A、290B及び290Cとを除去することができる。

【0049】

図18(B)は、図18(A)の線18B-18Bを通る断面であり、図18(C)は、図18(A)の線18C-18Cを通る断面である。図18(A)において、ゲート構造体310Aがフィン350A、350B及び350Cの上に形成され、ゲート構造体310Bがフィン355A、355B及び355Cの上に形成され、ゲート構造体310Cがフィン360A、360B及び360Cの上に形成される。図18(B)において、ゲート構造体310Aは、ゲート誘電体315と、ゲート電極320と、随意的な誘電体キャップ325とを含むことが分かる。誘電体キャップ325は、除去してもしなくてもよい。

【0050】

図19は、本発明によるfinFETを製造する方法のフローチャートである。ステップ400において、SOI基板(すなわち、半導体オン・インシュレータ基板)が準備される。次に、方法は、ステップ405A又は405Bのいずれかに進むことができる。

【0051】

ステップ405Aにおいて、ハードマスク層が、シリコン層又は半導体層上に形成される。ハードマスク層は、1つ又は複数の別個の層を含むことができる。ステップ405Bにおいて、ステップ405Aにおけるようなハードマスク層の形成に加えて、マンドレル層が、ハードマスク層の上部に形成される。マンドレル層は、2つ又はそれ以上の層を含むことができる。ステップ405A又は405Bのいずれかから、方法は、ステップ410に進む。

【0052】

ステップ410において、フォトレジスト層が、ハードマスク層又はマンドレル層のいずれかの上に塗布される。ステップ410においても、第1のフィンパターン・マスクを

用いてフォトレジスト層を露光し、第1のフィンパターン潜像を形成する。次に、方法は、ステップ415又は420のいずれかに進むことができる。

【0053】

ステップ415において、第2のフィンパターン・マスクを用いてフォトレジスト層を露光し、フォトレジスト層内に第2のフィンパターン潜像を形成し、この第2のフィンパターン潜像は、第1のフィンパターン潜像と重なる。ステップ415から、方法はステップ425に進む。

【0054】

ステップ420において、ステップ400において露光されたフォトレジスト層を現像し、第1のフィンパターン潜像を第1のフィンパターン・フォトレジスト・フィーチャに変換する。次に、(ステップ405A又は405Bのどちらが前に行われたかに応じて)ハードマスク層又はマンドレル層のどちらかの上に、第2のフォトレジスト層を塗布し、第2のフィンパターン・マスクを用いて第2のフォトレジスト層を露光して、フォトレジスト層内に第2のフィンパターン潜像を形成し、第2のフィンパターン潜像は、第1のフィンパターン・フォトレジスト・フィーチャと重なる。ステップ420から、方法はステップ425に進む。

10

【0055】

ステップ425において、現像するステップを行なって、ステップ415の後にステップ425が行われた場合には、第1及び第2のフィンパターン潜像を第1及び第2のフィンパターン・フォトレジスト・フィーチャに変換し、或いは、ステップ420の後にステップ425が行われた場合には、第2のフィンパターン潜像を第2のフィンパターン・フォトレジスト・フィーチャに変換する。次に、方法はステップ430A又は430Bのいずれかに進む。ステップ405Aが前に行われた場合には、方法はステップ430Aに進む。ステップ405Bが前に行われた場合には、方法はステップ430Bに進む。

20

【0056】

ステップ430Aにおいて、ダイレクト像形成プロセスによって、フィンを形成する。ステップ430Aにおいて、ハードマスク層内にフォトレジスト・フィーチャのパターンを転写し、フォトレジスト・フィーチャを除去する。次に、ステップ415において第2のフィンパターン潜像が第1のフィンパターン潜像と重なるか、又は、ステップ420において第2のフィンパターン潜像が第1のフィンパターン・フォトレジスト・フィーチャと重なった場合には、フォトレジスト層を塗布し、第3のマスクを用いて露光し、ハードマスクの部分の上にフォトレジスト潜像を形成する。次に、フォトレジスト層を現像して、フォトレジスト・フィーチャの潜像からフォトレジスト・フィーチャを形成する。シリコン層又は他の半導体層をエッチングしてフィンを形成し、フォトレジスト・フィーチャを除去する。次に、方法はステップ435に進む。

30

【0057】

ステップ430Bにおいて、側壁像転写(SIT)プロセスによって、フィンを形成する。ステップ430Bにおいて、フォトレジスト・フィーチャをマスクとして用いて、マンドレル層内にマンドレルを形成し、フォトレジスト層を除去する。(マンドレルの形成は、マンドレル・ハードマスク層を介する像転写プロセスを含み得ることが、上記に説明された。)次に、マンドレルの側壁上にスペーサを形成し、マンドレルを除去する。随意的なフォトリソグラフィ及びエッチングステップを行なって、スペーサの領域を除去することができる。次に、ステップ415において第2のフィンパターン潜像が第1のフィンパターン潜像と重なるか、又は、ステップ420において第2のフィンパターン潜像が第1のフィンパターン・フォトレジスト・フィーチャと重なった場合には、フォトレジスト層を塗布し、第3のマスクを用いて露光し、ハードマスクの部分の上にフォトレジスト潜像を形成する。次に、フォトレジスト層を現像して、フォトレジスト・フィーチャの潜像からフォトレジスト・フィーチャを形成する。エッチングマスクとしてスペーサ及びフォトレジスト・フィーチャを用いて、ハードマスク層をエッチングする。次に、スペーサ及びフォトレジスト・フィーチャを除去し、シリコン層又は他の半導体層をエッチングして

40

50

フィンを形成する。次に、方法はステップ435に進む。

【0058】

ステップ435において、シリコン層又は他の半導体層の上に残っているハードマスク層のいずれか又は全てを除去するかどうかを決定する。除去する場合には、次に、方法はステップ440に進み、他の場合には、方法はステップ445に進む。

【0059】

ステップ440において、シリコン層又は他の半導体層上の何らかの残りのハードマスク層の1つ又は全てを除去する。方法はステップ445に進む。

【0060】

ステップ445において、フィンの上にゲート誘電体層を形成し、ゲート誘電体層の上にゲート電極層を形成する。次に、フォトリソグラフィ及びエッティング・プロセスを行って、フィンの上にゲート電極を形成する。次に、ソース／ドレイン・イオン注入を行って、ゲート電極の両側のフィン内にソース及びドレインを形成する。ゲート側壁スペーサを形成する前にソース／ドレイン・イオン注入を行なうことができ、ゲート側壁スペーサの形成自体は、当技術分野において周知のハロ注入及びエクステンション・イオン注入の前に行なうことができる。10

【0061】

図20は、シェブロンFinFET回路に用いるのに適した、本発明によるPfinFET及びNfinFETを示す集積回路チップの平面図である。図20において、集積回路チップは、対向する側部505及び510と、対向する側部515及び520とを含む。側部505及び510は、側部515及び520と直交する。側部505及び510は、上記に定められた方向140に対してほぼ平行であり、側部515及び520は、上記に定められた方向135に対してほぼ平行に位置合わせされる。各々がフィンボディ535内のソース／ドレイン領域525及びソース／ドレイン領域530と、フィンボディのチャネル領域とゲート電極540との間のゲート誘電体（図示せず）とを有し、チャネル領域がソース／ドレイン領域間のフィンボディ内に配置された、NfinFETが、集積回路チップ500内に形成される。ゲート530は、方向135に対してほぼ平行に位置合わせされ、フィンボディ535は、該フィンボディの{100}結晶面でもある、上記に定められた方向120に対してほぼ平行に位置合わせされる。各々がフィンボディ555内のソース／ドレイン領域545及びソース／ドレイン領域550と、フィンボディのチャネル領域とゲート電極560との間のゲート誘電体（図示せず）とを有し、チャネル領域がソース／ドレイン領域間のフィンボディ内に配置された、PfinFETもまた、集積回路チップ500内に形成される。ゲート560は、方向135に対してほぼ平行に位置合わせされ、フィンボディ555は、該フィンボディの{110}結晶面でもある、上記に定められた方向110に対してほぼ平行に位置合わせされる。20

【0062】

図21及び図22は、本発明によるフィンとゲートの間のゲート位置合わせマークを示す平面図である。図21において、ゲート位置合わせマーク330は、第1のフィンマスク・ターゲットマーク225と第2のフィンマスク・ターゲットマーク250との間に位置合わせされる。ゲートマスクマーク330は、距離D1だけ第1のフィンマスク・ターゲットマーク225との完全な位置合わせからオフセットされる。ゲートマスクマーク330は、距離D2だけ第2のフィンマスク・ターゲットマーク250との完全な位置合わせからオフセットされる。マスク・ターゲットマーク225と第2のフィンマスク・ターゲットマーク250との間の位置合わせは、値40

$$|D_1 + D_2|$$

だけ離れる。3つのマスク間の完全な位置合わせの下では、 $D_1 = D_2 = 0$ である。 D_1 と D_2 がゼロに等しくない場合の最良の可能な位置合わせは、 $D_1 = D_2$ のときに生じる。従来のフォトリソグラフィ・ツールの位置合わせシステムを調整して、互いに心ずれした第1及び第2のフィンマスク・ターゲットマークを有する基板に対して、ゲートマスクを自動的に位置決めし、 $D_1 = D_2$ とすることができる。50

【0063】

図22において、交互する第1のフィンマスク・ターゲットマーク225と第2のフィンマスク・ターゲットマーク250の中央の列が、ゲートマスク位置合わせマーク330の第1及び第2の列の側面に位置する。第1の列におけるゲートマスクマーク330は、距離D1Aだけ第1のフィンマスクのターゲットマーク225との完全な位置合わせからオフセットされ、第2の列におけるゲートマスクマーク330は、距離D1Bだけ第1のフィンマスク・ターゲットマーク225との完全な位置合わせからオフセットされる。第1の列におけるゲートマスクマーク330は、距離D2Aだけ第2のフィンマスク・ターゲットマーク250との完全な位置合わせからオフセットされ、第2の列におけるゲートマスクマーク330は、距離D2Bだけ第2のフィンマスク・ターゲットマーク250との完全な位置合わせからオフセットされる。第1のフィンマスクのターゲットマーク225は、値 10

$$| (D1B - D2B) - (D1A - D2A) | / 2$$

だけ、第2のフィンマスクマークから心ずれしている。3つのマスク間の完全な位置あわせの下では、 $D1B = D2B = D1A = D2A$ である。 $D1A$ 、 $D2A$ 、 $D1B$ 及び $D2B$ が等しくない場合の最良の可能な位置合わせは、 $D1A = D2B$ 及び $D1B = D2A$ のときに生じる。従来のフォトリソグラフィ・ツールの位置合わせシステムを調整して、互いに心ずれした第1及び第2のフィンマスク・ターゲットマークを有する基板に対してゲートマスクを自動的に位置決めし、 $D1A = D2B$ 及び $D1B = D2A$ とすることができる。 20

【0064】

図21及び図22に示され、上記に説明された3つのマスク位置合わせの原理を用いる、第1のフィンマスク・ターゲットマーク225及び第2のフィンマスク・ターゲットマーク250、並びにゲートマスク位置合わせマーク330の多数の他のトポロジー構成が可能である。

【0065】

図23は、本発明による、第1のフィンマスクによって定められるフィンパターンの組と第2のフィンのマスクによって定められるフィンパターンの組との間の心ずれを示す。図4(A)及び図14(A)においては、フィンパターンが重なるが、図23においては、フィンパターンは心ずれしており、重ならない。図23においては、第1の組のフィンパターン600及び第2のフィンパターン605が、第1のフィンマスクによって定められる。第3の組のフィンパターン610が、第2のフィンマスクによって定められる。第2のフィンマスクは、第1のフィンマスクに対して+Y方向及び-X方向に心ずれした。従って、フィンパターンの端部の重なりはない。心ずれの程度によって、フィンパターンの3つの組の2つだけの端部が重なることも可能である。しかしながら、図24から分かるように、心ずれが仕様の範囲内にあると仮定すると、このことは本発明に影響は及ぼさない。 30

【0066】

図24は、本発明による単結晶シリコンのエッチングされたフィン内に形成されるような図23のフィンパターンを示す。図24において、フィン600Aはシリコン・ブロック615と620の間に、これらと共に一体形成され、フィン610Bは、シリコン・ブロック620と625との間に、これらと共に一体形成され、フィン605Aは、シリコン・ブロック625と630の間に、これらと共に一体形成される。 40

【0067】

従って、本発明は、高密度のシェプロンfinFETデバイス及び高密度のシェプロンfinFETデバイスを製造する方法を提供する。

【0068】

本発明の理解のために、本発明の実施形態の説明が上に与えられる。本発明は、ここに説明される特定の実施形態に制限されるものではなく、本発明の範囲から逸脱することなく、当業者には明らかになるような種々の修正、再構成及び置換が可能であることが理解 50

されるであろう。従って、上記の特許請求の範囲は、本発明の真の精神及び範囲内に含まれるような、こうした修正及び変更の全てを網羅することが意図される。

【図面の簡単な説明】

【0069】

【図1】本発明による、シリコン基板の結晶面に対するNfinFET及びPfinFETについてのフィンの配向を示す図である。

【図2】本発明による、シリコン基板の結晶面に対するNfinFET及びPfinFETについてのフィンの配向を示す図である。

【図3】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。(C) 本発明による位置合わせターゲットを示す。

【図4】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。(C) 本発明による位置合わせターゲットを示す。

【図5】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。

【図6】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。

【図7】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。

【図8】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。

【図9】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。

【図10】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。(C) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。

【図11】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。(C) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。

【図12】(A) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。(C) 本発明の第1の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。(D) 本発明による位置合わせターゲットを示す。

【図13】(A) 本発明の第2の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第2の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。

【図14】(A) 本発明の第2の実施形態による、シェブロンfinFETの製造を示す平面図である。(B) 本発明の第2の実施形態による、シェブロンfinFETの製造を示す対応する側断面図である。

10

20

30

40

50

【図15】(A) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す平面図である。 (B) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す対応する側断面図である。

【図16】(A) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す平面図である。 (B) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す対応する側断面図である。 (C) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す対応する側断面図である。

【図17】(A) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す平面図である。 (B) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す対応する側断面図である。 (C) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す対応する側断面図である。
10

【図18】(A) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す平面図である。 (B) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す対応する側断面図である。 (C) 本発明の第2の実施形態による、シェプロンfinFETの製造を示す対応する側断面図である。

【図19】本発明によるfinFETを製造する方法のフローチャートである。

【図20】シェプロンfinFET回路に用いるのに適した本発明によるPfinFET及びNfinFETを示す集積回路チップの平面図である。

【図21】本発明によるゲート位置合わせマークに対するフィンを示す平面図である。

【図22】本発明によるゲート位置合わせマークに対するフィンを示す平面図である。

【図23】本発明による、第1のフィンマスクによって定められるフィンパターンの組と第2のフィンマスクによって定められるフィンパターンの組との間の心ずれを示す。

【図24】本発明による、単結晶シリコンのエッチングされたフィン内に形成されたような図23のフィンパターンを示す。

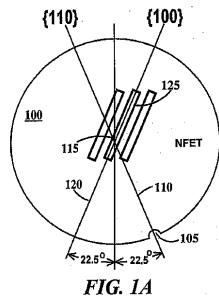


FIG. 1A

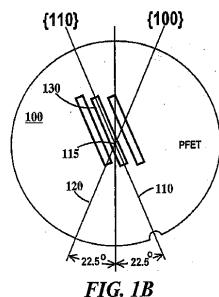


FIG. 1B

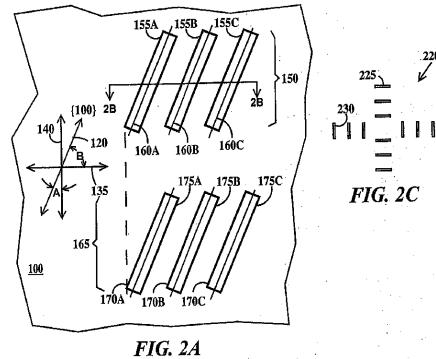


FIG. 2A

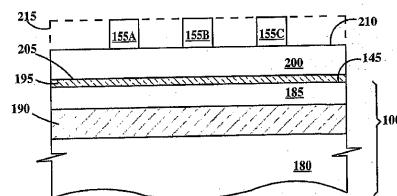


FIG. 2B

10

20

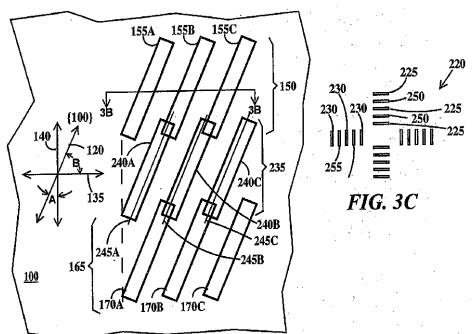


FIG. 3C

FIG. 3A

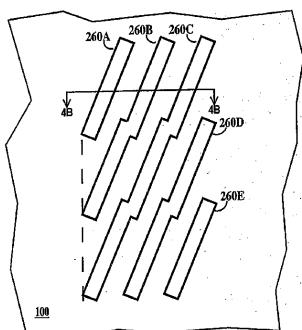


FIG. 4A

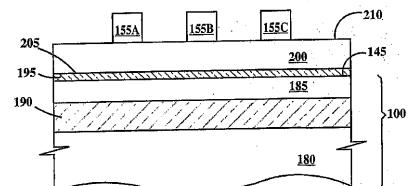


FIG. 3B

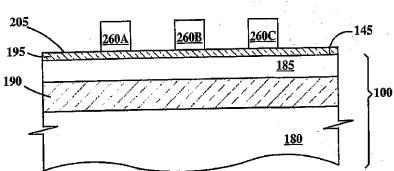


FIG. 4B

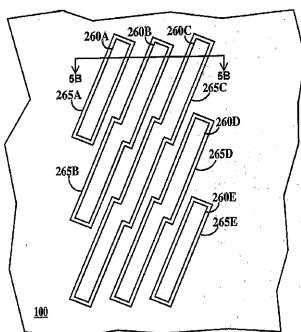


FIG. 5A

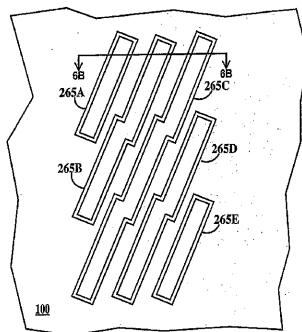


FIG. 6A

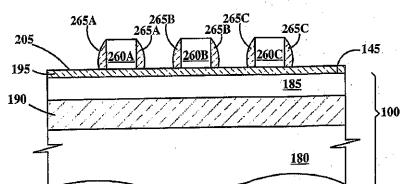


FIG. 5B

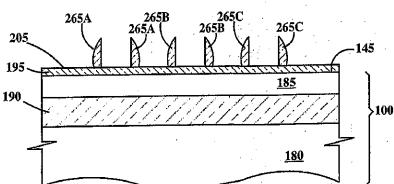


FIG. 6B

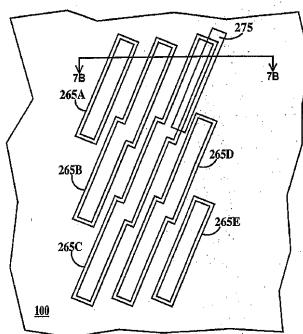


FIG. 7A

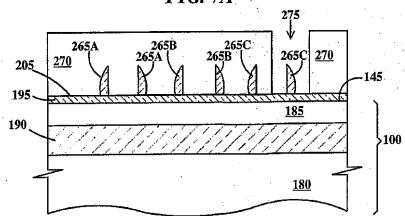


FIG. 7B

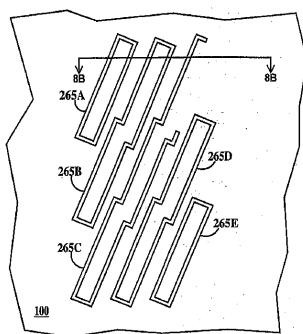


FIG. 8A

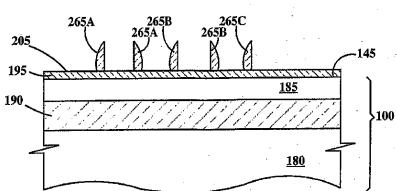


FIG. 8B

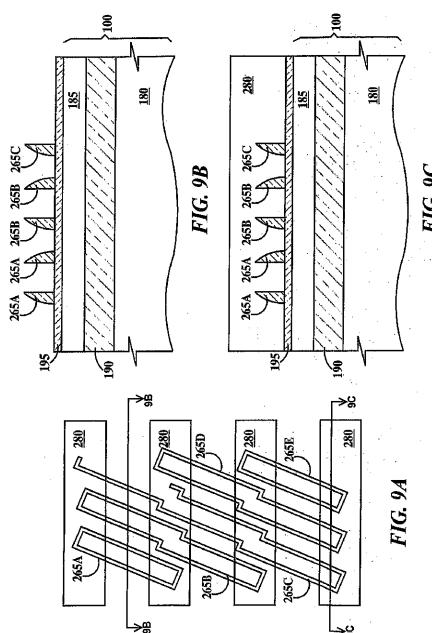


FIG. 9B

FIG. 9C

FIG. 9A

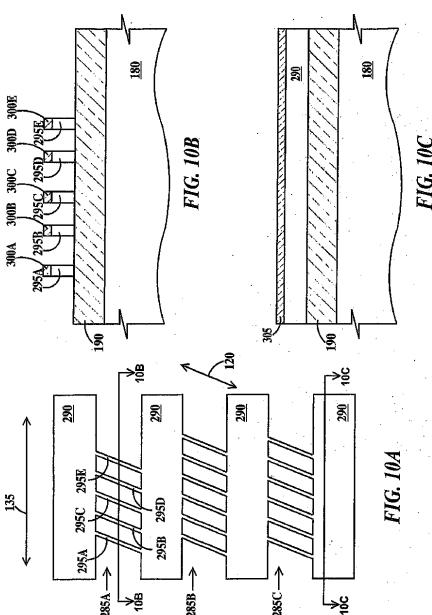


FIG. 10A

FIG. 10B

FIG. 10C

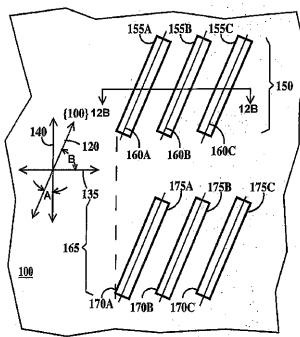
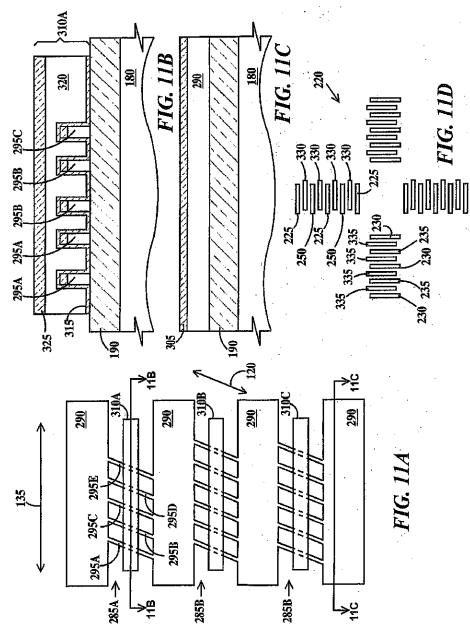


FIG. 12A

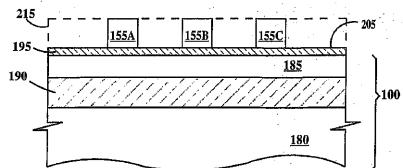


FIG. 12B

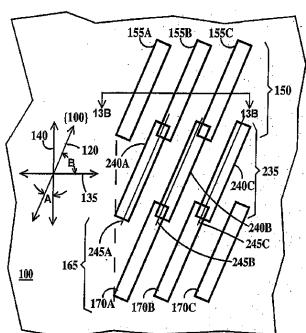


FIG. 13A

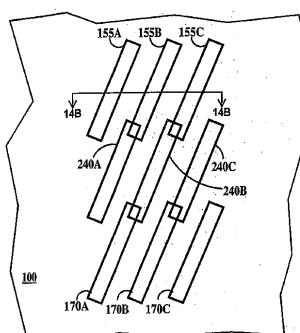


FIG. 14A

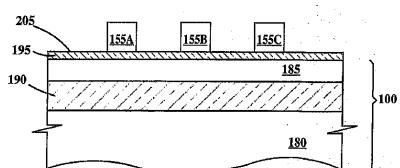


FIG. 13B

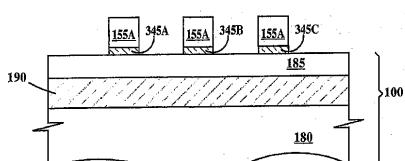
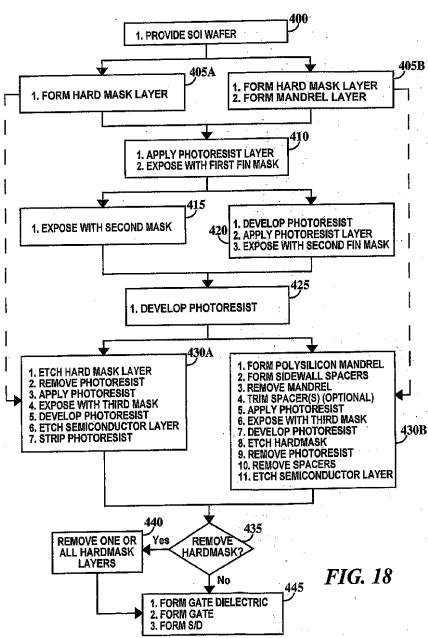
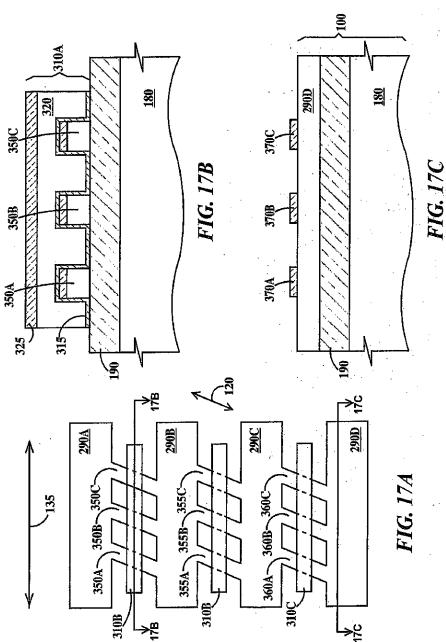
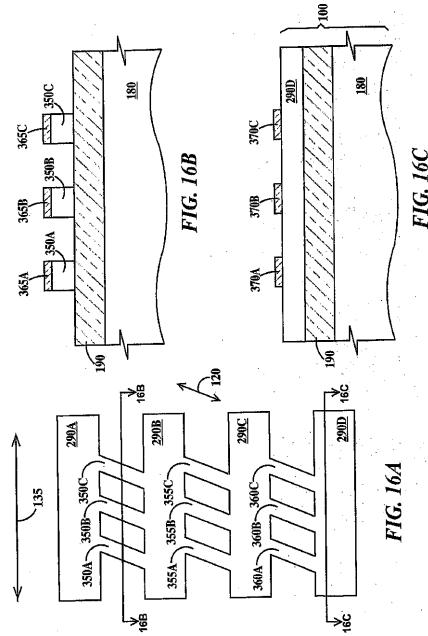
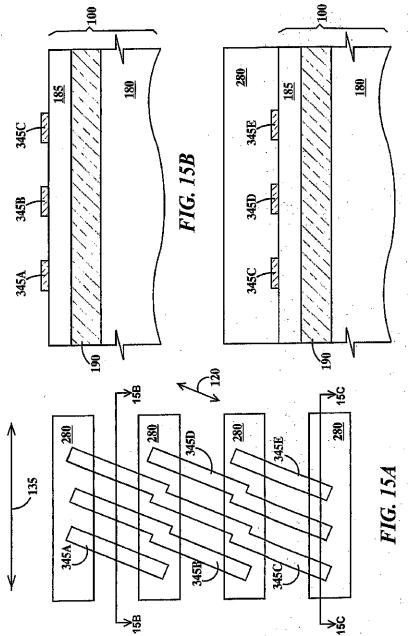


FIG. 14B



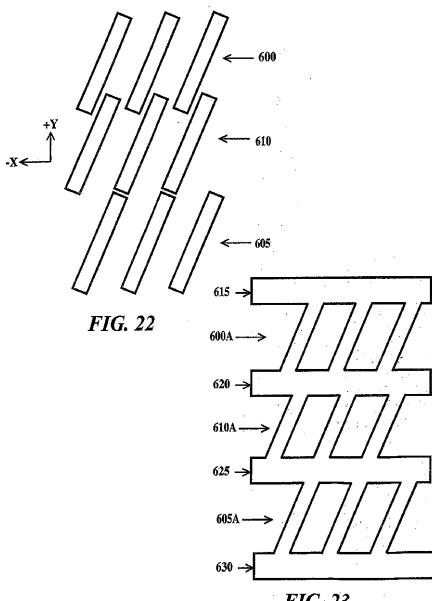
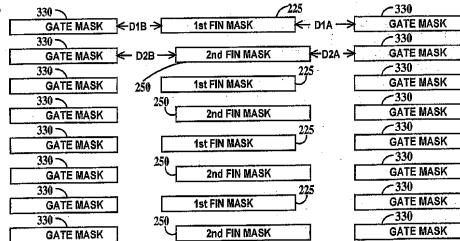
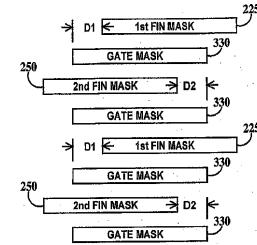
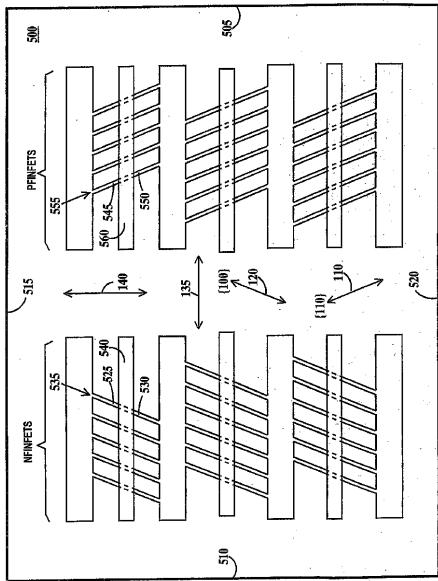
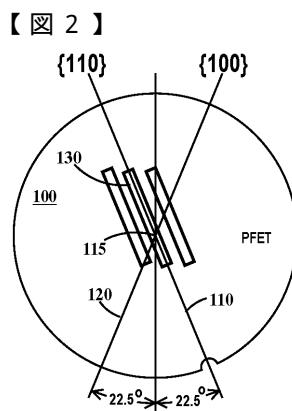
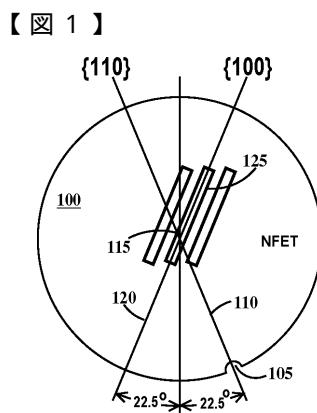
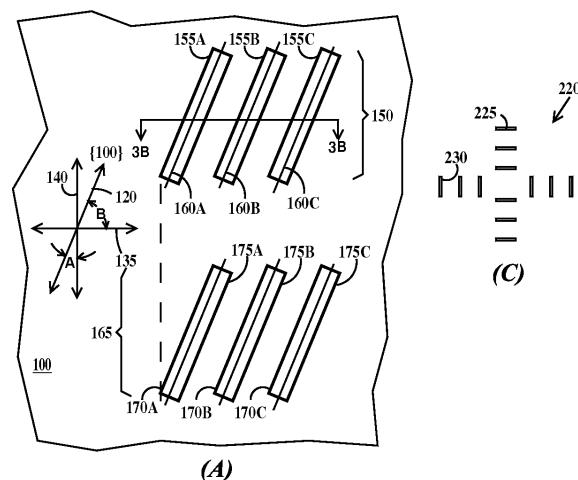


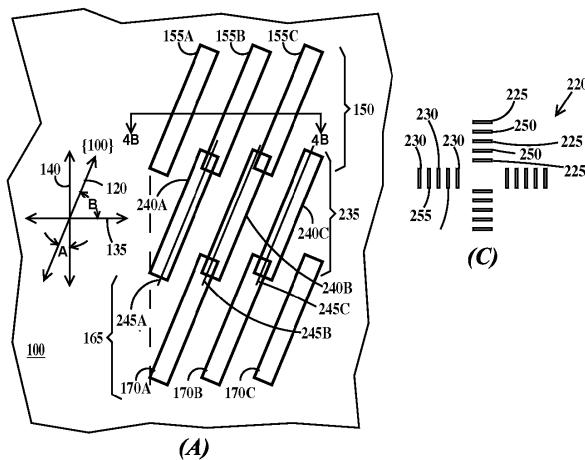
FIG. 23



【 3 】

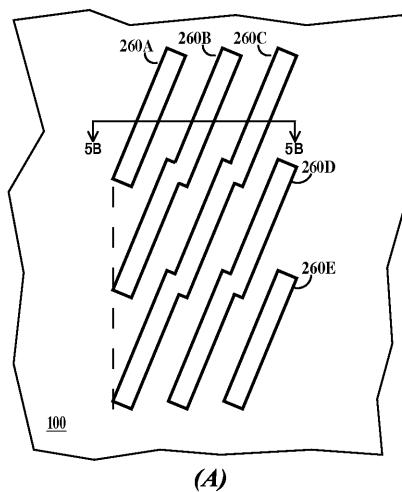


【 図 4 】

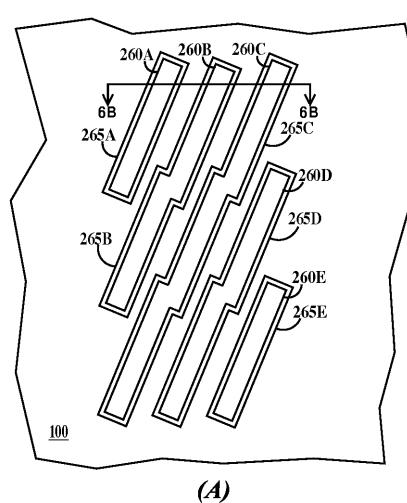


A cross-sectional diagram showing a layered structure. The layers are labeled from top to bottom: 215, 155A, 155B, 155C, 200, 145, 195, 185, 190, and 180. A bracket on the right side groups layers 100, 185, 190, and 180. Layer 215 has a dashed line above it. Layer 155A contains a small rectangular feature. Layer 200 is labeled '200'. Layer 145 is labeled '145'. Layer 195 has a hatched pattern. Layer 185 is labeled '185'. Layer 190 has a hatched pattern. Layer 180 is labeled '180'. A bracket on the right side groups layers 100, 185, 190, and 180.

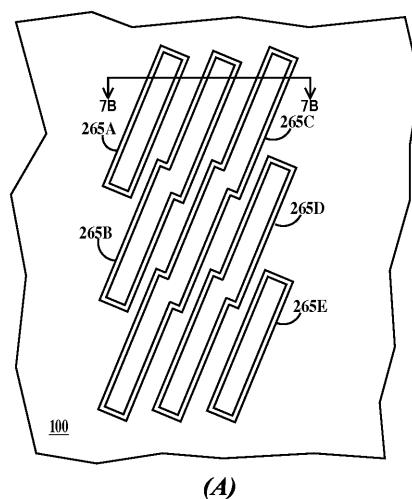
【 四 5 】



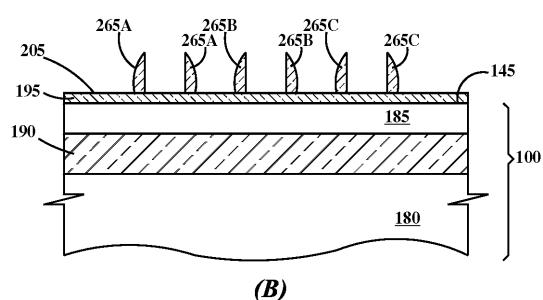
【図6】



【図7】

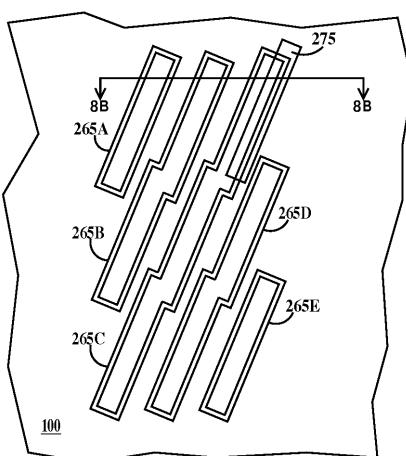


(A)

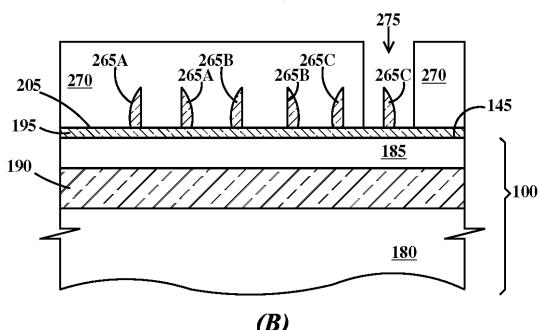


(B)

【図8】

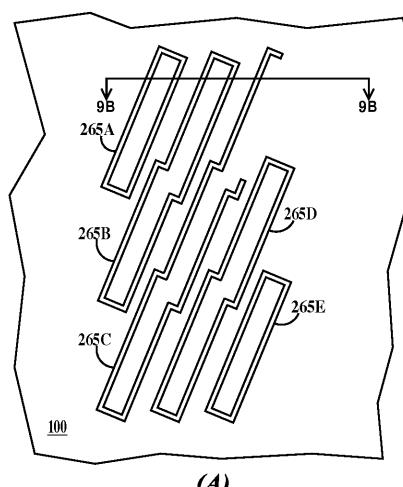


(A)

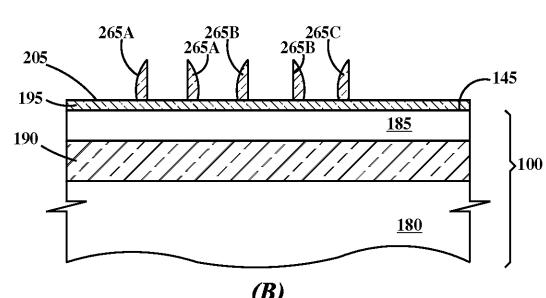


(B)

【図9】

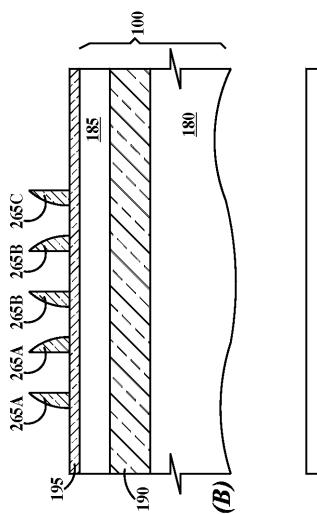


(A)

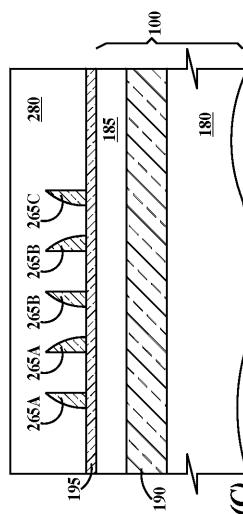


(B)

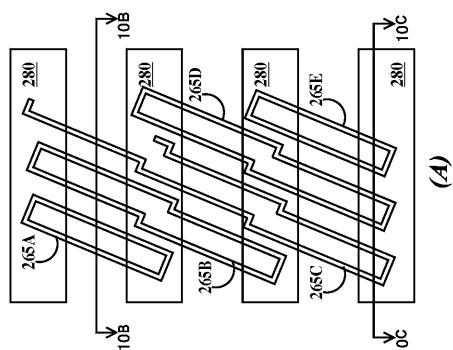
【図10】



(B)

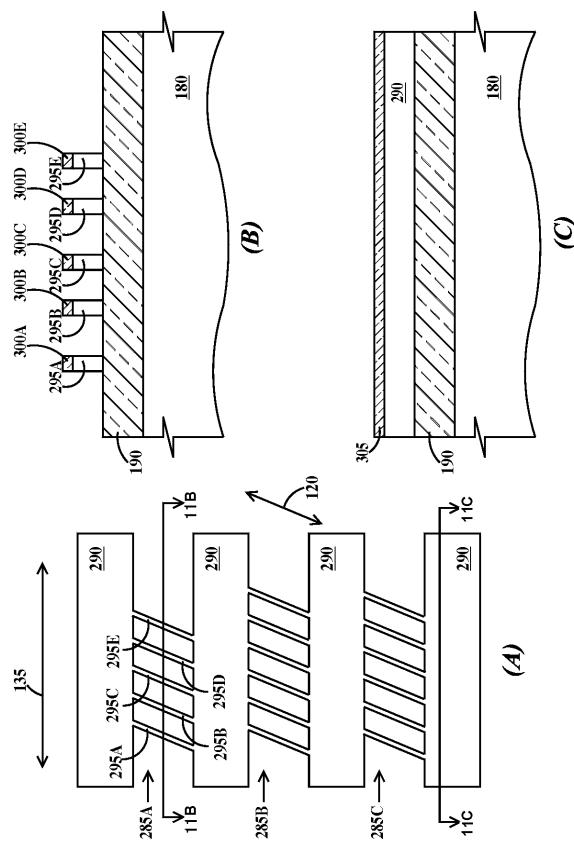


(C)

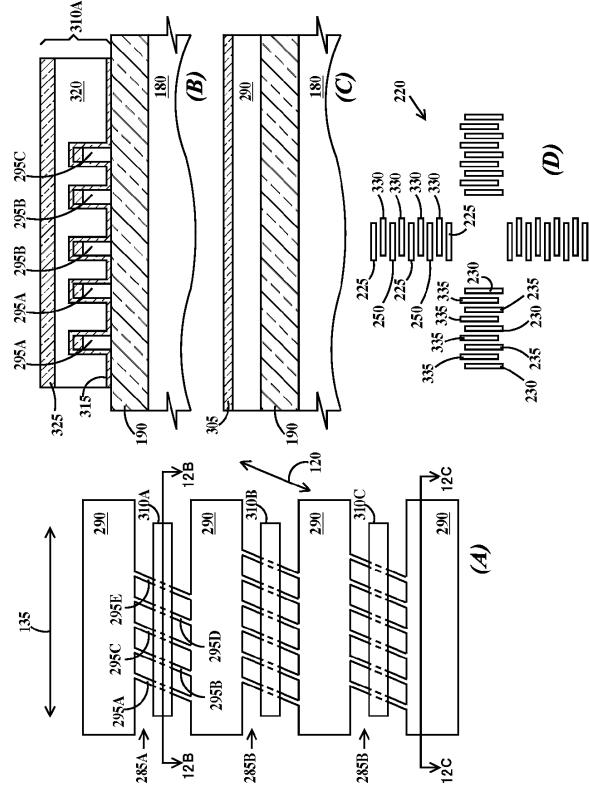


(A)

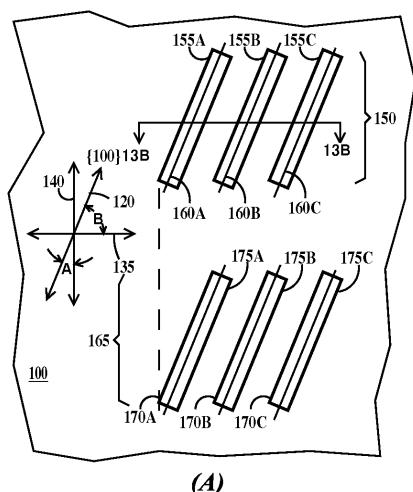
【図11】



【図12】

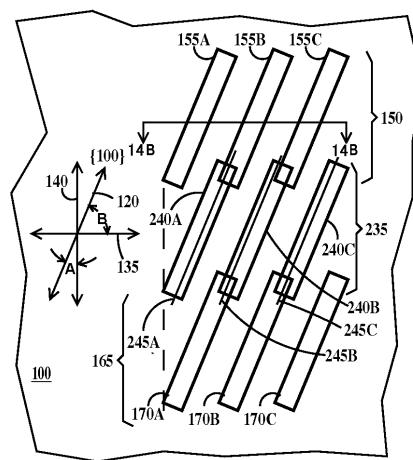


【図13】

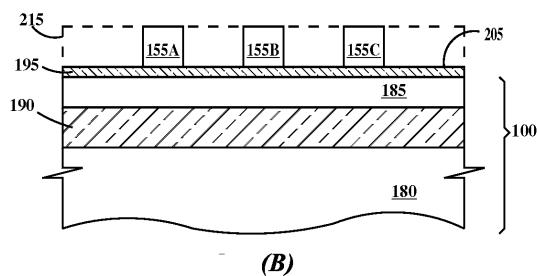


(A)

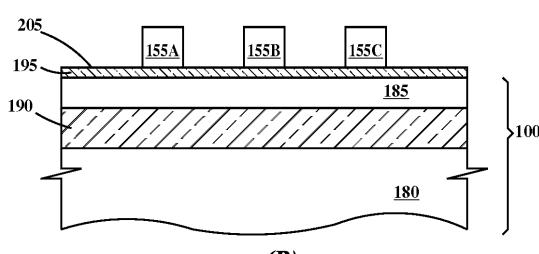
【図14】



(A)

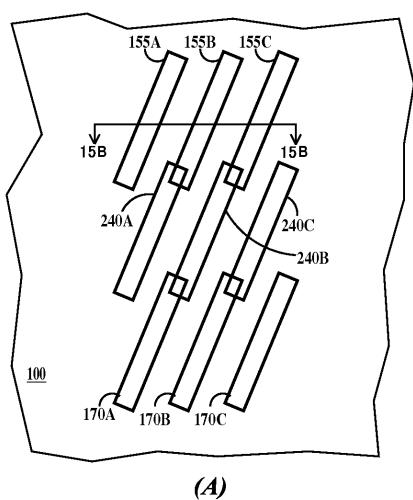


(B)

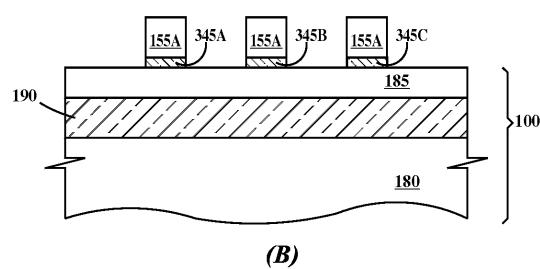


(B)

【図15】

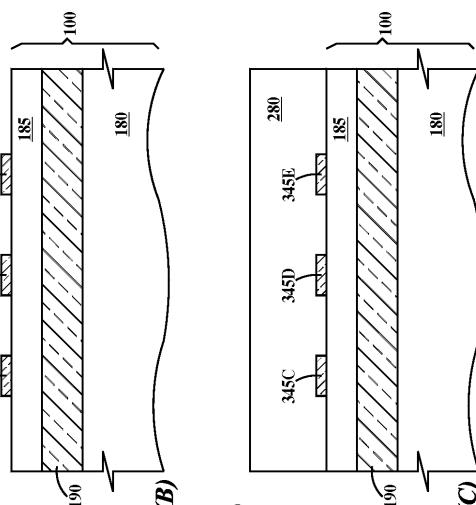


(A)

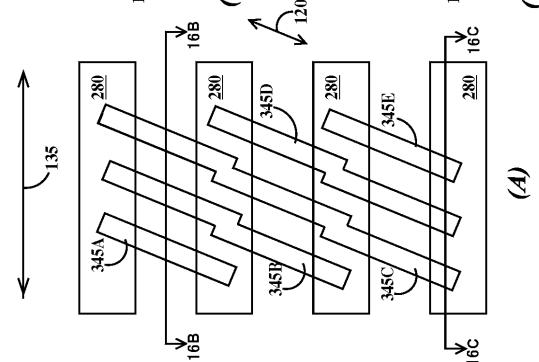


(B)

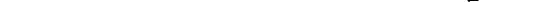
【図16】



(A)

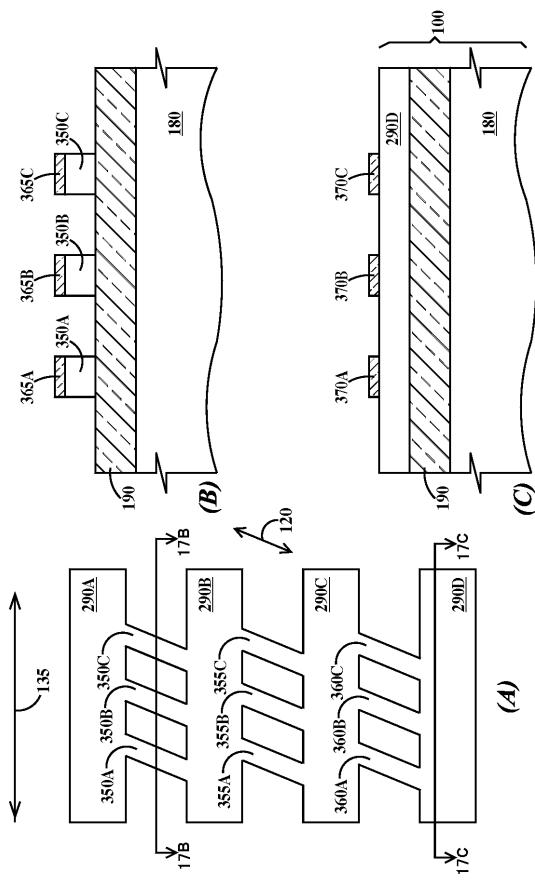


(B)

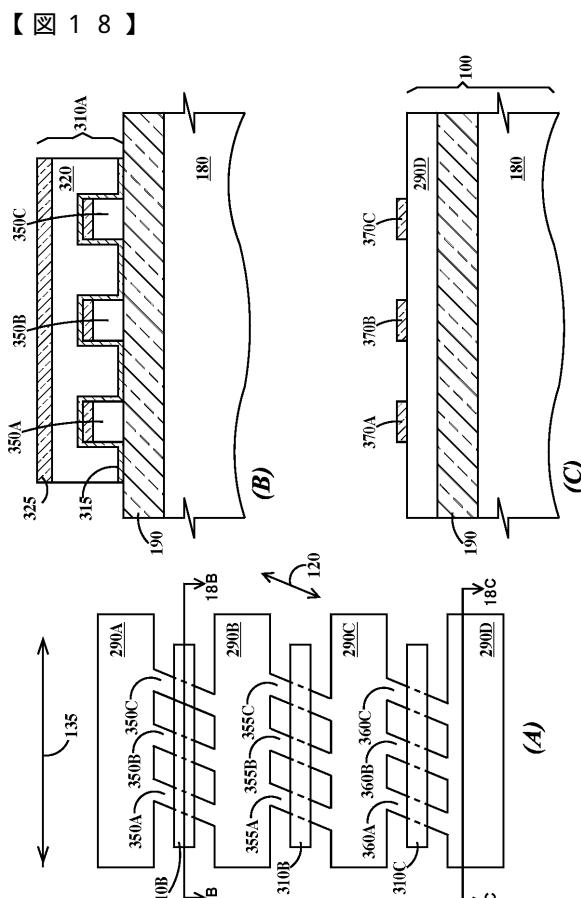


(C)

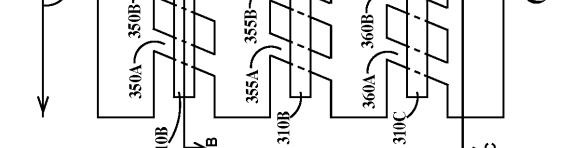
【図17】



(A)

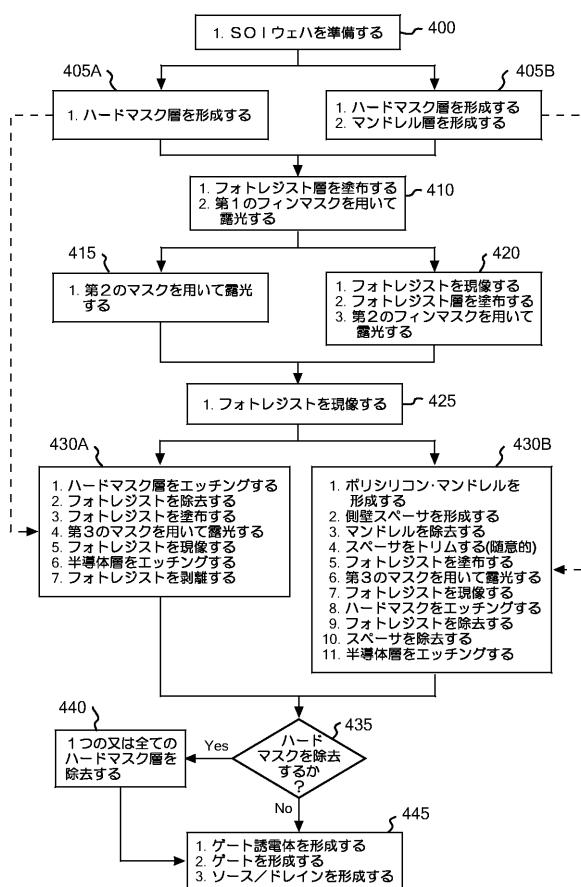


(B)

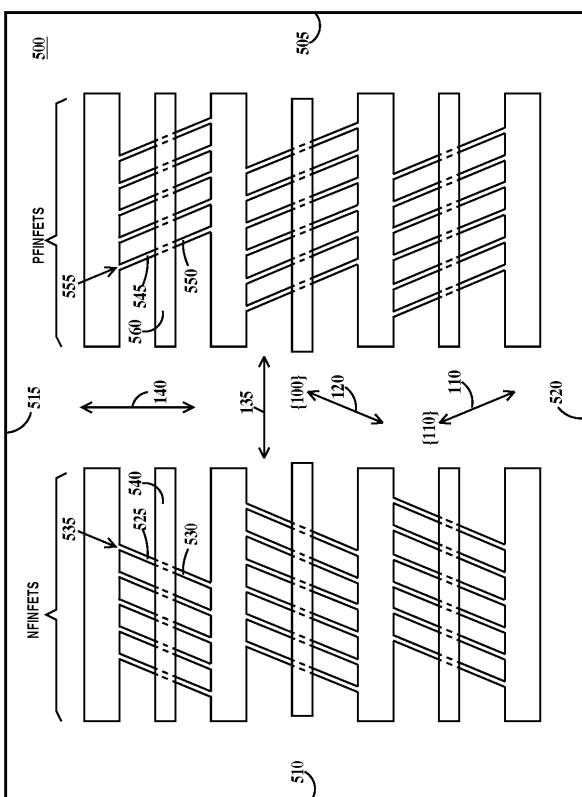


(C)

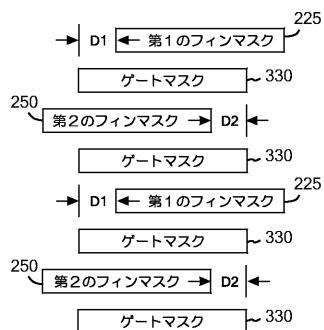
【図19】



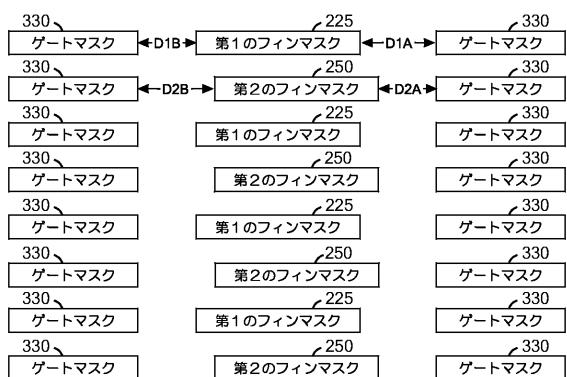
【図20】



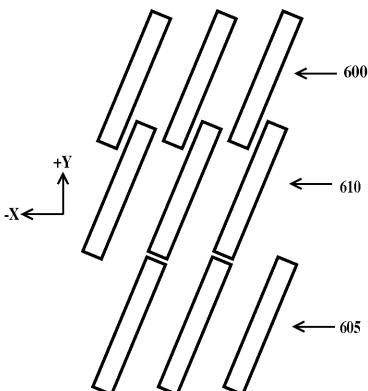
【図21】



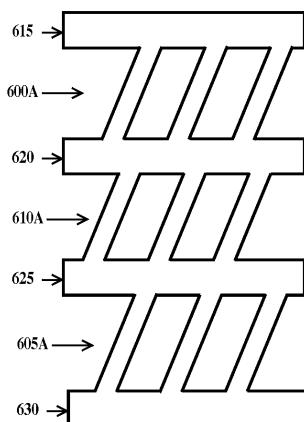
【図22】



【図23】



【図24】



フロントページの続き

(51)Int.Cl.

F I

H 01 L 21/027 (2006.01)

H 01 L 27/08 331 E

H 01 L 27/08 321 B

H 01 L 21/30 514 A

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ベイントナー、ヨッヒエン

アメリカ合衆国 12590 ニューヨーク州 ワッピンガーズ・フォールズ クラップ・アベニ
ュー 27

(72)発明者 ルートヴィヒ、トーマス

ドイツ連邦共和国 D - 71063 ジンデルフィンゲン イム・ヴィンケル 10

(72)発明者 ノーワーク、エドワード、ジェイ

アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション ウィンドリッジ・ロ
ード 8

審査官 大橋 達也

(56)参考文献 国際公開第2005/022637 (WO, A1)

特表2006-511962 (JP, A)

特開2005-039171 (JP, A)

特開2005-197685 (JP, A)

特開平02-166717 (JP, A)

特開2002-313698 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 336

H 01 L 21 / 027

H 01 L 21 / 8238

H 01 L 27 / 08

H 01 L 27 / 092

H 01 L 29 / 78 - 29 / 786