



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I513301 B

(45) 公告日：中華民國 104 (2015) 年 12 月 11 日

(21) 申請案號：100118019 (22) 申請日：中華民國 100 (2011) 年 05 月 23 日

(51) Int. Cl. : H04N5/335 (2011.01) H04N5/369 (2011.01)

H04N5/374 (2011.01) H01L27/14 (2006.01)

(30) 優先權：2010/06/02 日本 2010-127237

(71) 申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72) 發明人：助川俊一 SUKEGAWA, SHUNICHI (JP)；福島範之 FUKUSHIMA, NORIYUKI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

TW 200931536A

TW 201001689A

US 6348382B1

US 20020113887A1

US 20090321948A1

審查人員：黎世琦

申請專利範圍項數：16 項 圖式數：14 共 47 頁

(54) 名稱

半導體裝置，固態成像裝置及相機系統

SEMICONDUCTOR DEVICE, SOLID-STATE IMAGING DEVICE, AND CAMERA SYSTEM

(57) 摘要

本文揭示一種固態成像裝置，其包含：一支撐基板；具有安置於該支撐基板上之一像素陣列之一成像半導體晶片；及安置於該支撐基板上之一影像處理半導體晶片，其中藉由通孔及形成於該支撐基板上之互連件連接該成像半導體晶片及該影像處理半導體晶片。

Disclosed herein is a solid state imaging device including a support substrate; an imaging semiconductor chip having a pixel array disposed on the support substrate; and an image processing semiconductor chip disposed on the support substrate, wherein the imaging semiconductor chip and the image processing semiconductor chip are connected by through-vias, and interconnects formed on the support substrate.

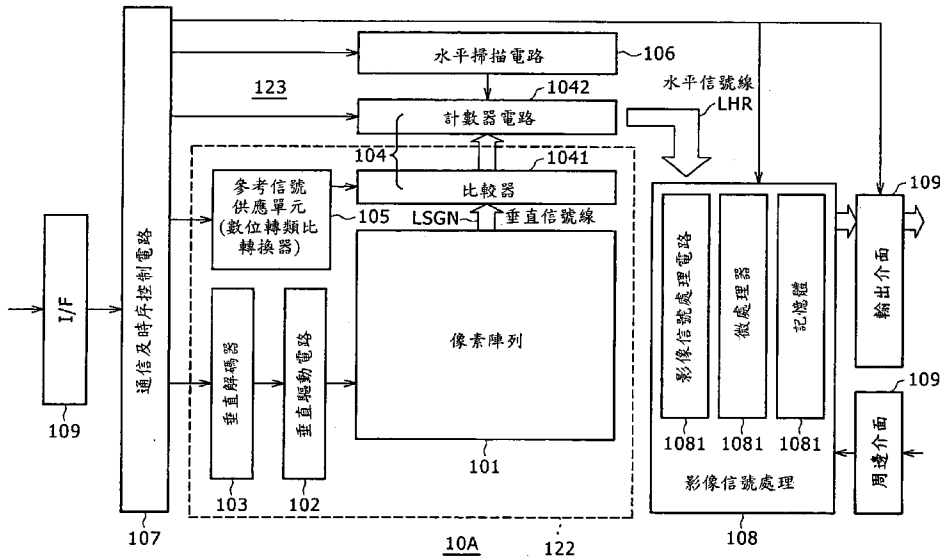


圖 3

- 101 . . . 像素陣列單元
- 102 . . . 垂直解碼器/垂直驅動電路
- 103 . . . 驅動器/垂直解碼器
- 104 . . . 行處理器
- 105 . . . 參考信號供應單元
- 106 . . . 水平掃描電路
- 107 . . . 時序控制電路
- 108 . . . 影像信號處理器
- 109 . . . 介面系統電路
- 122 . . . 晶片
- 123 . . . 晶片
- 1041 . . . 比較器
- 1042 . . . 計數器電路
- 1081 . . . 影像信號處理電路
- 1082 . . . 微處理器
- 1083 . . . 記憶體電路
- LHR . . . 水平信號線
- LSGN . . . 垂直信號線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100118019

H04N 5/335 (2011.01)

※申請日：100.5.23

※IPC 分類：H04N 5/369 (2011.01)

一、發明名稱：(中文/英文)

H04N 5/374 (2011.01)

半導體裝置，固態成像裝置及相機系統

H01L 29/14 (2006.01)

SEMICONDUCTOR DEVICE, SOLID-STATE IMAGING DEVICE,
AND CAMERA SYSTEM

二、中文發明摘要：

本文揭示一種固態成像裝置，其包含：一支撐基板；具有安置於該支撐基板上之一像素陣列之一成像半導體晶片；及安置於該支撐基板上之一影像處理半導體晶片，其中藉由通孔及形成於該支撐基板上之互連件連接該成像半導體晶片及該影像處理半導體晶片。

三、英文發明摘要：

Disclosed herein is a solid state imaging device including a support substrate; an imaging semiconductor chip having a pixel array disposed on the support substrate; and an image processing semiconductor chip disposed on the support substrate, wherein the imaging semiconductor chip and the image processing semiconductor chip are connected by through-vias, and interconnects formed on the support substrate.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

101	像素陣列單元
102	垂直解碼器/垂直驅動電路
103	驅動器/垂直解碼器
104	行處理器
105	參考信號供應單元
106	水平掃描電路
107	時序控制電路
108	影像信號處理器
109	介面系統電路
122	晶片
123	晶片
1041	比較器
1042	計數器電路
1081	影像信號處理電路
1082	微處理器
1083	記憶體電路
LHR	水平信號線
LSGN	垂直信號線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有兩晶片之一堆疊結構之半導體裝置、一種固態成像裝置及一種相機系統。

【先前技術】

傳統上，對於一成像裝置而言，兩晶片(一互補金屬氧化物半導體(CMOS)影像感測器(CIS)晶片及一影像處理晶片)係各安裝於一封包中，且總成係實施為一模組。

替代地，每一晶片係安裝於一些情況中之板上晶片(COB)。

近年來，在於一蜂巢式電話或類似物中安裝一成像裝置之情況中，需要減小安裝面積及小型化，且已發展一種將該上述兩晶片整合為一晶片之一SOC(晶片上系統)。

然而，在針對整合為一晶片而混合CIS程序及高速邏輯程序之程序中，不僅步驟之數目增加且成本高而且難以使類比特性及邏輯特性兩者保持有利，這可能造成該成像裝置之特性惡化。

因此，已提出一種以晶片級組裝該上述兩晶片以實現小型化及特性增強之方法(參考日本專利特許公開案第2004-146816號及第2008-85755號)。

【發明內容】

然而，在兩晶片之間之連接中，由於其結構，配置間距較小，且可能導致良率降低。

進一步言之，在供應DC組件(諸如電源供應器)及自邏輯

晶片至 CIS 晶片之一參考信號中，易受 $1/f$ 雜訊等等之影響。因此，存在一缺點：與該上述邏輯晶片通信必需一專用電路且因此導致成本增加。

本發明提供一種半導體裝置、一種固態成像裝置及一種相機系統，其等可減小歸因於兩晶片之間之連接部分之雜訊之影響且通信無需專用電路，且因此可實現成本減小，且此外可增強兩晶片之間之連接部分之配置密度並抑制寄生電阻及電容之增加。

根據本發明之一實施例，提供一種固態成像裝置，該固態成像裝置包含：一支撐基板；具有安置於該支撐基板上之一像素陣列之一成像半導體晶片；及安置於該支撐基板上之一影像處理半導體晶片，其中藉由通孔及形成於該支撐基板上之互連件連接該成像半導體晶片及該影像處理半導體晶片。

根據本發明之另一實施例，提供一種製造一固態成像裝置之方法，該方法包含：在一支撐基板上形成一互連件層；將複數個成像半導體晶片及複數個影像處理半導體晶片以一磚塊式排列(tile)方式接合至該支撐基板之一表面；用樹脂填充該複數個成像半導體晶片與該複數個影像處理半導體晶片之間之間隙；拋光該複數個成像半導體晶片及該複數個影像處理半導體晶片；及形成自該複數個成像半導體晶片及該複數個影像處理半導體晶片之一背面側至該互連件層之通孔。

根據本發明，可減小歸因於兩晶片之間之連接部分之雜

訊影響，且通信無需專用電路，且因此可實現成本減小。

此外，根據本實施例，可增強兩晶片之間之連接部分之配置密度並可抑制寄生電阻及電容之增加。

【實施方式】

下文將關聯圖式描述本發明之一實施例。

將以下列順序進行描述。

1. 固態成像裝置之概述
2. 程序流程
3. 電路組態及配置
4. 襯墊結構
5. 晶片級封裝 (CSP)
6. 個別晶片之接合

<1. 固態成像裝置之概述>

圖1係展示作為關於本發明之實施例之一半導體裝置之一固態成像裝置之一組態實例之一圖。

在本實施例中，一CMOS影像感測器之組態將被描述為該半導體裝置之一實例。

如圖1所示，在一固態成像裝置10中，在(例如)一支撐基板(內插器)13上平行安置一第一晶片11及一第二晶片12。

如下文所述，此固態成像裝置10之特徵在於：一互連層係提供於用於一CMOS影像感測器(CIS：CMOS影像感測器)之支撐基板13上以實行接合在該支撐基板上之該第一晶片(CIS晶片)與該邏輯晶片之間之電連接。

在本實施例中，該第一晶片11係由一CMOS影像感測器(CIS)晶片形成，且該第二晶片12係由包含用於該第一晶片之一控制電路及一影像處理電路之一邏輯晶片形成。

該第一晶片(CIS晶片)11及該第二晶片(邏輯晶片)12係面朝下安置在該支撐基板13上使得各自的電路表面可與該支撐基板(內插器)13接觸。

而且，藉由通孔(VIAS)14及形成於該支撐基板13上之互連件15連接該第一晶片11及該第二晶片12之各自的晶片之信號。

該第一晶片(CIS晶片)11係組態具有高崩潰電壓電晶體(CMOS)並使用其中充分管理包含像素特性之類比特性及雜訊特性且雜訊量足夠小之一程序。

此處，該高崩潰電壓電晶體係其中作為閘極絕緣膜之閘極氧化膜之厚度經設定大於一正常基於MOS之電晶體中之厚度且可用一高電壓操作而無問題之一電晶體。該等高崩潰電壓電晶體之閘極氧化膜之厚度較佳具有大致上自5奈米至7奈米之一厚度。

而且，該互連層15係經組態具有上面安裝該互連層15之電路所必需之最小數目個互連層，且一般而言，互連層15之數目小於一CIS-邏輯(Logic)混合電路中之互連層之數目。

如下文詳細描述，在本實施例之第一晶片(CIS晶片)11上安裝一像素陣列101、作為經組態具有高崩潰電壓電晶體之一垂直驅動電路之一垂直解碼器102、一驅動器103及

一類比電路。

特定言之，安裝特性受 $1/f$ 雜訊影響之電路(像素電晶體、比較器1041、數位轉類比轉換器(DAC)電路等等)於該第一晶片(CIS晶片)11上係本實施例之一特性。

另一方面，除安裝在該第一晶片(CIS晶片)11上之該等電路之外之電路係安裝於該第二晶片(邏輯晶片)12上。

可藉由一低電壓高速邏輯程序、一IO電路等等組態之電路對應於該等電路。

在該第二晶片(邏輯晶片)12中，使用用於一邏輯電路及一記憶體電路之一低電壓高速電晶體(LV Tr.)及用於一輸入/輸出電路之一高崩潰電壓電晶體(HV Tr.)。

該低電壓高速電晶體Tr.指代經形成以藉由設定閘極絕緣膜之膜厚度等於或大於一正常基於MOS之電晶體之膜厚度而以高速(即使在一低電壓下)操作之一電晶體。該等低電壓電晶體之閘極氧化膜之厚度較佳具有大致上自1.5奈米至3奈米之一厚度。

鑑於FAB之變化及發展，較佳採用可藉由使用一通用ASIC設計流程設計之一電路組態，且藉由組合具有不同功能、特性及程序之邏輯晶片與相同CIS晶片嘗試產品發展變得容易。

一般而言，邏輯程序中之各種雜訊量(諸如RTS、熱量及(例如) $1/f$ 雜訊)大於其中管理雜訊量之類比程序中之該等雜訊量。

在嘗試解決雜訊等等之問題之情況中，存在不僅導致該

邏輯程序之成本增加而且邏輯電路特性及其可靠性惡化之一可能性。因此，鑑於邏輯FAB之變化及發展，類比電路(特別係特性受 $1/f$ 雜訊影響之電路)避免該第二晶片(邏輯晶片)12，且係安裝於該第一晶片(CIS晶片)11上。

若使用一低成本邏輯，則並不管理 $1/f$ 雜訊，且相反地其中管理 $1/f$ 雜訊之一程序導致高成本。

該支撐基板13係用於一通用CIS(未展示)之一基板，且使用一矽結晶基板或一SOI基板。

在本實施例中，一單層或複數層之互連層15係形成於一矽或SOI基板上且係用作主要用於連接該第一晶片(CIS晶片)11與該第二晶片(邏輯晶片)12之間之信號及電源供應器之一內插器。

而且，除包含該互連件之外，亦可能包含諸如一電阻器及一電容器之被動元件及諸如一電晶體之主動元件。

<2. 程序流程>

圖2A至圖2D係展示關於本實施例之一固態成像裝置之程序流程之圖。

以下係該程序流程之概述。

如圖2A所示，於上面藉由一單層或複數層之互連層形成該等互連件15之一支撐基板晶圓20上接合切下為個別晶片之該等第一晶片(CIS晶片)11及該等第二晶片(邏輯晶片)12，其中電路表面朝向下方向(面朝下)定向。

該等個別晶片(CIS及邏輯)11及12係以一磚塊式排列方式接合至該支撐基板晶圓301之整個表面。而且，下文中

如圖 2B 所示，應用一樹脂層 16 以填充該等晶片之間之隙。

接著，拋光該等個別晶片之背面側。

如圖 2C 所示，隨後執行拋光至固態成像裝置 10 所需之預定厚度以控制該等個別第一晶片 (CIS 晶片) 11 之厚度。

此時，亦同時拋光該等第二晶片 (邏輯晶片) 12。

此時，以一磚塊式排列方式在並無凹面及凸面之支撐基板晶圓 301 上安裝各自的個別晶片 122 及 123。在隨後的程序中，作為一經重建晶圓，類似於一正常晶圓程序之處理係可能的。

如圖 2D 所示，藉由一晶圓程序自該等個別晶片 11 及 12 之背面側形成通孔 14，且連接該個別晶片上之互連件 (信號、電源供應器) 及該支撐基板上之互連件 15。

雖然圖中並未展示，但該等晶片係在形成一彩色濾光器、一晶片上透鏡等等之後自晶圓切下使得圖 1 之固態成像裝置 10 完成。

<3. 電路組態及配置>

接著，將關聯圖 3 對關於本實施例之電路配置 (即，安裝於該第一晶片 (CIS 晶片) 11 及該第二晶片 (邏輯晶片) 12 上之該等電路之分類 (劃分)) 進行描述。

圖 3 係展示關於本實施例之固態成像裝置之一組態實例之一方塊圖。

圖 3 之一固態成像裝置 10A 具有其中以一矩陣方式二維配置大量單位像素 (未展示) (包含光電轉換元件) 之像素陣列

單元 101。

該固態成像裝置 10A 具有垂直驅動電路(列掃描電路)102、垂直解碼器 103、一行處理器 104 及一參考信號供應單元 105，且係經組態以包含一水平掃描電路(行掃描電路)106、一時序控制電路 107 及一影像信號處理器 108。

該固態成像裝置 10A 進一步具有一介面系統電路 109。

該行處理器 104 包含比較器 1041 及一計數器電路 1042。

在此固態成像裝置 10A 中，該時序控制電路 107 基於主時脈產生一時脈信號、一控制信號等等用作該垂直驅動電路 102、該行處理器 104、該參考信號供應單元 105、該水平掃描電路 106 等等之操作基礎。

而且，控制該像素陣列單元 101 之各自的單位像素之驅動之周邊驅動系統及類比系統(即，該垂直驅動電路 102、該行處理器 104 之比較器 1041、該參考信號供應單元 105 等等)係整合在與該像素陣列單元 101 相同之第一晶片 11 上。

另一方面，該時序控制電路 107、該影像信號處理器 108、該行處理器 104 之計數器電路 1042 及該水平掃描電路 106 係整合在與該上述晶片不同之第二晶片(邏輯晶片)12 上。

在圖 3 中，該圖中之虛線所包圍之部分係安置於該第一晶片(CIS 晶片)11 上，且另一部分係安置於該第二晶片(邏輯晶片)12 上。

該單位像素具有一光電轉換元件(例如，光二極體)，但此處省略圖示。除具有該光電轉換元件之外，該單位像素

亦具有(例如)將藉由該光電轉換元件中之光電轉換獲得之一電荷轉移至一FD(浮動擴散)部分之一轉移電晶體。

作為該單位像素，可採用一3-電晶體組態之一像素，該像素除具有該轉移電晶體之外亦具有控制該FD部分之電位之一重設電晶體及取決於該FD部分之電位輸出一信號之一放大電晶體。替代地，作為該單位像素，可使用一4-電晶體組態之一像素，該像素額外地具有用於像素選擇或類似物之一選擇電晶體。

在該像素陣列單元101中，該等單位像素係針對m行及n列進行二維配置。對於m列及n行之此像素配置而言，基於每一列佈線列控制線，且基於每一行佈線行信號線。

該等列控制線之每一端係連接至該等列之一對應者之該垂直驅動電路102之輸出終端之一各自者。該垂直驅動電路102係經組態具有移位暫存器等等並經由該等列控制線控制該像素陣列單元101之列地址及列掃描。

該行處理器104具有(例如)為該像素陣列單元101之該等像素行之各者(即，為垂直信號線LSGN之各者)提供之一ADC(類比轉數位轉換器)並基於每一行將自像素陣列單元101之各自的單位像素輸出之一類比信號轉換為一數位信號並輸出該數位信號。

該參考信號供應單元105具有(例如)作為產生具有一所謂的斜坡(RAMP)波形之一參考電壓 V_{ref} 之構件之一DAC(數位轉類比轉換器)，該電壓位準隨著時間流逝以一傾斜方式變化。

產生具有斜坡波形之參考電壓 V_{ref} 之構件並不限於 DAC。

在藉由自該時序控制電路 107 給定之控制信號的控制下，該 DAC 產生具有斜坡波形之參考電壓 V_{ref} 並基於自該時序控制電路 107 給定之時脈將該電壓供應至該行處理器 104 之 ADC。

該等 ADC 之各者具有此一組態以可藉由讀取所有單位像素之資訊之逐行式掃描系統選擇性地實行對應於一正常圖框速率模式及一高速圖框速率模式之各自的操作模式之 AD 轉換操作。

該高速圖框速率模式係其中與該正常圖框速率模式相比該單位像素之曝露時間係設定為 $1/N$ 以將該圖框速率增加至 N 倍(例如，兩倍)之一操作模式。

透過藉由自該時序控制電路 107 給定之控制信號之控制實行此操作模式之切換。而且，對於該時序控制電路 107，用於該正常圖框速率模式及該高速圖框速率模式之各自的操作模式之切換之指示資訊係由一外部系統控制器(未展示)給定。

該等 ADC 全部具有相同組態並具有該比較器 1041(例如，係該計數器電路 1042 之一遞增/遞減計數器)、一轉接開關及一記憶體裝置。

該比較器 1041 比較取決於自該像素區域單元 101 之第 n 行上之每一單位像素輸出之信號之垂直信號線之信號電壓與自該參考信號供應單元 105 供應之具有斜坡波形之參考電

壓 V_{ref} 。

在該比較器 1041 中，舉例而言，在該參考電壓 V_{ref} 高於該信號電壓時其輸出 V_{co} 變成「H」位準，且在該參考電壓 V_{ref} 小於該信號電壓時，該輸出 V_{co} 變成「L」位準。

該計數器電路 1042(其為一遞增/遞減計數器)係一異步計數器。在藉由自該時序控制電路 107 給定之控制信號之控制下，該時脈係由該時序控制電路同時給定並與該 DAC 平行。

該計數器電路 1042 執行與此時脈同步之遞減(DOWN)計數或遞增(UP)計數以藉此量測自開始該比較器 1041 中之比較操作至結束該比較操作之比較週期。

以此方式，基於每一行經由行信號線自該像素陣列單元 101 之每一單位像素供應之類比信號轉換為一 N 位元數位信號並藉由該比較器 1041 及該遞增/遞減計數器電路 1042 之每一操作儲存於該記憶體裝置中。

該水平掃描電路 106 係經組態具有移位暫存器等等並控制該行處理器 104 中之 ADC 之行位址及行掃描。

在藉由此水平掃描電路 106 之控制下，對一水平信號線 LHR 循序讀取藉由該等 ADC 之各者憑藉 AD 轉換獲得之 N 位元數位信號並經由此水平信號線 LHR 將該等數位信號輸出至該影像信號處理器 108 作為成像資料。

該影像信號處理器 108 係執行該成像資料之各種信號處理之一電路並經組態以包含一影像信號處理電路 ISP(影像信號處理器) 1081、一微處理器 1082、一記憶體電路 1083

等等。

在本實施例中，藉由安裝在該第一晶片(CIS晶片)11上之比較器1041比較取決於自每一單位像素輸出之信號之垂直信號線LSGN之信號電壓與該參考信號供應單元105供應之具有斜坡波形之參考電壓Vref。

而且，自比較結果，藉由安裝在該第二晶片(邏輯晶片)12上之計數器電路1042量測自開始比較操作至結束該比較操作之比較週期。

此處，通孔及該支撐基板13上之互連件15係插入於各自安裝在上晶片及下晶片上之比較器1041與計數器電路1042之間，且經由此實行信號轉移之視訊信號路徑在此部分處被隔離，此係本實施例之特性之一者。

安裝在該第一晶片(CIS晶片)11上之比較器1041係經組態僅具有高崩潰電壓電晶體(HV Tr.)。

該比較器1041係安裝在與該像素陣列單元101及該參考信號供應單元105相同之晶片(CIS晶片)11上，且該程序係經管理使得獲得充分的特性作為類比特性及雜訊特性(特別係1/f雜訊)。

安裝在該第二晶片(邏輯晶片)12上之計數器電路1042係經組態具有低崩潰電壓電晶體(LV Tr.)，且實行使用一高級邏輯程序之高速操作設計。

該通孔由於其結構而易受來自相鄰信號之串擾雜訊影響。在連接互連件間距特別狹窄之ADC部分之一視訊信號之情況中，需要使用儘可能穩健地克服雜訊之一COMS數

位信號。

該比較器 1041 之輸出係在所謂的時間軸上具有資料之一 CMOS 邏輯信號使得(舉例而言)在參考電壓 V_{ref} 大於信號電壓時該輸出 V_{co} 變為「H」位準，且在參考電壓 V_{ref} 等於或小於信號電壓 V_x 時該輸出 V_{co} 變為「L」位準。此 CMOS 邏輯信號之雜訊電阻相當高。

<4. 襯墊結構>

圖 4 係說明關於本實施例之一第一襯墊結構之一圖。

對於襯墊，在切下晶片之處理之前，藉由一晶圓程序由該支撐基板 13 之晶圓 20 上之該第一晶片 (CIS 晶片) 11 及該第二晶片 (邏輯晶片) 12 之各者之背面側形成孔隙部分 201 及 202。

而且，該等襯墊係由最上面的互連層 (A1) 203 及 204 形成，該等互連層 (A1) 203 及 204 係由各自的晶片之 A1 形成。

此外，在該第一晶片 (CIS 晶片) 11 之光入射側上安置一彩色濾光器及一晶片上透鏡 205。

圖 5 係說明關於本實施例之一第二襯墊結構之一圖。

在圖 5 之實例中，針對該等各自的個別晶片 11 及 12 之背面執行金屬互連處理以形成襯墊 211 及 212。

在此情況中，雖然該等程序步驟與圖 4 之實例相比有所增加，但是該等個別晶片 11 及 12 之下方襯墊區域 213 及 214 可用作電路配置及互連件區域。

因此，當與相同功能之一晶片作出比較時，晶片大小與圖 4 之襯墊組態相比可減小。

<5. 晶片級封裝(CSP)>

接著，將作出關於該CSP之一描述。

圖6係展示CSP(晶片級封裝)之一第一組態實例之一圖。

圖7係展示CSP(晶片級封裝)之一第二組態實例之一圖。

圖8係展示CSP(晶片級封裝)之一第三組態實例之一圖。

經由該等通孔14連接該支撐基板(內插器)13上之該等各自的個別晶片及金屬互連件15之PAD電極(終端)203及204。

藉由TSV(矽通孔)242連接該支撐基板(內插器)13上之金屬互連件15及該CSP之背面互連件241。

作為該襯墊結構，可採用圖4或圖5之組態。

而且，藉由一黏合劑243接合一防護玻璃罩221以保護CIS光接收表面上之彩色濾光器及晶片上透鏡205。

該防護玻璃罩221可在一晶圓狀態中接合之後藉由切割而切下或可在切下晶片個體之後基於各晶片而接合。

在圖6中，231表示該第一晶片(CIS晶片)11之電路區域。232表示該第二晶片(邏輯晶片)12之電路區域。233表示該第一晶片11之周邊電路區域。

在一探針測試中(在防護玻璃罩接合之前)使用襯墊孔隙部分201及202。然而，如圖7所示，可基於藉由使用一金屬球244或RDL互連件241之一電極執行該探針測試之前提省略該等探針襯墊孔隙部分201及202。

在此情況中，允許晶片大小進一步減小。

本實施例之一特性在於該襯墊(PAD)電極(終端)203及

204與該CSP之背面互連件241之間之連接通過該支撐基板(內插器)13上之互連件15。

此使得可在獨立於如圖6及圖7所示之該等各自的個別晶片之平面之一任意位置處安置該TSV 242。

此可減小CSP1及CSP2之球配置與該等個別晶片11及12之電路配置之間之關係之不匹配並允許該等個別晶片之球配置或平面更具有撓性。

替代地，亦可省略如圖8所示之RDL互連件241。

<6. 個別晶片之接合>

圖9係說明接合第一晶片(CIS晶片)及第二晶片(邏輯晶片)至一支撐基板晶圓之一第一實例之一圖。

圖10係說明接合該等第一晶片(CIS晶片)及該等第二晶片(邏輯晶片)至該支撐基板晶圓之一第二實例之一圖。

如圖9所示，在該等個別晶片接合至該支持基板晶圓20之後，基本上交替地安置該等CIS晶片11及該等邏輯晶片12，且該等晶片被切下作為諸對此等晶片之每一者。

然而，在晶片大小特別小等等之情況中，每一晶圓所獲得之晶片數目增加且基於每一晶片之接合導致安裝成本增加。

因此，舉例而言，安裝成本可藉由改變晶片配置並執行基於如圖10所示之大量複數晶片(晶片叢集)41及42之接合而減小。

在此情況中，接合之前並不執行一晶片選擇測試。

該晶片配置及該叢集中之晶片數目並不限於圖9之實

例。

如上所述，該固態成像裝置10(其為本實施例之半導體裝置之一實例)具有以下特性。

在本實施例中，在該支撐基板13上提供用於一CIS之一互連層以在接合於該支撐基板13上之該第一晶片(CIS晶片)11與該第二晶片(邏輯晶片)12之間實行電連接。

該支撐基板(內插器)13包含Al、Cu等等之互連層並在該第一晶片(CIS晶片)11與該第二晶片(邏輯晶片)12之間實行電連接。

該第一晶片(CIS晶片)11之互連件與該支撐基板13之互連件之間之電連接及該第二晶片(邏輯晶片)12之互連件與該支撐基板13之互連件之間之連接係各自藉由通孔14實行。

由於藉由一晶圓程序處理該通孔14，因此足夠小的圖案化係可能的。

該通孔14之孔直徑係受該第一晶片(CIS晶片)11與該第二晶片(邏輯晶片)12之晶圓厚度影響。因此，該CIS晶片及該邏輯晶片之一較小晶片厚度對該通孔14之微型製造更加有利。

而且，除安裝該互連件之外，亦可在該支撐基板13上安裝諸如一電阻器及一電容器之被動元件及諸如一電晶體之主動元件。

可以低成本(例如)藉由憑藉使用背面照明類型中使用之該支撐基板13形成一內插器而製造該CIS。

作為該支撐基板13，使用熱膨脹係數相同於或等效於該第一晶片(CIS晶片)11與該第二晶片(邏輯晶片)12之熱膨脹係數之一材料(例如，一單晶矽基板或類似物)。

當與具有與本實施例相同之功能之SOC(晶片上系統)類型之一CIS作出一比較時，最佳地劃分本實施例之兩個個別晶片之電路組態(該電路之切割邊緣)。

歸因於此，本實施例之該第一晶片(CIS晶片)11之電晶體Tr.可僅由高崩潰電壓Tr.(CMOS)形成。

而且，互連層之數目係設定為像素陣列及其周邊電路之組態所需要之互連層之最小數目，這允許製造成本減小。

順便提及，在一通用CIS程序中，針對高速邏輯電路(諸如控制電路及影像處理電路)，除高崩潰電壓Tr.之外，低崩潰電壓LV之高速Tr.亦係必要的。而且，對於該等高速邏輯電路，互連層之數目大於該像素陣列及該周邊電路之互連層之必要的最小數目係必要的。

在本實施例中，對於該邏輯晶片，使用一通用LOGIC程序，其中FAB之變化及發展比較容易。

通用邏輯電路(包含一記憶體電路及一介面電路)係安裝在該第二晶片(邏輯晶片)12上，且該等類比特性及該等雜訊特性非常重要之電路並非安裝在該邏輯晶片上而是安裝在該第一晶片(CIS晶片)11上。

藉由積極使用該程序產生之演進及使用最高級程序，可針對該第二晶片(邏輯晶片)12實現諸如功耗減小及速度增強之特性增強。因此，該程序產生在許多情況中之該第一

晶片(CIS晶片)11與該第二晶片(邏輯晶片)12之間不同。舉例而言，用於該第一晶片(CIS晶片)11之程序產生係大約250奈米至65奈米，且用於該第二晶片(邏輯晶片)12之程序產生係大約90奈米、65奈米、40奈米、32奈米或更少。

藉由憑藉該通孔及在該支撐基板(內插器)晶圓20上安裝個別晶片並構建一重新組裝之晶圓之後使用一晶圓程序等等實行電連接，與凸塊(Bump)連接等等相比，可增強終端之配置密度。

在本實施例中，使用並不限於用於該電連接之通孔之一晶圓程序係一特性，且與諸如凸塊連接之一組裝程序相比可廉價地實現微型製造。

當晶片大小較小且每一晶圓獲得之晶片數目較大時，本實施例尤為有效。

而且，增強配置密度允許劃分為應安裝在該第一晶片(CIS晶片)11及該第二晶片(邏輯晶片)12之各者上之最佳電路，且允許該固態成像裝置之特性增強及製造成本減小。

藉由針對該第一晶片(CIS晶片)11及該第二晶片(邏輯晶片)12之各者使用最佳程序，可最大程度地使用該等特性。

透過省略一多餘程序(例如，該第一晶片(CIS晶片)11中之一高速邏輯程序或該第二晶片(邏輯晶片)12中之一像素程序)，可實現歸因於諸步驟中之熱歷程之改良之電晶體特性之改良及像素特性之增強。

而且，允許歸因於缺陷發生機率之降低之良率改良。

可組合具有不同大小及特性之第一晶片(CIS晶片)與具有不同功能之第二晶片(邏輯晶片)¹²，且允許各種商業產品發展。

在形成一接合PAD中，使用形成於每一個別晶片中之一金屬電極。

在接合個別晶片中，可能的是，為減小安裝成本，在未切割之情況下切下複數個晶片(晶片叢集)並將該等晶片直接安裝。

在本實施例中，在處理為一晶片級封裝(CSP)之情況中，經由該等通孔連接該支撐基板(內插器)上之該等各自的個體與該等金屬互連件之PAD電極(終端)。而且，藉由矽通孔(TSV)連接該支撐基板(內插器)上之該等金屬互連件與該CSP之背面互連件。

經由該支撐基板(內插器)上之互連件之該PAD電極(終端)與該CSP之背面互連件之間之連接允許該TSV安置在獨立於該等各自的個別晶片之平面之一任意位置。

而且，亦可使用該支撐基板(內插器)上之互連件取代該CSP背面上之RDL互連件之部分。舉例而言，連接該等晶片之電源供應器終端使得易於整合該等電源供應器終端並允許該CSP之球體數目減小。

而且，可省略該RDL互連件並僅用該支撐基板(內插器)上之互連件實現該CSP。

而且，在將該等個別晶片接合至該支撐基板晶圓中，基本上交替地安置該等第一晶片(CIS晶片)¹¹及該等第二晶片

(邏輯晶片)12，且可將該等晶片切下作為諸對此等晶片之各者。

在晶片大小特別小等等之情況中，每一晶圓所獲得之晶片數目增加且基於每一晶片之接合導致安裝成本增加。

因此，該安裝成本可(例如)藉由改變該等晶片之配置並執行基於大量複數個晶片(晶片叢集)之接合而降低。

而且，根據本實施例，可獲得下列效果。

藉由將該比較器之輸出信號用作實行影像資料之信號供應/接收之邊緣部分處之信號，可減小該VIA連接部分處之雜訊問題並允許該等邏輯晶片之間之電路配置之最合適的電路組態。

藉由關注該等類比特性及該等雜訊特性(特別係1/f雜訊)及於該第一晶片(CIS晶片)上安置特性受雜訊影響之電路，該CIS晶片可實現該雜訊電阻之極佳特性。

藉由關注該等類比特性及該等雜訊特性(特別係1/f雜訊)及於該CIS晶片上安置特性受雜訊影響之電路，一通用ASIC(邏輯)程序可用於該邏輯晶片。此外，關於該邏輯晶片，易於允許改變並發展晶圓FAB為另一FAB。

藉由對該CIS晶片使用最小互連層實現成本減小，且可藉由用該支撐基板(內插器)上之互連件加強而解決諸如該CIS晶片中之電壓下降(Drop)之伴隨問題。

最佳程序係經組態僅具有高電壓電晶體(HV. Tr)並包含用於該CIS晶片所必需之最小數目個互連層之一電路，且係用於該邏輯晶片之一通用ASIC程序。

使用相同 CIS 晶片並改變該邏輯晶片允許各種產品發展。

藉由憑藉使用用於一 CIS 之一支撐基板形成一內插器，最小化整合為一複合晶片之成本增加。此外，藉由對每一個別晶片之程序最佳化允許進一步減小成本。

藉由在支撐基板(內插器)上除形成該互連件之外，亦形成諸如一電阻器及一電容器之被動部件及諸如一電晶體之主動部件，可實現部件數目之減小及其中安裝本固態成像裝置之系統之微型化。

在組態該 CSP 中，該 TSV 之位置並無限制，且可減小該 CSP 之球配置與該等個別晶片之電路配置之間之關係之不匹配。而且，針對其中安裝本固態成像裝置之系統之基板允許藉由撓性球配置之回應。

雖然已將一 CMOS 影像感測器之組態描述為本實施例中之半導體裝置之一實例，但上述組態可應用於(例如)該背面照明類型之一 CMOS 影像感測器且可展現該等上述各自效果。然而，甚至正面照明類型亦可充分展現該等上述各自的效果。

具有此等效果之固態成像元件可用作一數位相機機及一視訊攝錄影機之一成像裝置。

在圖 3 之組態中，該垂直解碼器 103(其為一數位系統電路)係安置於該第一晶片 11 上。然而，在本發明中，如圖 11 所示，亦可將此垂直解碼器 103 安裝於一第二晶片 12B 之側上並以將此等電路劃分為不同晶片之一方式組態類比系

統電路及數位系統電路。

而且，在上述實施例中，已描述使該比較器電路1041及該計數器電路1042作為該行處理器104、使一行平行ADC作為一實例之固態成像裝置。然而，本發明亦可採用諸如行CDS及行QV之系統。

在此情況中，如對應於圖3及圖11之圖12及圖13所示，亦可以一行處理器104A具有一行電路1041A及一ADC1042A之一方式組態該固態成像裝置。在此實例中，該行電路1041A係安置在該第一晶片11之側上，且該ADC1042A係安置在該第二晶片12之側上。

圖14係展示一相機系統之組態之一實例之一方塊圖，關於本發明之實施例之固態成像裝置應用於該相機系統。

如圖14所示，本相機系統300具有可應用關於本實施例之CMOS影像感測器(固態成像裝置)10、10A、10G、10H或10I之一成像裝置310。

而且，該相機系統300具有導引入射光至此成像裝置310之像素區域(形成一主題影像)之一光學系統(例如，在成像平面上形成該入射光(影像光)之影像之一透鏡320)。

該相機系統300具有驅動該成像裝置310之一驅動電路(DRV)330及處理該成像裝置310之輸出信號之一信號處理電路(PRC)340。

該驅動電路330具有一時序產生器(未展示)，該時序產生器產生包含一啟動脈衝及一時脈脈衝之各種時序信號以驅動該成像裝置310中之電路，並藉由一預定時序信號驅

動該成像裝置310。

而且，該信號處理電路340對該成像裝置310之輸出信號執行預定信號處理。

將藉由該信號處理電路340處理之影像信號記錄於諸如一記憶體之一記錄媒體中。該記錄媒體中所記錄之影像資訊係藉由一印表機或類似物硬複製。而且，該信號處理電路340處理之影像信號係顯示為由一液晶顯示器或類似物形成之一監控器上之一移動影像。

如上所述，藉由將作為該成像裝置310之該上述成像元件10、10A、10G、10H或10I安裝於諸如一數位靜態相機機之一成像裝置中，可實現一高清晰度相機機。

本發明含有關於日本專利局2010年6月2日申請之日本優先權專利申請案JP 2010-127237號中揭示之主題之主題，該案之全部內容以引用的方式併入本文。

熟習此項技術者應瞭解只要設計需求及其他因素在附加申請專利範圍或其等等效物之範疇內，則可根據該等設計需求及其他因素發生各種修改、組合、子組合及變更。

【圖式簡單說明】

圖1係展示作為關於本發明之一實施例之一半導體裝置之一固態成像裝置之一組態實例之一圖；

圖2A至圖2D係展示具有關於本實施例之一堆疊結構之固態成像裝置之程序流程之圖；

圖3係展示關於本實施例之固態成像裝置之一組態實例之一方塊圖；

圖4係說明關於本實施例之一第一襯墊結構之一圖；

圖5係說明關於本實施例之一第二襯墊結構之一圖；

圖6係展示一CSP(晶片級封裝)之一第一組態實例之一圖；

圖7係展示該CSP(晶片級封裝)之一第二組態實例之一圖；

圖8係展示該CSP(晶片級封裝)之一第三組態實例之一圖；

圖9係說明接合第一晶片(CIS晶片)及第二晶片(邏輯晶片)至一支撐基板晶圓之一第一實例之一圖；

圖10係說明接合該等第一晶片(CIS晶片)及該等第二晶片(邏輯晶片)至該支撐基板晶圓之一第二實例之一圖；

圖11係展示關於本實施例之固態成像裝置之另一組態實例之一方塊圖；

圖12係展示關於本實施例之固態成像裝置之另一組態實例之一方塊圖；

圖13係展示關於本實施例之固態成像裝置之另一組態實例之一方塊圖；及

圖14係展示一相機系統之組態之一實例之一方塊圖，關於本發明之實施例之一固態成像元件應用於該相機系統。

【主要元件符號說明】

10	固態成像裝置/CMOS影像感測器
10A	固態成像裝置/CMOS影像感測器
10G	固態成像裝置/CMOS影像感測器

10H	固態成像裝置/CMOS影像感測器
10I	固態成像裝置/CMOS影像感測器
11	第一晶片(CIS晶片)
12	第二晶片(邏輯晶片)
12B	第二晶片
13	支撐基板(內插器)
14	通孔
15	互連件
20	支撐基板晶圓
41	晶片叢集
42	晶片叢集
101	像素陣列單元
102	垂直解碼器/垂直驅動電路
103	驅動器/垂直解碼器
104	行處理器
104A	行處理器
105	參考信號供應單元
106	水平掃描電路
107	時序控制電路
108	影像信號處理器
109	介面系統電路
122	晶片
123	晶片
201	孔隙部分

202	孔隙部分
203	互連層
204	互連層
205	晶片上透鏡
211	襯墊
212	襯墊
213	下方襯墊區域
214	下方襯墊區域
221	防護玻璃罩
231	第一晶片之電路區域
232	第二晶片之電路區域
233	第一晶片之周邊電路區域
241	RDL互連件
242	矽通孔(TSV)
243	黏合劑
244	金屬球
300	相機系統
310	成像裝置
320	透鏡
330	驅動電路
340	信號處理電路
1041	比較器
1041A	行電路
1042	計數器電路

1042A	類比轉數位轉換器
1081	影像信號處理電路
1082	微處理器
1083	記憶體電路
LHR	水平信號線
LSGN	垂直信號線

七、申請專利範圍：

1. 一種固態成像裝置，其包括：
 - 一支撐基板；
 - 具有安置於該支撐基板上之一像素陣列之一成像半導體晶片；及
 - 安置於該支撐基板上之一影像處理半導體晶片，其中藉由通孔及形成於該支撐基板上之互連件連接該成像半導體晶片及該影像處理半導體晶片。
2. 如請求項1之固態成像裝置，其中該等通孔連接該影像處理半導體晶片與該等互連件及該成像半導體晶片與該等互連件。
3. 如請求項2之固態成像裝置，其中該等互連件之至少一者具有一延伸部分以撓性地容納定位延伸通過該支撐基板之一矽通孔。
4. 如請求項3之固態成像裝置，其中該成像半導體晶片包括高崩潰電壓電晶體，且該影像處理半導體晶片包括低電壓電晶體。
5. 如請求項4之固態成像裝置，其中該等高崩潰電壓電晶體之一閘極層比該等低電壓電晶體之一閘極層厚。
6. 如請求項5之固態成像裝置，其中該等高崩潰電壓電晶體之該閘極層較佳具有大致上自5奈米至7奈米之一厚度。
7. 如請求項5之固態成像裝置，其中該等低電壓電晶體之該閘極層較佳具有大致上自1.5奈米至3奈米之一厚度。

8. 如請求項5之固態成像裝置，其進一步包括：

一類比轉數位轉換器，該類比轉數位轉換器包含：

一比較器，其經組態以比較來自該像素陣列之一信號電壓與來自該成像半導體晶片之一參考信號供應單元之一參考電壓；及

一計數器電路，其經組態以量測該比較器之一比較週期。

9. 如請求項8之固態成像裝置，其中該成像半導體晶片包含該比較器，且該影像處理半導體晶片包含該計數器電路。

10. 如請求項9之固態成像裝置，其中該成像半導體晶片進一步包含一垂直解碼器。

11. 如請求項8之固態成像裝置，其中該影像處理半導體晶片包含該類比轉數位轉換器。

12. 如請求項11之固態成像裝置，其中該成像半導體晶片進一步包含一垂直解碼器。

13. 一種製造一固態成像裝置之方法，其包括：

在一支撐基板上形成一互連件層；

將複數個成像半導體晶片及複數個影像處理半導體晶片以一磚塊式排列方式接合至該支撐基板之一表面；

用樹脂填充該複數個成像半導體晶片與該複數個影像處理半導體晶片之間之間隙；

拋光該複數個成像半導體晶片及該複數個影像處理半導體晶片；及

形成自該複數個成像半導體晶片及該複數個影像處理半導體晶片之一背面側至該互連件層之通孔。

14. 如請求項13之製造一固態成像裝置之方法，其中該接合進一步包含接合分別包含該複數個成像半導體晶片及該複數個影像處理半導體晶片之相鄰對之複數個晶片叢集。
15. 一種電子裝置，其包括如請求項1之固態成像裝置。
16. 如請求項15之電子裝置，其中該電子裝置係一相機機。

八、圖式：

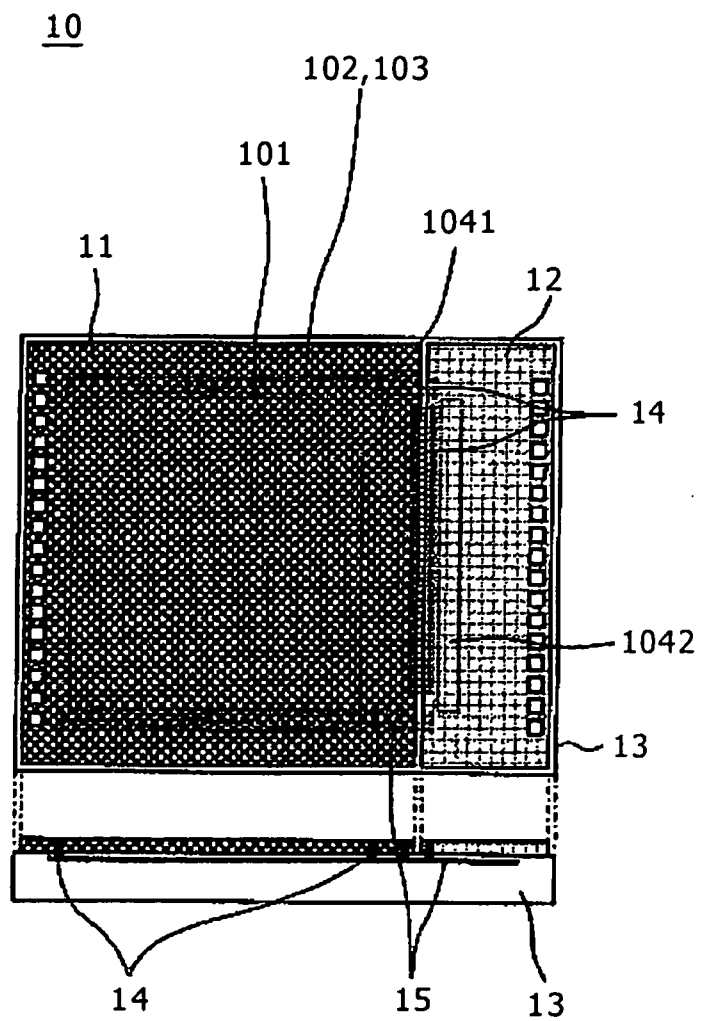
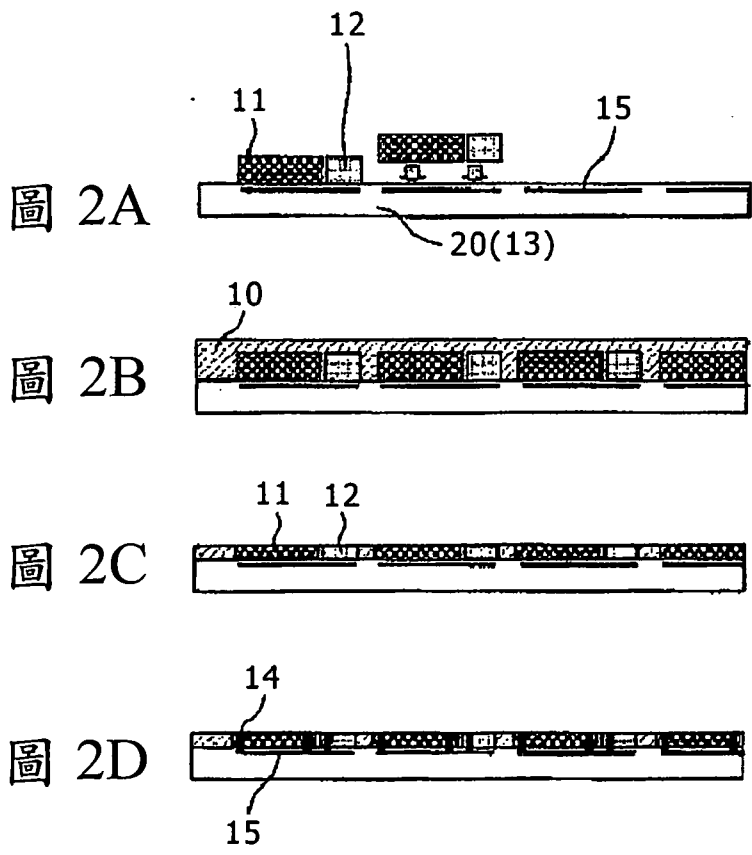


圖 1



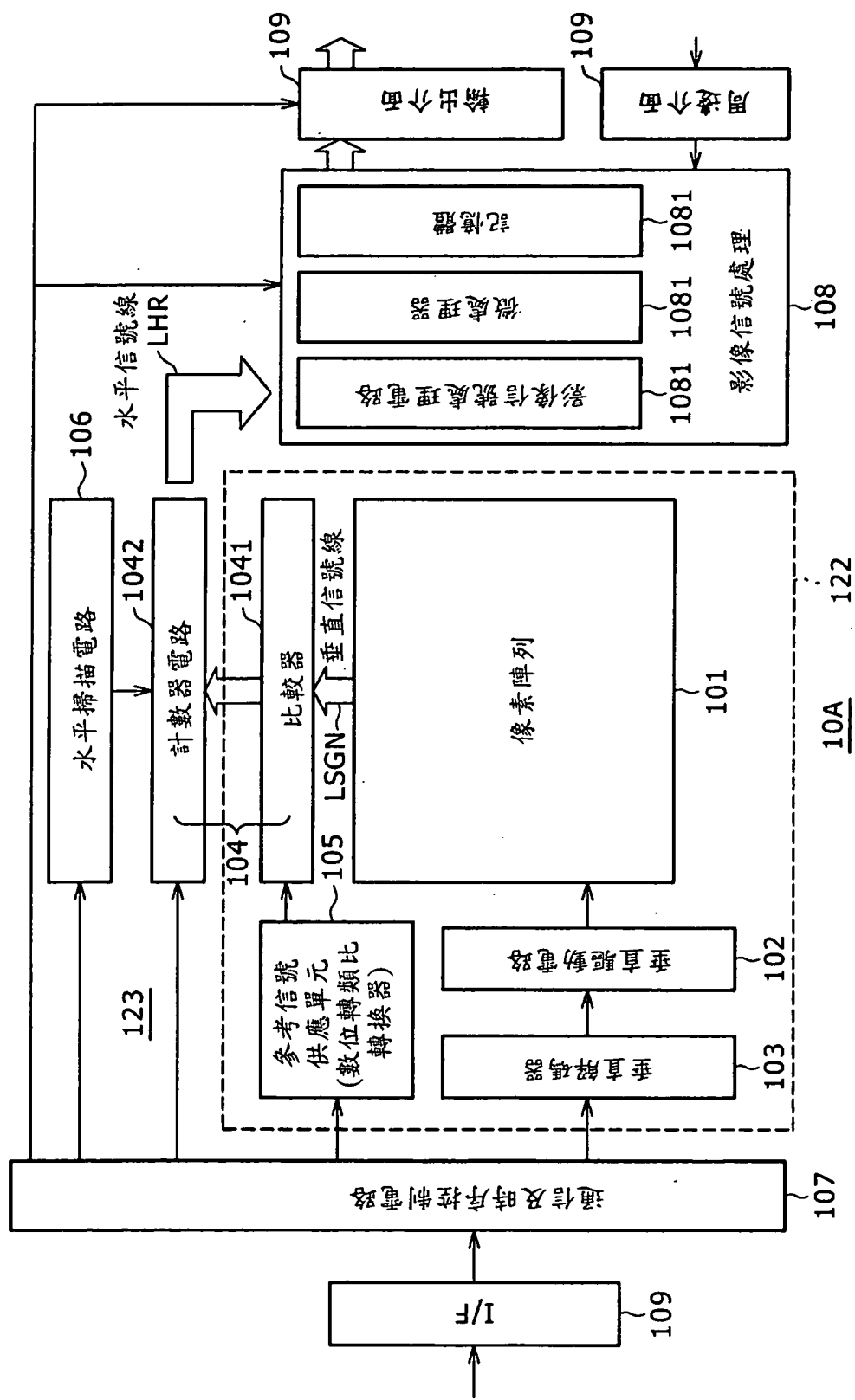


圖 3

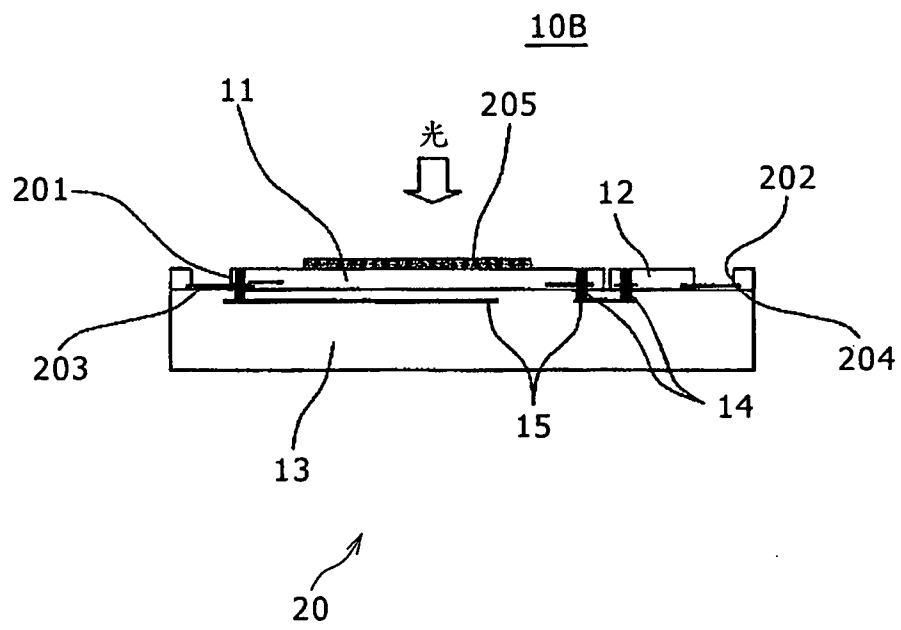


圖 4

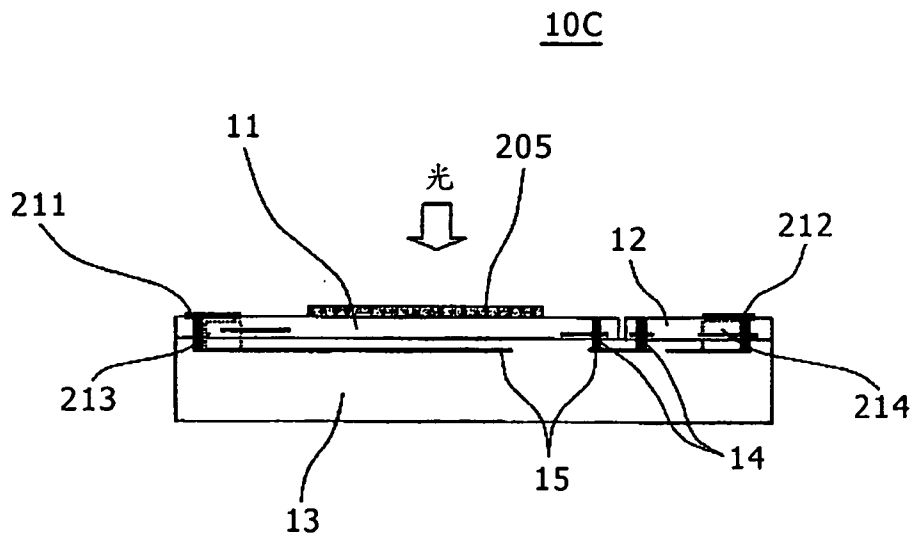


圖 5

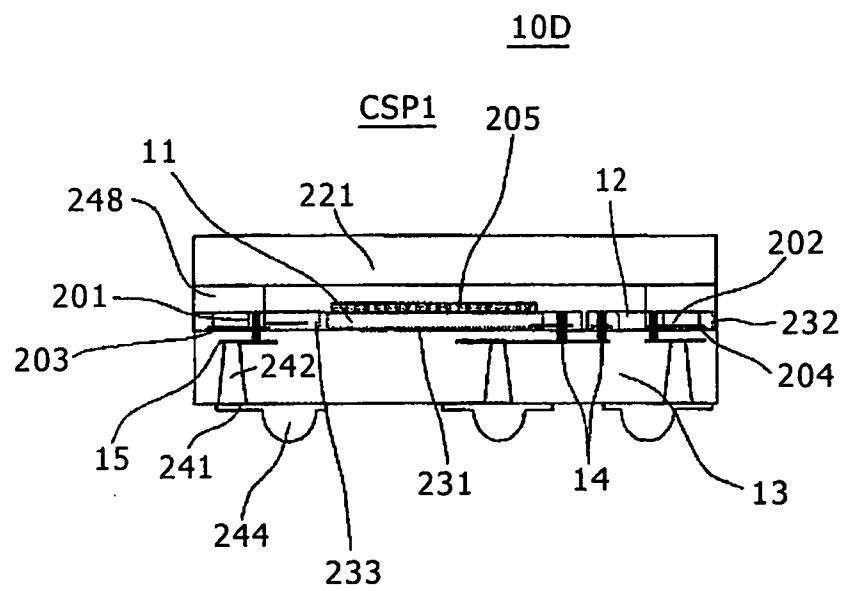


圖 6

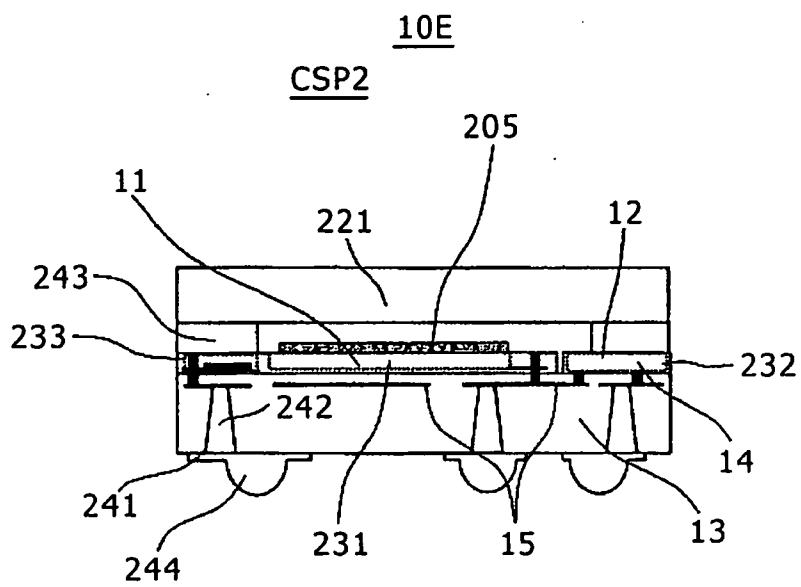


圖 7

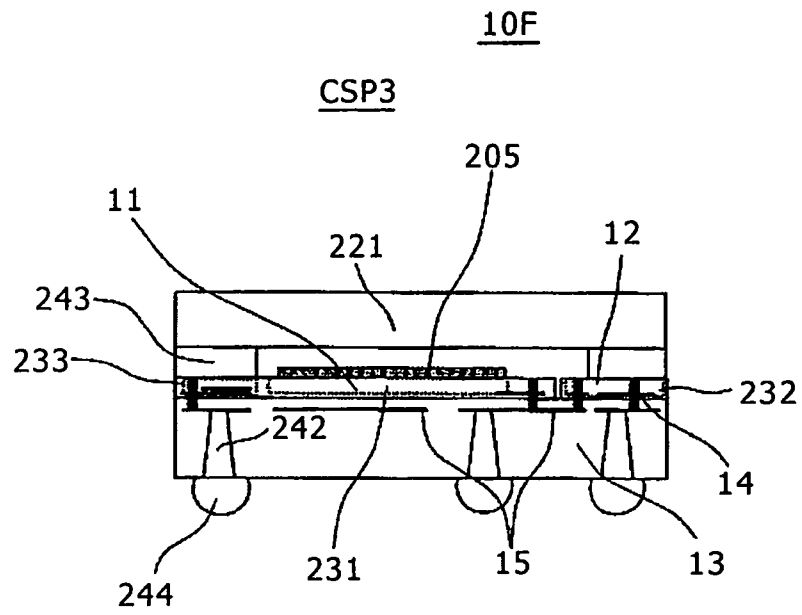


圖 8

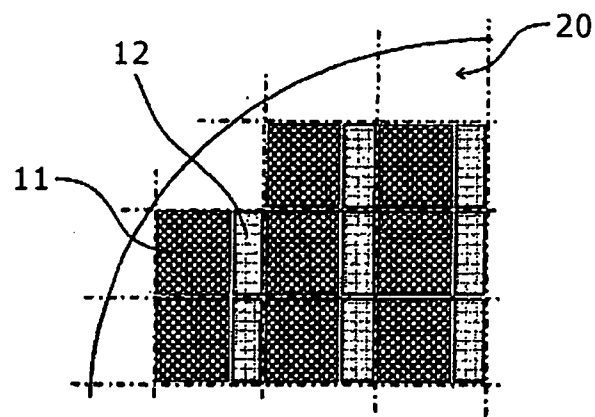


圖 9

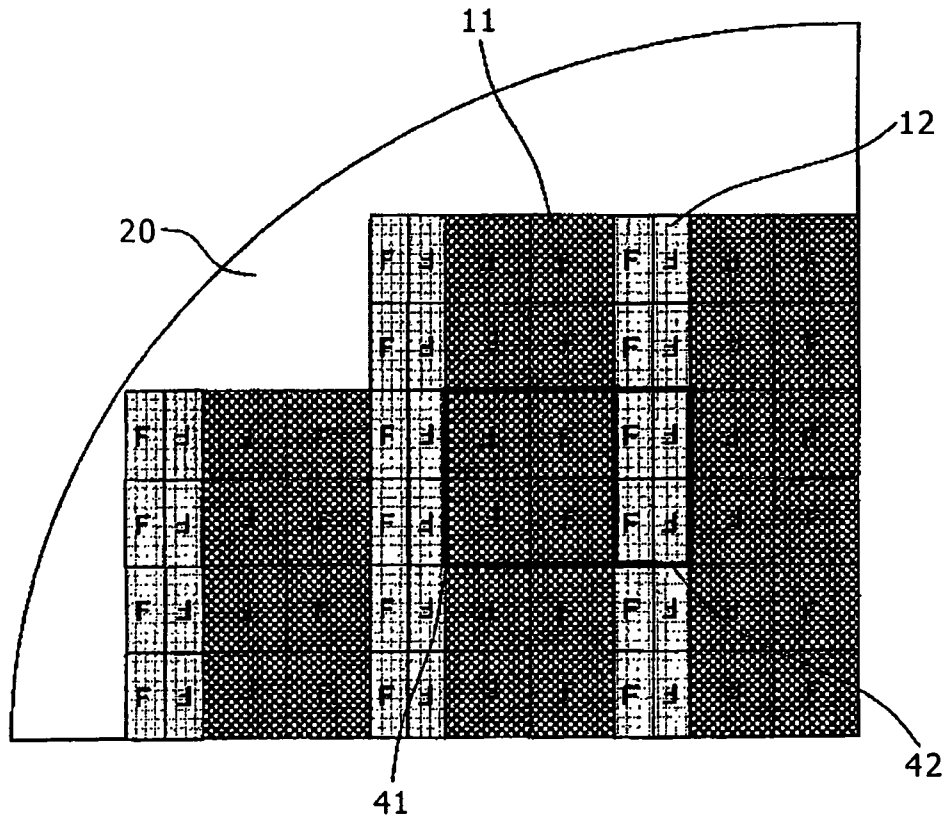


圖 10

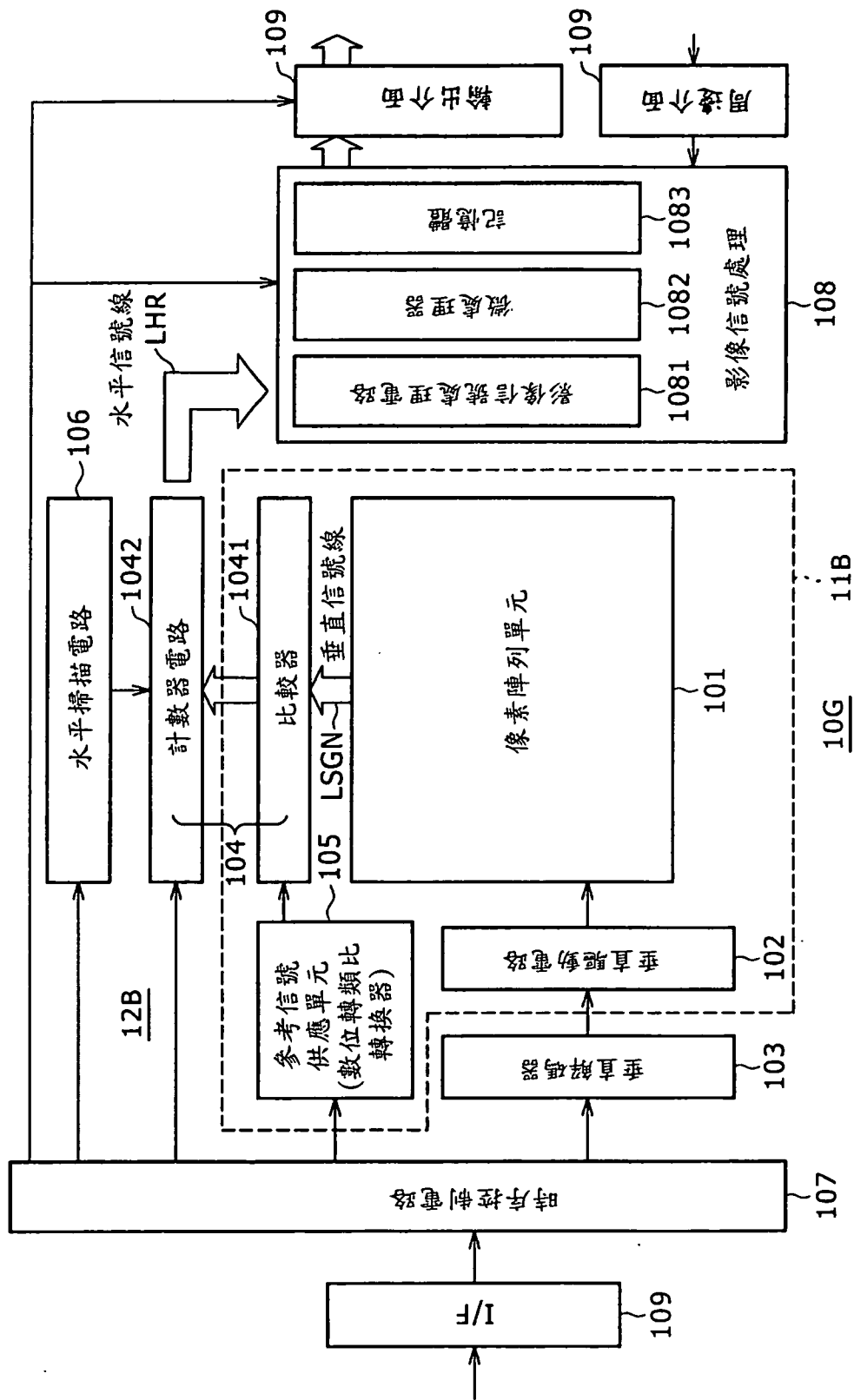


圖 11

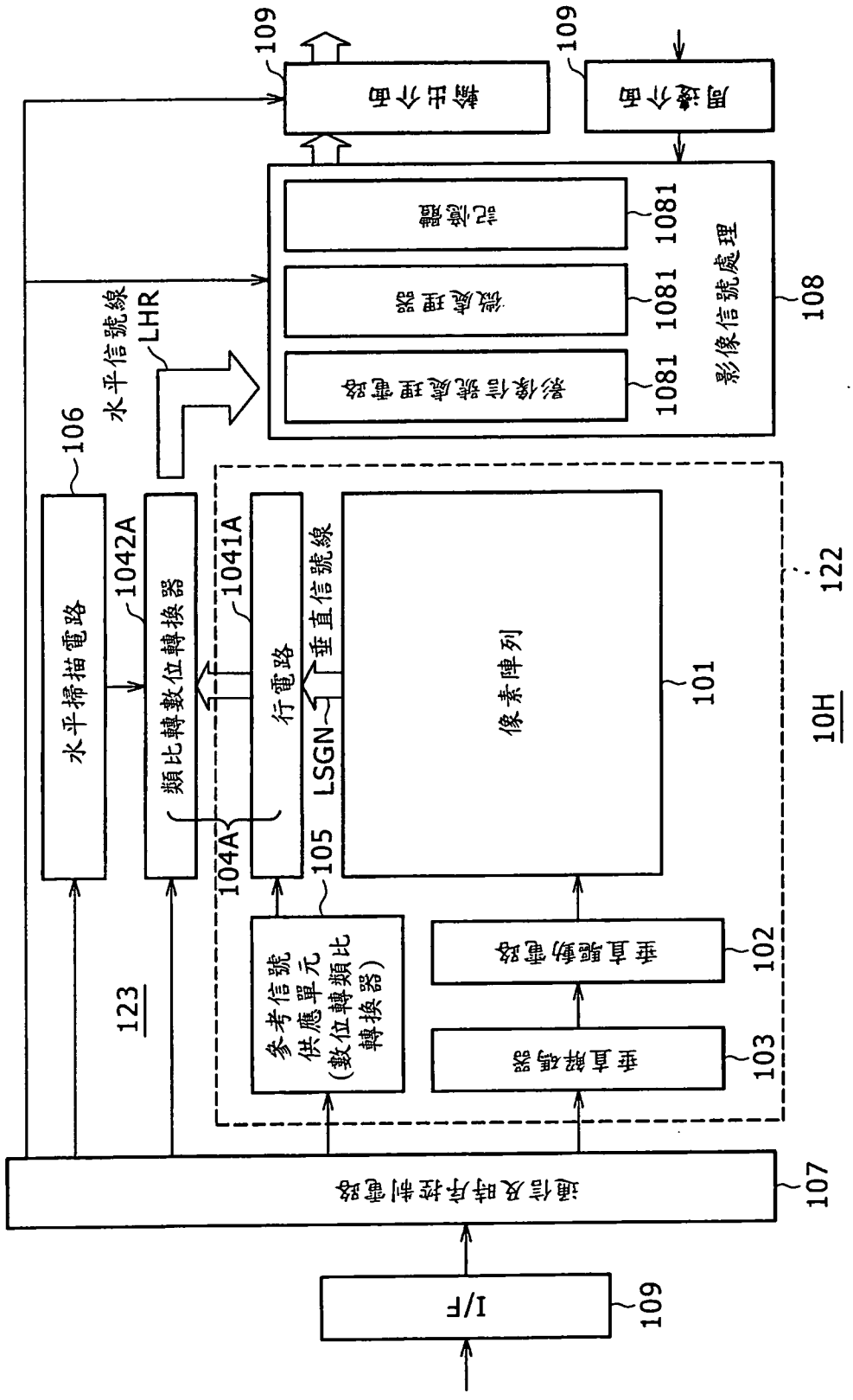


圖 12

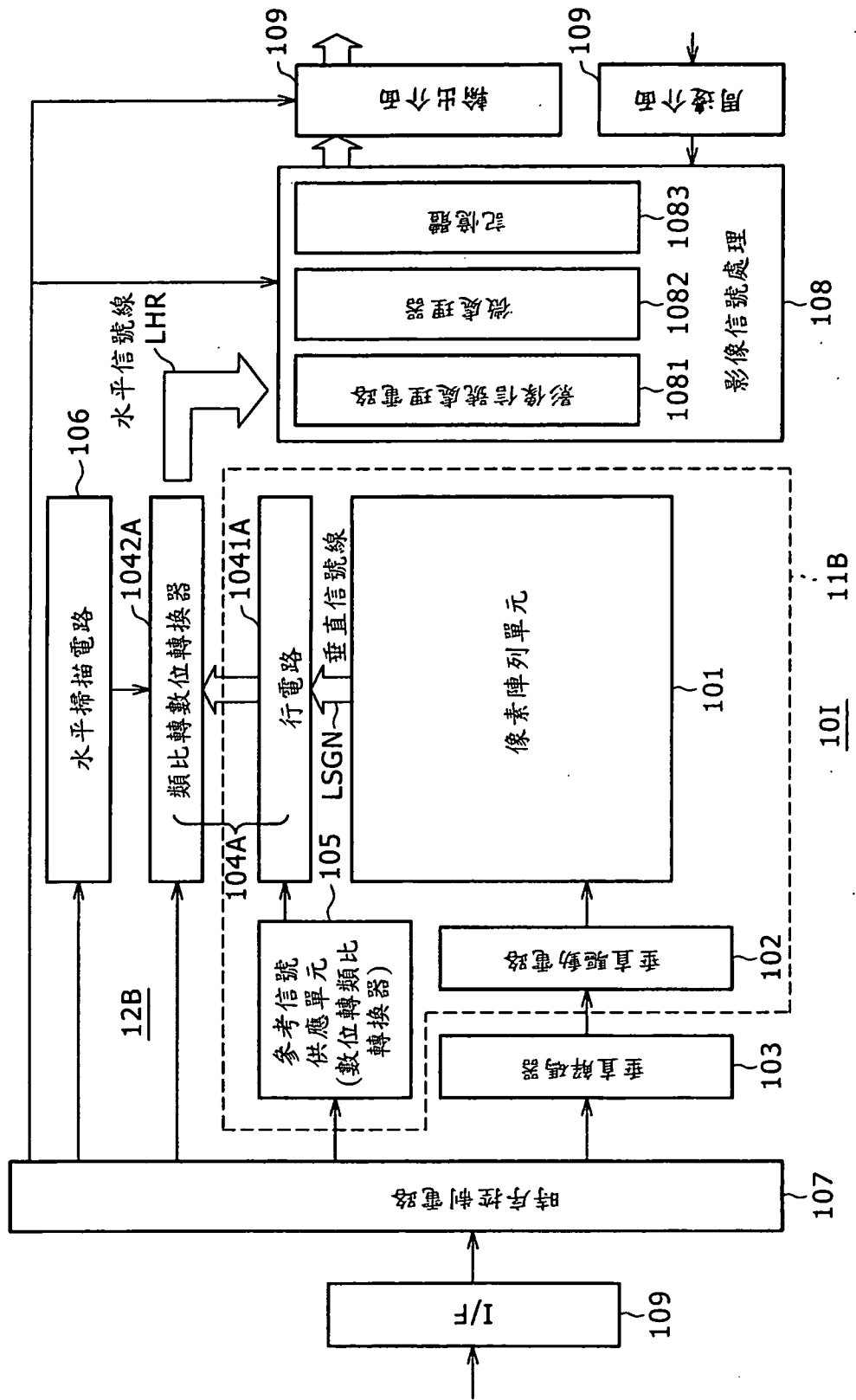


圖 13

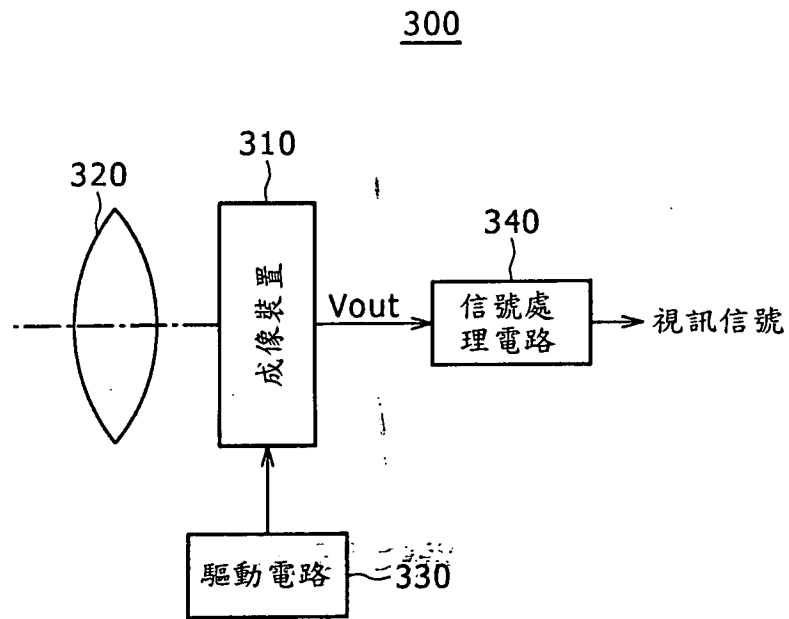


圖 14