

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/10

H01L 27/11 G11C 11/34



[12] 发明专利申请公开说明书

[21] 申请号 02130508.0

[43] 公开日 2003 年 8 月 6 日

[11] 公开号 CN 1434515A

[22] 申请日 2002.8.15 [21] 申请号 02130508.0

[30] 优先权

[32] 2002. 1. 22 [33] US [31] 10/051,188

[71] 申请人 株式会社日立制作所

地址 日本东京

[72] 发明人 高浦则克 松冈秀行 竹村理一郎

奥山幸祐 茂庭昌弘 西田彰男

舟山幸太 关口知纪

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

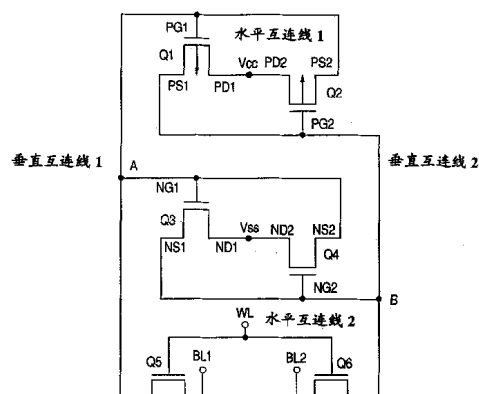
代理人 付建军

权利要求书 4 页 说明书 29 页 附图 52 页

[54] 发明名称 使用垂直沟道晶体管的半导体存储器件

[57] 摘要

本发明提供一种半导体存储器件包括多条字线、多条位线以及多个静态存储单元，每个存储单元具有第一、第二、第三、第四、第五和第六个晶体管。每个第一、第二、第三和第四晶体管的沟道相对应该半导体存储器件的基片垂直。每个形成第五和第六晶体管的源极和漏极的半导体区域形成在该基片上的一个 PN 结。根据本发明另一个方面，该 SRAM 器件具有多个 SRAM 单元，其中至少一个是垂直 SRAM 单元，其包括在基片上的至少四个垂直晶体管，以及每个垂直晶体管包括排列在一条对齐线上的一个源极、一个漏极和它们之间的沟道，该对齐线以大于 0 度的角穿过该基片的表面。



- 1.一种半导体存储器件包括：
多条字线；
5 多条位线；以及
多个静态存储单元，每个存储单元具有第一、第二、第三、第四、第五和第六个晶体管，
其中每个第一、第二、第三和第四晶体管的沟道相对应该半导体存储器件的基片垂直。
- 10 2.根据权利要求1所述的存储器件，其中每个形成所述第五和第六晶体管的源极和漏极的半导体区域形成在所述基片上的一个PN结。
- 3.根据权利要求2所述的存储器件，
15 其中所述第五和第六晶体管的栅极连接到所述字线，以及
其中所述第五和第六晶体管的每个源极-漏极路径连接到所述位线。
4. 根据权利要求2所述的存储器件，
20 其中所述第五晶体管的栅极连接到所述第六晶体管的漏极，
其中所述第六晶体管的栅极连接到所述第五晶体管的漏极，以及
所述第五和第六晶体管的每一个具有与所述第一和第二晶体管相同的导电类型。
- 25 5. 根据权利要求2所述的半导体存储器件，
其中所述第五晶体管的栅极连接到所述第六晶体管的漏极，
其中所述第六晶体管的栅极连接到所述第五晶体管的漏极，以及
其中所述第五和第六晶体管的每一个具有与所述第一和第二晶体

管不同的导电类型。

5 6. 根据权利要求 1 所述的半导体存储器件，
其中该第一和第二晶体管的栅极形成在第一层面上，以及
其中该第三和第四晶体管的栅极形成在第二层面上。

10 7. 根据权利要求 1 所述的半导体存储器件，
其中该第一晶体管的栅极形成在第一层面上，
其中该第二晶体管的栅极形成在第二层面上，
其中该第三晶体管的栅极形成在第三层面上，以及
其中该第四晶体管的栅极形成在第四层面上。

15 8. 根据权利要求 1 所述的半导体存储器件，
形成第一晶体管的沟道的一个柱被围绕该柱的柱面的栅极所覆盖，
它们之间具有一个绝缘层。

20 9. 根据权利要求 1 所述的半导体存储器件，
其中所述第五和第六晶体管的沟道垂直地形成在该基片上，其中所述基片由单晶硅所制成。

10. 一种 SRAM 器件，其具有多个 SRAM 单元，至少一个单元是垂直 SRAM 单元，其包括在基片上的至少四个垂直晶体管，其中每个垂直晶体管包括排列在一条对齐线上的一个源极、一个漏极和它们之间的沟道，该对齐线以大于 0 度的角穿过该基片的表面。

25 11. 根据权利要求 10 所述的 SRAM 器件，其中该角度为 90。

12. 根据权利要求 10 所述的 SRAM 器件，其中该垂直 SRAM 单元进一步包括一对电阻、一对水平晶体管或者另外一对垂直晶体管。

13. 根据权利要求 12 所述的 SRAM 器件, 其中该对水平晶体管或该对另外的垂直晶体管作为一对传输、驱动或负载 MOS 晶体管, 并且该负载晶体管是 PMOS 晶体管, 而传输和驱动晶体管是 NMOS 晶体管。

5

14. 根据权利要求 12 所述的 SRAM 器件, 其中该四个垂直晶体管被分为在不同水平面上的两组, 以及该垂直 SRAM 单元进一步包括该对电阻或该对另外的垂直晶体管, 每一对被设置在这两个水平面之一上, 或者在这两个水平面之上、之下或之间。

10

15. 根据权利要求 14 所述的 SRAM 器件, 其中该位于不同水平面上的晶体管或电阻器被选择性地通过与所述对齐线相平行的至少一条垂直互连线相互连接。

15

16. 根据权利要求 15 所述的 SRAM 器件, 其中所述至少一个垂直互连线与平行于该基片表面的水平互连线、水平 Vcc 横梁和水平 Vss 横梁中的至少一个交叉连接。

20

17. 根据权利要求 15 所述的 SRAM 器件, 其中所述至少一个垂直互连线穿过垂直晶体管的至少一个栅极, 该垂直晶体管的第一维度和第二维度与基片表面相平行, 以及第三维度与所述对齐线相平行。

25

18. 根据权利要求 17 所述的 SRAM 器件, 其中所述至少一个垂直互连线穿过至少两个所述栅极。

19. 根据权利要求 15 所述的 SRAM 器件, 其中所述至少一个垂直互连线包括分别与两个垂直晶体管相连接的两个垂直互连线, 从而在它们之间形成一个单位 SRAM 单元, 其在与基片表面相平行的截面上的形状为对角或平行四边形形状。

20. 根据权利要求 12 所述的 SRAM 器件, 其中该垂直 SRAM 单元进一步包括至少一对齐线, 其分别通过两个与该对齐线相平行的垂直互连线连接到至少一个晶体管和电阻器, 以及每条位线与多个位线接头相连接, 每个接头由多个 SRAM 单元的两个相邻 SRAM 单元所共用。

21. 根据权利要求 12 所述的 SRAM 器件, 其中所述每个垂直晶体管进一步包括一个栅极, 其第一维度和第二维度与基片表面相平行, 以及第三维度与所述对齐线相平行。

22. 根据权利要求 10 所述的 SRAM 器件, 其中进一步包括至少另一个垂直 SRAM 单元, 其在该垂直 SRAM 单元上方, 它们之间具有一个绝缘层。

使用垂直沟道晶体管的半导体存储器件

5 技术领域

本发明一般涉及具有至少一个垂直 SRAM 单元的 SRAM 器件，该垂直 SRAM 单元中包括垂直晶体管以减小存储单元尺寸。特别地，本发明涉及一种具有至少一个垂直 SRAM 单元的 SRAM 器件，该垂直 SRAM 单元包括至少四个垂直晶体管。

10

背景技术

美国专利 No.5576238 涉及一种包括四个晶体管和两个电阻（4T/2R）的一种 SRAM 单元，其速度慢并且消耗较大能量。在其图 7 中所示的该实施例具有形成在电阻上方的两个晶体管，该电阻形成在基片上的两个普通晶体管之上。其中没有垂直晶体管在任何其它垂直晶体管之上。

美国专利 No.5341327 试图通过在六晶体管（6T）SRAM 单元中都采用薄膜晶体管（“TFT”）而减小单元尺寸问题，该 SRAM 单元的电路图在其图 36 中示出。如其图 5 中所示，提供一对传输晶体管 Q3 和一对驱动晶体管 Q1，它们由 n 型 TFT 所构成。一对 p 型负载晶体管 Q5 形成在中间绝缘层的表面上。该 TFT 6T SRAM 单元比 4T/2R SRAM 单元更小，但是仍然较慢。

美国专利 No.5198683 进一步在 6 晶体管（6T）SRAM 单元中提供一对具有垂直沟道的负载 TFT 以及其它四个不同晶体管。但是，该垂直负载 TFT 位于与其它四个普通 TFT 相同的层面中，使得垂直负载 TFT 的源极和漏极不可避免地被水平弯曲。这样，该结构的尺寸减小效果相对地受到其单层结构所限制。美国专利 No.6309930 具有相同的问题。如其图 4 中所示，第四晶体管的漏极和源极 4S/D1、4S/D2 的未

端被水平弯曲。

为了一个与减小单元尺寸完全不同的目的，即减小一个布线层，日本专利 No.09-232447 采用一种用于一个 TFT 的垂直沟道结构，从而在其图 7D 中在垂直 TFT 的栅极与另一个普通晶体管之间共用该基片作为一个布线层。顺便提及，垂直源极和垂直漏极被提供用于与垂直沟道相结合地工作。该参考标号仅仅采用在相同层中的一对垂直 TFT 作为负载晶体管与其它 4 个普通晶体管一同形成 SRAM 单元。

一个整体 6T SRAM 单元具有在例如单晶硅这样的整体半导体基片上形成的 6 个晶体管。一个 6T 整体 SRAM 单元比 4T/2R SRAM 单元或者 6TFT SRAM 单元的速度更快。它通常用 CMOS（互补金属氧化物）技术来制作，其中 4 个晶体管为 n 沟道器件，而剩余的两个晶体管为 p 沟道器件。该 6T 结构提供几个优点，包括以低功率电平和高速度工作。但是，由于整体晶体管在基片中相互接近并且基本上在相同的平面上，因此利用形成在整体基片中的晶体管 6T SRAM 单元占据较大面积。结果，难以高密度地制作该常规的整体 6T SRAM。

美国专利 No.6204518 B1 通过把一对负载晶体管 Q3 和 Q4 叠放在一对驱动晶体管 Q1 和 Q2 以及一对传输晶体管 Q5 和 Q6 上方而减小该整体 6T SRAM 单元的尺寸。该结构的各个电路图和截面示图在其图 1 中示出。美国专利 No.6271542 B1 和 2001/0028059 A1 采用相同的方法。

专利 PCT/JP99/02505 公开要包含在一个触发非易失性 6T SRAM 单元中的一对 PLED 器件，如其图 1 中所示。如其图 3 中的 PLED 器件的截面示图所示，绝缘层 708、709 和 710 被提供在源极 701 和漏极 700 之间，以把泄漏电流减小为基本上为 0。该 PLED 器件仅仅被设计为该 6T SRAM 单元的一个外部器件。

美国专利 No.6229161 针对另一种 SRAM 单元，其中包括与 NMOS 晶体管（仅仅两个元件：1T/1R）相连接的负微分电阻（“NDR”）器件，使得它占据比 6T SRAM 单元更小的空间。在图 6 中，具有薄的垂直 PNP 结构的该 NDR 器件与垂直设置的 NMOS 相连接。由于该 NMOS 晶体管的源极和漏极之一在该基片上形成，因此它水平弯曲。

当前, 需要进一步减小低功率 SRAM 单元的尺寸使其比现有结构更小, 从而能够适应更加小型的移动电话、PDA 和其它移动设备的需求。

5 发明内容

本发明的一个目的是在 SRAM 中提供小的和低功率的 SRAM 单元。

本发明的另一个目的是提供用于移动电话的 64M 或 128M 位的超低功率 SRAM, 以及高密度高速缓存 SRAM。

10 根据本发明的一个方面, 该半导体存储器件包括多条字线、多条位线以及多个静态存储单元, 每个存储单元具有第一、第二、第三、第四、第五和第六个晶体管。每个第一、第二、第三和第四晶体管的沟道相对应该半导体存储器件的基片垂直。每个形成第五和第六晶体管的源极和漏极的半导体区域形成在该基片上的一个 PN 结。

15 根据本发明的一个更加具体的方面, 第五和第六晶体管的栅极连接到字线, 以及第五和第六晶体管的每个源极-漏极路径连接到该位线。另外, 第五晶体管的栅极连接到第六晶体管的漏极, 第六晶体管的栅极连接到第五晶体管的漏极, 以及第五和第六晶体管的每一个具有与第一和第二晶体管相同的导电类型。否则, 第五晶体管的栅极连接到第六晶
20 体管的漏极, 第六晶体管的栅极连接到第五晶体管的漏极, 以及第五和第六晶体管的每一个具有与第一和第二晶体管不同的导电类型。

根据本发明的一个更加具体的方面, 第一和第二晶体管的栅极形成在第一层面上, 以及第三和第四晶体管的栅极形成在第二层面上。另外, 第一晶体管的栅极形成在第一层面上, 第二晶体管的栅极形成在第二层
25 面上, 第三晶体管的栅极形成在第三层面上, 以及第四晶体管的栅极形成在第四层面上。

根据本发明一个更加具体的方面, 形成第一晶体管的沟道的一个柱被围绕该柱的柱面的栅极所覆盖, 它们之间具有一个绝缘层。第五和第六晶体管的沟道垂直地形成在该基片上, 其中该基片由单晶硅所制成。

根据本发明另一个方面，该 SRAM 器件具有多个 SRAM 单元，其中至少一个是垂直 SRAM 单元，其包括在基片上的至少四个垂直晶体管，以及每个垂直晶体管包括排列在一条对齐线上的一个源极、一个漏极和它们之间的沟道，该对齐线以大于 0 度的角穿过该基片的表面。

5 根据本发明一个更加具体的方面，该角度为 90。

根据本发明的一个更加具体的方面，该垂直 SRAM 单元进一步包括一对电阻、一对水平晶体管或者另外一对垂直晶体管。

10 根据本发明的一个更加具体的方面，该对水平晶体管或该对另外的垂直晶体管作为一对传输、驱动或负载 MOS 晶体管，并且该负载晶体管是 PMOS 晶体管，而传输和驱动晶体管是 NMOS 晶体管。

15 根据本发明的一个更加具体的方面，四个垂直晶体管被分为在不同水平面上的两组，以及该垂直 SRAM 单元进一步包括该对电阻或该对另外的垂直晶体管，每一对被设置在这两个水平面之一上，或者在这两个水平面之上、之下或之间。另外，该位于不同水平面上的晶体管或电阻器被选择性地通过与对齐线相平行的至少一条垂直互连线相互连接。

根据本发明的一个更加具体的方面，该垂直互连线与平行于该基片表面的水平互连线、水平 Vcc 横梁 (beam) 和水平 Vss 横梁中的至少一个交叉连接。

20 根据本发明的一个更加具体的方面，该垂直互连线穿过垂直晶体管的至少一个栅极，该垂直晶体管的第一维度和第二维度与基片表面相平行，以及第三维度与该对齐线相平行。另外，该垂直互连线穿过至少两个栅极。

25 根据本发明的一个更加具体的方面，上述至少一个垂直互连线包括分别与两个垂直晶体管相连接的两个垂直互连线，从而在它们之间形成一个单位 SRAM 单元，其在与基片表面相平行的截面上的形状为对角或平行四边形形状。

根据本发明的一个更加具体的方面，该垂直 SRAM 单元进一步包括至少一对对齐线，其分别通过两个与该对齐线相平行的垂直互连线连接到至少一个晶体管和电阻器，以及每条位线与多个位线接头相连接，每

个接头由多个 SRAM 单元的两个相邻 SRAM 单元所共用。

根据本发明的一个更加具体的方面，每个垂直晶体管进一步包括一个栅极，其第一维度和第二维度与基片表面相平行，以及第三维度与该对齐线相平行。

- 5 根据本发明的另一个方面，该 SRAM 器件进一步包括至少另一个垂直 SRAM 单元，其在该垂直 SRAM 单元上方，它们之间具有一个绝缘层。

附图说明

- 10 从下文参照附图的详细描述中本发明的上述和其它特点和特性将变得更加清楚，其中相同的参考标号表示相同的部件，其中：

图 1 为根据本发明的垂直 SRAM 单元的第一实施例的电路图。

图 2 为图 1 中的根据本发明的垂直 SRAM 单元的第一实施例的结构

的三维（3D）透视图。

- 15 图 3 示出从字线 11（WL）的前端的平面观看图 2 中的 3D 结构的侧视图。

图 4 示出沿着图 2 的平面 I-I 截取的垂直 SRAM 单元的截面示图。

图 5 示出在图 4 中的垂直 SRAM 单元的第一对晶体管（水平）的截面示图。

- 20 图 6 示出在图 4 中的垂直 SRAM 单元的第二和第三对晶体管（垂直）的截面示图。

图 7A-D 示出图 4 中的垂直 SRAM 单元的第二对晶体管（垂直）的

的制作工艺过程。

- 25 图 8A-D 示出一个垂直互连线、一个垂直晶体管以及嵌入该垂直互连线和根据图 7A-D 制作的垂直晶体管的栅极之间的三维相互关系。

图 9 示出通过改变垂直晶体管的 S-C-D 柱和二氧化硅栅绝缘壁和形状而获得的图 8A-D 中的垂直晶体管的一种变形。

图 10 示出图 2 的第一实施例的多个 SRAM 单元的布局中垂直晶体管的顶视图。

图 11 示出图 2 的第一实施例的多个 SRAM 单元的布局中水平晶体管的顶视图。

图 12 示出采用由本发明的第一实施例或其变形的单位 SRAM 单元所构成的 SRAM 的一种电路的示意图。

5 图 13 示出由图 2 中的第一实施例变形的变形实施例 1-1 的示意图。

图 14 示出由图 2 中的第一实施例变形的变形实施例 1-2 的示意图。

图 15 为根据本发明的垂直 SRAM 单元的第二实施例的电路图。

图 16 为图 15 中根据本发明的垂直 SRAM 单元的第二实施例的结构 3D 透视图。

10 图 17 示出由图 16 中的第二实施例变形的变形实施例 2-1 的示意图。

图 18 示出由图 16 中的第二实施例变形的变形实施例 2-2 的示意图。

图 19 示出从字线 11 (WL) 的前端的平面观察图 20 中的 3D 结构的侧视图。

15 图 20 示出图 16 的第二实施例的多个 SRAM 单元的布局中水平晶体管的顶视图。

图 21 示出在图 16 的第二实施例的多个 SRAM 单元的布局中第一垂直晶体管 Q1 的顶视图。

图 22 示出在图 20 的第二变形实施例的多个 SRAM 单元的布局中第一垂直晶体管 Q1 的顶视图。

20 图 23 为根据本发明的垂直 SRAM 单元的第三实施例的电路图。

图 24 为图 23 中根据本发明的垂直 SRAM 单元的第三实施例的结构 3D 透视图。

图 25 示出从字线 11 (WL) 的前端的平面观察图 24 中的 3D 结构的侧视图。

25 图 26 示出取图 24 中的上栅极块的部分透视图的 Q5、Q6 的放大透视图。

图 27 示出在图 24 的第三实施例的多个 SRAM 单元的布局中垂直传输晶体管 Q5、Q6 的顶视图。

图 28 示出在图 24 的第三实施例的多个 SRAM 单元的布局中垂直

负载/驱动晶体管 Q1/Q3、Q2/Q4 的共同顶视图。

图 29 示出在图 24 的第三实施例的多个 SRAM 单元的布局中水平互连线的顶视图。

图 30A-C 为示出第三实施例 (图 25) 的 SRAM 单元与外围控制器件的相互关系的部分截面视图。

图 31 为根据本发明的垂直 SRAM 单元的第四实施例的电路图。

图 32 为图 31 中根据本发明的垂直 SRAM 单元的第四实施例的结构的 3D 透视图。

图 33 示出从位线 9、9' (BL) 的前端的平面观察图 32 中的 3D 结构的侧视图。

图 34 示出图 32 的第四实施例的多个 SRAM 单元的布局中水平晶体管的顶视图。

图 35 示出图 32 的第四实施例的多个 SRAM 单元的布局中垂直传输晶体管 Q5、Q6 的顶视图。

图 36 示出图 32 的第四实施例的多个 SRAM 单元的布局中垂直负载晶体管 Q1、Q2 的顶视图。

图 37 示出图 32 的第四实施例的多个 SRAM 单元的布局中水平互连线的顶视图。

图 38 为根据本发明的垂直 SRAM 单元的第五实施例的电路图。

图 39 为图 38 中根据本发明的垂直 SRAM 单元的第五实施例的结构的 3D 透视图。

图 40 示出从字线 16 (G/WL) 的前端的平面观察图 39 中的 3D 结构的侧视图。

图 41 示出取图 39 中的上栅极块的部分透视图的 Q5、Q6 透视图。

图 42 示出图 39 的第五实施例的多个 SRAM 单元的布局中水平互连线的顶视图。

图 43 示出图 39 的第五实施例的多个 SRAM 单元的布局中水平晶体管的顶视图。

图 44 示出图 39 的第五实施例的多个 SRAM 单元的布局中四个垂

直传输晶体管 Q3、Q4、Q5、Q6 的顶视图。

图 45 示出由图 39 中的第五实施例变形的变形实施例 5-1。

图 46 示出图 39 的第五实施例的多个 SRAM 单元的布局中四个垂直传输晶体管 Q3、Q4、Q5、Q6 的顶视图。

5 图 47 为根据本发明的垂直 SRAM 单元的第六实施例的结构的 3D 透视图。

图 48 示出从字线 16 (G/WL) 的前端的平面观察图 47 中的 3D 结构的侧视图。

10 图 49 示出图 47 的第六实施例的多个 SRAM 单元的布局中水平晶体管的顶视图。

图 50 示出图 47 的第六实施例的多个 SRAM 单元的布局中水平晶体管的顶视图。

图 51 示出图 47 的第六实施例的多个 SRAM 单元的布局中四个垂直传输晶体管 Q3、Q4、Q5、Q6 的顶视图。

15

具体实施方式

为了更加清楚和简明的描述所要求保护的主体，下面的定义给出在下文描述中所用的特定术语的含义。应当知道在此所用的术语是说明性而非限制性的。如在此所用：

20 “垂直晶体管”制作于基片或绝缘层上，包括在一条对齐线上对齐的源极、漏极和它们之间的沟道，该对齐线以大于 0 度的角度穿过该基片。换句话说，它不一定与底面或者任何基片表面相垂直。为了设计方面的考虑，垂直 SRAM 单元的源极或漏极的端部可能偏离该对齐线。最好，垂直晶体管的栅极具有与基片表面相平行的第一维度和第二维
25 度，以及与对齐线相平行的第三维度。但是，为了设计方面的考虑，这种结构也可以有其它变化。垂直晶体管可以是一个整体晶体管、TFT 等等。

“垂直 SRAM 单元”包括至少 4 个垂直晶体管。例如，6T SRAM 单元可以包括一对普通晶体管（水平）或另外一对垂直晶体管。一个

4T/2R SRAM 包括一对电阻。如此类推，本发明针对于另外一种至少采用 4 个垂直晶体管的 SRAM。

“垂直 SRAM 器件”包括至少一个垂直 SRAM 单元。

“垂直互连线”是通常在与对齐线相对齐的方向上在垂直 SRAM 单元中用于在晶体管、电阻器、电压线、字线或位线之间连接的互连线。换句话说，它不一定与底面或任何基片表面相垂直。

“水平晶体管”其根据现有技术形成在基片或绝缘层上，包括在基片上的一对 P-N 结。换句话说它不一定与底面或任何基片表面相平行。

“水平互连线”是在垂直晶体管中具有通常与对齐线相垂直的连接方向的互连线。换句话说，它不一定与底面或任何基片表面相平行。

第一实施例

参照图 1 中的电路图，根据本发明第一实施例的 6T 垂直 SRAM 包括两个负载 PMOS 晶体管 Q1 和 Q2 以及两个驱动 NMOS 晶体管 Q3 和 Q4，其形成在由晶体硅晶片所制成的两个传输 NMOS 晶体管 Q5 和 Q6 的上方。负载 MOS 和驱动 MOS 的位置可以交换，只要传输 MOS 保留在底部（在基片上）即可。节点 A 连接负载晶体管 Q2、驱动晶体管 Q4 和传输晶体管 Q5 的源极，以及负载晶体管 Q1 和驱动晶体管 Q3 的栅极。节点 B 连接负载晶体管 Q1、驱动晶体管 Q3 和传输晶体管 Q6 的源极，以及负载晶体管 Q2 和驱动晶体管 Q4 的栅极。如第一实施例的三维图（图 2）中所示，Q1 包括源极 8、栅极 2 和漏极 7。Q2 包括源极 8'、栅极 2'以及漏极 7'。Q3 包括源极 6、栅极 1 以及漏极 5。Q4 包括源极 6'、栅极 1'以及漏极 5'。在本发明中每个垂直晶体管的源极和漏极通常具有统一的特性，使得它们可以交换而不影响相关的垂直晶体管的性能。Q5、Q6（未示出）用图 2 中所示的结构来构造。

本说明书的三维示图中的所有组件被简化为横梁、柱、方块、板块、杆、条带等等，其形状仅仅是示意性的而不是限制性的，并且在半导体制造工艺中它们可以是不规则的。另外，组件的尺寸可以被延长，从而连接到其它 SRAM 单元的组件或者用于其它设计目的。另外，为了简

化, 组件的方向通常被设置为 (1) 垂直或水平, 以及 (2) 相互平行对齐或者形成 45 度、60 度或 90 度的交叉这可能偏离任何设计方面的考虑或者制造的限制。

一对位线 9 (真 (true))、9' (条 (bar))、一对位线接头 10、10' 以及字线 11 位于水平晶体管上方。每个传输晶体管 Q5 和 Q6 包括一个活性区。在驱动晶体管 Q3 和 Q4 上方有两条埋在中间绝缘膜中的水平互连横梁 3 和 3'。该水平互连横梁 3' 把 Q2、Q4 连接到垂直互连柱 4, 以及水平互连横梁 3 把 Q1、Q3 连接到垂直互连柱 4'。Q1、Q2 分别连接到 Vcc 横梁 12、12', 以及 Q3、Q4 分别连接到 Vss 横梁 13、13'。图 3 示出从字线 11 (WL) 的前端平面观察图 2 中的结构的侧视图。因此, 可以实现高集成度和低驱动电压操作。

本发明的 6 个晶体管可以是整体 MOS 晶体管或 TFT。这 6 个晶体管最好是 4 个 n 沟道器件和 2 个 p 沟道器件, 但是也可以是 4 个 p 沟道器件和 2 个 n 沟道器件, 使得该 SRAM 可以用 NMOS 或 PMOS 技术来制作。另外, MOS (金属氧化物半导体) 晶体管可以由 MIS (金属绝缘体半导体) 晶体管来代替。形成在该基片中的两个普通 (水平) 晶体管最好作为传输元件。根据由本领域的专业人员在设计方面的考虑设置掺杂剂的浓度。实现垂直 SRAM 设计的缺点是由于额外的水平和垂直互连线的结果导致与常规的 6T SRAM 单元相比其制造的复杂度增加。

在下面描述第一实施例的工艺流程作为本发明的一个例子。本发明的其它实施例可以使用类似的制造工艺在不同尺寸的区域上实现。该单元结构的制造基于现有的 CMOS 技术, 另外增加外延生长步骤, 以制造垂直晶体管, 并且该工艺类似于常规的 DRAM 电容器层叠工艺, 只是用垂直晶体管来代替该电容器。

沿着图 2 中的平面 I-I 截取的垂直 SRAM 单元的截面示图在图 4 中示出 (其中显示两个相邻的 SRAM 单元)。用于制造垂直 SRAM 单元的工艺首先在硅基片 21 上形成两个水平 NMOS 晶体管 Q5 和 Q6, 在 Q5、Q6 的上方形成两个垂直 PMOS 晶体管 Q3 和 Q4, 然后采用相同

的步骤在 Q3、Q4 上叠加两个垂直 NMOS 晶体管 Q1 和 Q2。在下文的讨论中，32 表示钨层或插塞，33 表示阻挡层金属，34 表示中间绝缘层，35 表示氮化硅 (p-SiN) 层，36 表示垂直晶体管的氧化硅栅电介质，37 表示垂直晶体管的多晶硅栅区或栅极，38 表示垂直晶体管的多晶硅源区，39 表示垂直晶体管的多晶硅漏区，以及 40 表示垂直晶体管的多晶硅沟道区。一条短线和一个数字被复加到上述部件，以表示在 SRAM 单元中的相同材料的不同层面。该组件的相对尺寸通常与图 4 成比例。

如图 5 的 SRAM 单元的第一对垂直晶体管的截面视图所示，两个 NMOS 水平晶体管 Q5 和 Q6 由常规方法通过在 p 型硅基片 21 上蚀刻两个通孔，根据 STI LOCUS (硅的局部氧化) 方法淀积线型氧化硅 (扩散阻挡层) 22，然后用间隙填充氧化硅 23 填充该孔而形成。然后薄的栅极氧化硅膜 28 通过热氧化而产生。多晶硅电极 29 被加热并且与字线 WL 整体形成。栅极 29 (字线 WL) 可以由包括掺杂有 n 型杂质的低阻多晶硅膜和 W 硅化物 (WSi) 膜的双层导体膜所构成，或者由包括按次序形成的低阻多晶硅膜、TiN (氮化钛) 膜和 W 膜的三层导体膜所形成。浅的源区 24 和浅的漏区 25 通过把杂质离子注入到基片 21 而形成，以及深的源区 26 和深的漏极 27 也是通过离子注入到基片 21 而形成。

通过 CVD 方法按次序在栅极 29 上淀积氮化硅膜 31、第一层间绝缘层 34-1 以及氮化硅 35-1。然后通过光刻胶掩膜对这三个层面 31、34-1 和 35-1 进行各向异性蚀刻，以形成与栅极 29 邻近的侧壁衬垫以及 4 个连接孔。该绝源膜 31 可以由氧化硅膜所构成，以取代氮化硅膜。通过在淀积第一阻挡层金属 33-1 之后在该连接孔内进行溅射而淀积第一组钨插塞 32-1。铝合金可以用于取代钨。

通过 CVD 方法淀积第二层间绝缘层 34-2。然后通过光刻胶掩膜对第二层间绝缘层 34-2 进行各向异性蚀刻，形成第一对位线接触孔。通过 CVD 方法按次序在该表面上和该对位线接触孔内淀积第二阻挡层金属 33-2、第二钨层 32-2。然后，层面 33-2 和 32-2 被腐蚀到与第二层间绝缘层 34-2 的表面相齐平的水平面上。然后，通过 CVD 方法在该表面上淀积第三阻挡层金属 33-3 和钨层 32BL。然后通过光刻胶掩膜对 33-3、

32BL 层面进行各向异性蚀刻, 形成一对 BL 横梁。第二层间绝缘层 34-2 再次淀积在该表面上以及淀积在该 BL 横梁之间的空间中。然后, 第二层间绝缘层 34-2 被蚀刻到与 BL 横梁的顶部相齐平的水平面。相应地, 一对 BL 横梁与该表面上的层间绝缘横梁 34-2 交替。同时, 一对 BL 接头 (10, 10') 被形成为把一个钨插塞 32-1 连接到一个 BL 横梁。

通过 CVD 方法淀积氮化硅 35-2。然后通过掩膜对两个层面 34-2、35-2 (在 32BL 横梁之间的区域) 进行各向异性蚀刻, 以形成一对垂直互连孔 (其通过相应的垂直互连线连接到要形成的垂直晶体管 Q1、Q2、Q3 或 Q4)。在淀积第三阻挡层金属 33-3 之后通过在该互连孔内进行溅射而淀积第一对钨垂直互连线 32VIC-1。

通过从图 3 的平面 II'-II' 向下观察, 图 11 示出在图 2 的第一实施例的多个 SRAM 单元的布局中的水平晶体管的顶视图。具体来说, 44 和 44' 表示一对水平晶体管 Q5 和 Q6 的两个活性区域。这种结构使得普通晶体管的活性区域沿着与字线和位线形成除了 90 度或 180 度之外的一个夹角的一条直线延伸。45 表示用于图 2 中的第一实施例的单元的区域。如图 4 中所示, 垂直互连线 32-1、32VIC-1 把 Q1、Q6 的漏极连接至 Q3、Q4 的漏极。考虑到对齐容限和其它设计需要, 32-1、32VIC-1 不一定要与 4 和 4' 之间百分之百对齐。

接着, 根据图 7A-D 中所示的步骤, 示出为图 6 的底部的两个垂直 NMOS 晶体管 Q3 和 Q4 形成在图 4 的水平晶体管 Q5 和 Q6 之上。现在参见图 7A, 通过 CVD 方法顺序地淀积第四阻挡层金属 33-4、第四钨层 32-4 和第五阻挡层金属 33-5。通过光刻胶掩膜对上述层面进行各向异性蚀刻, 形成一些凹谷, 然后把它腐蚀为与第五阻挡层金属 33-5 的水平面相齐平, 以形成与层间绝缘横梁 34-3 交替的一对电压横梁 Vss。

下面参见图 7B, 如下形成 PMOS 晶体管 Q3 和 Q4 的垂直源极-沟道-漏极柱 (S-C-D)。通过 CVD 方法按次序淀积第一多晶硅源极层 38-1 (掺杂有 n 型杂质, 例如 P、As)、第一多晶硅沟道层 40-1 (掺杂有 p 型杂质, 例如 B、BF₂)、以及第一多晶硅漏极层 39-1 (掺杂有 n 型杂质,

例如 P、As)。这样还可以通过离子注入形成第一多晶硅源极层 38-1，第一多晶硅沟道层 40-1 和第一多晶硅漏极层 39-1。在该表面上淀积第一掩膜层（在以后被完全除去，从而在图 7B 的最终结构中并没有显示该层面），然后对第一掩膜进行蚀刻以形成一对第一掩膜图案（mask cap）41。该第一掩膜图案 41 然后被用作为把三个多晶硅层 38-1、40-1、39-1 蚀刻为两个 S-C-D 柱的掩膜。然后在包括 S-C-D 柱的顶部和侧面的整个表面上淀积第一栅极氧化硅绝缘层 36-1。

参见图 7C，在整个表面上淀积栅极层间绝缘层 34-4，然后把它腐蚀到刚好比第一掩膜图案 41 的水平面更高的水平面。第二掩膜层（在以后被完全除去，从而在图 7C 的最终结构中并没有示出）被淀积在该表面上，然后对第二掩膜进行腐蚀，以形成一对第二掩膜图案（未示出）。该第二掩膜图案然后被用作为把栅极层间绝缘层 34-4 蚀刻为一对栅极绝缘柱 34-4 的掩膜。然后，在整个表面上淀积栅极多晶硅 37-1，接着把它腐蚀到与 S-C-D 柱的顶部相齐平的水平面。通过该步骤在 S-C-D 柱顶部上的栅极氧化硅绝缘层 36-1 和第二掩膜图案被完全除去，而保留第一掩膜图案 41。

然后，第一掩膜图案 41 被用作为从栅极多晶硅 37-1 和栅极绝缘柱 34-4 腐蚀一个薄的层面的掩膜。并且再次把栅极层间绝缘层 34-4 淀积在整个表面上，然后把它腐蚀为刚才比第一掩膜图案 41 高的一个水平面。这样，栅极多晶硅 37-1 上除了面对栅极氧化硅绝缘层 36-1 之外的表面被栅极绝缘层 34-4 所围绕。然后，通过腐蚀 S-C-D 柱的顶部而除去第一掩膜图案 41。

通过 CVD 方法顺序地淀积第六阻挡层金属 33-6 以及钨层 32HIC（水平互连线）。钨层 32HIC 被腐蚀为平整的表面，然后在整个表面上淀积第七阻挡层金属 33-7。然后通过光刻胶掩膜对三个层面 33-6、32HIC 和 33-7 进行各向异性蚀刻，以在一个 S-C-D 柱之间形成水平互连线。然后，第三次在整个表面上淀积栅极层间绝缘层 34-4，然后把它腐蚀为刚好比第七阻挡层金属 33-7 更高的一个水平面。

参见图 7D，在该表面上淀积第三掩膜层（在以后被完全除去，从

而没有在图 7D 的最终结构中示出), 然后对第三掩膜进行腐蚀以形成一对第三掩膜图案(未示出)。然后使用该第三掩膜图案作为掩膜把在图 7C 中的所有层面腐蚀为两个垂直互连孔。然后在所有表面上淀积第八阻挡层金属 33-8, 然后在整个表面上淀积钨层 32VIC-2(垂直互连线), 并且填充在垂直互连孔中。第三掩膜图案然后被除去。如此完成两个垂直 NMOS 晶体管 Q3 和 Q4。

通过截取图 2 的部分截面 II-II 从三维透视图查看该处理, 图 8A 示出 Q4 和垂直互连线 4'(或钨 32VIC-2)的放大截面示图。如上文所述, Q4 包括源极 6'(或者多晶硅 38-1)、栅极 1'(或者多晶硅 37-1)以及漏极 5'(多晶硅 39-1)。特别地, 氧化硅栅绝缘壁 36-1 是筒状。图 8B 示出图 8A 中的结构的三维透视图, 以及图 8C 示出图 8A 中的结构的顶视图。通过从图 2 的部分截面 III-III 截取, 图 8D 示出嵌有 Q4 的 S-C-D 柱和垂直互连柱 4'的栅极块 1'的放大侧视图。

图 9 示出通过把 S-C-D 柱和氧化硅栅极绝缘壁 36-1 形状从圆柱改变为方形所获得的图 8A-D 中的垂直晶体管的一种变形。另外, 氧化硅栅极绝缘壁 36-1 不再包住 S-C-D 柱的所有侧面, 而是仅仅包住三个侧面。在另一个变形中, 在图 8A-D 中的栅极块被缩小在包住氧化硅栅绝缘壁 36-1 的圆柱壁中, 并且被一种绝缘材料围绕。

最后, 通过 CVD 方法在图 6 的顶部顺序淀积的两个垂直 PMOS 晶体管 Q1 和 Q2(掺杂有例如 P、As 这样的 n 型杂质的源极和漏极以及掺杂有例如 B、BF₂ 这样的 p 型杂质的沟道), 利用类似上文所述的步骤形成在图 7 的垂直 NMOS 晶体管 Q3 和 Q4 的顶部上, 只是用一对钨横梁 32-4(Vcc)代替该钨层 32HIC(水平互连线)。

通过从图 3 中的平面 I'-I'向下看, 图 10 示出在图 2 的第一实施例的多个 SRAM 单元的布局中的垂直晶体管的顶视图。具体来说, 在图 10 中的垂直晶体管(平行四边形)的单元形状与图 11 中的水平晶体管的单元形状不同。46 和 46'表示叠加在另一对垂直晶体管 Q3 和 Q4 上方的一对垂直晶体管 Q1 和 Q2 的位置。47 和 47'表示叠加在另一对栅极 1 和 1'上方的一对栅极 2 和 2'的位置。由于对齐容限或任何其它设计

方面的考虑,要求任何这种叠加必需精确。49 和 49'表示叠加在由多个 SRAM 单元所共用的该对 Vss 横梁上方的该对 Vcc 横梁的位置。通过把一个单元与另一个单元头相对称地设置,两个单元共用 Vss 和 Vcc。3 和 3'表示该对水平互连线。4 和 4'表示在如上文所述的一个步骤或两个分离的步骤形成的该对水平互连线。具体来说,在图 10 中的 4 和 4'覆盖图 11 中的 4 和 4' (直接叠加在其上方)。

上文所述的制造方法可以有多种变化。例如,由 SiO₂ 所制成的掩膜和层面可以通过淀积处理方法或者通过热氧化方法而产生。不但可以淀积过程中而且可以在淀积之后对多晶硅进行掺杂。

另外,通过移动水平层面、组件或其它部分可以容易地更改第一实施例。例如,Q1、Q2 和 Vcc 的整体水平面可以与 Q3、Q4 和 Vss 的水平面相交换。如图 13 中所示,更改的实施例意见 1 从栅极 2、2'切除图 2 中的水平互连线 4、4'的顶部,从而减少与长插塞相关的制造难度。根据图 14,另一个更改的实施例 1-2 具有用于 Q3、Q4 的分离的一对水平互连线 3、3' (而不是在 Q1、Q3 和 Q2、Q4 之间共用),从而减少 Q1 和 Q3 以及 Q2 和 Q4 之间任何不希望的干扰。另外,Vss 横梁被分别在 Q1 和 Q3 以及 Q2 和 Q4 之间向上移动。因此,Q3、Q4 的沟道方向(S->D)被反向,与 Q1、Q2 的沟道方向相一致。另外,在图 14 中的垂直互连线 4、4'的顶部还可以从栅极 2、2'上切除,从而减少与长插塞相关的制造难度。

另外,如下文在第七实施例中所述,负载晶体管 Q5 和 Q6 可以从第一实施例中除去。因为在所有变型中由 SRAM 单元所占据的有效面积被减小,半导体基片 21 的面积也被减小,从而增加一个晶片的制造的单元数目。

图 12 示出根据本发明的第一实施例或其变型的多个单位 SRAM 单元的采用 SRAM 矩阵 50 的电路。该电路包括列 I/O51、列解码器 52、行解码器 53、输入数据控制 54、控制逻辑 55、列地址缓冲器 56 和行地址缓冲器 57。垂直晶体管不但可以用于 SRAM 矩阵 50,而且还可以用于所有其它外围设备,例如列解码器 52,以减小在晶片上的所需表

面面积，从而减小该器件和整个电路的尺寸。

第二实施例

参见图 15 中的电路图，根据本发明第二实施例的 6T 垂直 SRAM 包括位于制作在基片中的两个传输 NMOS 晶体管 Q5 和 Q6 上方的 4 个不同水平面上的两个负载 PMOS 晶体管 Q1 和 Q2 以及两个驱动 NMOS 晶体管 Q3 和 Q4。负载 MOS 和驱动 MOS 的水平面可以被交换，只要传输 MOS 保留在底部（在基片中）即可。如第二实施例的三维图所示（图 16），Q1 包括源极 8、栅极 2 和漏极 7。Q2 包括源极 8'、栅极 2' 和漏极 7'。Q3 包括源极 6、栅极 1 和漏极 5。Q4 包括源极 6'、栅极 1' 和漏极 5'。Q5、Q6（未示出）构造在图 16 中所示的结构下方。一对位线 9、9'、一对位线接头 10、10' 以及字线 11 构造在该水平晶体管上方。每个传输晶体管 Q5 和 Q6 包括一个活性区。

在晶体管 Q1 和 Q3 上方的是通常与 Q2 的栅极 2' 和 Q4 的栅极 1' 相平行的两条水平互连横梁 3 和 3'。在晶体管 Q2 和 Q4 下方的是通常与 Q1 的栅极 2 和 Q3 的栅极 1 相平行的两条水平互连横梁 3 和 3'，其分别把 Q2、Q4 连接到垂直互连柱。Q1、Q2 连接到一个 Vcc 横梁 12，以及 Q3、Q4 连接到一个 Vss 横梁 13。因此，可以获得高集成度和低驱动电压工作。在基片上所需的面积被减小为大约第一实施例中所需的面积的 3/4，以及由于采用共用特征 Vcc、Vss 横梁的数目减小到第一实施例中的横梁数目的一半。但是，水平互连线和垂直互连线的数目被加倍。

该第二实施例还可以通过移动该水平面、组件或它们的部分而容易地更改。如图 17 中所示，一个更改的实施例 2-1 从栅极 2 上切除图 16 中的垂直互连线 4、4' 的顶部，从而减小与长插塞相关的制造难度。另外，如下文在第七实施例中所述，负载晶体管 Q5 和 Q6 可以从第二实施例中取消。

参见图 18，一个变型实施例 2-2 具有在 Q2 和 Q3 之间共享的水平互连线。相应地，每个单元的水平互连线的总数从图 19 中的 4 条减小

为 3 条。结果, Q1、Q2 的栅极块的方向被交换, 从而在图 17 中的水平互连线 3 和 3' 在图 20 中对齐, 以合并为一条水平互连线 3。图 19 示出从字线 11 (WL) 的前端的平面观察在图 18 中的三维结构的侧面视图。

5 通过从图 19 中的平面 I'-I' 向下观察, 图 20 示出在图 18 的第二实施例的多个 SRAM 单元的布局中的水平晶体管的顶视图。具体来说, 44 表示水平晶体管 Q5、Q6 中的一个晶体管的活性区域。位线接头 10 把 Q5、Q6 中的一个漏极连接到一条 BL 横梁。通过把单元 45-1 设置为与单元 45-2 背对背, 这两个单元共用位线接头。另一方面, 在第一
10 实施例中的每个 SRAM 单元 45-1 和 SRAM 单元 45-2 连接到各个位线接头 (图 11)。这样, 在第二实施例中的位线接头数目被减小为第一实施例中的数目的一半。

从图 19 中的平面 II'-II' 向下观察, 图 21 示出在第二实施例的多个 SRAM 单元的布局中的第一水平晶体管 Q1 的顶视图。具体来说, 在图
15 20 中的水平晶体管 (平行四边形) 的单元形状与图 21 中的垂直晶体管的单元形状不同。46 表示垂直晶体管 Q1 (重叠在其它三个垂直晶体管 Q2、Q3、Q4 的上方)。47 表示刚好在另一个栅极 1' 上方的栅极 2, 以及 48 表示刚好在另一个水平互连线 3' 上方的水平互连线 3, 它们之间具有两个栅极 2'、1。49 表示刚好在信号 Vss 横梁的上方的信号 Vcc 横
20 梁, 其由多个 SRAM 单元共享。由于对齐容限或者任何其它设计方面的考虑, 任何这种叠加或削顶是不精确的。如图 10 中的第一实施例所示, 通过在 22 中把单元 45-1 与单元 45-2 对称地设置, 这两个单元共用 Vss 和 Vcc。

类似于图 21, 图 22 示出在图 18 的第二变型实施例的多个 SRAM
25 单元的布局中的第一垂直晶体管 Q1 的顶视图。47 和 48 也表示栅极 2 和水平互连线 3, 但是该栅极 2 被置于图 22 中的水平互连线 3 的下方, 而不是在图 21 中的水平互连线 3 的上方。

由于在所有实施例中由 SRAM 所占据的有效面积被减小, 因此还可以减小半导体基片的所需面积, 使得在一块晶片上形成的单元数目增

加。第二实施例的处理流程类似于第一实施例的流程，并且容易被本领域中的技术人员所实现。

第三实施例

5 通过从第一实施例中取消基片，即通过把两个不同晶体管 Q5 和 Q6 替换为三对垂直晶体管 Q5 和 Q6，可以获得第三实施例。参见图 23 中的电路图，根据本发明的第三实施例的 6T 垂直 SRAM 进一步把第一实施例中的传输晶体管 Q5 和 Q6 移动到两个负载 PMOS 晶体管 Q1 和 Q2 以及两个驱动 NMOS 晶体管 Q3 和 Q4 的上方。如第三实施例的三
10 维图所示（图 24）。负载 MOS 和驱动 MOS 的水平面可以被交换，只要传输 MOS 保留在共用的栅极块中即可。事实上，图 24 中的整个三维结构甚至可以倒置。Q1 包括源极 6、栅极 1 和漏极 5。Q2 包括源极 6'、栅极 1'和漏极 5'。Q3 包括源极 8、栅极 2 和漏极 7。Q4 包括源极 8'、栅极 2'和漏极 7'。Q5 包括源极 6、栅极 1 和漏极 5。Q6 包括源极
15 6'、栅极 1 和漏极 5'。特别地，Q5、Q6 直接叠加在该对垂直互连线 4、4'的上方。方块 1 中嵌入有 Q5、Q6 的栅极和字线 11（共用栅极/WL）。一对位线 9、9'被移动到顶端直接与 Q5、Q6 相连接，这样不需要位线连接。图 25 示出从位线 9、9'（BL）的前端的平面观察图 24 中的结构的侧视图。该单元仅仅通过在硅基片上的垂直 MOSFET 所形成。

20 在晶体管 Q3 和 Q4 上方的是埋在中间绝缘膜中的两条水平互连横梁 3 和 3'。该水平互连横梁 3 把 Q2、Q4 连接到垂直互连柱，以及水平互连横梁 3'把 Q1、Q3 连接到垂直互连柱 4'。Q1、Q2 连接到一个共用的 Vcc 横梁 12，以及 Q3、Q4 连接到一个共用的 Vss 横梁 13。刚好在单个 Vcc 横梁上的单个 Vss 横梁由多个 SRAM 单元所共用。因此，可
25 以获得高集成度和低驱动电压工作。由于第三实施例中的垂直 Q5、Q6 比第一实施例中的 Q5、Q6 占用更少的面积，因此第三实施例比第一实施例具有更小的单元尺寸。由于三个水平面（而不是四个水平面）的垂直结构，因此第三实施例还具有比第二实施例更小的单元高度。

取图 24 中的上栅极块的部分透视图，图 26 示出嵌入在栅极块 20

(或 1) 的两个对角中的 Q5、Q6 的放大透视图。如第一实施例中所述, Q5、Q6 的氧化硅栅绝缘壁 18 都为柱形。并且栅极块 1 中嵌入有 Q5 和 Q6。共用栅极特征仅仅可用于一对传输晶体管 (但不用于一对负载或驱动晶体管)。

5 通过从图 25 中的平面 I'-I' 向下看, 图 27 示出在图 4 的第三实施例的多个 SRAM 单元的布局中的垂直传输晶体管 Q5 和 Q6 的顶视图。具体来说, 46 表示叠加在垂直互连线 4'、4 上方的垂直晶体管 Q5 和 Q6 之一。16 表示嵌入有多个块 1 的一个长条结构, 该块 1 中嵌入有 Q5、Q6 的栅极和字线 11。45 表示用于图 24 中的第二实施例的单元的区域。

10 通过从图 25 的平面 II'-II' 向下观察, 图 28 示出在图 24 的第三实施例的多个 SRAM 单元的布局中的垂直负载/驱动晶体管 Q1/Q3、Q2/Q4 的共同顶视图。具体来说, 46 表示叠加在另一个垂直晶体管 Q4 上方而不是在任何垂直互连线上方的垂直晶体管 Q2。47 表示在 Q4 的栅极 2' 上方的 Q2 的栅极 1'。45 表示用于图 24 中的第三实施例的单元的区域。通过把单元 45-1 与单元 45-2 相对称地设置, 两个单元共用 Vss 和 Vcc。另一方面, 通过把单元 45-1 设置为与单元 45-3 相平行, 这两个单元不共用 Vss 和 Vcc。由于对齐容限或者任何其它设计方面的考虑, 任何这种叠加或削顶是不精确的。

在图 28 中的第三实施例的布局具有设置在方形的两个对角上的一对垂直晶体管以及设置在该方形的另外两个对角上的一对垂直晶体管。
20 另一方面, 在图 10 中的第一实施例的相应布局具有设置在平行四边形的两个对角上的一对垂直晶体管和设置在平行四边形的另外两个对角上的一对垂直互连线。在图 21 中的第二实施例的相应布局具有设置在三角形的一个角上的一个垂直晶体管和设置在三角形的另外两个角上的一对垂直互连线。
25

通过从图 25 中的平面 III'-III' 向下观察, 图 29 示出在图 24 的第三实施例的多个 SRAM 单元的布局中的水平互连线的顶视图。该互连线 3 与图 28 中的驱动/负载晶体管 47 的栅极位置相垂直。图 28 中的垂直晶体管的单元的形状 (方形) 与在图 29 中的水平互连线的单元的形状相

同。

第三实施例的垂直 SRAM 单元仅仅由在硅或多晶硅的基片上的垂直 MOSFET 所制成。具有硅基片的该垂直 MOSFET 的特性与在多晶硅上的 MOSFET 不同。该硅基片是优选的，以提供更好的迁移率和更小的泄漏电流。

通过移动该水平面、组件或者它们的位置还可以容易地更改该第三实施例。例如，Q1、Q2 和 Vcc 的整体水平面可以与 Q3、Q4 和 Vss 的水平面交换。另外，如下文第七实施例中所述，可以从第三实施例中取消负载晶体管 Q5 和 Q6。

第三实施例还可以应用于图 12 中的 SRAM 矩阵 50，其使用该 SRAM 矩阵 50 作为主存储器。第三实施例的处理流程与第一实施例相类似，并且容易由本领域的普通技术人员所实现。由于第三实施例的无基片特性，它可以与第一和第二实施例的外围控制器件不同地设置。

图 30A、30B 为示出第三实施例（图 25）的 SRAM 单元与外围控制器件（例如，解码器 52）的部分截面。解码器 52 为根据本发明的除了另一个 SRAM 单元之外的任何外围电路器件的一个例子。根据常规方法在该基片中形成解码器 52，因此它包括具有栅极 60、源/漏区 61 和浅沟槽绝缘体 62 的一个水平 MOSFET。在图 30A 中，垂直 SRAM 单元直接形成在基片的上方。相反，图 30B 的垂直 SRAM 单元形成一个沟槽内部，其是通过与浅沟槽 62 相同的 SIT 处理而获得的。如此，图 30B 的垂直 SRAM 单元与解码器 52 之间的布线比图 30A 中的结构更短并且更容易形成。换句话说，可以在基片表面上或者在基片表面的沟槽中形成垂直 SRAM 单元。

另外，第三实施例的垂直 SRAM 单元可以直接形成在外围水平 MOSFET 上方，该外围水平 MOSFET 形成在该基片中，如图 30C 所示。结果，显著地缩短该连接线，并且还显著地减小所需面积。

如第一实施例的讨论中所述，任何外围控制器件可以由垂直晶体管所形成。如图 30C 中所示，另一个解码器 53 包括外围垂直的垂直 MOSFET（没有使用硅基片），其包括栅极 63，源极 64 和漏极 65。由于该外围

垂直 MOSFET 也形成在硅或多晶硅基片上方，因此解码器 53 容易通过基片上的线路 66 与第三实施例的垂直 SRAM 单元相连接。

另外，在图 30A 中的硅基片可以由绝缘层 69 所代替，使得形成在图 30C 中的绝缘层 69 上的垂直 SRAM 单元置于图 30C 的垂直 SRAM 单元上方。这样，进一步由这种多层结构减小面积。

简而言之，通过（1）把任何常规外围器件埋在垂直 SRAM 单元下方；（2）采用直的垂直外围器件（没有使用基片）与直的垂直 SRAM 单元相连接；和/或（3）把一个或多个直的垂直 SRAM 单元相互叠加以形成多垂直层结构，第三实施例与第一实施例相比可以进一步减小电路的有效面积。

第四实施例

第四实施例是第一和第三实施例的混合。本实施例是通过用第一实施例中的一对水平晶体管代替第三实施例中的底部的一对垂直晶体管而获得的。参见图 31 中的电路图（与图 23 完全相同），根据本发明第四实施例的 6T 垂直 SRAM 包括形成在两个负载 PMOS 晶体管 Q1 和 Q2 上方的两个传输 NMOS 晶体管 Q5 和 Q6，该两个负载 PMOS 晶体管 Q1 和 Q2 形成在基片上的两个驱动 NMOS 晶体管 Q3 和 Q4 上方。负载 MOS 和驱动 MOS 的水平面可以交换，只要传输 MOS 保持在共享栅极块中即可。如第四实施例的三维图中所示（图 32），Q1 包括源极 8、栅极 2 和漏极 7。Q2 包括源极 8'、栅极 2' 和漏极 7'。Q3 包括源极 6、栅极 16 和漏极 5。Q4 包括源极 6'、栅极 16 和漏极 5'。Q5、Q6（未示出）形成在图 32 中所示的三维结构的下方。

Vcc 横梁和一对水平互连线 17、17' 形成在水平晶体管上方。每个驱动晶体管 Q3 和 Q4 包括一个活性区。块 16 嵌入有 Q5、Q6 的栅极和字线 11（共用的栅极/WL）。一对位线 9、9' 被移动到顶端，与 Q5、Q6 直接连接，从而不需要位线接头。图 33 示出从位线 9、9'（BL）的前端平面观察在图 31 中的结构的侧视图。

水平互连横梁 17 把 Q4 连接到垂直互连柱 4，以及水平互连横梁

17'把 Q3 连接到垂直互连柱 4'。在驱动晶体管 Q3 和 Q4 上方的是埋在层间绝缘膜中的一对水平互连横梁 3、3'。该水平互连横梁 3 把 Q2 连接到垂直互连柱 4, 以及水平互连柱 3'把 Q1 连接到垂直互连柱 4'。Q1、Q2 分别连接到 Vss 横梁 12、12', 以及 Q3、Q4 通过 Vcc 接头 14、14' 5 连接到 Vcc 横梁 13。在 Vcc 横梁上方的 Vss 横梁由多个 SRAM 单元所共用。图 33 示出从水平互连线 17, 17' (HIC) 的前端的平面观察图 31 中的结构的侧视图。因此, 可以实现高集成度和低驱动电压工作。

从图 33 中的平面 I'-I'向下观察, 图 34 示出图 32 的第四实施例的多个 SRAM 单元的布局中的水平晶体管的顶视图。17、17'表示两个水平互连线。58 表示 Vss/Vcc 接头。45 表示用于图 32 中第四实施例的单元的一个区域。与第三实施例相比, 其较大的水平晶体管比其垂直传输晶体管更快, 并且它们可以容易地在硅基片上形成。与其它实施例相比 (图 11、20), 该实施例需要比第一、第二和第三实施例中的基片更大的面积。但是, 前三个实施例不具有第四实施例的内部比较特征。

15 通过从图 33 的平面 II'-II'向下观察, 图 35 示出在图 32 的第四实施例的多个 SRAM 单元的布局中的垂直传输晶体管 Q5 和 Q6 的顶视图。具体来说, 46、46'表示分别叠加在垂直互连线 4'、4 上方的垂直晶体管 Q5 和 Q6。16 表示具有多个块 16 的长条结构, 每个块 16 嵌入有 Q5、Q6 的栅极和字线 11。45 表示用于图 32 中的第四实施例的单元的区域。与第三实施例相比, 图 35 基本上与图 27 相同, 只是其下方块 20 16 比第三实施例的更长, 例如长 25%。这是图 36 中的布局和图 32 中的三维结构的直接结果。

通过从图 33 中的平面 III'-III'向下观察, 图 36 示出在图 32 的第四实施例的多个 SRAM 单元的布局中的垂直负载晶体管 Q1 和 Q2 的顶视图。具体来说, 46 表示垂直晶体管 Q2, 其叠加在水平互连线 3 上, 而不是象上文的实施例那样叠加在任何垂直互连线或垂直晶体管上。47 表示 Q2 的栅极 2'。通过把单元 45-1 与单元 45-2 相对称地设置, 两个单元共用 Vss 和 Vcc。另一方面, 通过把单元 45-1 设置为与单元 45-3 相平行, 这两个单元不共用 Vss 和 Vcc。由于对齐容限或者任何其它设

计方面的考虑,任何这种叠加或削顶是不精确的。与第三实施例相比,图 36 几乎与图 28 相同,只是其下行比第三实施例的更长,例如长 25%。这也是如下布局和图 32 中的三维结构的一个直接结果。第四实施例具有图 33 中的布局,其具有与第三实施例相同的形状,但是一对垂直晶体管设置在较大的方形的两个对角上,以及一对垂直互连线设置在该方形的另外两个对角上。因此,第四实施例的最小间距大于第三实施例中的最小间距,并且大于第一和第二实施中的最小间距。

从图 33 中的平面 VI'-VI'向下观察,图 37 示出在图 32 的第四实施例的多个 SRAM 单元的布局中的水平互连线的顶视图。该互连线 3 与图 36 中的驱动/负载晶体管 47 的栅极位置相垂直。与第三实施例相比,图 37 几乎与图 29 相同,只是其下行比第三实施例更长,例如长 25%。如此类推,这也是上述布局和图 32 中的三维结构的一个直接结果。

还可以通过移动组件或它们的位置而容易地更改第四实施例。如下文在第七实施例中所述,负载晶体管 Q5 和 Q6 可以从第四实施例中取消。

第四实施例的处理流程与第一实施例或任何其它先前的实施例相类似,这容易由本领域的普通技术人员所实现。

第五实施例

该第五实施例是通过把第四实施例中 Q1、Q2 与 Q3、Q4 交换,然后把四个垂直晶体管 Q5、Q6、Q3、Q4 置于相同的水平面上而获得的。参见图 38 中的电路图(类似于图 31),根据本发明第五实施例的 6T 垂直 SRAM 包括两个传输 NMOS 晶体管 Q5 和 Q6,其与形成在晶体硅晶片中的两个负载 PMOS 晶体管 Q1 和 Q2 上方的两个驱动 NMOS 晶体管 Q3 和 Q4 位于相同的水平面上。该驱动 MOS 最好具有与传输 MOS (嵌入在共用栅极块中)相同的导电性,从而把用于驱动 MOS 的制造工艺与传输 MOS 相结合。如第五实施例的三维图所示(图 39),Q3 包括源极 6、栅极 1 和漏极 5。Q4 包括源极 6'、栅极 1'和漏极 5'。Q5 包括源极 6、栅极 16 和漏极 5。Q6 包括源极 6'、栅极 16 和漏极 5'。

Q1、Q2（未示出）形成在图 39 中所示的三维结构下方。

一对位线 9、9' 连接到 Q5、Q6 的顶部，从而不需要位线接头。每个负载晶体管 Q5 和 Q6 包括一个活性区。一个 Vcc 横梁和一对水平互连线 17、17' 形成在水平晶体管上方。该块 1 嵌入有 Q5、Q6 的栅极以及字线 11（共用的栅极/WL）。图 40 示出从字线 16（G/WL）的前端的平面观察图 39 的结构侧视图。

水平互连横梁 17 把 Q6 连接到垂直互连柱 4，以及水平互连横梁 17' 把 Q5 连接到垂直互连柱 4'。在驱动晶体管 Q3 和 Q4 上方的是埋在层间绝缘膜中的一对水平互连横梁 3、3'。该水平互连横梁 3 把 Q3 连接到垂直互连柱 4，以及水平互连柱 3' 把 Q4 连接到垂直互连柱 4'。在本实施例中比第四实施例另外提供一对水平互连线 3、3'。该水平互连横梁 3 把 Q6 连接到垂直互连柱 4，以及水平互连横梁 3' 把 Q5 连接到垂直互连柱 4'。Q3、Q4 连接到一条共用的 Vss 横梁 12，以及 Q1、Q2 把 Vcc 横梁 13 与 Vcc 接头 14、14' 相连接。因此，可以实现高集成度和低驱动电压工作。与所有上述实施例相比，本实施例的单元高度最低，因为仅仅需要单个垂直晶体管层面。另一方面，第一和第四实施例都具有两个垂直层面，第三实施例具有三个垂直层面，以及第二实施例具有四个垂直层面。

取图 39 中的顶端栅极块的部分透视图，图 41 示出嵌入在栅极块 20（或 16）两端的 Q5、Q6 的放大透视图。如第一实施例中所述，Q5、Q6 的氧化硅栅绝缘壁 18 都为筒形。栅极块 16 嵌有 Q5 和 Q6。共用的栅极特征仅仅可以应用于一对传输晶体管（而不是一对负载或驱动晶体管）。

通过从图 40 的平面 I'-I' 向下观察，图 42 示出在图 39 的第五实施例的多个 SRAM 单元的布局中的水平互连线的顶视图。68、68' 表示垂直晶体管 Q3、Q4 的位置。互连线 3、3' 与图 39 中的垂直晶体管的栅极相垂直。45 表示用于图 39 中的第五实施例的一个单元的区域。分别与第三/第四实施例相比，图 43 看起来几乎与图 29/37 相同，只是它的两行比第三/第四实施例的更长，例如长 50%/20%。这是在图 44 中的布

局和图 39 中的三维结构的直接结果。

从图 40 的平面 II'-II'向下观察, 图 43 示出图 39 的第五实施例的多个 SRAM 单元的布局中的水平晶体管的顶视图。4 和 4'表示两个垂直互连线。17、17'表示两个水平互连线。58 表示 Vss/Vcc 接头。44、44'表示水平晶体管 Q1、Q2 的活性区。通过把单元 45-1 的下部与单元 45-2 的下部相对称地设置, 这两个单元共用 Vss 和 Vcc。另一方面, 通过把单元 45-1 的下部设置为与单元 45-3 的下部相平行, 这两个单元不共用 Vss 和 Vcc。与其它实施例相比 (图 11、20、34), 本实施例由于具有在一个垂直层面中的三个平行栅极块, 因此它在基片上占据较大的面积。另一方面, 第一、第三和第四实施例仅仅具有在相同垂直层面中的两个平行栅极块, 并且第二实施例仅仅具有在每个垂直层面中的单个栅极块。

通过从图 40 中的平面 III'-III'向下观察, 图 44 示出在图 39 的第五实施例的多个 SRAM 单元的布局中的四个垂直传输晶体管 Q3、Q4、Q5、Q6 的顶视图 (省略中间水平互连线和 Vss)。嵌入有 Q5、Q6 的栅极的字线 16 被示出作为该图的顶部。59 和 59'表示两个垂直晶体管 Q6、Q5 的部分, 以及 68 和 68'表示两个垂直晶体管 Q4、Q3 的部分。3 和 3'表示把 Q6、Q5 分别连接到垂直互连线 4、4'的两个水平互连线。分别与第三/第四实施例相比, 图 44 看起来几乎与图 27/35 相同, 只是其两行比第三/第四实施例的更长, 例如长 50%/20%。第五实施例具有图 44 中的布局, 其下部与第三和第四实施例的方块相同, 但是上部具有设置在矩形的两端角处的三对垂直晶体管。因此, 第五实施例的最小间距比第三和第四实施例中的最小间距更大, 以及比第一和第二实施例中的最小间距更大。

该第五实施例还可以通过移动组件或其部分容易地更改。例如, Q5、Q6 的共用栅极块可以移动到 Q3、Q4 的左侧。如图 45 中所示, 该变形实施例 5-1 把水平互连线 3 延长到与水平互连线 3'一样长。结果该水平互连线 3 也向着部分 68 延伸 (图 46)。水平互连线 3 的长度与水平互连线 3、3'相等, 这导致更加均匀的 SRAM 特性。如下文在第七

实施例中所述，负载晶体管 Q5、Q6 可以从第五实施例中取消。

第五实施例的处理流程与第一实施例或任何其它先前的实施例相类似，这容易由本领域的普通技术人员所实现。

5 第六实施例

通过把第五实施例中的 Q5、Q6 的栅极块分为两块而获得第六实施例。根据第六实施例的 6T 垂直 SRAM 的电路图与本发明第五实施例(图 38) 相同，包括形成在在基片上的两个负载 PMOS 晶体管 Q1 和 Q2 上方的两个驱动 NMOS 晶体管 Q3 和 Q4 相同水平面的两个传输 NMOS 晶体管 Q5 和 Q6。该驱动 MOS 最好是与该传输 MOS 相同导电型，从而把用于驱动 MOS 与传输 MOS 的制造工艺合二为一。如第六实施例的三维图中所示(图 47)，Q3 包括源极 6、栅极 1 和漏极 5。Q4 包括源极 6'、栅极 1'和漏极 5'。Q5 包括源极 6、栅极 16 和漏极 5。Q6 包括源极 6'、栅极 16'和漏极 5'。Q1、Q2 (未示出) 形成在图 47 中所示的三维结构的下方。

一对位线 9、9' 连接到 Q5、Q6 的顶部，从而不需要位线接头。负载晶体管 Q5 和 Q6 中的每一个包括一个活性区。Vcc 横梁和一对水平互连线 17、17' 形成在该水平晶体管上方。两个字线块 16、16' 分别嵌有 Q5、Q6 的栅极。图 48 示出从字线 16 (G/WL) 的前端平面观察图 47 中的结构的侧视图。

水平互连横梁 17 把 Q6 连接到垂直互连柱 4，以及水平互连横梁 17' 把 Q5 连接到垂直互连柱 4'。在驱动晶体管 Q3 和 Q4 上方的是埋在层间绝缘膜中的一对水平互连横梁 3、3'。该水平互连横梁 3 把 Q3 连接到垂直互连柱 4，以及水平互连柱 3' 把 Q4 连接到垂直互连柱 4'。在本实施例中比第四实施例另外提供一对水平互连线 3、3'。该水平互连横梁 3 把 Q6 连接到垂直互连柱 4，以及水平互连横梁 3' 把 Q5 连接到垂直互连柱 4'。Q3、Q4 连接到一条共用的 Vss 横梁 12，以及 Q1、Q2 把 Vcc 横梁 13 与 Vcc 接头 14、14' 相连接。因此，可以实现高集成度和低驱动电压工作。

与第五实施例相比,本实施例的单元高度与第五实施例相同。这样,其高度比第一、第二、第三和第四实施例更低。Q5、Q6 的分离栅极块具有与水平互连线 3、3'相同的长度,其导致更加均匀的 SRAM 特性。但是,这样会产生需要更多空间的另外一个栅极块。

5 通过从图 48 的平面 I'-I'向下观察,图 49 示出在图 47 的第六实施例的多个 SRAM 单元的布局中的水平互连线的顶视图。68、68'表示垂直晶体管 Q3、Q4 的位置。互连线 3、3'与图 47 中的垂直晶体管的栅极相垂直。45 表示用于图 47 中的第六实施例的一个单元的区域。分别与第三/第四/第五实施例相比,图 49 看起来几乎与图 29/37/42 相同,只是
10 它的两行比第三/第四/第五实施例的更长,例如长 100%/60%/33%。这是附加的垂直栅极块的结果。通过类比,这是在图 51 中的布局和图 47 中的三维结构的直接结果。

从图 48 的平面 II'-II'向下观察,图 50 示出图 47 的第六实施例的多个 SRAM 单元的布局中的水平晶体管的顶视图。4 和 4'表示两个垂直互连线。17、17'表示两个水平互连线。58 表示 Vss/Vcc 接头。44 表
15 示水平晶体管 Q1、Q2 的活性区。45 表示在图 47 中的第六实施例的一个单元的区域。与其它实施例相比(图 11、20、34、43),本实施例由于具有在一个垂直层面中的四个平行栅极块,因此它在基片上占据更大的面积。从而,它需要比第二、第三、第一和第五实施例更多的面积。
20 第五实施例在相同垂直层面上采用三个平行栅极块,第一、第三和第四实施例仅仅具有在相同垂直层面中的两个平行栅极块,并且第二实施例仅仅具有在每个垂直层面中的单个栅极块。45 表示用于图 47 中的第六实施例的单元的区域。通过把单元 45-1 设置为与单元 45-2 的下部相平行,这两个单元共用 Vss 和 Vcc。另一方面,通过把单元 45-1 的中部设
25 置为与单元 45-3 的中部相平行,这两个单元不共用 Vss 和 Vcc。

通过从图 48 中的平面 III'-III'向下观察,图 51 示出在图 47 的第六实施例的多个 SRAM 单元的布局中的四个垂直传输晶体管 Q3、Q4、Q5、Q6 的顶视图(省略中间水平互连线和 Vss)。字线 16、16'分别嵌入有 Q5、Q6 的栅极。59 和 59'表示两个垂直晶体管 Q6、Q5 的部分,

以及 68 和 68' 表示两个垂直晶体管 Q4、Q3 的部分。3 和 3' 表示把 Q6、Q5 分别连接到垂直互连线 4、4' 的两个水平互连线。分别与第三/第四/第五实施例相比，图 51 看起来几乎与图 27/35/44 相同，只是其两行比第三/第四/第五实施例的更长，例如长 100%/60%/33%。这是额外的垂直栅极块所导致的结果。第六实施例具有图 51 中的布局，其中部的水平布局具有与第三和第四实施例相同的方块，但是具有额外的垂直晶体管，设置在比第五实施例中更大的矩形的两侧。因此，第六实施例的最小间距比第五、第四和第三实施例中的最小间距更大，以及比第一和第二实施例中的最小间距更大。

该第六实施例还可以通过移动组件或其部分容易地更改。如在下文的第七实施例中所述，可以从第六实施例中取消负载晶体管 Q5、Q6。

第六实施例的处理流程与第一实施例或任何其它先前的实施例相类似，这容易由本领域的普通技术人员所实现。

第七实施例（4T SRAM）

除了所述 6 晶体管（6T）单元形式之外，本发明包括另外一种仅仅具有四个晶体管（没有两个负载晶体管）的 SRAM 单元。该第七实施例是通过用 4 个驱动和传输晶体管的寄生电阻（作为用于使用泄漏电流控制触发操作的负载元件）代替负载晶体管而获得的。因此，4T 结构的使用被包含到本发明中，以通过减少晶体管的数目而减少单元尺寸，但是导致泄漏电流的增加。

四个垂直晶体管最好为两个 n 沟道器件和两个 p 沟道器件。第七实施例的处理流程与第一实施例或任何其它先前的实施例相同，这容易由本领域的普通技术人员所实现。

所述层面、区域、掩膜和结构的尺寸的许多变型可以用于适应本发明的实施例的各种要求。该半导体结构不一定要具有网络形状，而是可以适应各种要求。该半导体结构的侧壁、S-C-D 柱、垂直互连线不一定与半导体结构的基片表面相垂直，而是可以与半导体结构的表面形成任何所需角度。位线和字线不一定要与基片相平行，而是形成任何所需角

度。

在上文中已经描述本发明的工作原理、优选实施例以及模式。但是，本发明不限于在此所公开的具体实施例。在此所述的实施例是说明性而非限制性的。本领域的普通技术人员可以作出各种变形和改变而不脱离
5 本发明的精神。相应地，所有这种变形或改变被包含在权利要求所定义的本发明的精神的范围之内。

图 1

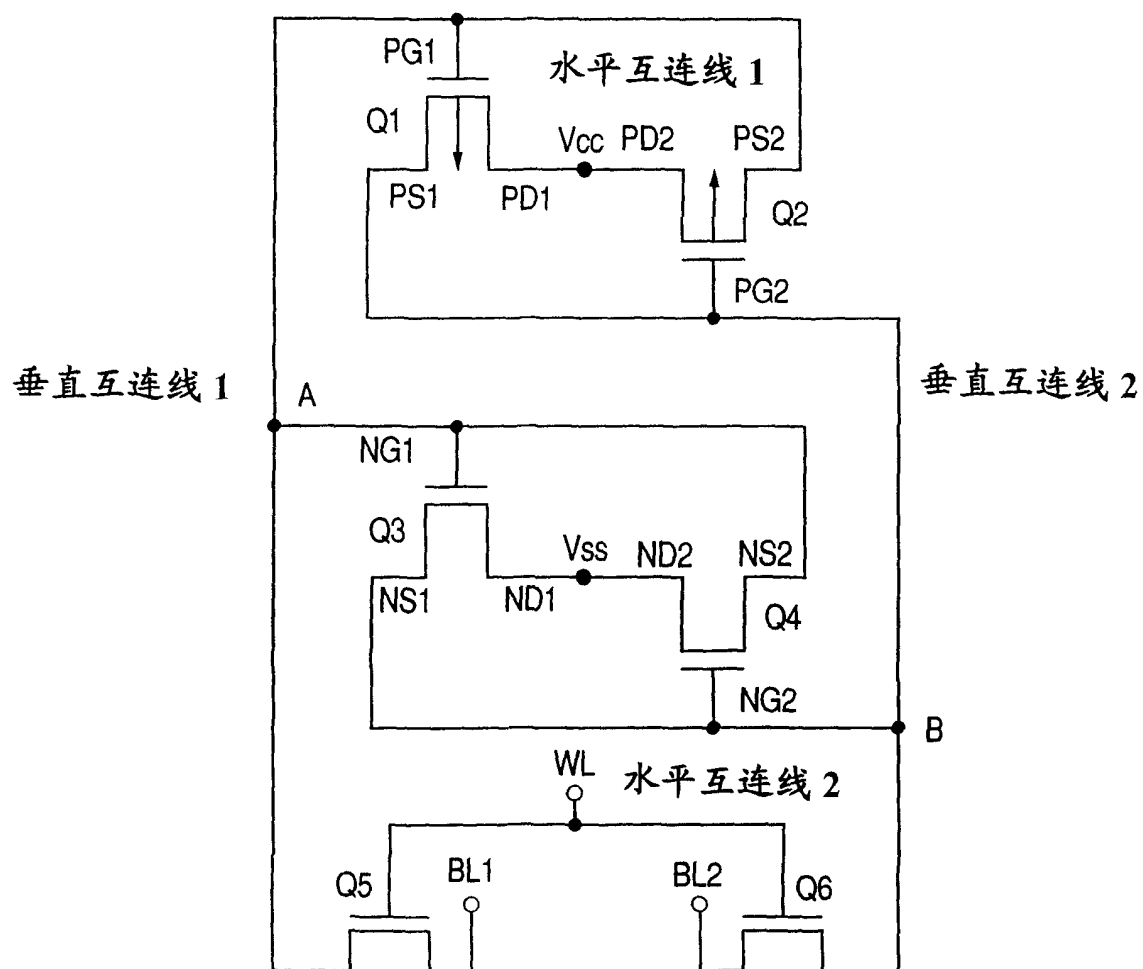


图 3

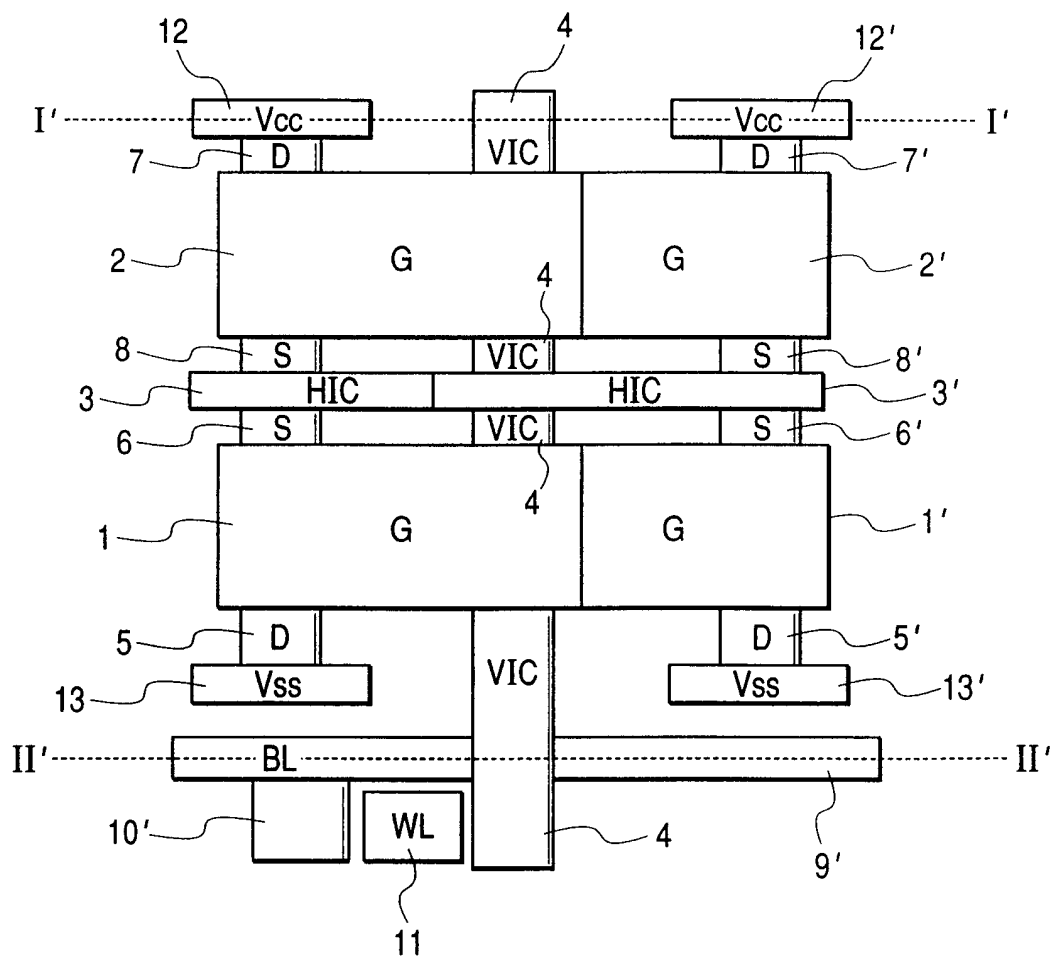


图 4

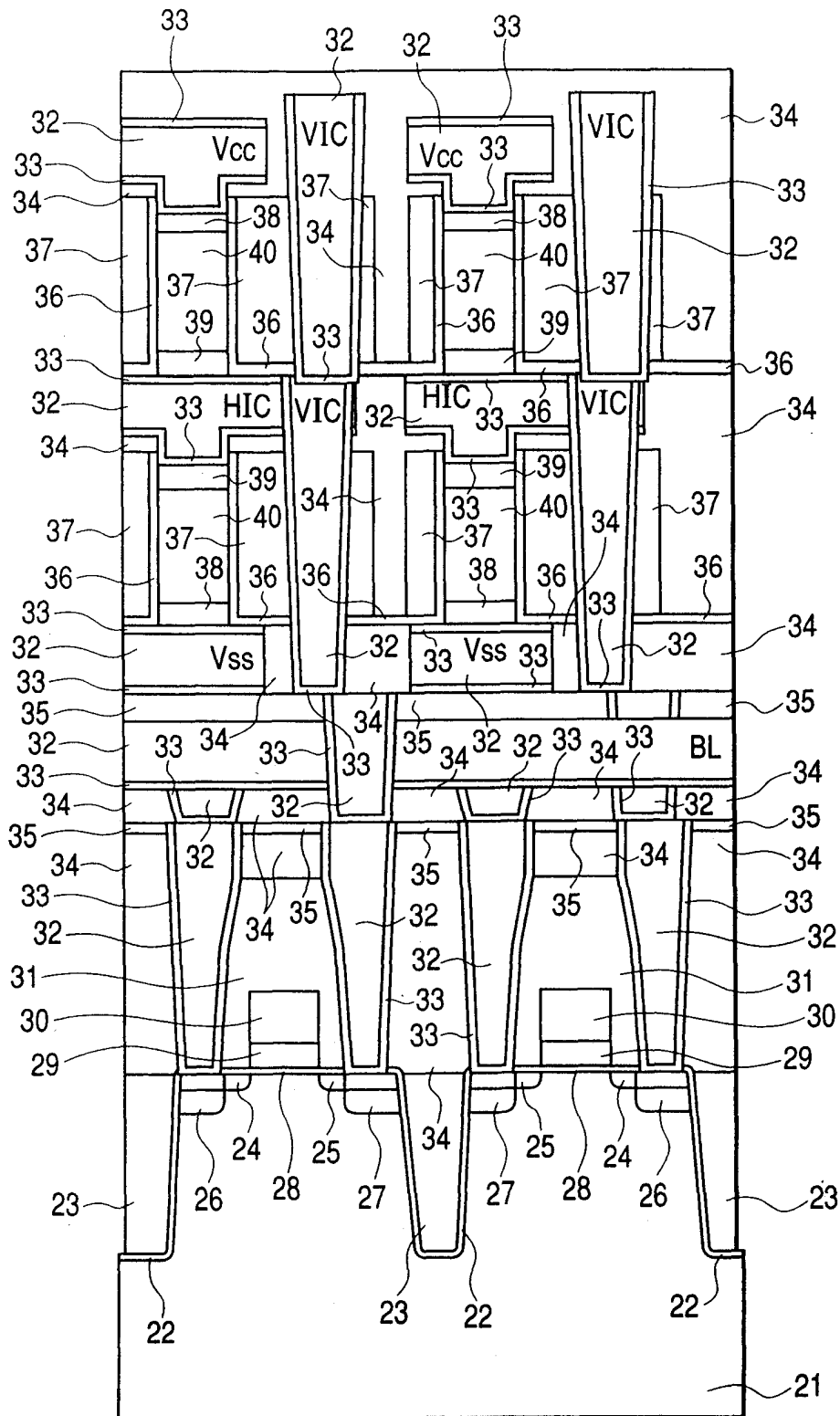


图 5

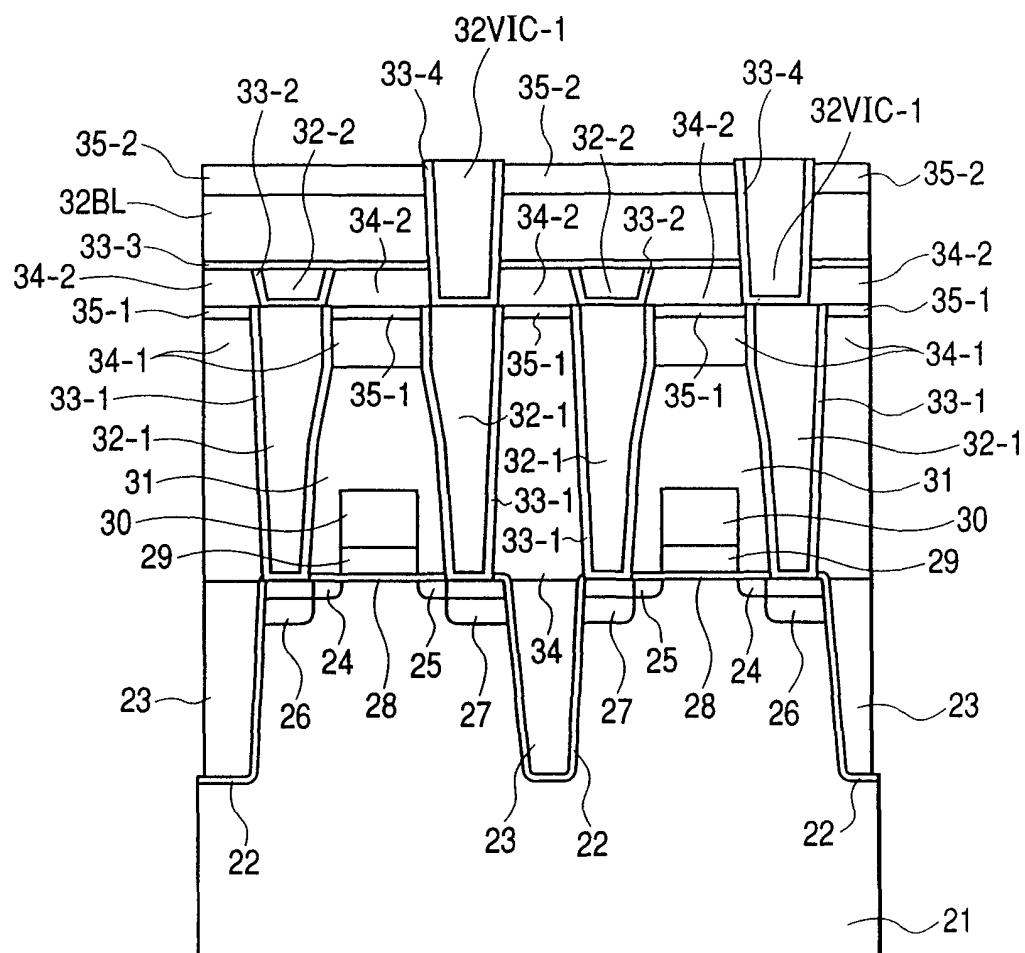


图 6

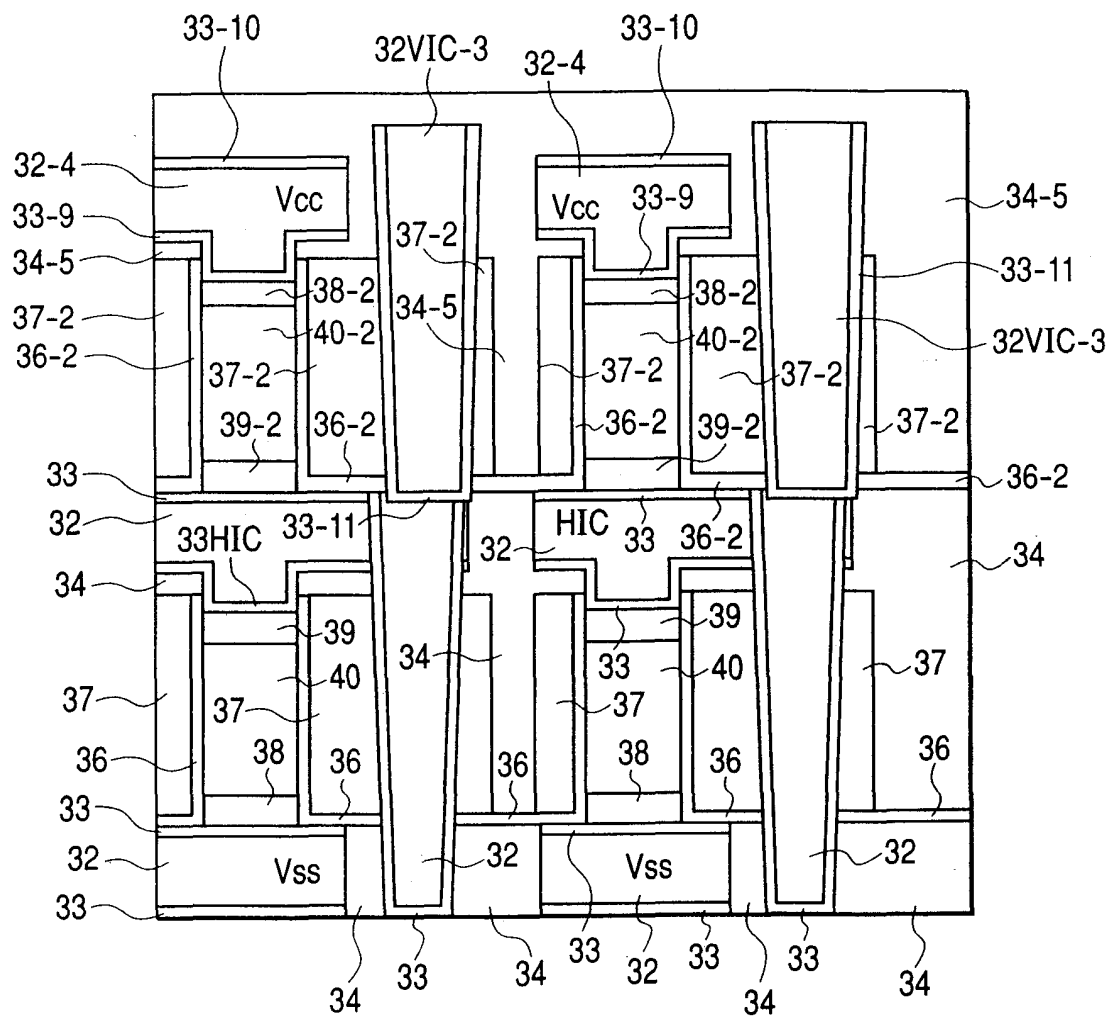


图 7A

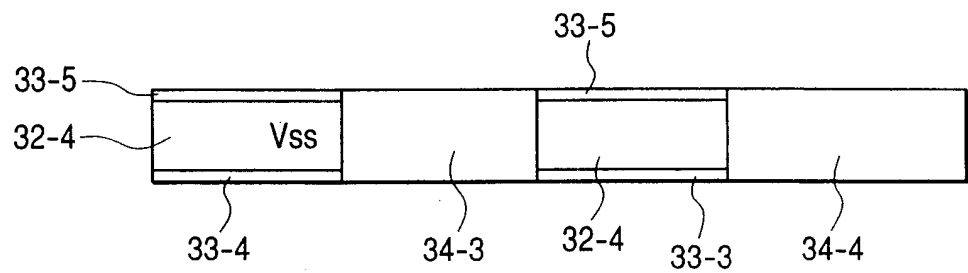


图 7B

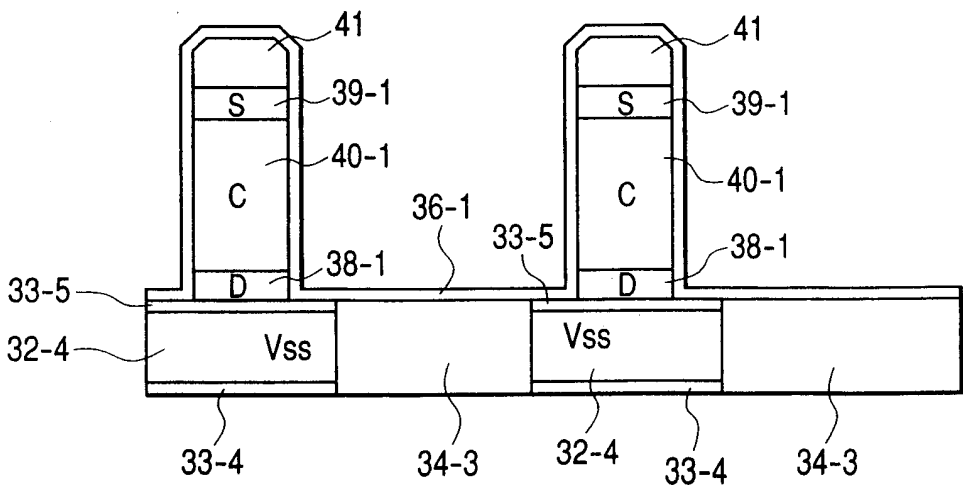


图 7C

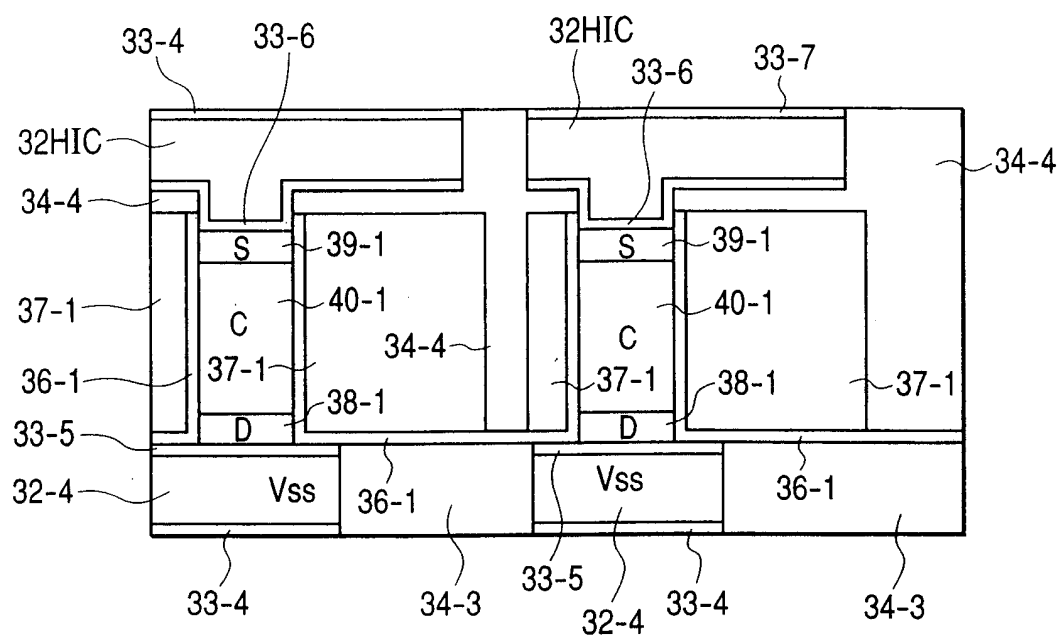


图 7D

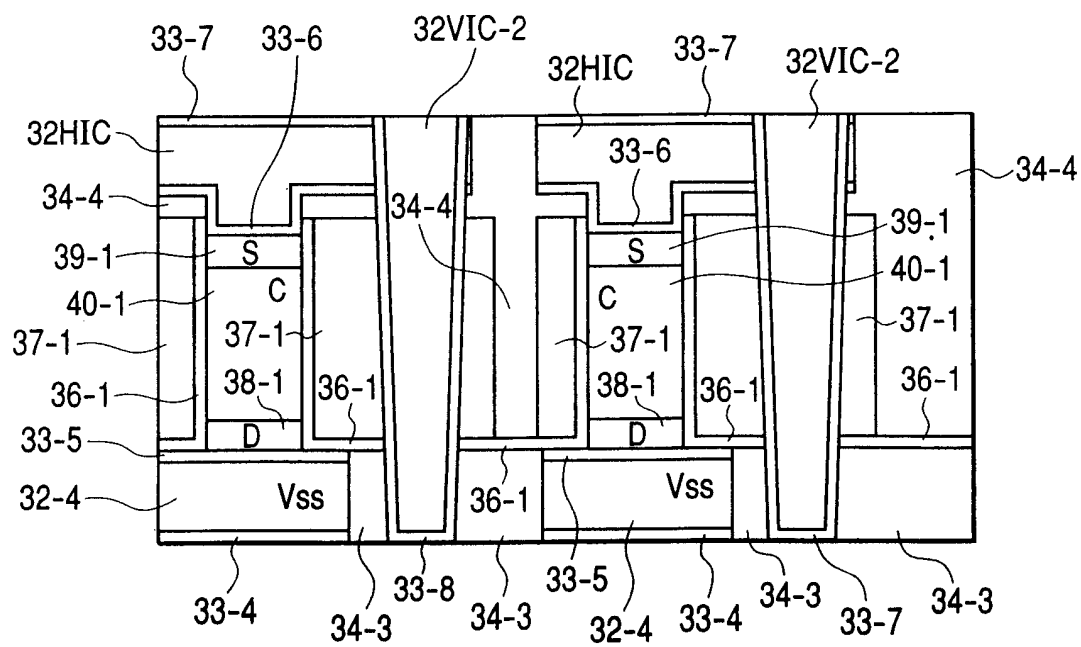


图 8A

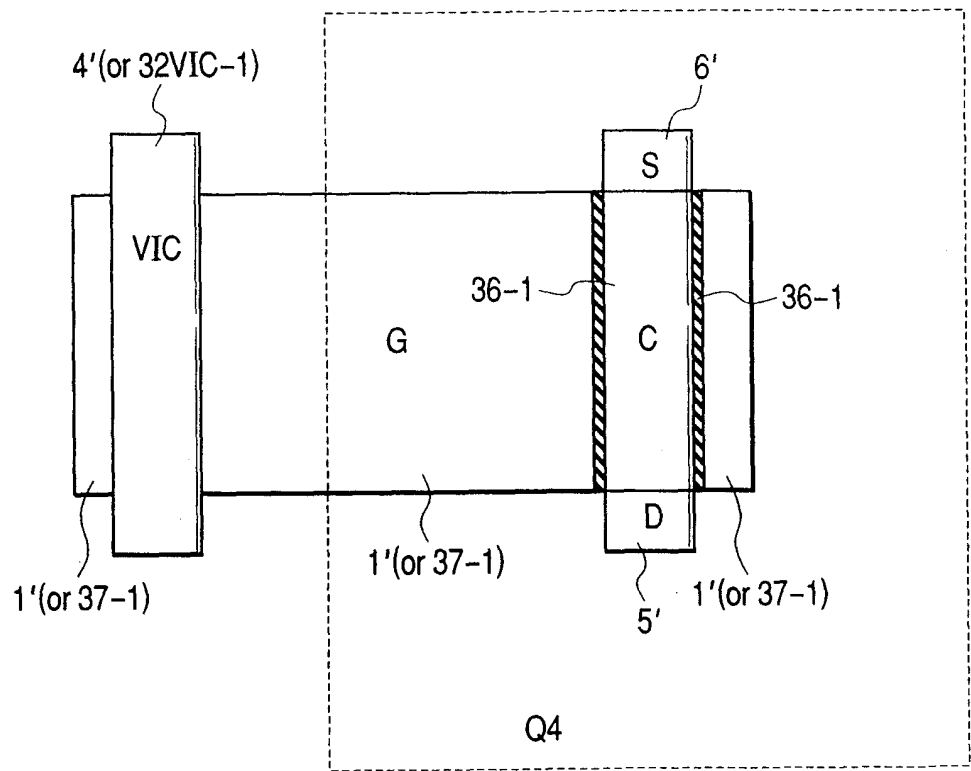


图 8B

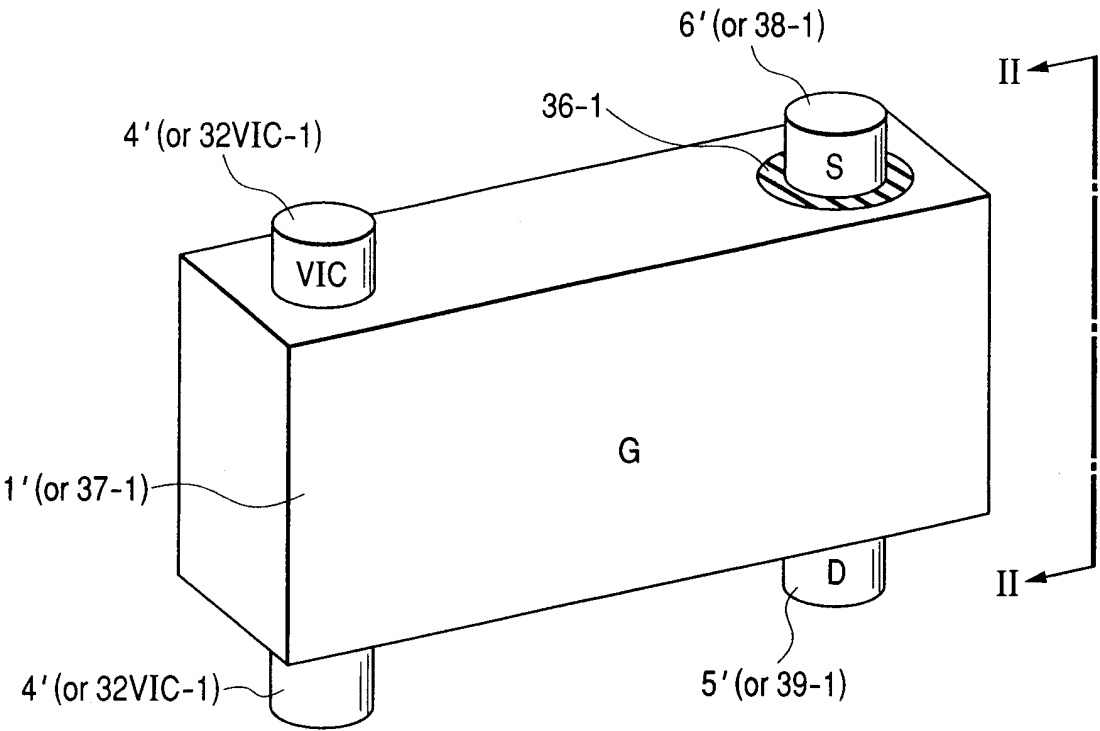


图 8C

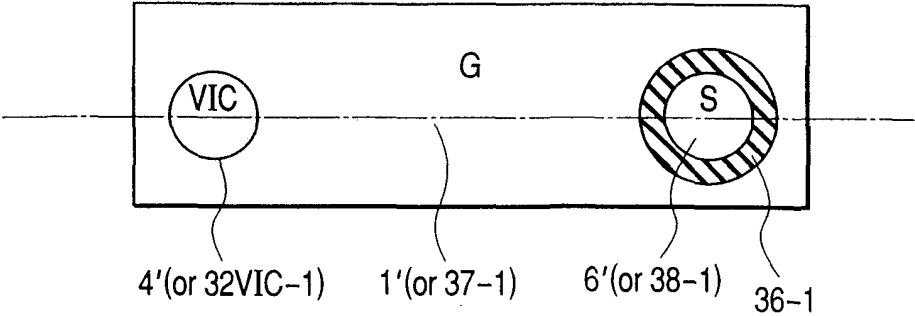


图 8D

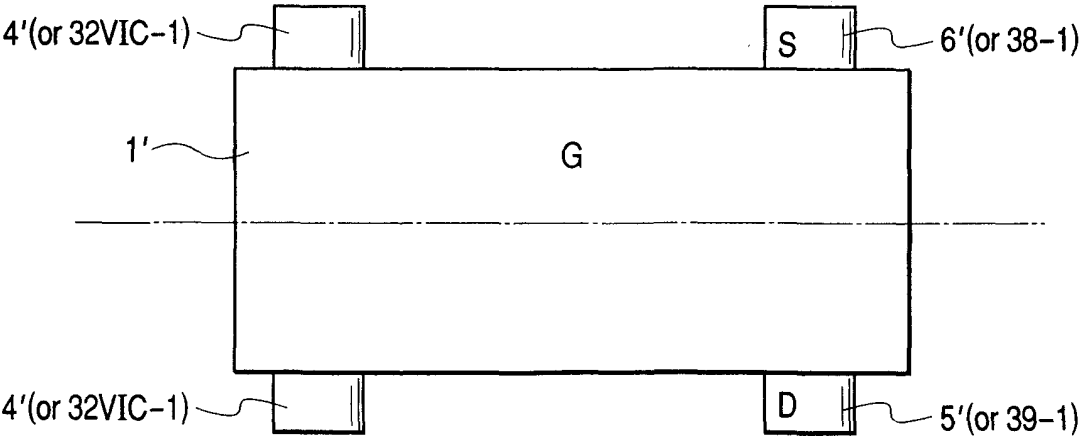


图 9

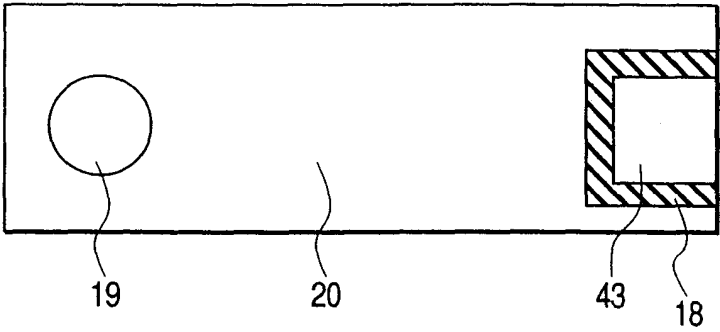


图 10

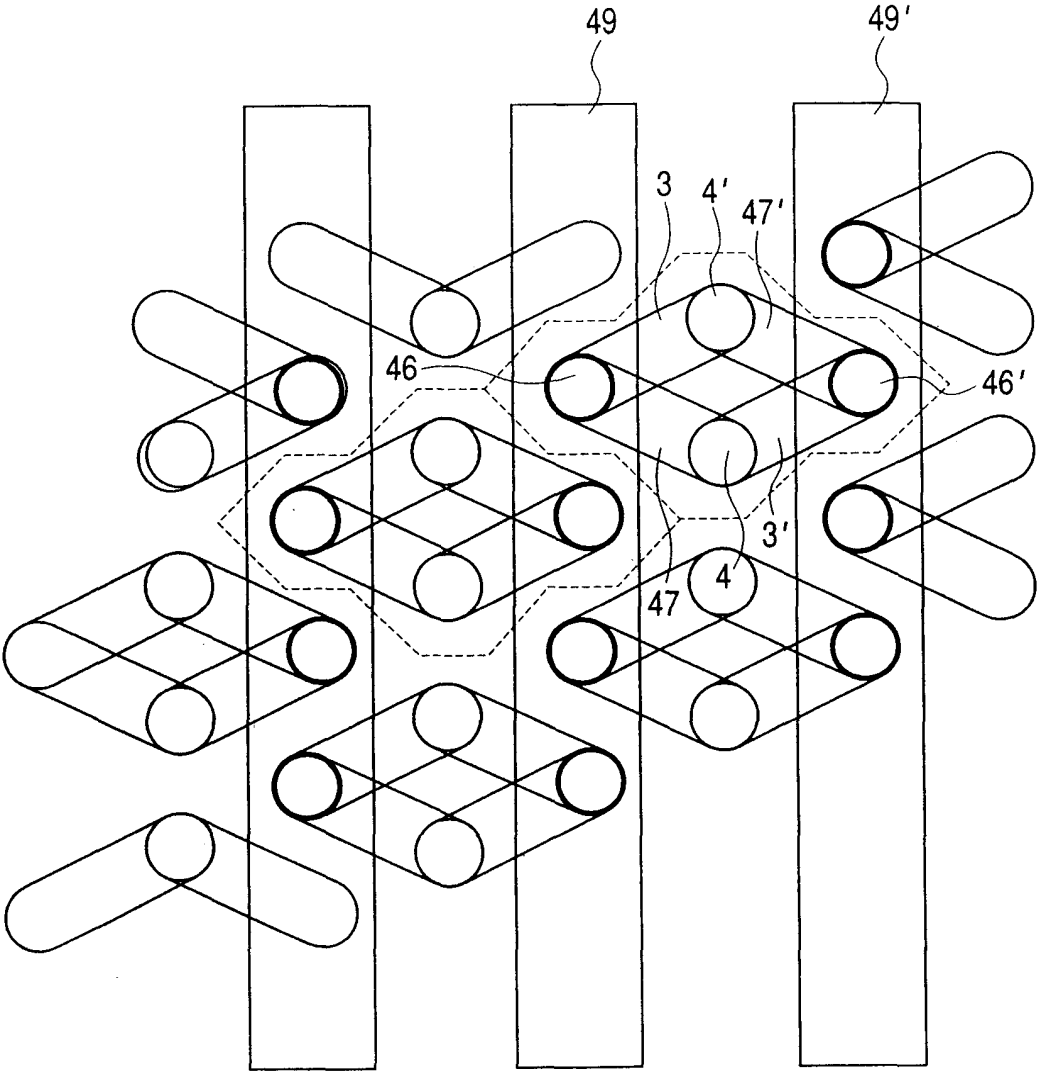


图 11

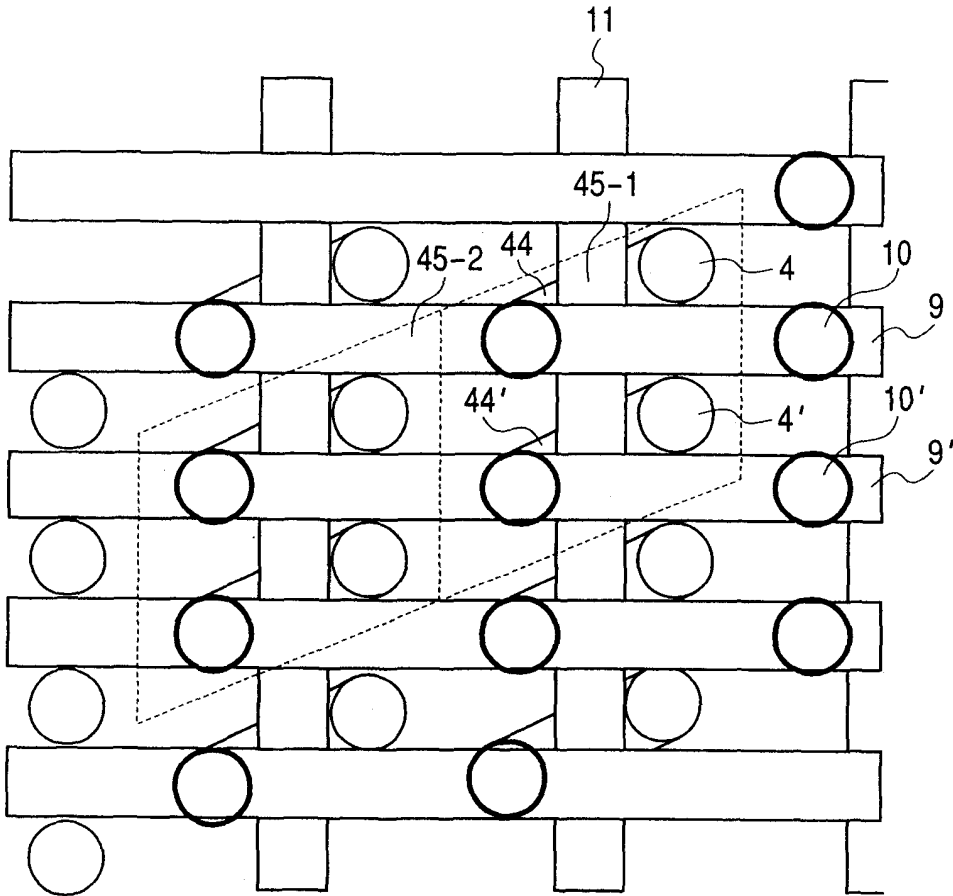


图 12

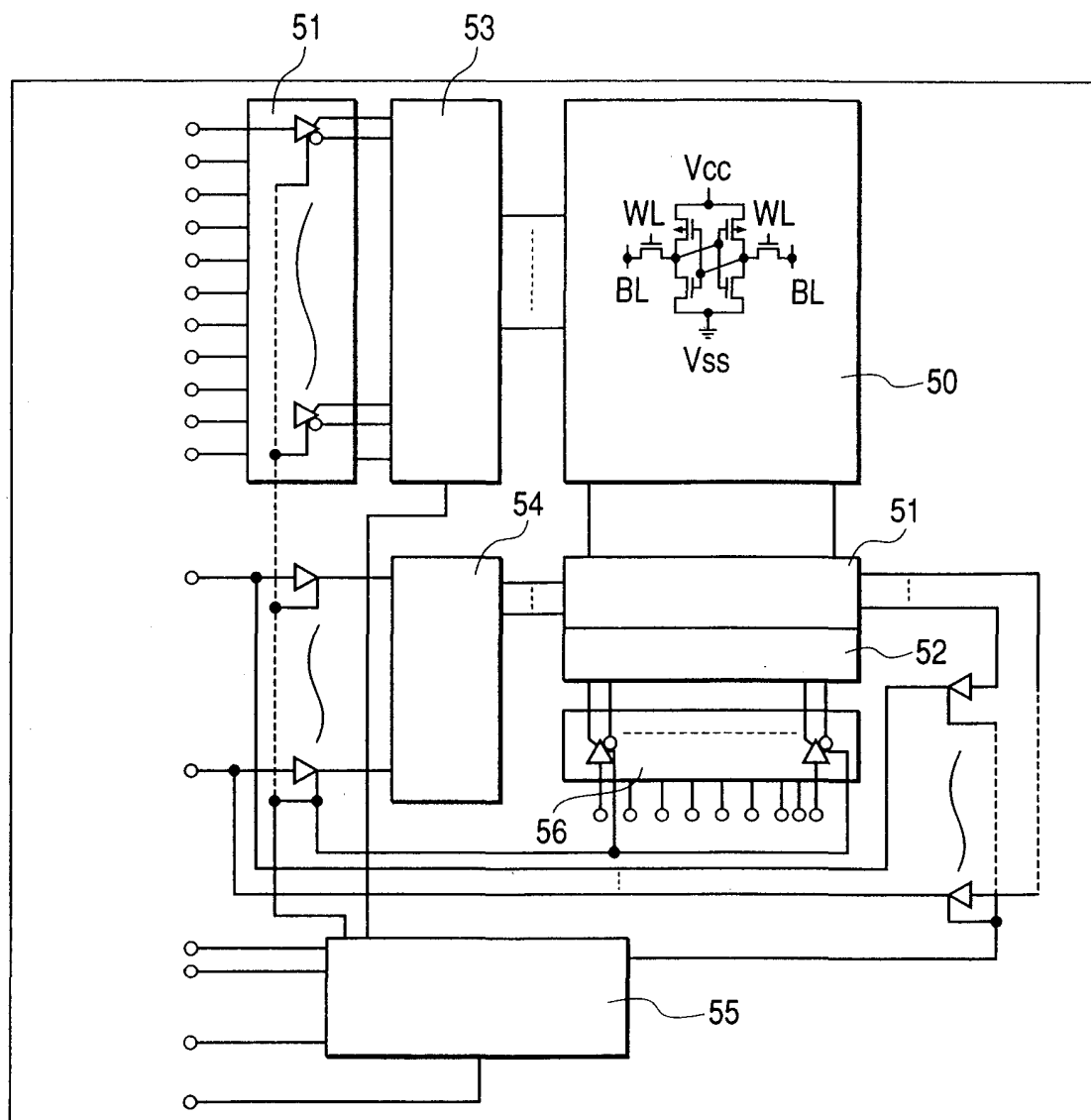


图 13

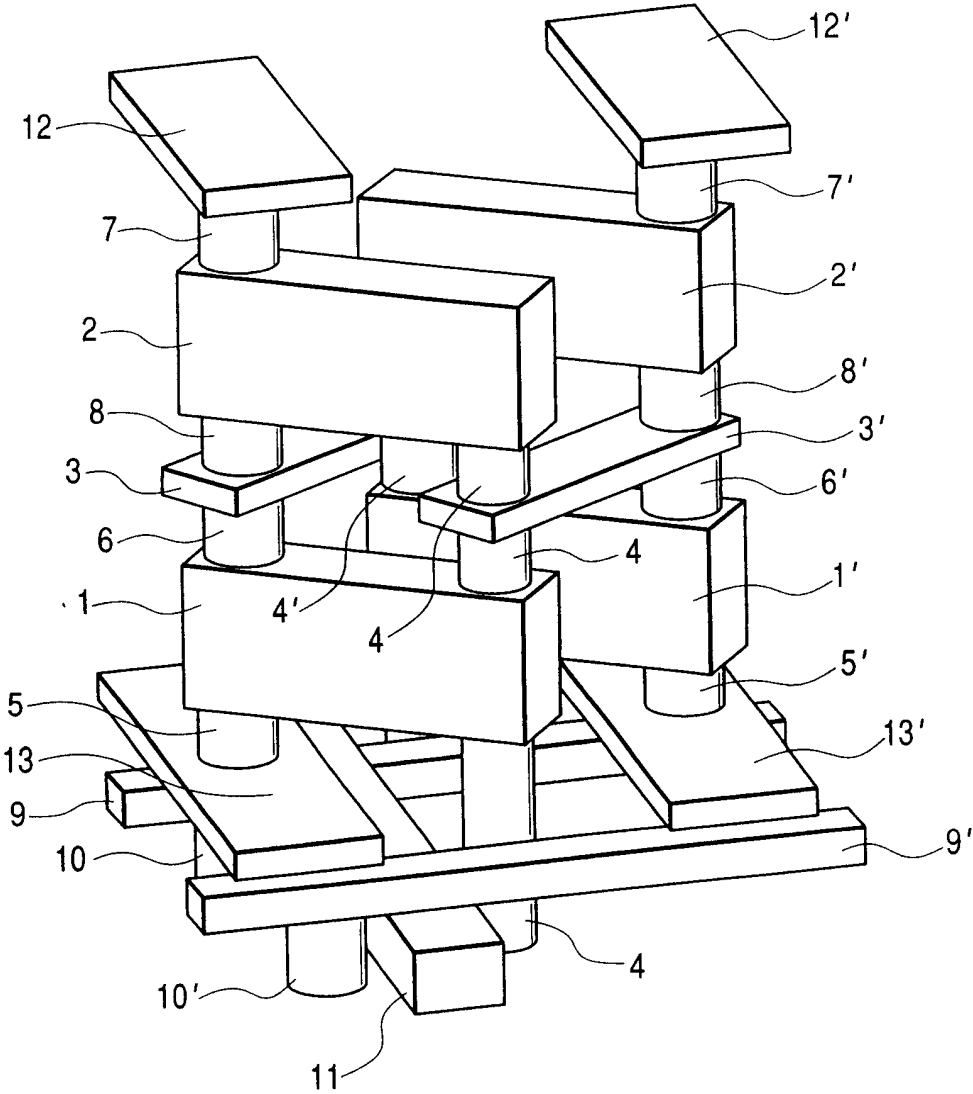


图 15

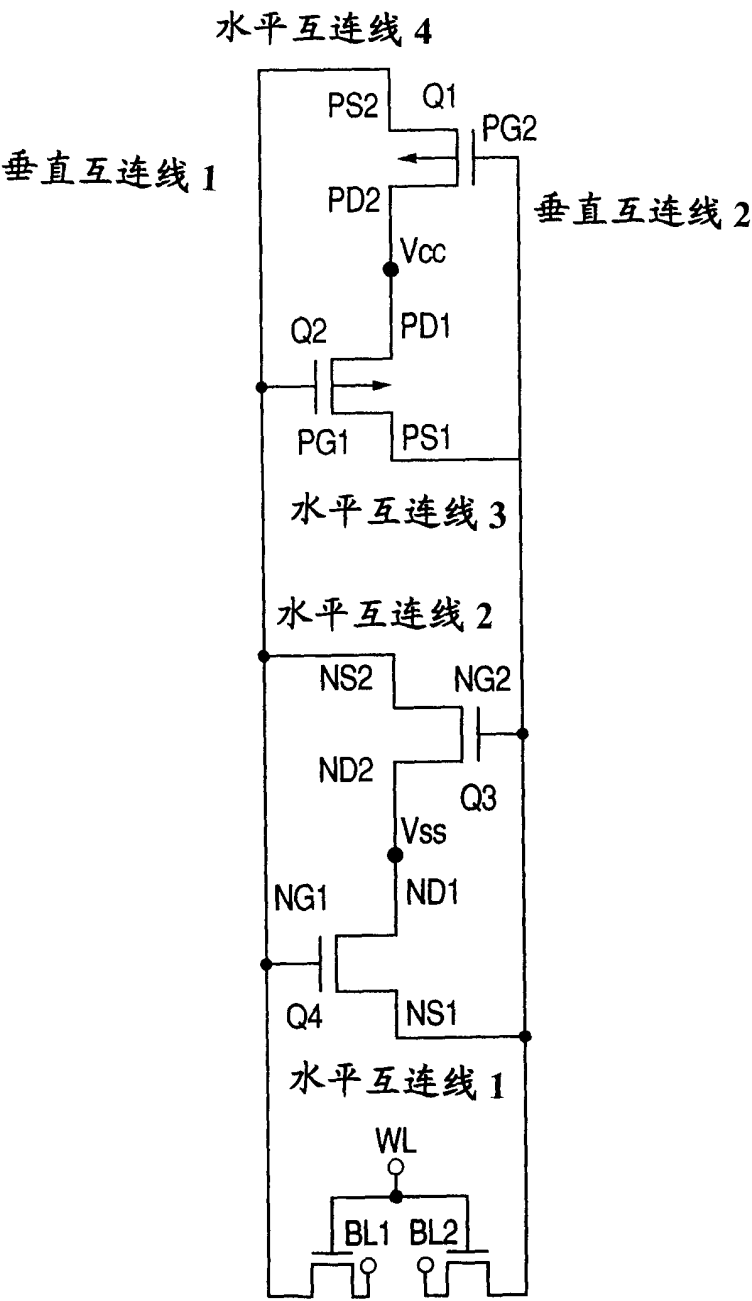


图 17

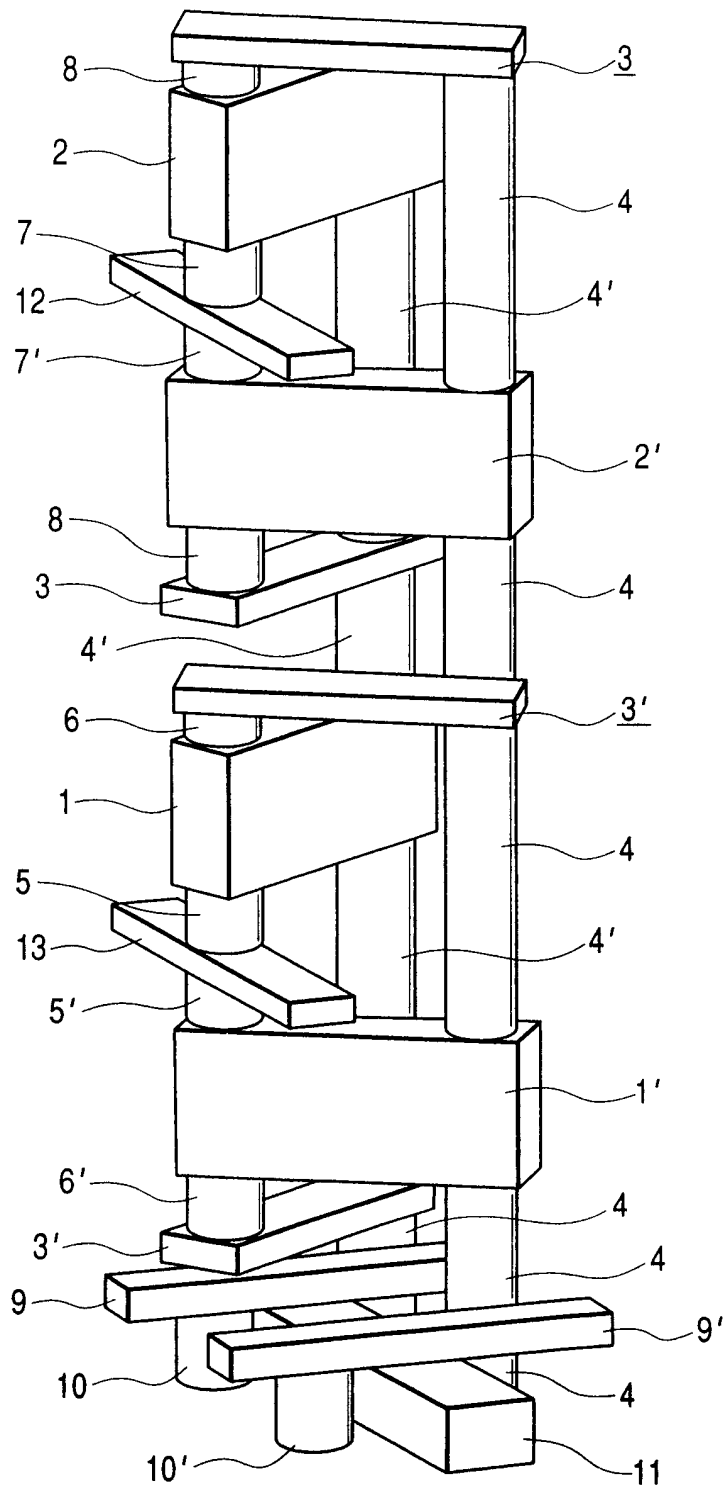


图 18

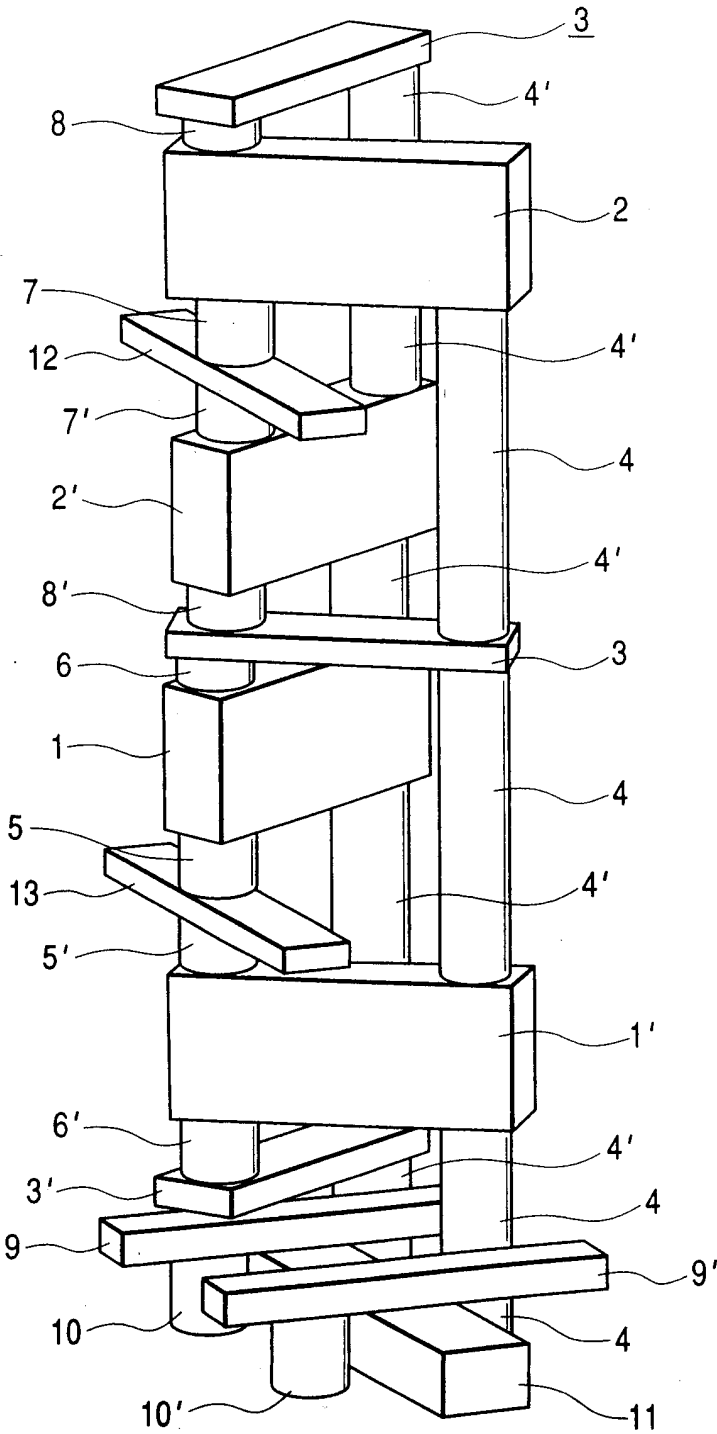


图 19

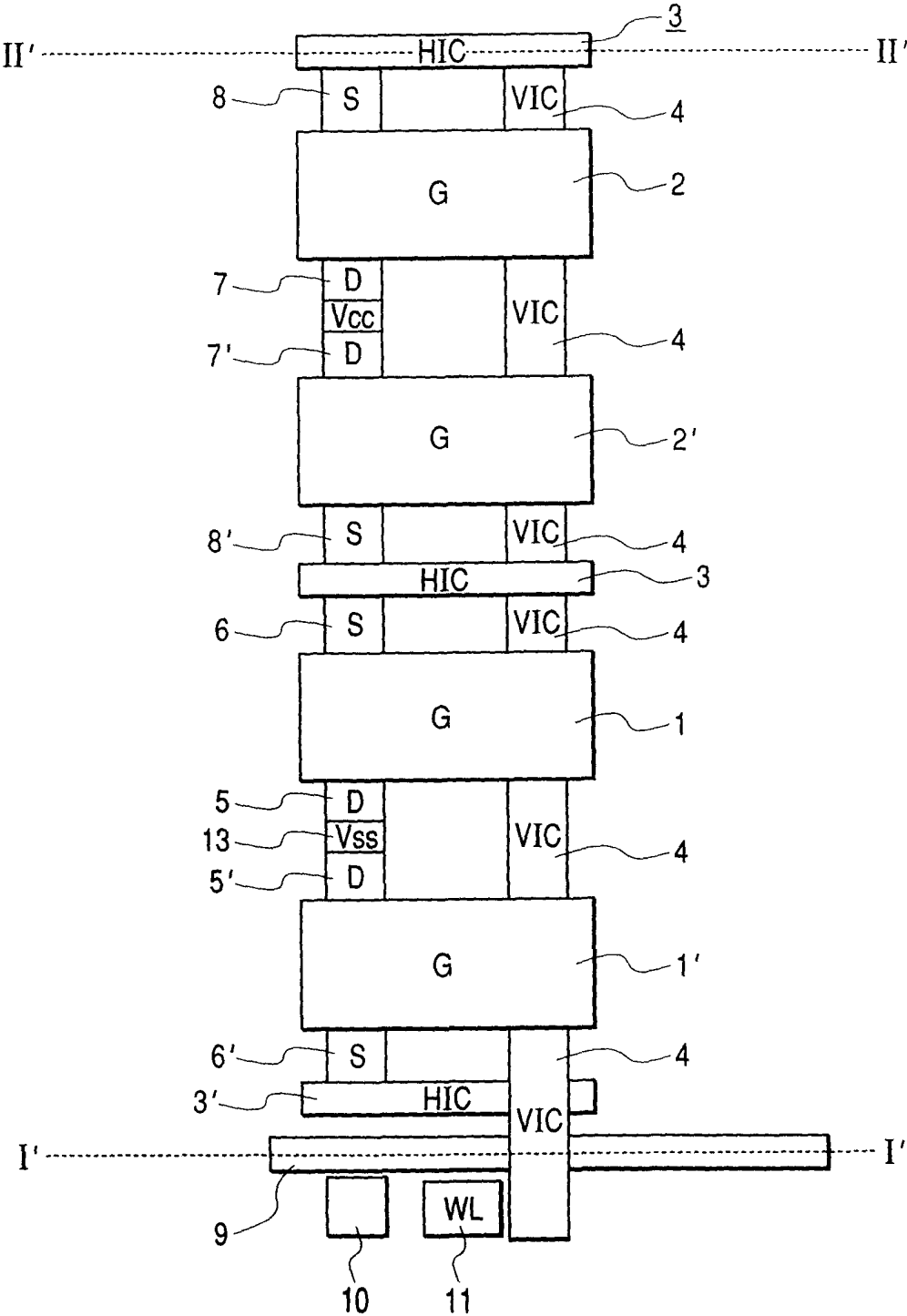


图 20

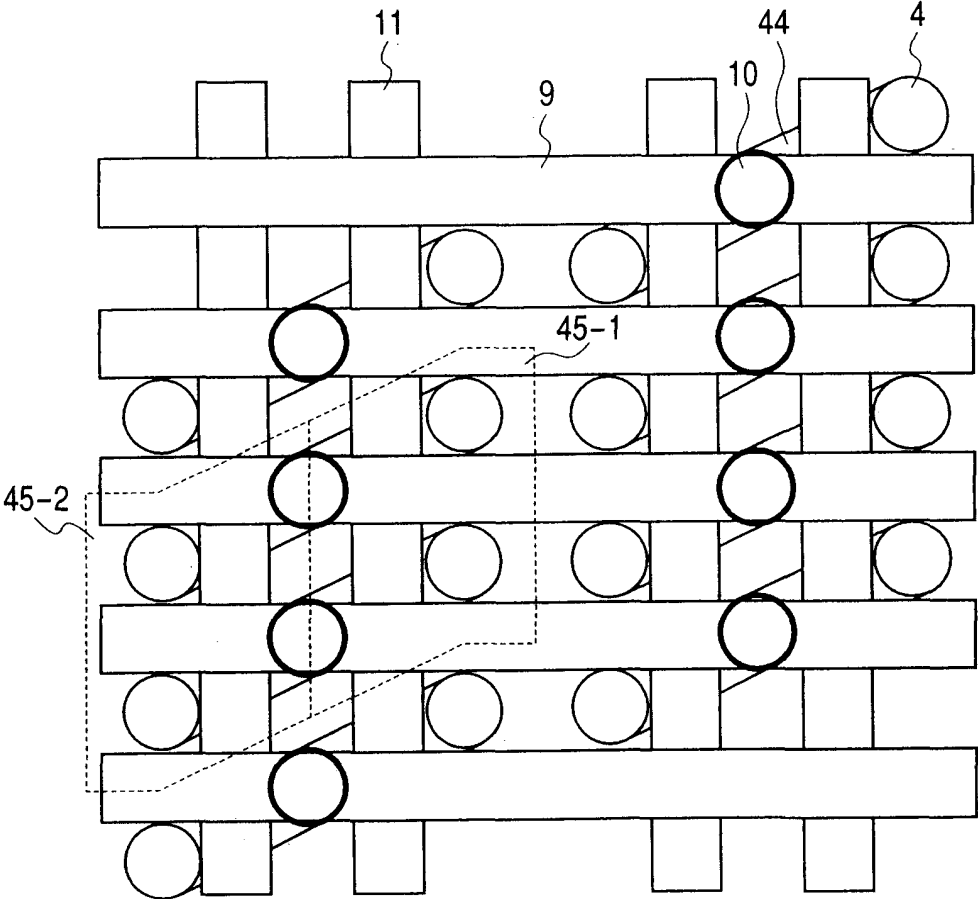


图 21

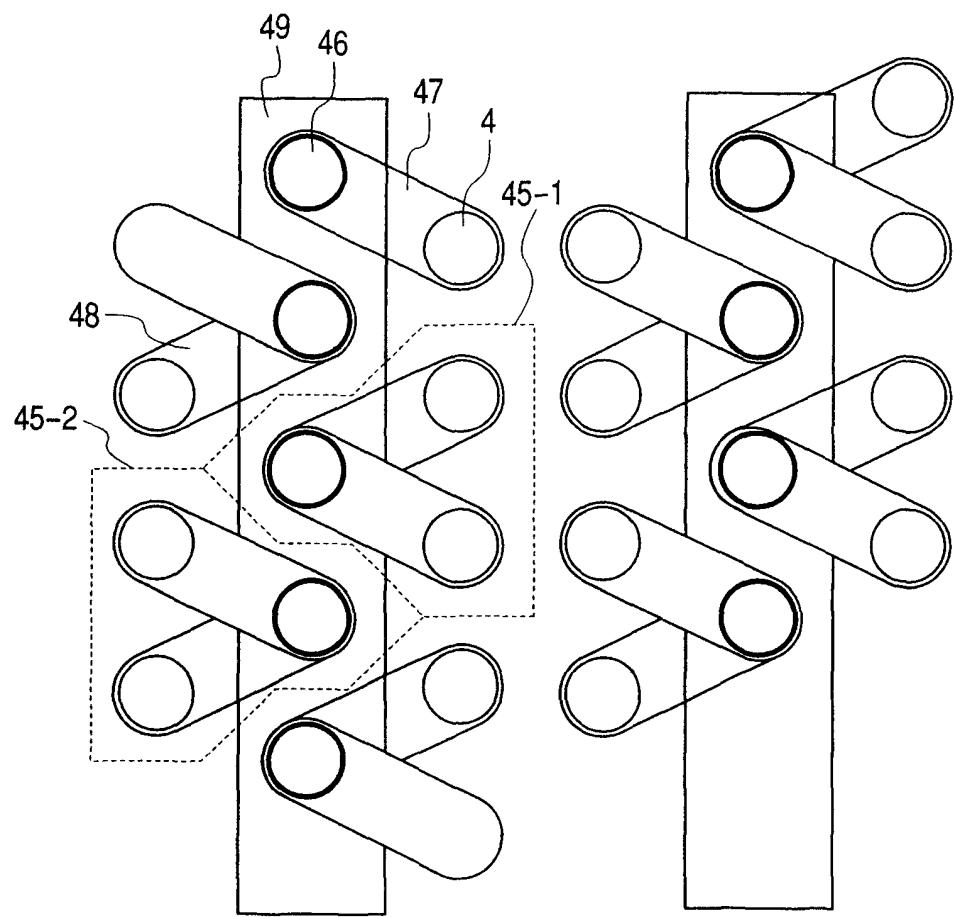


图 22

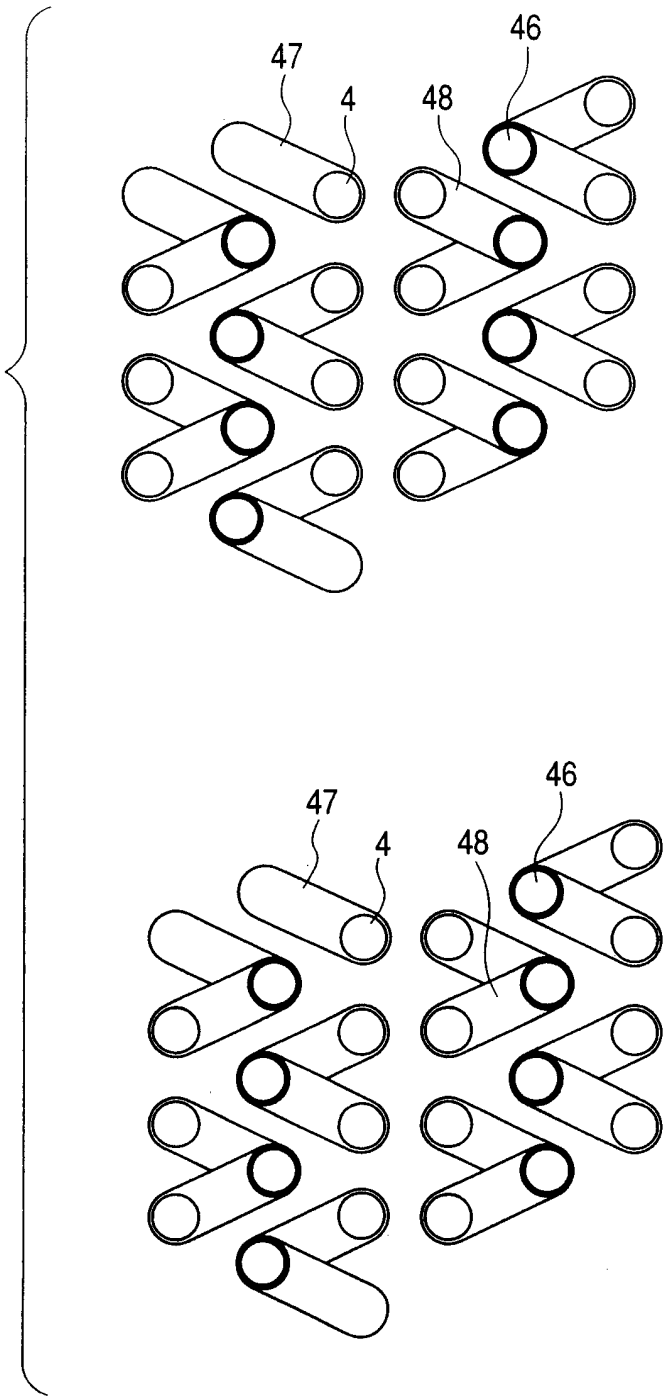


图 23

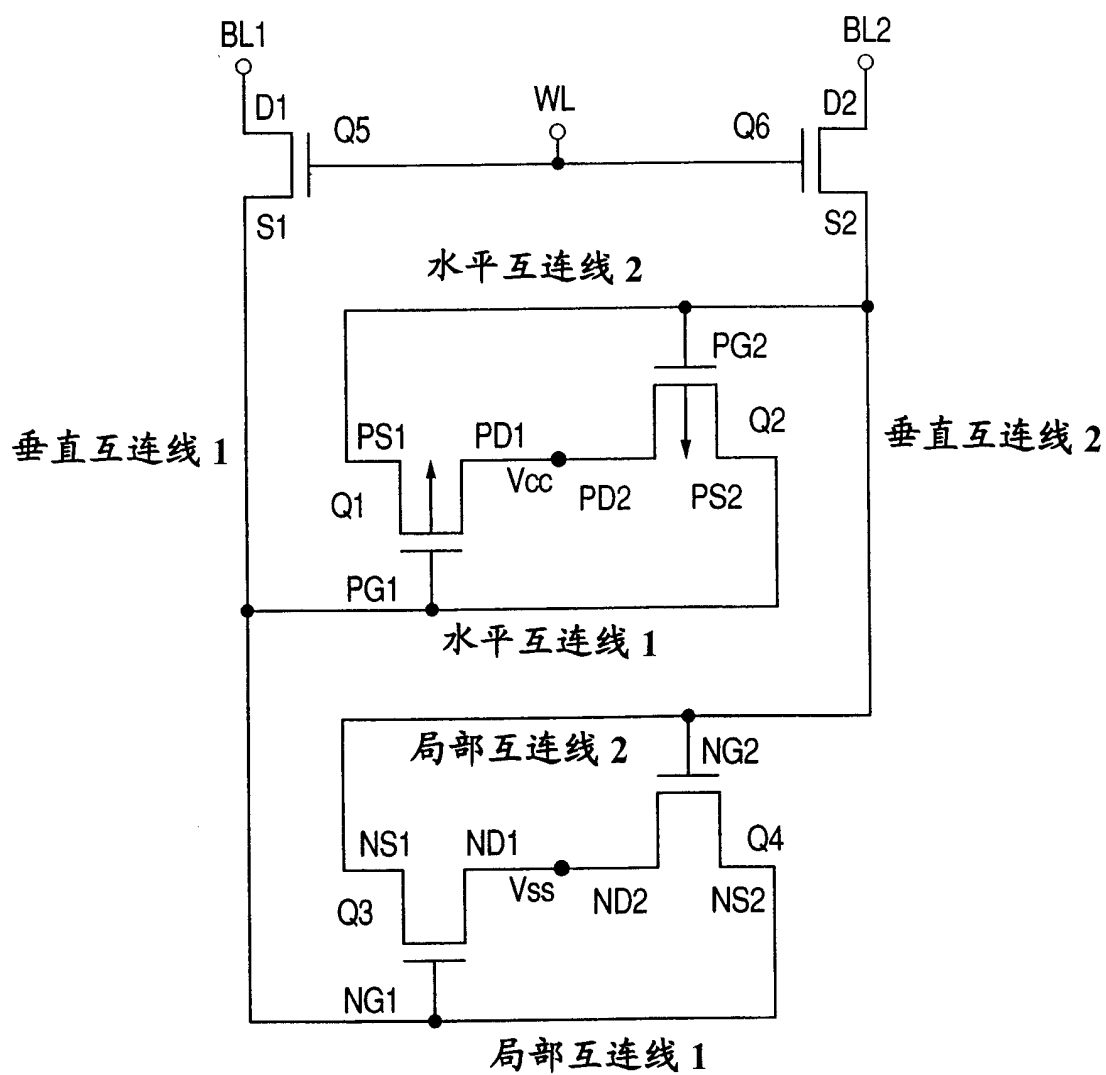


图 24

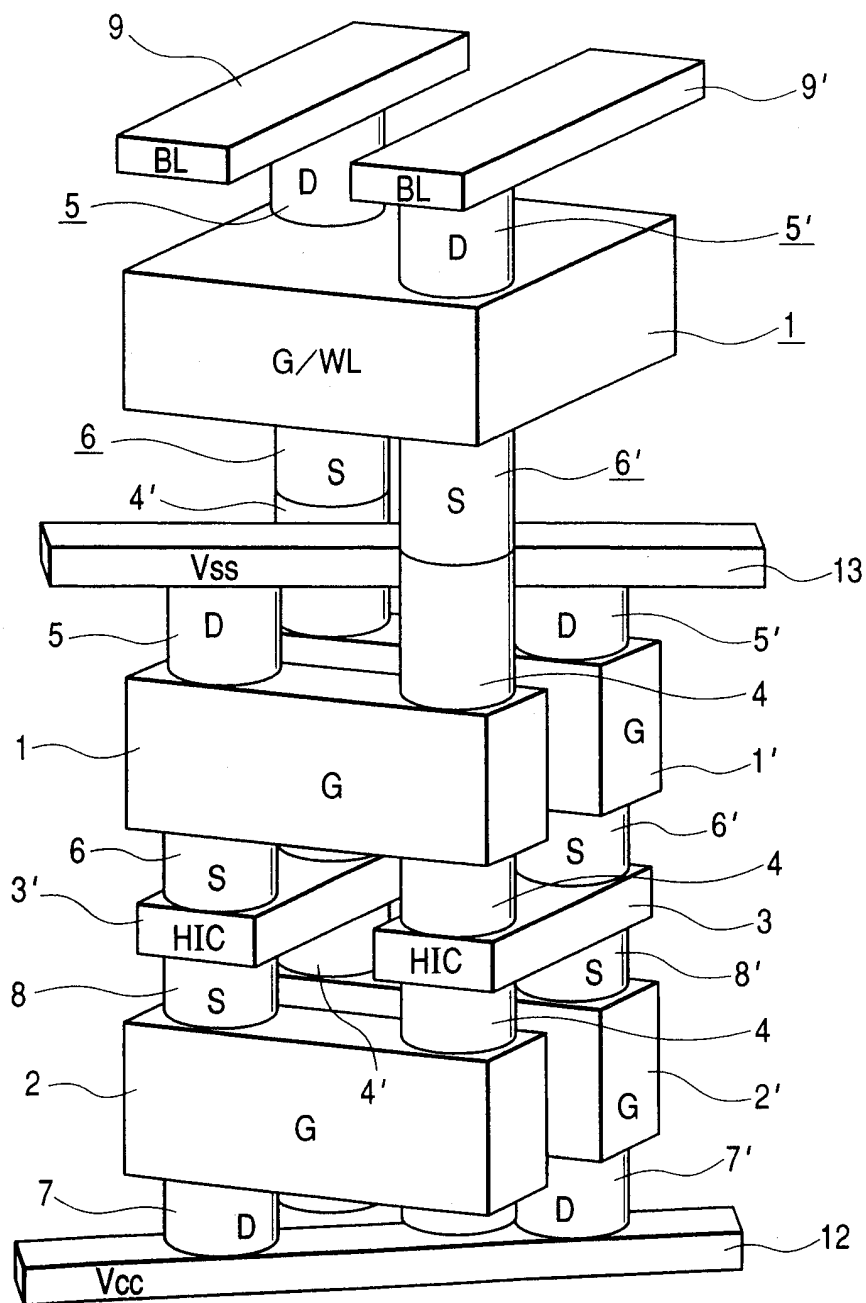


图 25

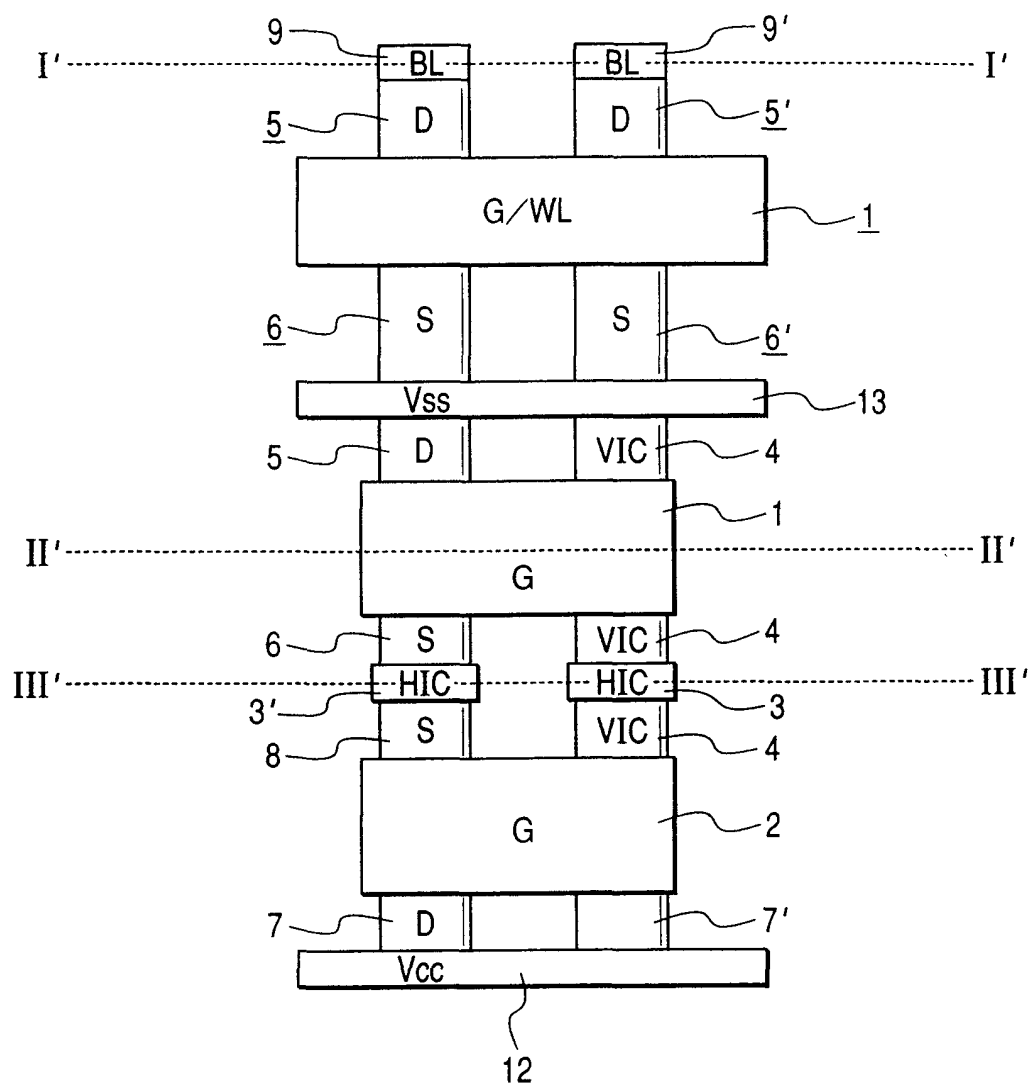


图 26

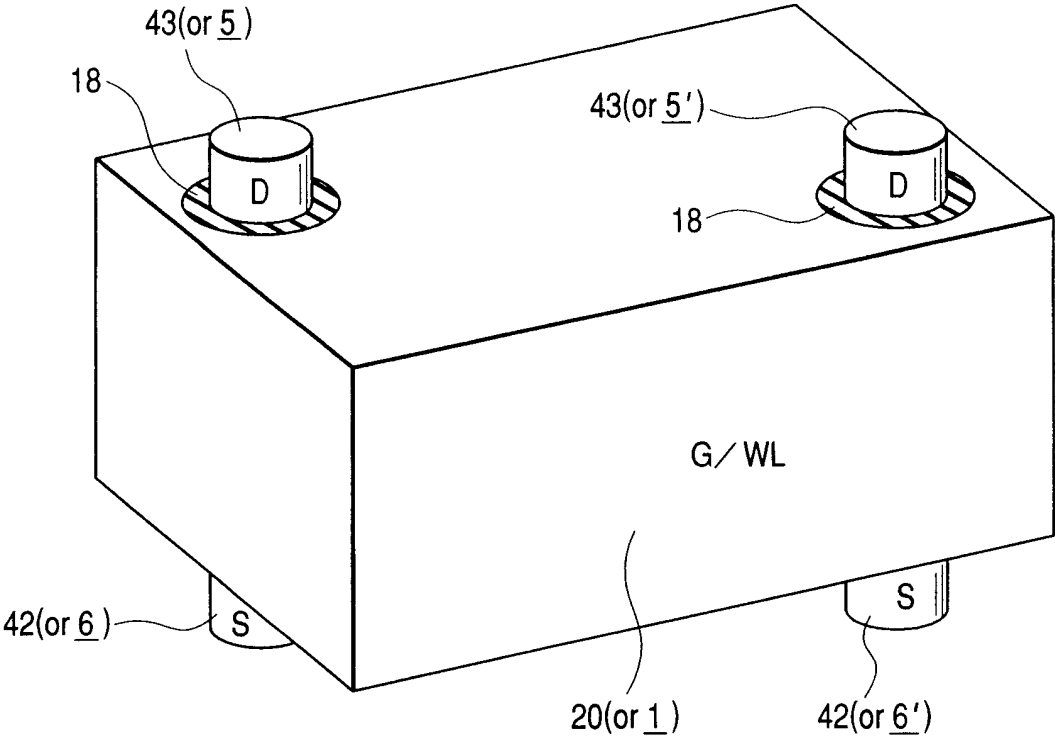


图 27

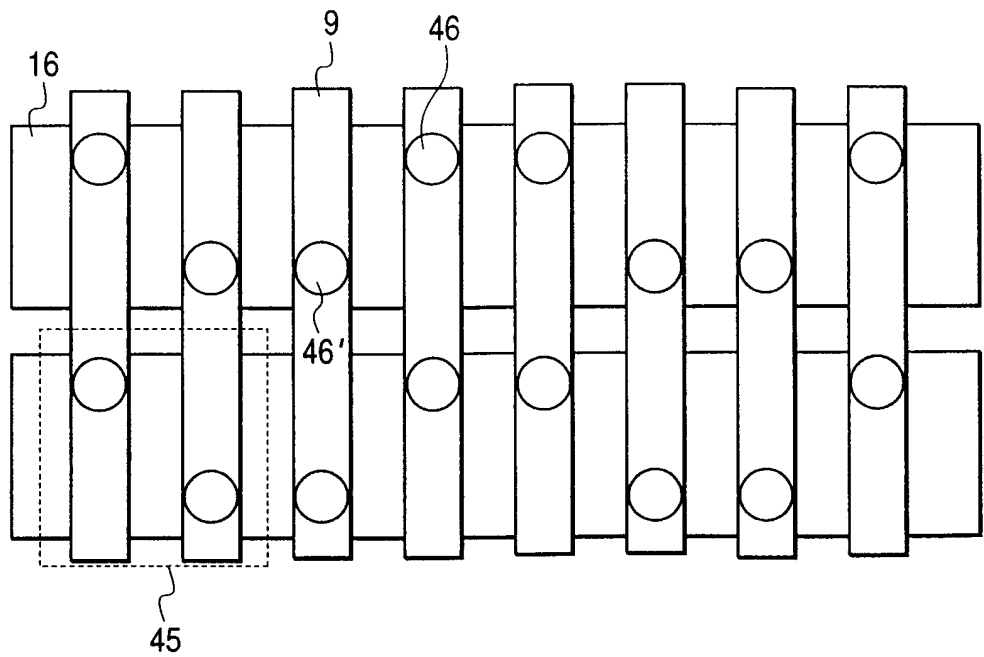


图 28

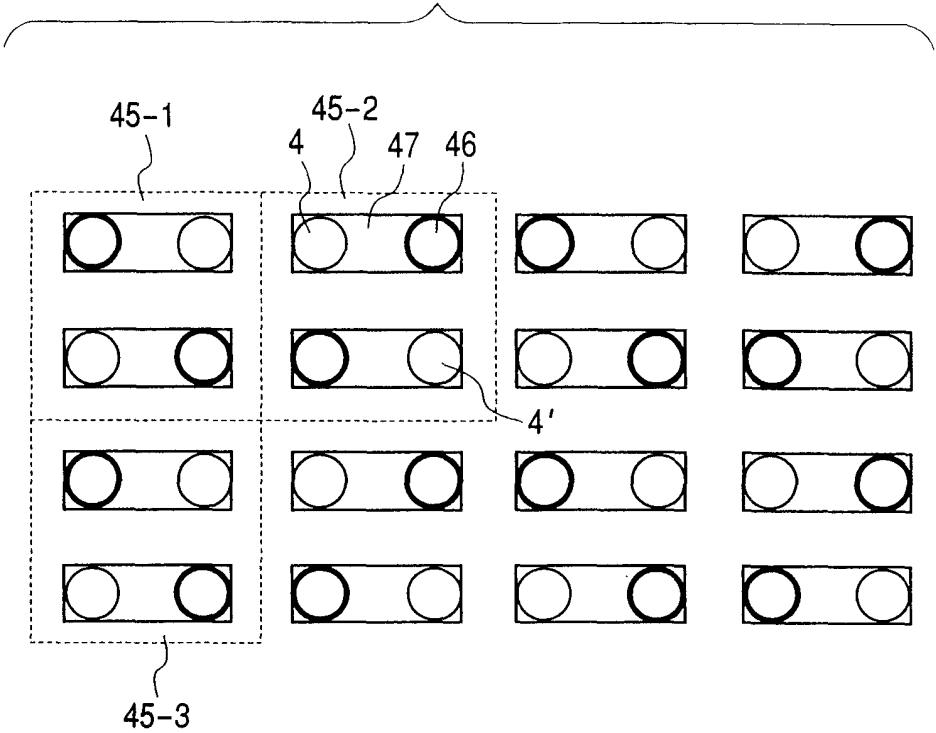


图 29

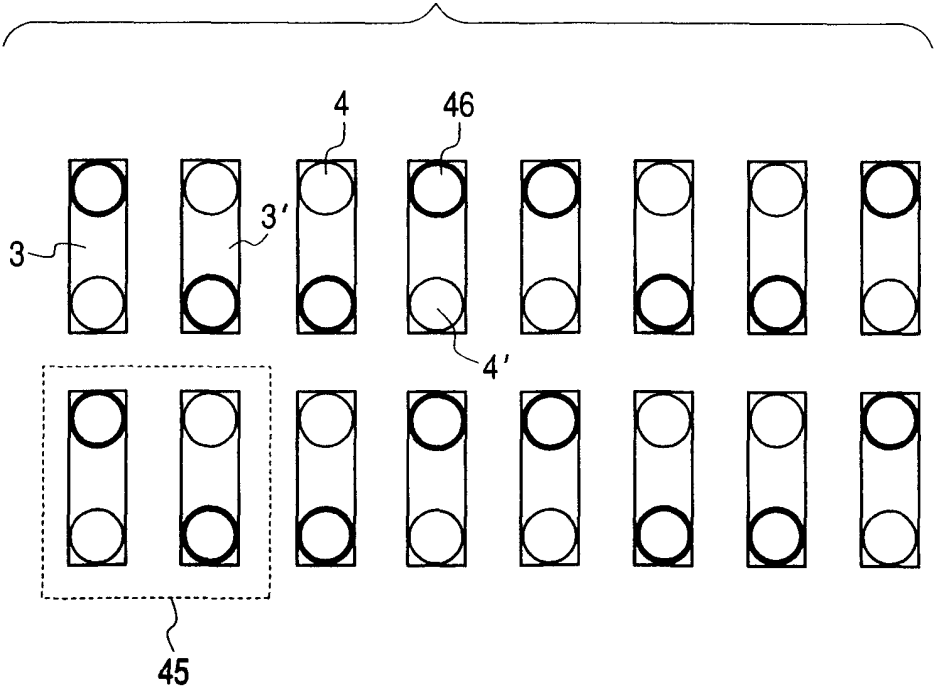


图 30A

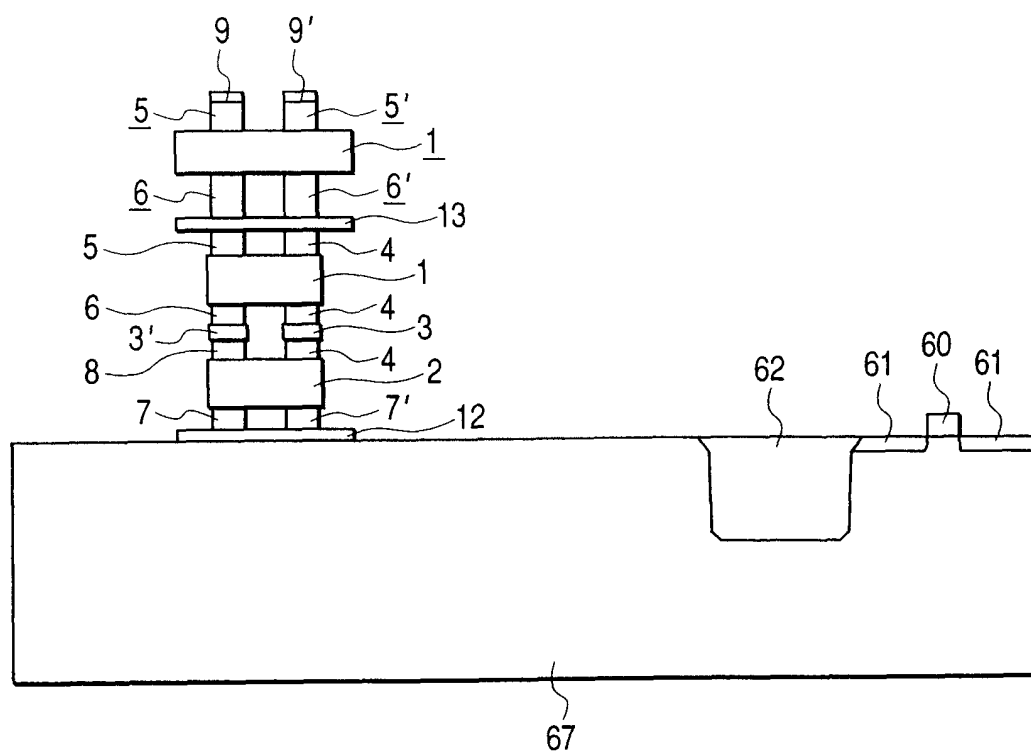


图 30B

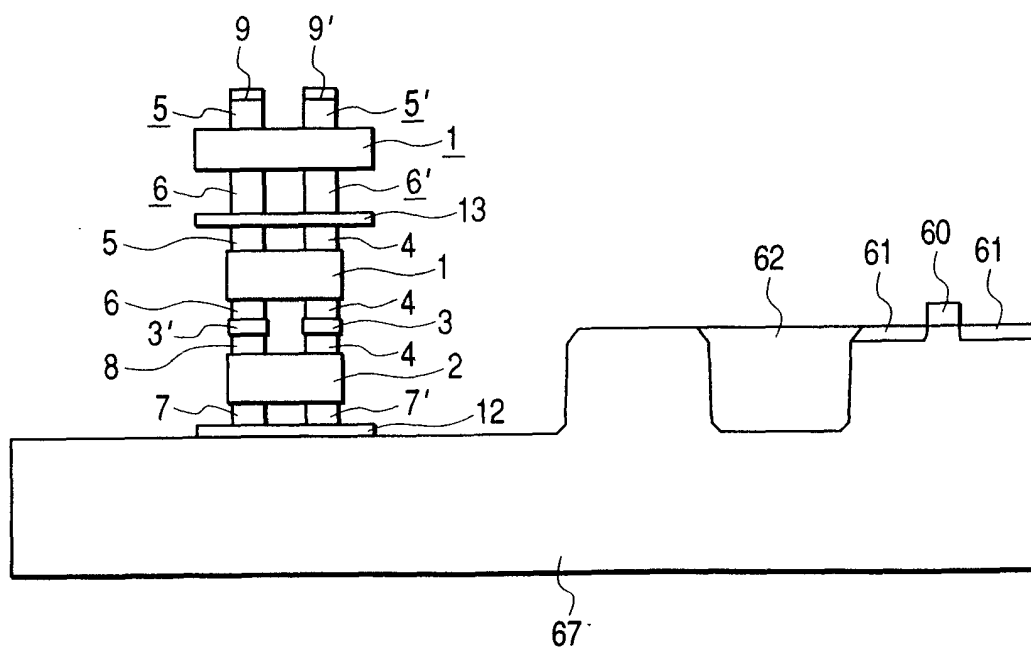


图 30C

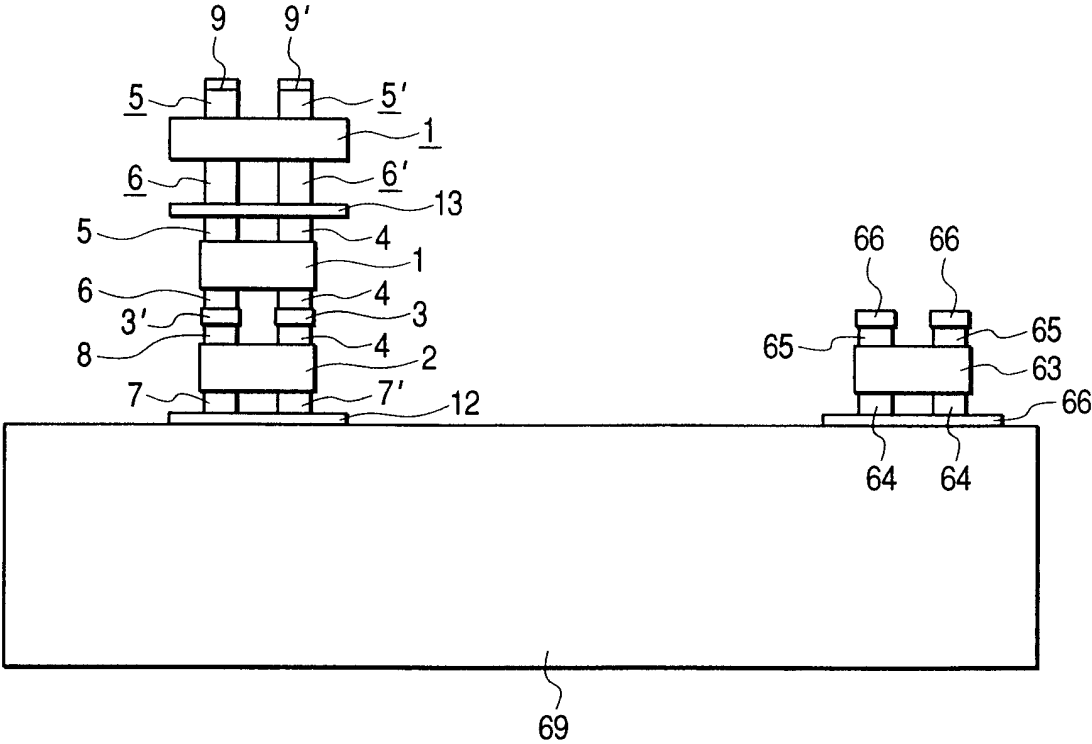


图 32

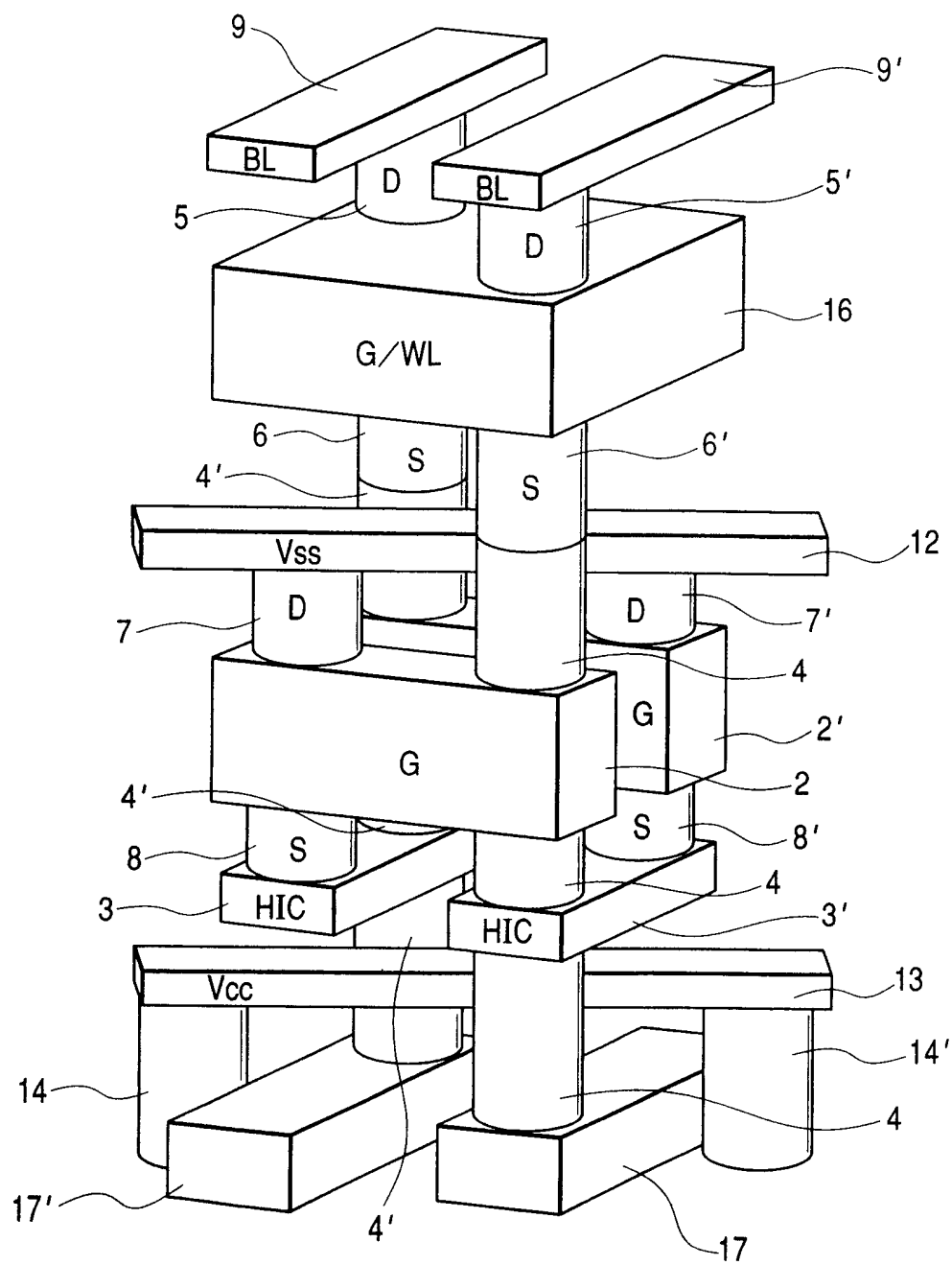


图 33

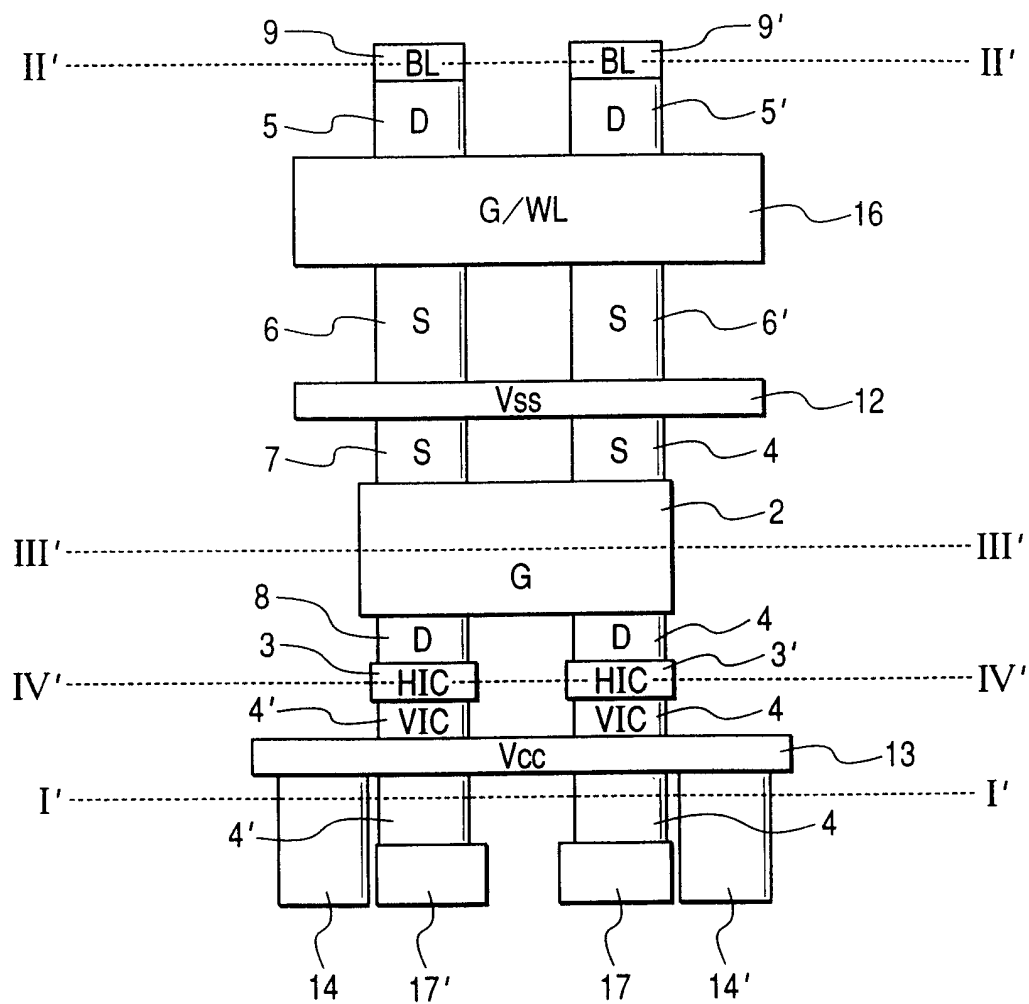


图 34

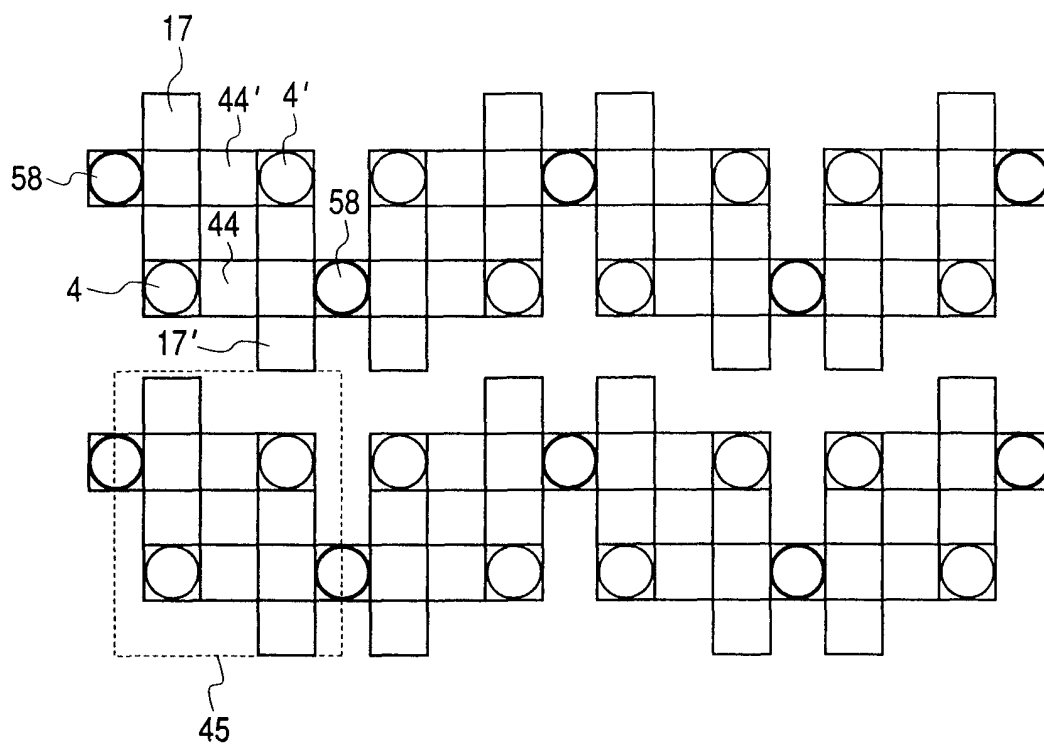


图 35

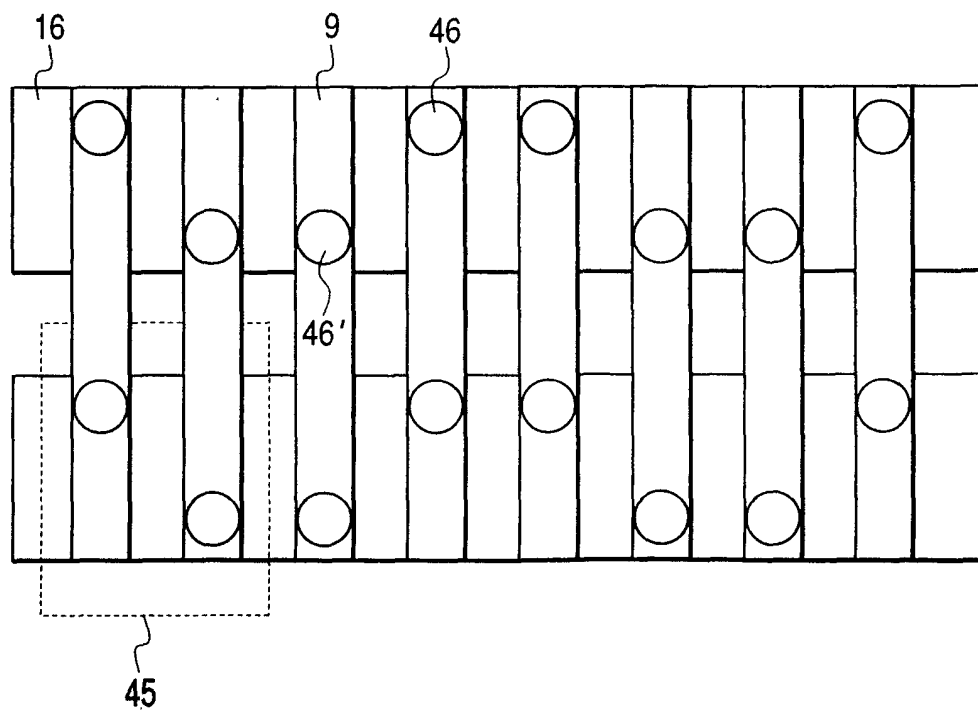


图 36

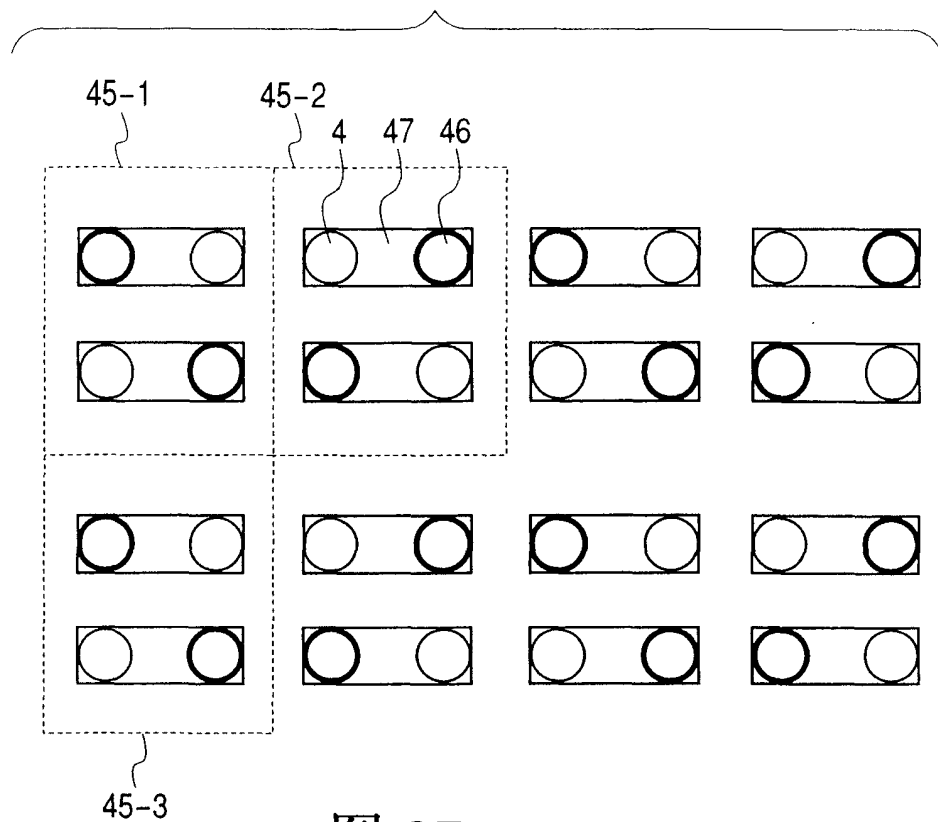


图 37

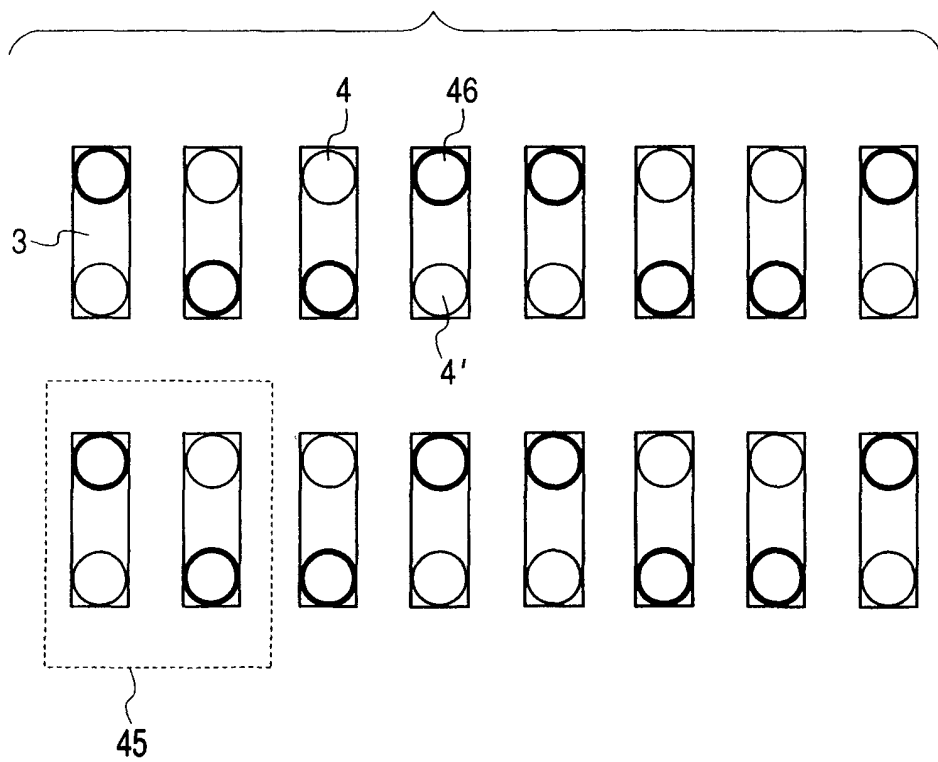


图 38

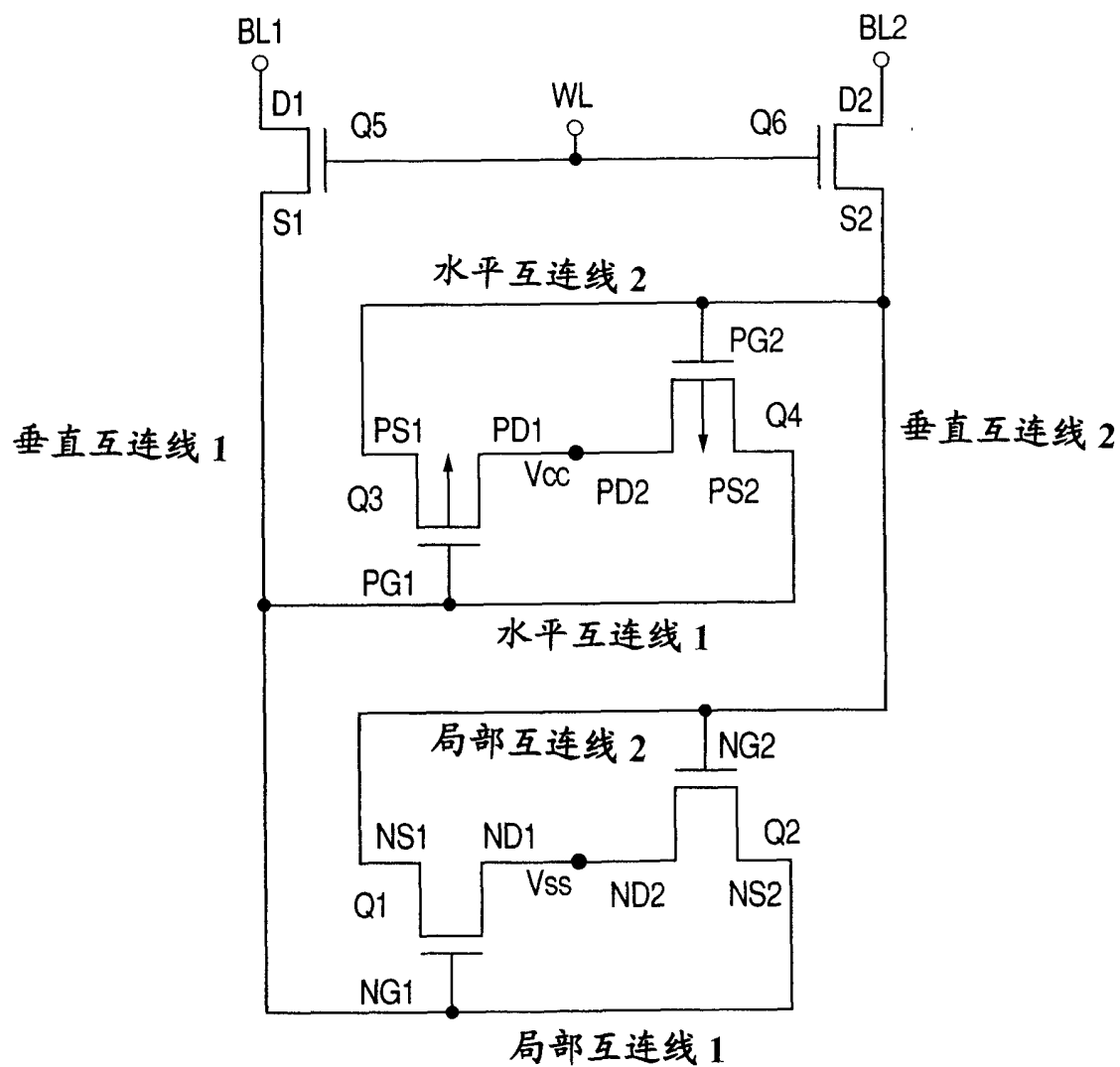


图 39

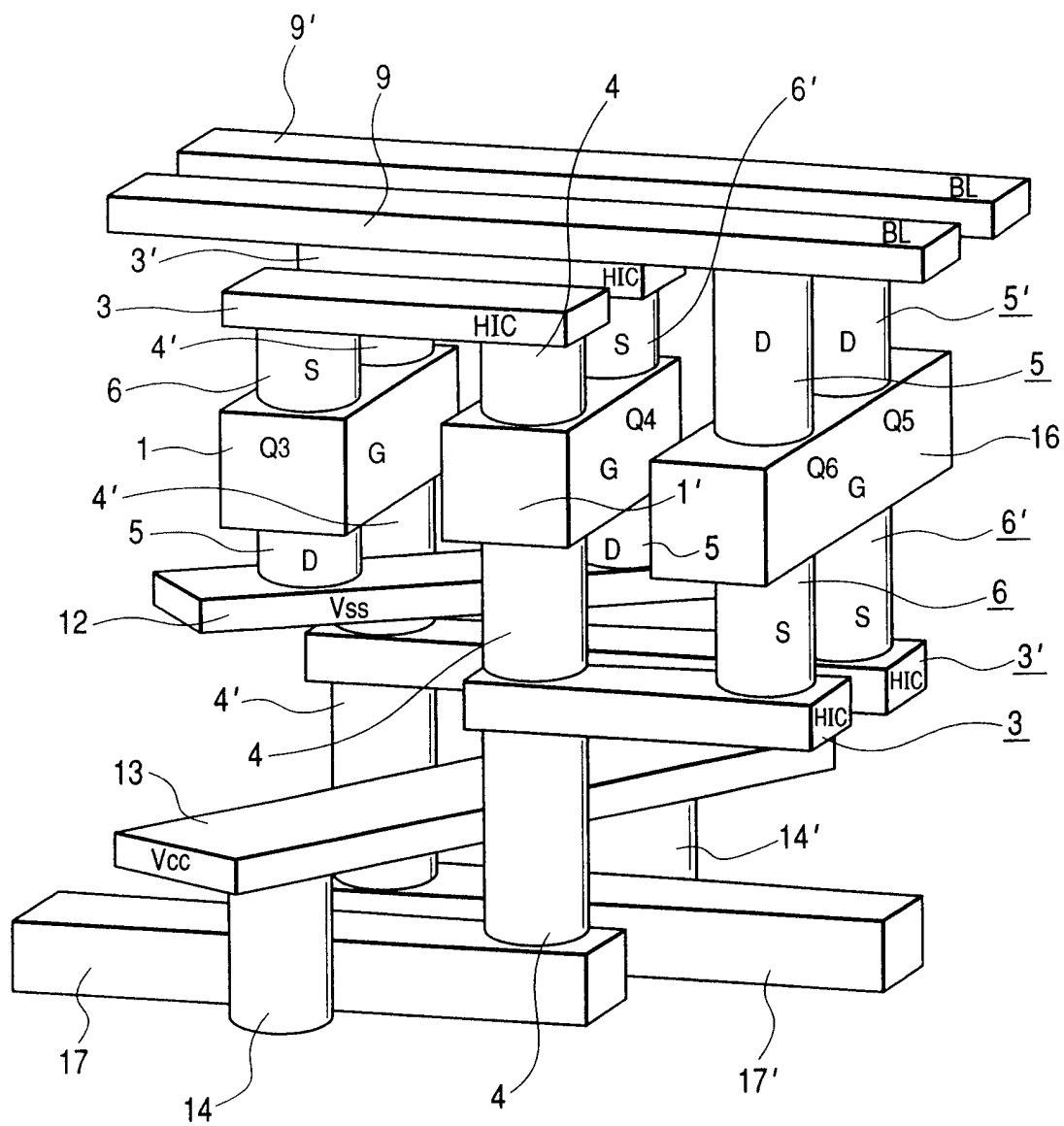


图 41

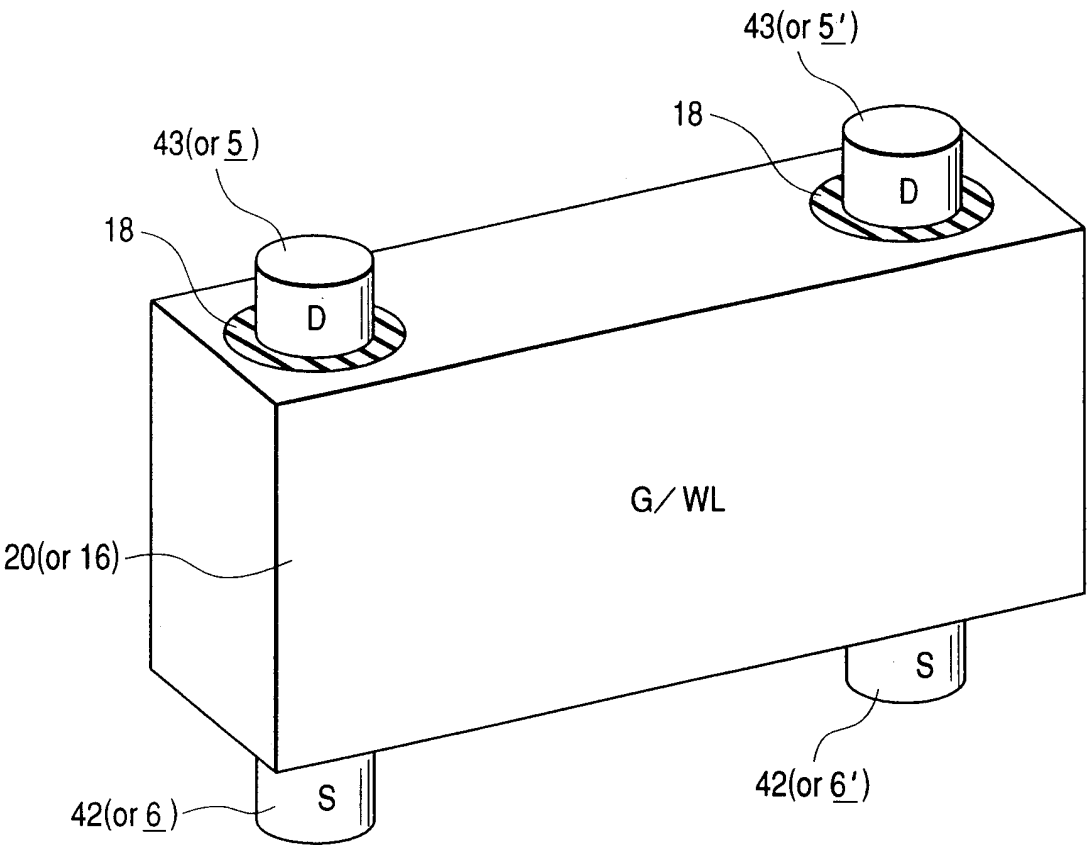


图 42

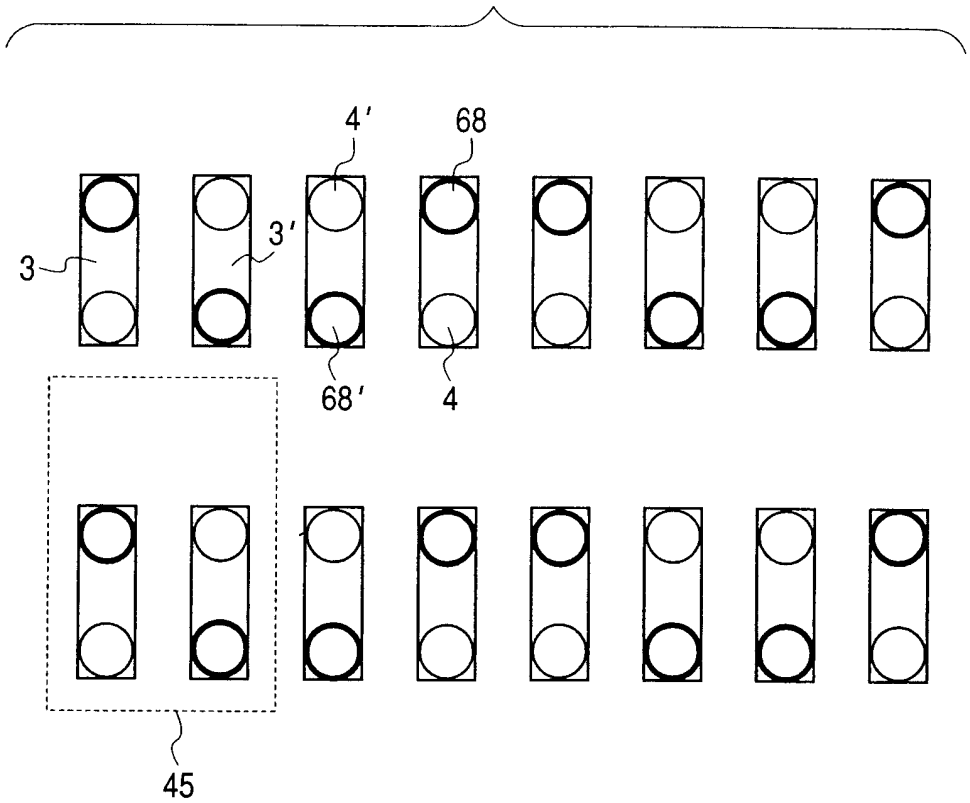


图 43

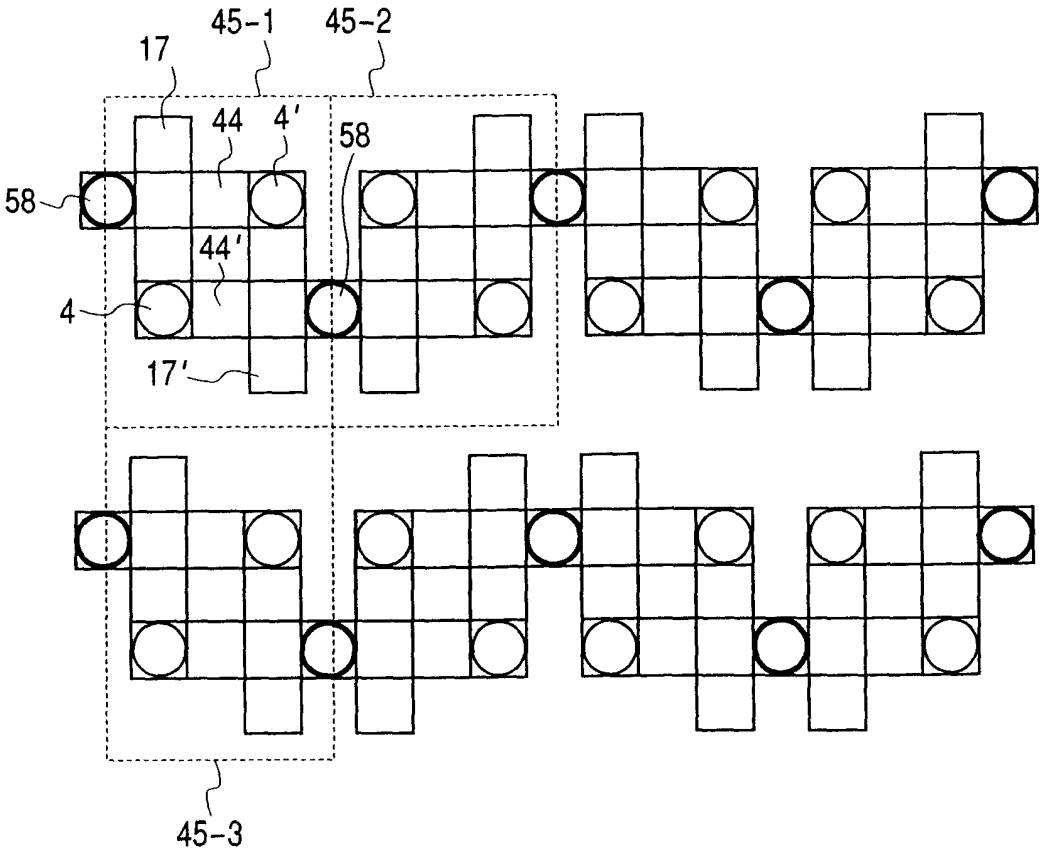


图 44

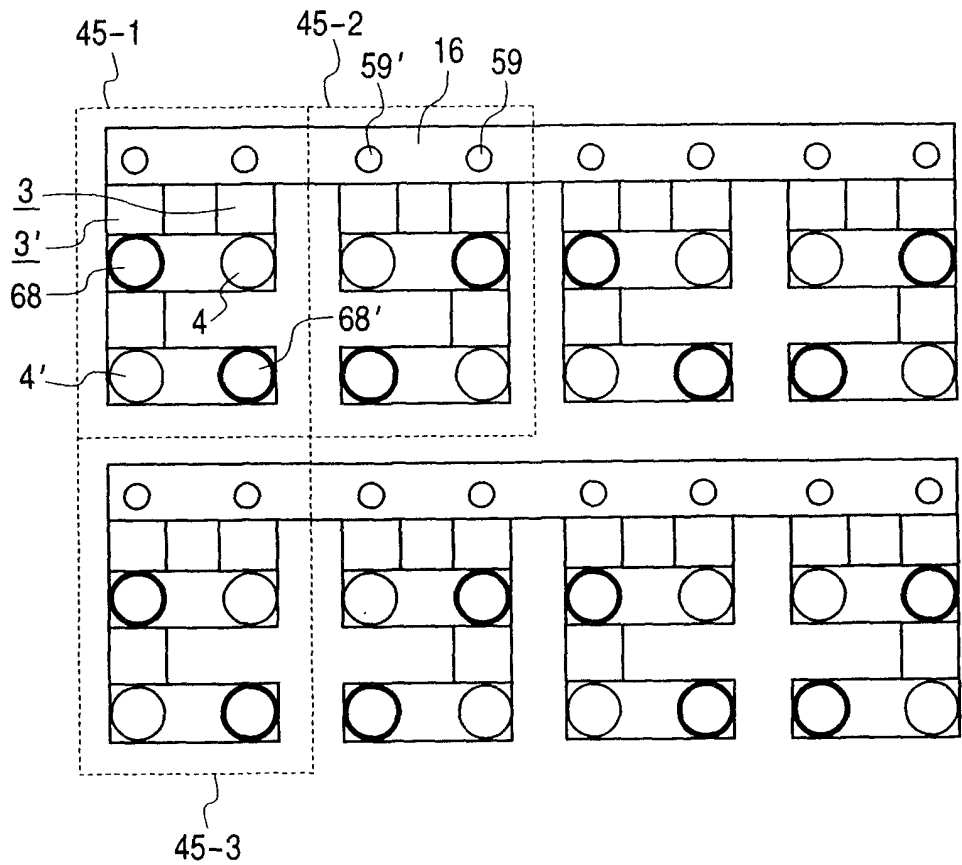


图 45

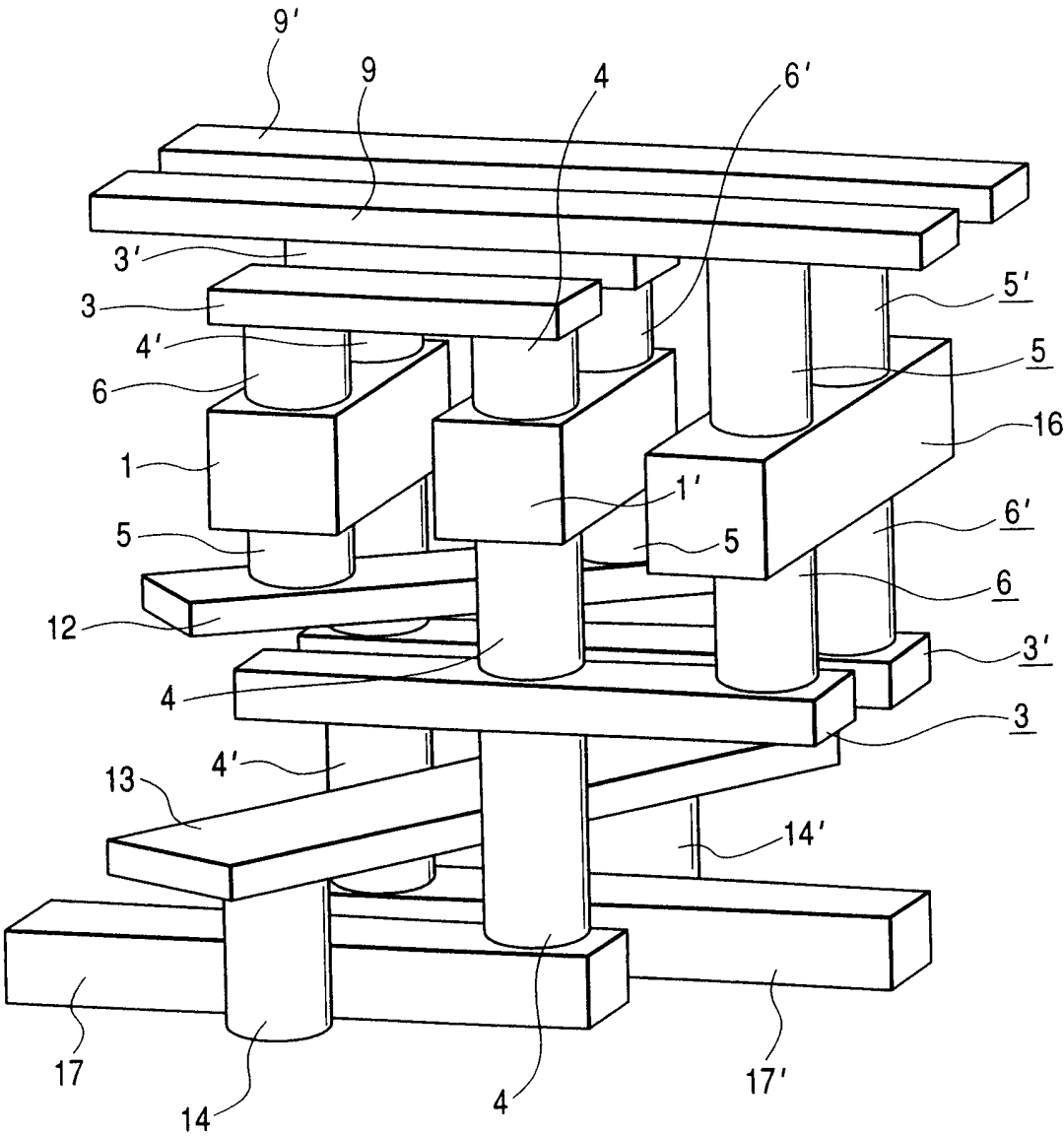


图 46

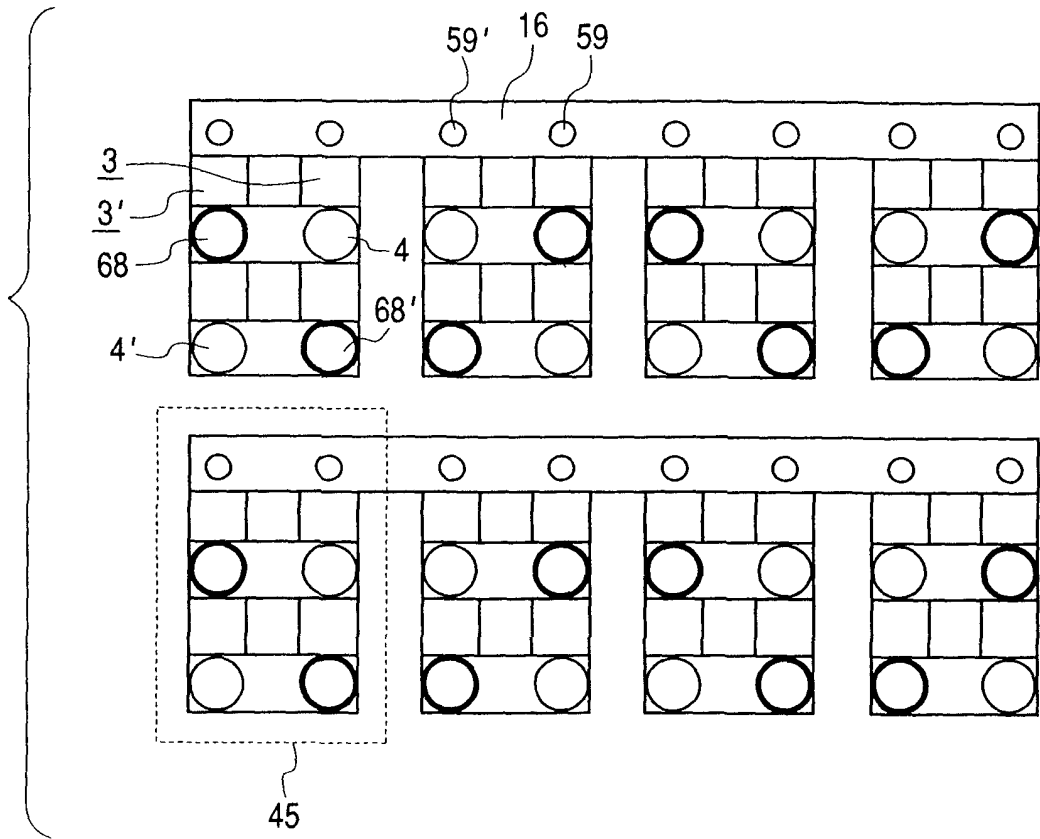


图 48

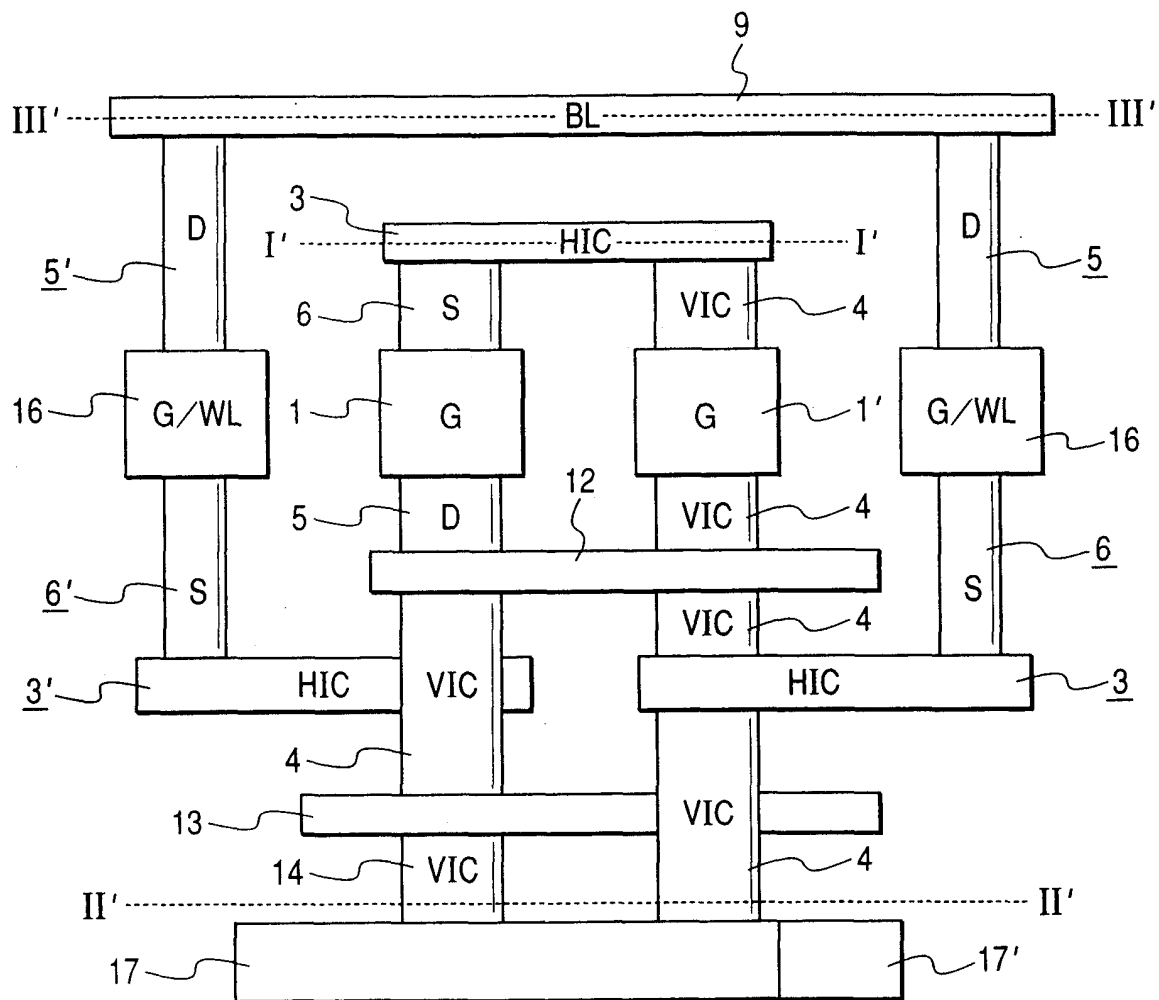


图 49

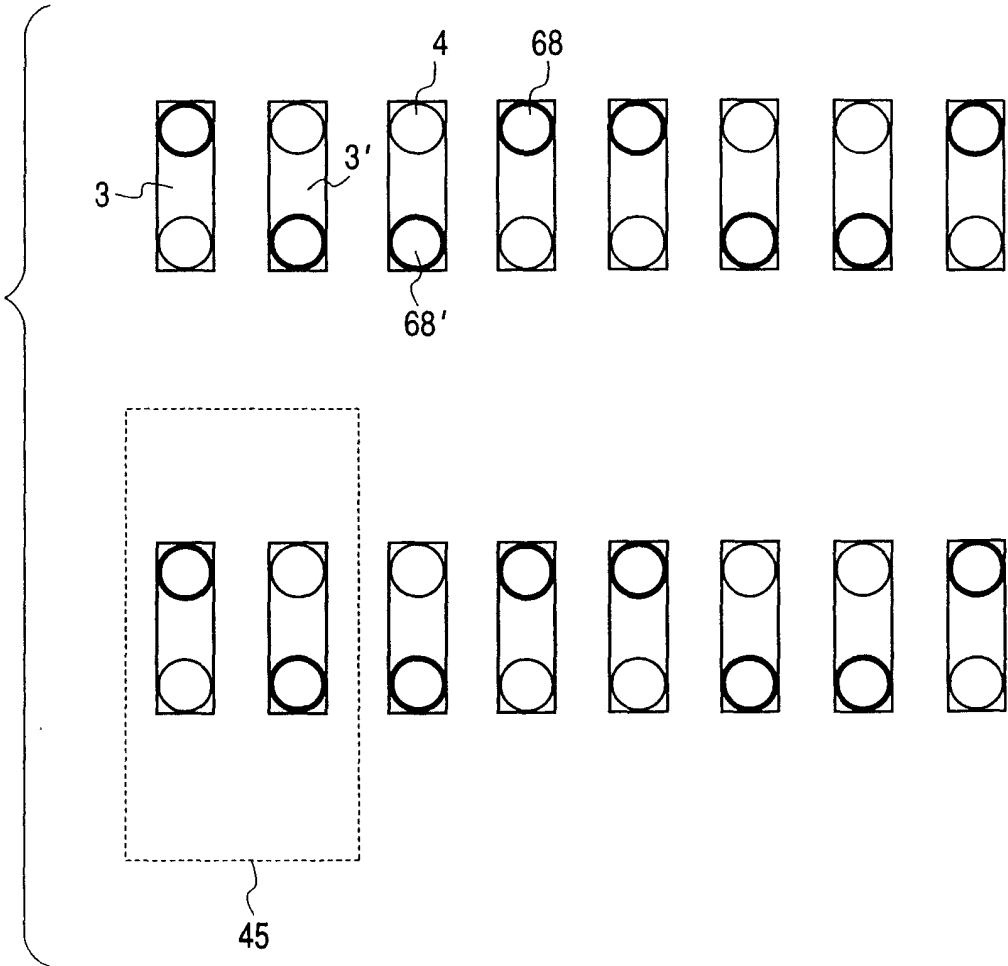


图 50

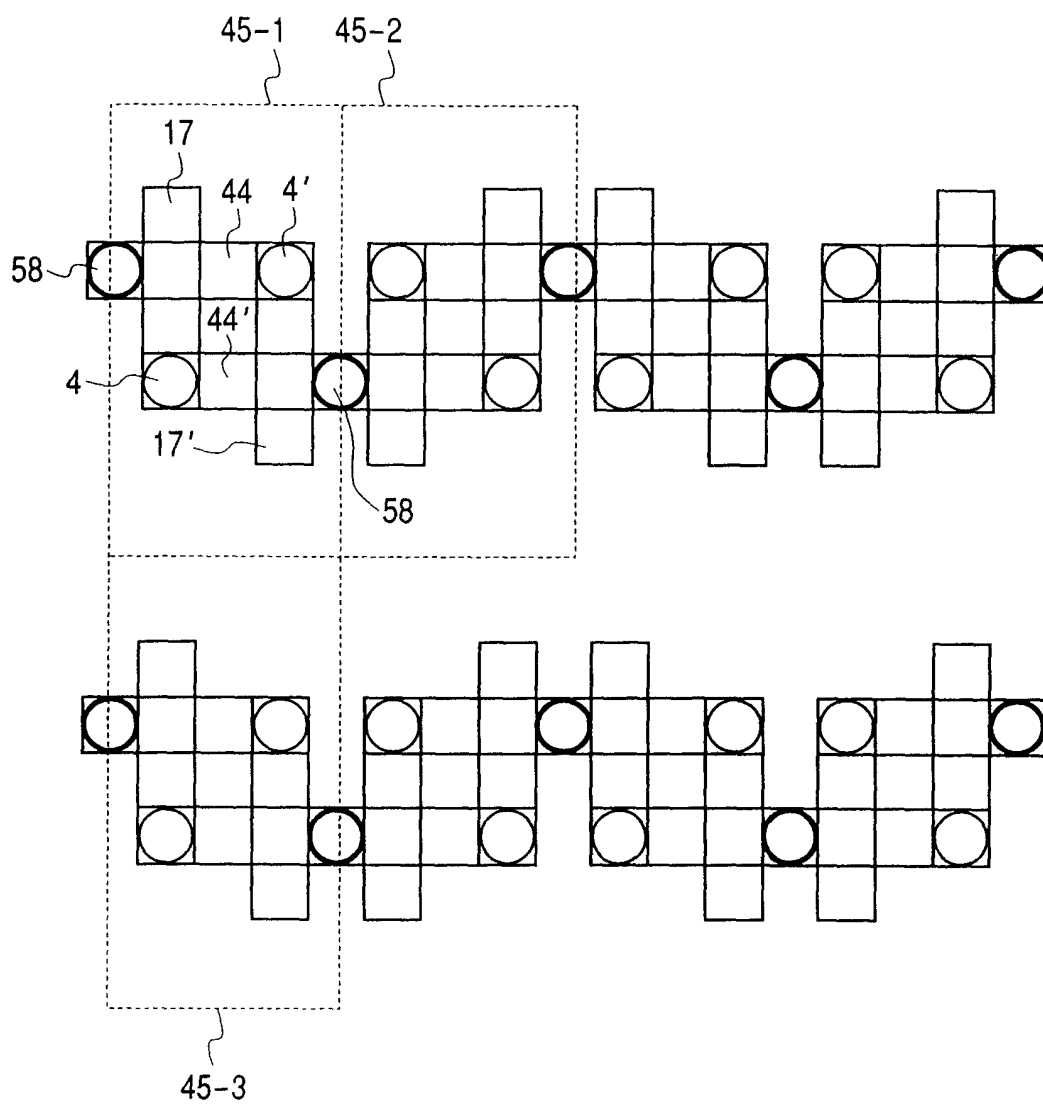


图 51

