

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4190251号
(P4190251)

(45) 発行日 平成20年12月3日(2008.12.3)

(24) 登録日 平成20年9月26日(2008.9.26)

(51) Int. Cl.		F I		
G06F 17/50	(2006.01)	G06F 17/50	666Z	
H01L 21/82	(2006.01)	G06F 17/50	666L	
		H01L 21/82	L	
		H01L 21/82	T	

請求項の数 6 (全 15 頁)

(21) 出願番号 特願2002-311479 (P2002-311479)
 (22) 出願日 平成14年10月25日(2002.10.25)
 (65) 公開番号 特開2004-145738 (P2004-145738A)
 (43) 公開日 平成16年5月20日(2004.5.20)
 審査請求日 平成17年10月7日(2005.10.7)

(73) 特許権者 308014341
 富士通マイクロエレクトロニクス株式会社
 東京都新宿区西新宿二丁目7番1号
 (74) 代理人 100117385
 弁理士 田中 裕人
 (72) 発明者 藤根 栄司
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内
 審査官 松浦 功

最終頁に続く

(54) 【発明の名称】 電源網解析方法

(57) 【特許請求の範囲】

【請求項1】

電源配線との接続位置、および接続配線種の情報を含む2以上の電源端子を有する回路ブロックが少なくとも1つ配置されている回路装置に対して、前記電源配線を抵抗要素に分割して電源網解析を、コンピュータを用いて構築された解析システムで前記コンピュータの情報処理として行う電源網解析方法であって、

前記回路ブロック内において、前記接続配線種の情報に基づき前記電源端子間を相互に接続して仮想電源配線を生成する仮想配線生成ステップと、

前記電源配線と前記仮想電源配線とを、抵抗要素に分割して抵抗網ネットワークを抽出する抵抗網抽出ステップとを有することを特徴とする電源網解析方法。

10

【請求項2】

前記回路ブロックの対向する境界辺上に2つの前記電源端子が対向して存在する場合、前記仮想配線生成ステップは、対向する前記境界辺に向かう直線部で前記電源端子間を接続することにより前記仮想電源配線を生成することを特徴とする請求項1に記載の電源網解析方法。

【請求項3】

前記回路ブロックの対向する境界辺上に2つの前記電源端子が非対向で存在する場合、前記仮想配線生成ステップは、対向する前記境界辺に向かう直線部を、1または2の屈曲部で結んで前記電源端子間を接続することにより前記仮想電源配線を生成することを特徴とする請求項1に記載の電源網解析方法。

20

【請求項 4】

前記仮想電源配線の仮想経路を定義する仮想経路定義ステップを有し、前記仮想配線生成ステップでは、定義された前記仮想経路に基づき前記仮想電源配線を生成することを特徴とする請求項 1 に記載の電源網解析方法。

【請求項 5】

前記電源端子間、前記仮想電源配線間、または前記電源端子と前記仮想電源配線との接続において相互の前記接続配線種が異なる場合、配線経路中に前記接続配線種間を接続する接続部を生成することを特徴とする請求項 1 に記載の電源網解析方法。

【請求項 6】

前記仮想電源配線の配線種は前記接続配線種の情報に基づいて選択された前記電源配線と同じ配線種であり、前記仮想電源配線は前記電源端子を介して前記電源配線と接続されることを特徴とする請求項 1 に記載の電源網解析方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路装置における電源網解析に関するものであり、特に、回路装置内に配置されている回路ブロック内の電源網を考慮した電源網解析に関するものである。

【0002】

【従来の技術】

半導体集積回路装置に代表される回路装置においては、複数の回路ブロックが配置された上で相互に電源配線が接続されて全体の回路が構成されている。電源配線が個々の回路ブロックに必要な十分な電源を供給し、全体として正常動作を確保することができるか否かの検証を行うことを目的として電源網解析が行われる。

20

【0003】

電源網解析は、理想的には、回路装置内に配線されている全ての電源配線について、配線上に有する抵抗を抵抗要素として抵抗網ネットワークを抽出することが必要であり、これにより正確な解析結果を得ることができる。しかしながら、回路規模の増大に伴い回路ブロック内の電源配線網の処理方法が問題となっており、処理方法に応じて解析時間と解析精度が異なってくる。

【0004】

30

従来より行われている第 1 の処理方法は、回路ブロック間の電源配線と共に、回路ブロック内の電源配線に対しても抵抗網を抽出する方法である。全ての電源配線を忠実に抵抗網ネットワークにモデル化することができ、高精度の電源網解析が可能となる。

【0005】

従来より行われている第 2 の処理方法は、特許文献 1 に開示されている方法である。特許文献 1 の方法では、電源配線網は、各回路ブロックに電源電圧 VDD を供給する電源配線の等価抵抗、および各回路ブロックの電源端子における電流消費量を持つ電流源で構成される。

【0006】

【特許文献 1】

40

特開 2000 - 57186 号公報（段落 0074、第 11 図）

【0007】

【発明が解決しようとする課題】

しかしながら、第 1 の処理方法では、全ての電源配線網パターンから抵抗網を抽出することから、多くの抽出処理時間を要すると共に、回路規模によっては膨大な抵抗網ネットワークになってしまうため、電源網解析自体にも多大な処理時間を要することとなる。多大な解析時間が必要となり問題である。更に、現実的な時間で電源網解析を行うことができる抵抗網ネットワークには限界があり、解析可能な回路規模が制限されてしまうおそれがあり問題である。

【0008】

50

また、特許文献 1 に開示されている第 2 の処理方法では、回路装置に配置されている回路ブロック内で消費される消費電流を、電流源として各電源端子に割り振って回路ブロック内の電流消費量をモデル化するものの、回路ブロック内の電源配線については抵抗網としてモデル化されないため、回路ブロックを通過する電源電流が電源網解析に反映されず、解析精度上の問題が生ずるおそれがある。

【 0 0 0 9 】

本発明は前記従来技術の課題の少なくとも 1 つを解消するためになされたものであり、回路ブロック内の電源配線を簡略化された抵抗網としてモデル化することにより、解析精度が向上した電源網解析を短時間で行うことが可能な電源網解析方法を提供することを目的とする。

10

【 0 0 1 0 】

【課題を解決するための手段】

前記目的を達成するために、請求項 1 に係る電源網解析方法は、電源配線との接続位置、および接続配線種の情報を含む 2 以上の電源端子を有する回路ブロックが少なくとも 1 つ配置されている回路装置に対して、電源配線を抵抗要素に分割して電源網解析を、コンピュータを用いて構築された解析システムでコンピュータの情報処理として行う際、回路ブロック内において、接続配線種の情報に基づき電源端子間を相互に接続して仮想電源配線を生成する仮想配線生成ステップと、電源配線と仮想電源配線とを、抵抗要素に分割して抵抗網ネットリストを抽出する抵抗網抽出ステップとを有することを特徴とする。

20

【 0 0 1 1 】

請求項 1 の電源網解析方法では、仮想配線生成ステップにより、電源端子の接続配線種の情報に基づいて、回路ブロック内で電源端子間を相互に接続して仮想電源配線を生成する。生成された仮想電源配線を電源配線として追加して、抵抗網抽出ステップにより、電源配線と仮想電源配線とを抵抗要素に分割して抵抗網ネットリストを抽出する。

【 0 0 1 2 】

ここで、回路ブロックの対向する境界辺上に 2 つの電源端子が対向して存在する場合には、対向する境界辺に向かう直線部で電源端子間を接続して仮想電源配線を生成し、2 つの前記電源端子が非対向で存在する場合には、対向する境界辺に向かう直線部を、1 または 2 の屈曲部で結んで電源端子間を接続して仮想電源配線を生成することが好ましい。また、この場合の屈曲部は、90°または 45°の角度を有して屈曲することが好ましい。

30

【 0 0 1 3 】

これにより、回路ブロック内の電源配線を、仮想電源配線により簡略化して抵抗網ネットリストとして抽出することができるので、全ての電源配線を抵抗網ネットリストとして抽出する場合に比して現実的な解析時間で必要な精度を有する電源網解析を行うことができる。

【 0 0 1 4 】

また、回路ブロック内を通過する電源配線が、仮想電源配線としてモデル化されるので、回路ブロックを通過する電源電流についても解析を行うことができ、回路ブロック内の電源配線を考慮しない場合に比して解析精度を向上させることができる。

【 0 0 1 5 】

40

また、請求項 4 に係る電源網解析方法は、請求項 1 に記載の電源網解析方法において、仮想電源配線の仮想経路を定義する仮想経路定義ステップを有し、仮想配線生成ステップでは、定義された仮想経路に基づき仮想電源配線を生成することを特徴とする。

【 0 0 1 6 】

請求項 4 の電源網解析方法では、仮想経路定義ステップにより、仮想電源配線の経路を仮想配線として定義した上で、仮想配線生成ステップにより、仮想電源配線を生成する。

【 0 0 1 7 】

これにより、回路ブロック内の仮想電源配線の回線経路を、予め所定の経路に定義しておくことができるので、回路ブロック内の電源配線に関する属性に応じて仮想電源配線を設定することができ、解析精度の向上に資することができる。

50

【 0 0 1 8 】

更に、電源端子から回路ブロックの対向する境界辺に向かう直線部が、既に配線された仮想電源配線と交差する場合には、電源端子と仮想電源配線とを接続する直線部を新たな仮想電源配線とすることが好ましい。これにより、接続先の電源端子がない場合にも、電源端子に対する仮想電源配線を設定することができる。また、接続先の電源端子がある場合でも、両電源端子を接続するまでもなくより近傍に存在する仮想電源配線との間で新たな仮想電源配線を構成することができる。

【 0 0 1 9 】

また、請求項 5 に係る電源網解析方法は、請求項 1 に記載の電源網解析方法において、電源端子間、仮想電源配線間、または電源端子と仮想電源配線との接続において相互の接続配線種が異なる場合、配線経路中に接続配線種間を接続する接続部を生成することを特徴とする。これにより、接続配線種の異なる配線経路も 1 つの仮想電源配線として扱うことができる。

10

【 0 0 2 0 】

ここで、電源端子間、または電源端子と仮想電源配線とが接続される場合には、生成される仮想電源配線の配線経路中に接続部を生成してやればよく、また、仮想電源配線が交差する場合には、仮想電源配線の交差領域に接続部を生成してやればよい。

【 0 0 2 1 】

ここで、接続配線種の 1 例として、電源配線に使用される金属配線層が考えられる。このときの接続部は、両接続配線種を接続するコンタクト層を有する構成とすることができる。更に、コンタクト層は、異種金属配線層を接続するビアコンタクト層や、両接続配線種が多層に離間した異種金属配線層である場合には、中間層を介して互いを接続するスタックドビアコンタクト層が考えられる。

20

【 0 0 2 2 】

【 発明の実施の形態 】

以下、本発明の電源網解析方法について具体化した実施形態を図 1 乃至図 1 0 に基づき図面を参照しつつ詳細に説明する。

【 0 0 2 3 】

図 1 には、回路ブロック A 乃至 E (1 乃至 5) への電源配線 P L 1 乃至 P L 7 の接続例を示す配置レイアウトの模式図を示す。半導体集積回路における電源配線パターンのレイアウトに代表されるレイアウト模式図である。各回路ブロック 1 乃至 5 には、回路ブロックの外部から接続される電源配線の接続位置として電源端子 T A 1 乃至 T E 4 が設定されている。この電源端子 T A 1 乃至 T E 4 には、電源配線との接続位置と共に、接続すべき配線種も指定されている。ここで、配線種とは、半導体集積回路のレイアウトを例にとれば、電源配線が形成される金属層などの配線材料を指定する種別である。以下、配線種を配線層と称する。

30

【 0 0 2 4 】

ここで、電源配線 P L 1 乃至 P L 7 は、同一電源に対する配線であり、例えば、電源電圧 V C C や接地電圧 G N D 等が該当する。これらの電源配線は、回路装置全体で同一電源に接続されていると共に、図示されていない回路ブロック 1 乃至 5 内においても同一の配線として構成されている。従って、回路ブロック内の配線状況は図示されていないものの、各回路ブロック 1 乃至 5 における電源端子同士は、内部にて接続されていることが一般的である。本実施形態においては、これらの回路ブロック内に存在する電源配線を仮想的に生成し、電源端子間を仮想電源配線により接続するものである。以下、回路ブロックごとに仮想電源配線のモデル化を行う。

40

【 0 0 2 5 】

図 2 は、回路ブロック 1 に対する仮想電源配線のモデル化を示す。回路ブロック 1 は、2 つの電源端子 T A 1、T A 2 が回路ブロック 1 の対向する境界辺に対向して配置されている場合である。両電源端子 T A 1、T A 2 を直結する直線は、各電源端子を有する境界辺に対して直角方向に配置される。

50

【 0 0 2 6 】

この場合に生成される仮想電源配線 I L 1 は、対向する電源端子 T A 1、T A 2 を直結する配線となる。また仮想電源配線 I L 1 を構成する配線層は、電源端子 T A 1、T A 2 が端子属性として有している電源配線 P L 1、P L 2 との接続配線層となる。ここでは、電源端子 T A 1、T A 2 は同一の配線層を接続属性として有している場合を示している。仮想電源配線 I L 1 により、回路ブロック 1 の電源端子 T A 1、T A 2 は接続され、回路ブロック 1 を通過する電源配線をモデル化することができる。

【 0 0 2 7 】

尚、この仮想電源配線 I L 1 は、電源端子 T A 1、T A 2 との間で直線部のみを有して接続される。このため、既知の抵抗抽出方法により直線部を抵抗要素として抽出すれば、仮想電源配線 I L 1 は電源端子 T A 1、T A 2 を接続する 1 つの抵抗要素として抽出することができる。

10

【 0 0 2 8 】

また、電源端子 T A 1、T A 2 間で接続属性として配線層が異なる場合については、後述(図 7)するようにコンタクト層を介して両配線層を接続することとなる。

【 0 0 2 9 】

図 3 は、回路ブロック 2 に対する仮想電源配線のモデル化を示す。回路ブロック 2 は、2 つの電源端子 T B 1、T B 2 が回路ブロック 2 の対向する境界辺に、対向位置からずれて配置されている場合である。

【 0 0 3 0 】

この場合に生成される仮想電源配線 I L 2 は、対向する電源端子 T B 1、T B 2 の各々から対向する境界辺に向けて伸長した直線部を、各々 90° で屈曲する 2 つのクランクを介して接続する配線となる。このときの配線層は仮想電源配線 I L 1 の場合と同様に、電源端子 T B 1、T B 2 が端子属性として有している電源配線 P L 2、P L 3 との接続配線層となる。ここでは、電源端子 T B 1、T B 2 は同一の配線層を接続属性として有している場合を示している。仮想電源配線 I L 2 により、回路ブロック 2 の電源端子 T B 1、T B 2 は接続され、回路ブロック 2 を通過する電源配線をモデル化することができる。

20

【 0 0 3 1 】

尚、この仮想電源配線 I L 2 は、電源端子 T B 1、T B 2 との間で 2 つのクランクを介して接続される。このため、既知の抵抗抽出方法により直線部に対して 1 つの抵抗要素を抽出する方法に従えば、仮想電源配線 I L 2 は電源端子 T B 1、T B 2 を接続する 3 つの抵抗要素として抽出することができる。

30

【 0 0 3 2 】

また、図 3 の例では、クランクとして 90° に屈曲する場合について示したが、クランクにおける屈曲角度は 90° に限定されるものではなく、45° 等の角度により構成することができることは言うまでもない。更に、図 3 の例では、クランクを 2 つ備える場合について説明したが、電源端子が存在する境界辺において 90° のクランクを有する構成、または境界辺の前で 45° のクランクを有する構成とすれば、1 つのクランクにより仮想電源配線 I L 2 を構成することも可能である。

【 0 0 3 3 】

また、仮想電源配線 I L 1 と同様に、電源端子 T B 1、T B 2 間で接続属性として配線層が異なる場合については、後述(図 7)するようにコンタクト層を介して両配線層を接続することとなる。

40

【 0 0 3 4 】

図 4 は、回路ブロック 3 に対する仮想電源配線のモデル化を示す。回路ブロック 3 は、2 つの電源端子 T C 1、T C 2 が回路ブロック 3 の対向する境界辺に配置されている場合である。この場合、両電源端子 T C 1、T C 2 の配置関係は、対向または非対向の何れの場合も同様に適用することができる。また、電源端子が対向する境界辺にない場合でも同様に適用することができる。回路ブロック 3 内には、電源配線により供給される電源電圧の変動に対してクリティカルな動作を行う回路領域 X を含むものとする。このような回路

50

領域 X に対しては、電圧変動が制限された電源電圧を供給する必要がある、電源網解析を通じて電源変動が仕様の範囲内であるか否かを精度よく検証することが必要となる。回路領域 X への電源配線を正確に抽出する必要がある。

【 0 0 3 5 】

このような場合に、仮想電源配線を生成するに先立ち、所定の電源配線を予め仮想経路として定義しておくことができれば便宜である。仮想経路 I R は、設計者等により仮想電源配線の生成の前に予め定義された仮想経路である。回路領域 X への電源配線を詳細に定義しておく。仮想電源配線の生成段階において、仮想経路 I R はそのまま仮想電源配線 I L 3 として生成される。電源端子 T C 1、T C 2 を接続し、回路領域 X への電源配線経路を詳細にトレースした配線となる。このとき、仮想電源配線 I L 3 を構成する配線層は、
10
仮想電源配線 I L 1、I L 2 の場合と同様に、電源端子 T C 1、T C 2 が端子属性として有している電源配線 P L 3、P L 4 との接続配線層となる。仮想電源配線 I L 3 により、回路ブロック 3 の電源端子 T C 1、T C 2 は接続され、回路領域 X への正確な電源配線を有して回路ブロック 3 を通過する電源配線をモデル化することができる。

【 0 0 3 6 】

尚、この仮想電源配線 I L 3 は、電源端子 T C 1、T C 2 との間で 4 つのクランクを介して接続される。このため、既知の抵抗抽出方法により直線部に対して 1 つの抵抗要素を抽出する方法に従えば、仮想電源配線 I L 3 は電源端子 T C 1、T C 2 を接続する 4 つの抵抗要素として抽出することができる。

【 0 0 3 7 】

また、図 4 の例では、仮想配線 I R を予め定義する理由として、回路ブロック 3 内に、電源電圧の変動に対してクリティカルな回路動作を行う回路領域 X が存在する場合を例に説明したが、仮想電源配線を生成する前に定義される仮想配線は、これ以外にも回路ブロック内で電源配線の配線経路を予め指定しておく必要がある場合に適用することができることは言うまでもない。
20

【 0 0 3 8 】

また、仮想電源配線 I L 1、I L 2 と同様に、電源端子 T C 1、T C 2 間で接続属性として配線層が異なる場合については、後述 (図 7) するようにコンタクト層を介して両配線層を接続することとなる。

【 0 0 3 9 】

図 5 は、回路ブロック 4 に対する仮想電源配線のモデル化を示す。回路ブロック 4 は、3 つの電源端子 T D 1、T D 2、T D 3 のうち、電源端子 T D 1、T D 2 が回路ブロック 4 の対向する境界辺に配置され、電源端子 T D 3 が対向する境界辺を結ぶ境界辺に配置されている場合である。図 5 では、両電源端子 T D 1、T D 2 の配置関係が対向する場合を示しているが、非対向の場合も同様に適用することができることは言うまでもない。
30

【 0 0 4 0 】

この場合、先ず、対向する境界辺にある電源端子 T D 1、T D 2 を接続する仮想電源配線 I L 4 A を生成する。このときの配線層は仮想電源配線 I L 1 乃至 I L 3 の場合と同様に、電源端子 T D 1、T D 2 が端子属性として有している電源配線 P L 1、P L 5 との接続配線層となる。ここでは、電源端子 T D 1、T D 2 は同一の配線層を接続属性として有している場合を示している。
40

【 0 0 4 1 】

電源端子 T D 3 については、接続すべき他の電源端子が存在しない。この場合には、電源端子 T D 3 から対向する境界辺に向けて、仮想電源配線 I L 4 A に接続されるまで直線状に配線経路を伸長する。この配線経路が仮想電源配線 I L 4 B である。仮想電源配線 I L 4 A、I L 4 B が接続されて凸状に生成された仮想電源配線 I L 4 により、回路ブロック 4 の電源端子 T D 1 乃至 T D 3 は接続され、回路ブロック 4 を通過する電源配線をモデル化することができる。

【 0 0 4 2 】

尚、この仮想電源配線 I L 4 は、仮想電源配線 I L 4 A の中間点で仮想電源配線 I L 4
50

Bが接続されるように構成される。このため、既知の抵抗抽出方法により接続部分までを1つの抵抗要素として抽出する方法に従えば、仮想電源配線IL4は、接続点と各電源端子TD1乃至TD3とを接続する3つの抵抗要素として抽出することができる。

【0043】

また、仮想電源配線IL1乃至IL3と同様に、電源端子TD1乃至TD3間で接続属性として配線層が異なる場合については、後述(図7)するようにコンタクト層を介して両配線層を接続することとなる。

【0044】

図6は、回路ブロック5に対する仮想電源配線のモデル化を示す。回路ブロック5は、4つの電源端子TE1乃至TE4のうち、電源端子TE1、TE2と電源端子TE3、TE4とが互いに対向する境界辺に配置されている場合である。図6では、電源端子TE1、TE2と電源端子TE3、TE4との配置関係は、対向する場合を示しているが、非対向の場合も同様に適用することができることは言うまでもない。

10

【0045】

互いに対向する境界辺にある電源端子TE1、TE2および電源端子TE3、TE4とは各々接続され、仮想電源配線IL5AおよびIL5Bを生成する。このときの配線層は仮想電源配線IL1乃至IL4Bの場合と同様に、電源端子TE1、TE2および電源端子TE3、TE4が端子属性として有している電源配線PL5、PL7および電源配線PL3、PL6との接続配線層となる。ここでは、各電源端子TE1乃至TE4は同一の配線層を接続属性として有している場合を示している。

20

【0046】

2組の電源端子を接続して生成された仮想電源配線IL5A、IL5Bは、その中間点で交差する。両仮想電源配線IL5A、IL5Bは同一の配線層で構成されているので、交差領域において両仮想電源配線IL5A、IL5Bは接続されて、仮想電源配線IL5が生成される。回路ブロック5の電源端子TE1乃至TE4は接続され、回路ブロック5を通過する電源配線をモデル化することができる。

【0047】

尚、この仮想電源配線IL5は、両者の交差領域で接続されるように構成される。このため、既知の抵抗抽出方法により交差領域までを1つの抵抗要素として抽出する方法に従えば、仮想電源配線IL5は、交差領域と各電源端子TE1乃至TE4とを接続する4つの抵抗要素として抽出することができる。

30

【0048】

また、仮想電源配線IL1乃至IL4Bと同様に、電源端子TE1乃至TE4間で接続属性として配線層が異なる場合については、後述(図7)するようにコンタクト層を介して両配線層を接続することとなる。

【0049】

次に、互いに接続されるべき電源端子間、仮想電源配線間、または電源端子と仮想電源端子とが、互いに異なる配線層で構成されている場合における、仮想電源配線の生成について説明する。互いに配線層が異なる場合には、このままでは、両者は接続することができない。そこで、配線層間を接続するコンタクト層を配線系路上に配置することにより、両配線層間を接続することが便宜である。

40

【0050】

図7(A)は、電源端子間を接続する場合である。各電源端子の端子属性として互いに異なる配線層M1、M2で構成される場合には、両電源端子を接続する仮想電源配線上にコンタクト層C1を生成して両配線層を接続することができる。

【0051】

図7(B)は、既に生成されている仮想電源配線に対して電源端子から新たに仮想電源配線を接続する場合である。電源端子が端子属性として有する配線層M2が既に生成されている仮想電源配線の配線層M1と異なる場合には、両仮想電源配線の接続点、または新たな仮想電源配線上にコンタクト層C1を生成して両配線層を接続することができる。

50

【 0 0 5 2 】

図 7 (C) は、仮想電源配線間を接続する場合である。各仮想電源配線が互いに異なる配線層 M 1、M 2 を有する場合には、両仮想電源配線の交差領域にコンタクト層 C 1 を生成して両配線層を接続することができる。

【 0 0 5 3 】

ここで、コンタクト層 C 1 とは、配線層 M 1 と配線層 M 2 とを物理的に接続する構造を有するものであり、配線層 M 1、M 2 の組み合わせにより、ビアコンタクト層、またはスタックドビアコンタクト層を適用することができる。ここで、スタックドビアコンタクト層とは、互いに 2 層以上離間した配線層を接続するためのビアコンタクト層のうち接続対象の配線層の中間に配置される 1 つ以上の配線層を介して両配線層を接続する構成のコンタクト層を言う。

10

【 0 0 5 4 】

図 2 乃至図 7 に個別に説明した仮想電源配線の生成方法により、図 1 に示した回路装置における回路ブロック 1 乃至 5 内の電源配線をモデル化した結果を図 8 に示す。各ブロックの電源端子に接続された電源配線 P L 1 乃至 P L 7 は、回路ブロック内の仮想電源配線 I L 1 乃至 I L 5 により回路ブロックを越えて相互に接続されることとなる。これにより、回路ブロックを通過して流れる電源電流の経路がモデル化され、電源網解析を精度よく行うことができる。

【 0 0 5 5 】

尚、図示はされていないが、図 8 に示した仮想電源配線を含めた電源配線網は、既存の抵抗網抽出方法により抵抗網ネットリストにモデル化される。更に、特許文献 1 等に記載されている既存の電流源設定方法により、モデル化された抵抗網ネットリストの各ノードには、回路ブロック等で消費される電源電流に応じた電流源が接続される。

20

【 0 0 5 6 】

以上に説明した電源網解析方法を具体化する電源網解析装置 1 0 を図 9 に示す。図 9 の電源網解析装置 1 0 では、中央処理装置 (以下、C P U と略記する。) 2 0 を中心にバス 8 0 を介して、メモリ 3 0、磁気ディスク装置 4 0、表示装置 (以下、C R T と略記する。) 5 0、キーボード 6 0、及び外部記憶媒体駆動装置 7 0 が相互に接続されており、更に外部記憶媒体駆動装置 7 0 に C D R O M や磁気媒体等の外部記憶媒体 9 0 が着脱可能に設置される構成である。

30

【 0 0 5 7 】

後述の図 1 0 に示す電源網解析のフローを実行するコンピュータプログラムは、電源網解析装置 1 0 内のメモリ 3 0 や磁気ディスク装置 4 0 に記録されている他、C D R O M や磁気媒体等の外部記憶媒体 9 0 に記録されている場合に、外部記憶媒体駆動装置 7 0 を介してメモリ 3 0、磁気ディスク装置 4 0 に記録され、あるいは直接 C P U 2 0 に転送される。また、インターネット等の通信回線 (不図示) を介して伝送されることも可能である。

【 0 0 5 8 】

また、後述する図 1 0 の解析フローに示す、電源配線の配置情報等のチップレイアウトデータが格納される格納部 D 1、チップ上の電源配線網から抽出された抵抗網ネットリストが格納される格納部 D 2、チップ上に配置されている回路ブロックについての電源端子情報等のデータが格納される格納部 D 3、および回路ブロックにおける電源端子情報に基づき仮想的に生成された仮想電源配線網についての抵抗網ネットリストが格納される格納部 D 4 は、磁気ディスク装置 4 0 や、C D R O M、磁気媒体等の外部記憶媒体 9 0 に記録されており、上記コンピュータプログラムの処理に従い C P U 2 0 からの指令により必要に応じて参照される。そして、図 1 0 に示す電源網解析のフローを実行するプログラムに従い電源網解析された解析結果は、C R T 5 0 等の確認手段により確認される。解析手順の入力他、解析結果に対する電源配線の配線幅や引き回しルート等の修正は、キーボード 6 0 等からの入力指示に従い行う。また、解析結果は格納部 D 5 として磁気ディスク装置 4 0、あるいは外部記憶媒体駆動装置 7 0 を介した C D R O M、磁気媒体等の外部記憶

40

50

媒体 90 に記録される。

【0059】

図10は、半導体集積回路のレイアウトデータについて電源網解析を行う場合を例にした電源網解析フローである。格納部D1に格納されているチップレイアウトデータから取り出された電源配線網は、既存の方法により抵抗要素に分割されて抵抗網ネットリストが抽出される(S1)。抽出された抵抗網ネットリストは、格納部D2に格納される。尚、必要に応じて特許文献1等が開示されているように、屈曲部、交差領域、またはコンタクト層等により分割された電源配線ごとに、回路ブロック外で消費される電源電流を電流源にモデル化して接続するようにしてもよい。

【0060】

一方、格納部D3に格納されている回路ブロックデータから取り出された電源端子情報に対して(S2)仮想電源配線の生成処理が行われる(S3)。ここでは、図2乃至図7に示された個別の生成処理が電源端子情報に基づいて行われる。例えば、図2乃至図4に示された仮想電源配線のモデル化を基本的な処理として電源端子間を接続する仮想電源配線が生成されながら、必要に応じて、図5乃至図7の処理が行われ、回路ブロック内で効率よく接続された仮想電源配線が生成される。最終的には、屈曲部、交差領域、またはコンタクト層を介して1つの電源ノードとして相互に接続された仮想電源配線が生成される。

【0061】

生成された仮想電源配線網は、既存の方法により抵抗要素に分割されて抵抗網ネットリストが抽出される(S4)。このとき合わせて、特許文献1等が開示されているように、屈曲部、交差領域、またはコンタクト層等により分割された仮想電源配線ごとに、回路ブロック内で消費される電源電流を電流源にモデル化して接続するようにしてもよい。抽出された抵抗網ネットリストは、格納部D4に格納される。

【0062】

格納部D2に格納されている回路ブロック外の電源配線網についての抵抗網ネットリストと、格納部D4に格納されている回路ブロック内の仮想電源配線網についての抵抗網ネットリストとにより、既存の電源網解析が行われる(S6)。解析された結果は、格納部D5に格納される。

【0063】

以上詳細に説明したとおり、本実施形態に係る電源網解析方法では、回路ブロック1乃至5内の電源配線を、仮想電源配線IL1乃至IL5により簡略化して抵抗網ネットリストとして抽出することができるので、全ての電源配線を抵抗網ネットリストとして抽出する場合に比して、現実的な解析時間で必要な精度を有する電源網解析を行うことができる。回路装置に備えられる回路ブロック1乃至5の回路規模、または回路ブロック数の増加に対しても、解析時間が制約されることはなく、大規模回路に対しても有効な電源網解析を行うことができる。

【0064】

また、回路ブロック1乃至5内を通過する電源配線が、仮想電源配線IL1乃至IL5としてモデル化されるので、回路ブロック1乃至5を通過する電源電流についても解析を行うことができ、回路ブロック1乃至5内の電源配線を考慮しない場合に比して解析精度を向上させることができる。

【0065】

更に、回路ブロック3内の仮想電源配線IL3の回線経路を、仮想配線IRとして予め所定の配線経路に定義しておくことができるので、回路ブロック3内の電源配線に関する属性に応じて仮想電源配線IL3を設定することができ、解析精度の向上に資することができる。

【0066】

また、電源端子TD3から回路ブロック4の対向する境界辺に向かう直線部が、既に配線された仮想電源配線IL4Aと交差する場合には、電源端子TD3と仮想電源配線IL

10

20

30

40

50

4 Aとを接続する直線部を新たな仮想電源配線 I L 4 Bとすることができる。これにより、接続すべき電源端子がない場合にも、電源端子 T D 3 に対する仮想電源配線 I L 4 Bを設定することができる。また、接続すべき電源端子がある場合でも、両電源端子を接続するまでもなくより近傍に存在する仮想電源配線との間で仮想電源配線を構成することができる。

【 0 0 6 7 】

また、異なる配線層については、コンタクト層等の接続部で接続してやれば、複数の配線経路も1つの仮想電源配線として扱うことができる。回路ブロック内の電源配線を簡略化した構成の仮想電源配線としてモデル化することができる。

【 0 0 6 8 】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態においては、回路装置として半導体集積回路を代表例として記載したが、本発明はこれに限定されるものではなく、回路基板上に構成された回路装置等のその他の回路装置に対しても同様に適用することができる。

また、本実施形態については、1種類の電源配線に対して例示したが、電源配線は複数系統存在していてもそれぞれの電源配線に対して順次適用することができることは言うまでもない。

更に、電源端子間等を接続する仮想電源配線が有する配線幅については特に言及していないが、相互に接続される電源端子の端子属性として有する配線幅が同じであればその電源幅で接続すればよい。また、互いに異なる配線幅を有する電源端子を接続する場合には、何れか狭幅の配線幅で接続することや、仮想電源配線の途中で配線幅を変化させることも可能である。後者の場合には、配線幅の切替点を境界として抵抗要素の抽出を行うことが好ましい。その前後で仮想電源配線が有するシート抵抗が異なるからである。

【 0 0 6 9 】

ここで、本発明の技術思想により従来技術における課題を解決する手段を以下に列記する。

(付記1) 電源配線との接続位置、および接続配線種の情報を含む2以上の電源端子を有する回路ブロックが少なくとも1つ配置されている回路装置に対して、前記電源配線を抵抗要素に分割して電源網解析を行う電源網解析方法であって、

前記回路ブロック内において、前記接続配線種の情報に基づき前記電源端子間を相互に接続して仮想電源配線を生成する仮想配線生成ステップと、

前記電源配線と前記仮想電源配線とを、抵抗要素に分割して抵抗網ネットリストを抽出する抵抗網抽出ステップとを有することを特徴とする電源網解析方法。

(付記2) 前記回路ブロックの対向する境界辺上に2つの前記電源端子が対向して存在する場合、前記仮想配線生成ステップは、対向する前記境界辺に向かう直線部で前記電源端子間を接続することにより前記仮想電源配線を生成することを特徴とする付記1に記載の電源網解析方法。

(付記3) 前記回路ブロックの対向する境界辺上に2つの前記電源端子が非対向で存在する場合、前記仮想配線生成ステップは、対向する前記境界辺に向かう直線部を、1または2の屈曲部で結んで前記電源端子間を接続することにより前記仮想電源配線を生成することを特徴とする付記1に記載の電源網解析方法。

(付記4) 前記屈曲部は、90°または45°の角度を有して屈曲することを特徴とする付記3に記載の電源網解析方法。

(付記5) 前記仮想電源配線の仮想経路を定義する仮想経路定義ステップを有し、前記仮想配線生成ステップでは、定義された前記仮想経路に基づき前記仮想電源配線を生成することを特徴とする付記1に記載の電源網解析方法。

(付記6) 前記電源端子から前記回路ブロックの対向する境界辺に向かう直線部が既に配線された前記仮想電源配線と交差する場合、前記電源端子と前記仮想電源配線とを接続する前記直線部を新たな仮想電源配線として生成することを特徴とする付記1に記載の電

10

20

30

40

50

源網解析方法。

(付記7) 前記電源端子間、前記仮想電源配線間、または前記電源端子と前記仮想電源配線との接続において相互の前記接続配線種が異なる場合、配線経路中に前記接続配線種間を接続する接続部を生成することを特徴とする付記1に記載の電源網解析方法。

(付記8) 互いに前記接続配線種が異なる、前記電源端子間、または前記電源端子と前記仮想電源配線とが接続される場合、生成される前記仮想電源配線の配線経路中に前記接続部を生成することを特徴とする付記7に記載の電源網解析方法。

(付記9) 異なる前記接続配線種により生成された前記仮想電源配線が交差する場合、前記仮想電源配線の交差領域に前記接続部を生成することを特徴とする付記7に記載の電源網解析方法。

(付記10) 電源配線との接続位置、および接続配線種の情報を含む2以上の電源端子を有する回路ブロックが少なくとも1つ配置されている回路装置に対して、前記電源配線を抵抗要素に分割して電源網解析を実行するコンピュータプログラムであって、

前記回路ブロック内において、前記接続配線種の情報に基づき前記電源端子間を相互に接続して仮想電源配線を生成する仮想配線生成ステップと、

前記電源配線と前記仮想電源配線とを、抵抗要素に分割して抵抗網ネットリストを抽出する抵抗網抽出ステップとを有する電源網解析を実行することを特徴とするコンピュータプログラム。

(付記11) 電源配線との接続位置、および接続配線種の情報を含む2以上の電源端子を有する回路ブロックが少なくとも1つ配置されている回路装置に対して、前記電源配線を抵抗要素に分割して電源網解析を実行する電源網解析装置であって、

前記回路ブロック内において、前記接続配線種の情報に基づき前記電源端子間を相互に接続して仮想電源配線を生成する仮想配線生成ステップと、

前記電源配線と前記仮想電源配線とを、抵抗要素に分割して抵抗網ネットリストを抽出する抵抗網抽出ステップとを有する電源網解析を実行することを特徴とする電源網解析装置。

【0070】

【発明の効果】

本発明によれば、回路ブロック内の電源配線を簡略化された仮想電源配線でモデル化し、仮想電源配線に対して抵抗網を抽出することにより、解析精度が向上した電源網解析を短時間で行うことが可能な電源網解析方法を提供することが可能となる。

【図面の簡単な説明】

【図1】 電源配線と回路ブロックとの接続を示すレイアウト模式図である。

【図2】 仮想電源配線のモデル化(1)を示す図である。

【図3】 仮想電源配線のモデル化(2)を示す図である。

【図4】 仮想電源配線のモデル化(3)を示す図である。

【図5】 仮想電源配線のモデル化(4)を示す図である。

【図6】 仮想電源配線のモデル化(5)を示す図である。

【図7】 コンタクト層を有する場合を示す図である。

【図8】 本実施形態による電源配線網を示すレイアウト模式図である。

【図9】 本実施形態における電源網解析装置の構成図である。

【図10】 本実施形態のフローチャートである。

【符号の説明】

1乃至5	回路ブロックA乃至E
10	電源網解析装置
C1	コンタクト層
IL1乃至IL5、IL4A、IL4B、IL5A、IL5B	仮想電源配線
IR	仮想経路
M1、M2	配線層

10

20

30

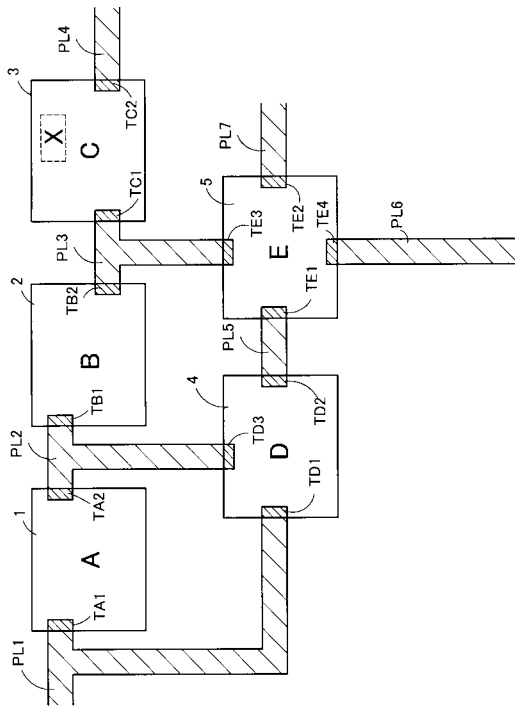
40

50

PL 1 乃至 PL 7 電源配線
TA 1 乃至 TE 4 電源端子
X 回路領域

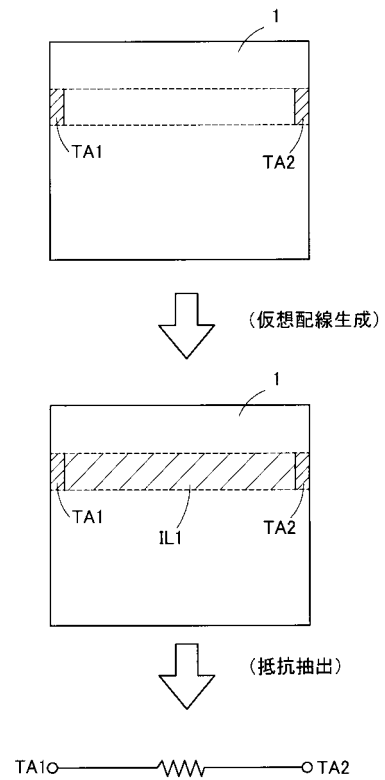
【図1】

電源配線と回路ブロックとの接続を示すレイアウト外模式図



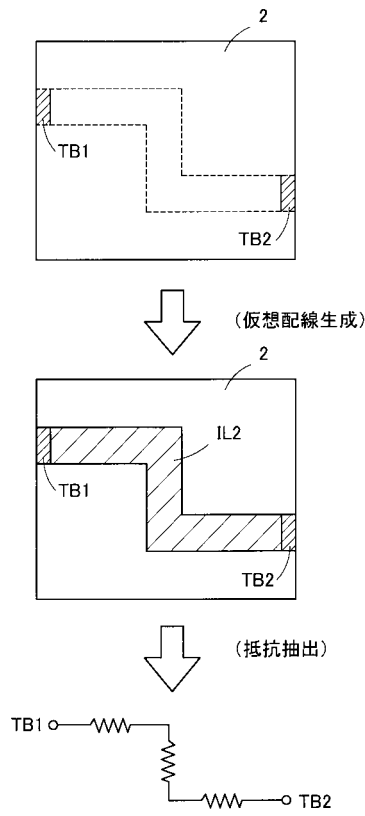
【図2】

仮想電源配線のモデル化(1)



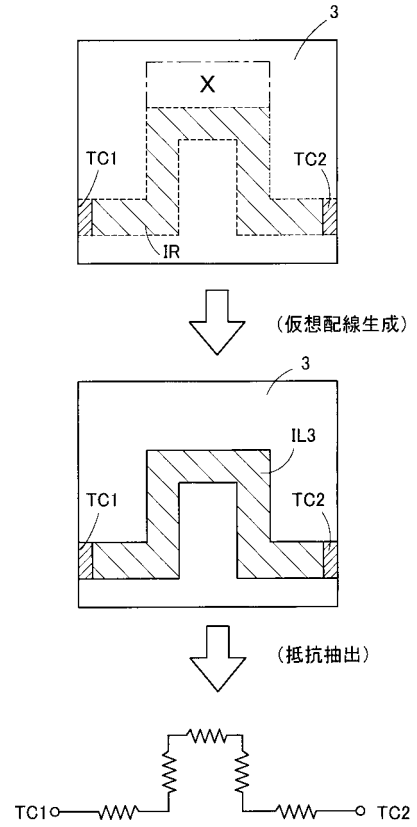
【 図 3 】

仮想電源配線のモデル化(2)



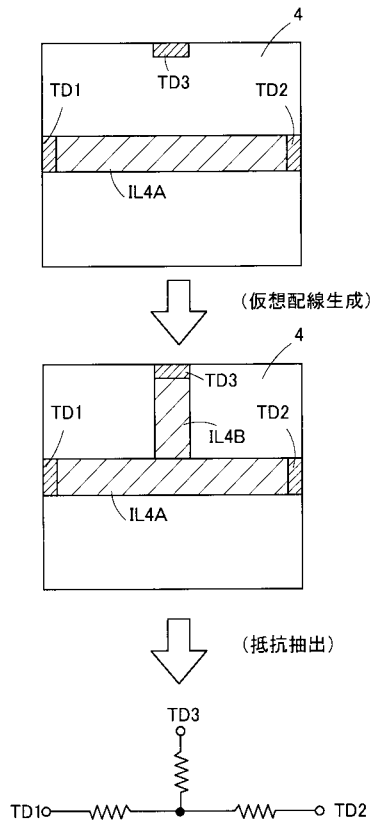
【 図 4 】

仮想電源配線のモデル化(3)



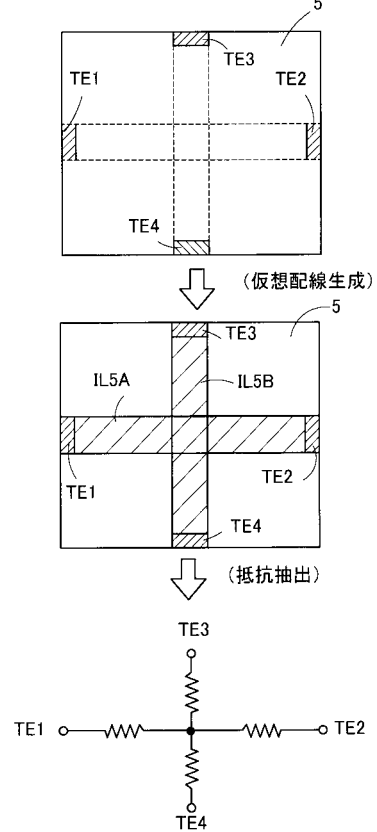
【 図 5 】

仮想電源配線のモデル化(4)



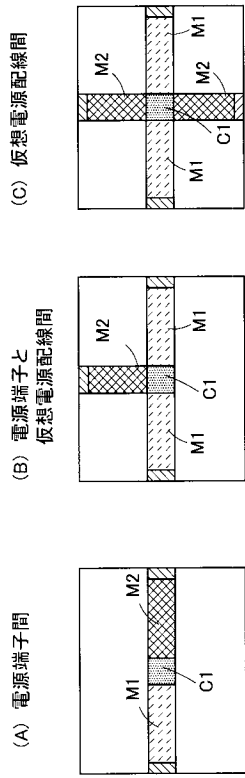
【 図 6 】

仮想電源配線のモデル化(5)



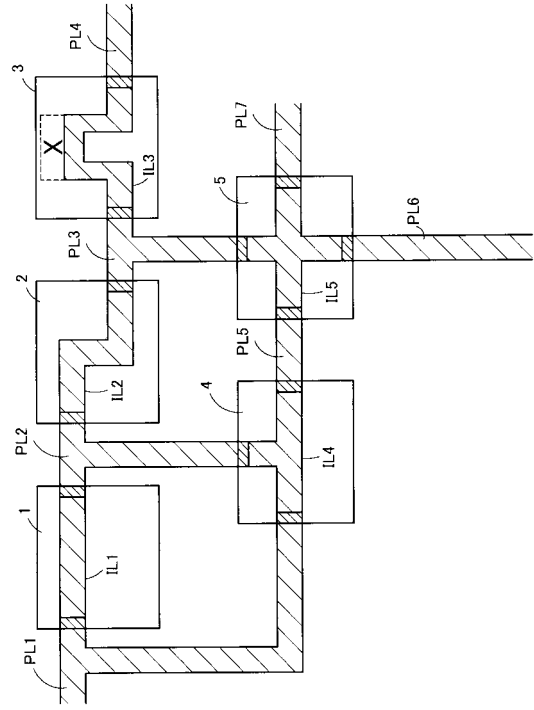
【図7】

コンタ外層を有する場合



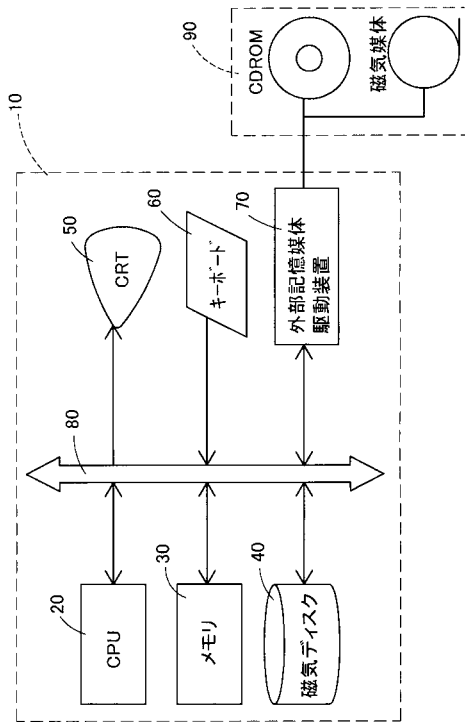
【図8】

本実施形態による電源配線網を示すレイアウト模式図



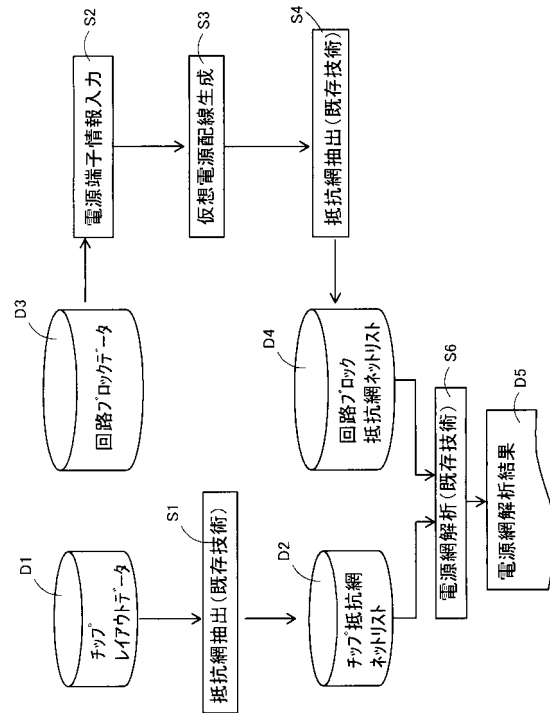
【図9】

本実施形態における電源網解析装置の構成図



【図10】

本実施形態のフローチャート



フロントページの続き

(56)参考文献 特開2000-057186(JP,A)

松澤孝行、外2名、電子機器・LSI設計CAD 電源網解析システム:POWER, FUJITSU, 日本, 富士通株式会社, 1999年11月10日, VOL.50, No.6, p.393-398

(58)調査した分野(Int.Cl., DB名)

G06F 17/50

H01L 21/82

JSTPlus(JDreamII)

CiNii