



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월26일
(11) 등록번호 10-1011199
(24) 등록일자 2011년01월20일

(51) Int. Cl.
H01L 23/02 (2006.01) H01L 21/60 (2006.01)
B23K 1/00 (2006.01) H05K 3/34 (2006.01)
(21) 출원번호 10-2008-0104081
(22) 출원일자 2008년10월23일
심사청구일자 2008년12월08일
(65) 공개번호 10-2009-0045016
(43) 공개일자 2009년05월07일
(30) 우선권주장 JP-P-2007-284976 2007년11월01일 일본(JP)
(56) 선행기술조사문헌
KR100605435 B1*
W02007018288 A1*
JP2001267473 A*
JP10335390 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
파나소닉 주식회사
일본 오오사카후 가도마시 오오아자 가도마 1006
반치
(72) 발명자
야마구치 아츠시
일본 오오사카후 가도마시 오오아자 가도마 1006,
파나소닉 주식회사 나이
미야카와 히데노리
일본 오오사카후 가도마시 오오아자 가도마 1006,
파나소닉 주식회사 나이
(뒷면에 계속)
(74) 대리인
하영옥

전체 청구항 수 : 총 6 항

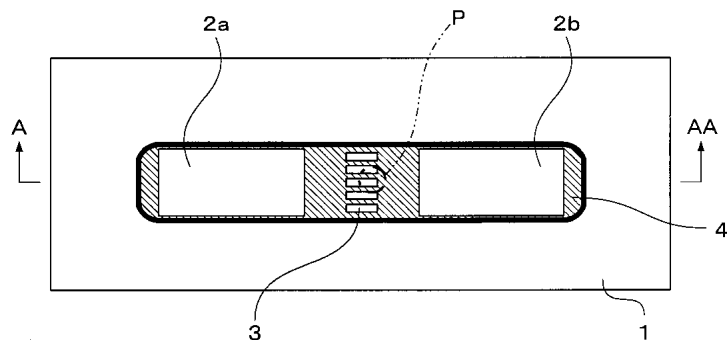
심사관 : 권용경

(54) 실장 구조체

(57) 요약

기판에 융점이 200℃ 이하인 땀납에 의해 복수의 반도체 소자가 인접해서 실장되고, 인접해서 실장된 상기 반도체 소자 사이의 상기 기판에, 융점이 200℃ 이하인 땀납에 의해 상기 반도체 소자를 제외한 전자부품이 실장되고, 복수의 상기 반도체 소자와 상기 기판 사이, 상기 전자부품과 상기 기판 사이, 및 복수의 상기 반도체 소자와 상기 전자부품 사이를, 밀봉수지에 의해 일체로 밀봉한 것을 특징으로 한다.

대표도 - 도1a



(72) 발명자

사카타니 시게아키

일본 오오사카후 가도마시 오오아자 가도마 1006,
파나소닉 주식회사 나이

마츠노 료소

일본 오오사카후 가도마시 오오아자 가도마 1006,
파나소닉 주식회사 나이

특허청구의 범위

청구항 1

기관에 용점이 200℃ 이하인 땀납 또는 용점이 200℃ 이하인 땀납을 도전성 입자로서 함유한 도전성 페이스트에 의해 복수의 반도체 소자가 인접해서 실장되고,

인접해서 실장된 상기 반도체 소자 사이의 상기 기관에 용점이 200℃ 이하인 땀납 또는 용점이 200℃ 이하인 땀납을 도전성 입자로서 함유한 도전성 페이스트에 의해 상기 반도체 소자를 제외한 전자부품이 실장되며,

상기 땀납의 조성은 50~70중량%의 Bi, 10~25중량%의 In으로부터 선택되는 1종 이상의 금속 및 잔부는 Sn을 함유해서 이루어지고,

복수의 상기 반도체 소자와 상기 기관 사이, 상기 전자부품과 상기 기관 사이, 및 복수의 상기 반도체 소자와 상기 전자부품 사이를 밀봉수지에 의해 일체로 밀봉한 것을 특징으로 하는 실장 구조체.

청구항 2

제 1 항에 있어서, 인접하는 상기 반도체 소자 사이가 40mm 이하인 것을 특징으로 하는 실장 구조체.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서, 상기 땀납의 조성은 Cu, Ge 및 Ni의 군으로부터 선택되는 1종 이상의 금속을 더 함유하여 이루어지는 것을 특징으로 하는 실장 구조체.

청구항 6

제 1 항에 있어서, 상기 땀납의 조성은 0.1~1.0중량%의 Cu, 0.001~0.1중량% Ge 및 0.001~0.1중량% Ni의 군으로부터 선택되는 1종 이상의 금속을 더 함유하여 이루어지는 것을 특징으로 하는 실장 구조체.

청구항 7

제 1 항에 있어서, 상기 기관 두께는 0.5mm 이하인 것을 특징으로 하는 실장 구조체.

청구항 8

제 1 항에 있어서, 상기 기관에 인접해서 실장된 상기 반도체 소자의 중간 위치에 상기 전자부품이 실장되어 있는 것을 특징으로 하는 실장 구조체.

청구항 9

삭제

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 기관에 반도체 소자와 상기 반도체 소자를 제외한 전자부품이 실장된 실장 구조체에 관한 것이다.

배경 기술

[0002] 종래, 반도체 소자와 상기 반도체 소자를 제외한 전자부품을 실장하기 위한 접합 재료에는, 납을 함유한 Sn-

Pb계 뱀납 재료, 특히 63Sn-37Pb 공정(共晶) 조성(Sn 63중량% 및 Pb 37중량%의 조성)을 갖는 Sn-Pb 공정 뱀납 재료가 일반적으로 사용되고 있었다.

- [0003] 도 4a, 도 4b에 접합 재료로 뱀납 재료를 사용한 실장 구조체를 나타낸다.
- [0004] 도 4a는 평면도, 도 4b는 도 4a의 A-AA 단면도이며, 도 4b에서는 일부가 확대되어 도시되어 있다. BGA(Ball Grid Array)/LGA(Land Grid Array) 등의 반도체 패키지(2)나 반도체 패키지 이외의 칩 부품(3)은 뱀납(5)에 의해 기판(1)에 실장되어 있다.
- [0005] 반도체 패키지(2a, 2b)는 접합부가 미세하게 되어 오면 온도 사이클 시험이나 낙하 시험에서 크랙을 발생시키기 쉬워지기 때문에, 기판(1)과의 사이를 밀봉수지(4)에 의해 밀봉하여 보장하는 밀봉구조를 취하고 있었다. 그러나, 칩 부품(3)이 밀봉수지(4)에 의해 밀봉되는 경우는 없었다.
- [0006] 또 최근, 반도체 패키지(2a, 2b)가 박형화되어 있기 때문에 패키지(2)의 기판(1)으로의 실장에 관해서, 납땜부의 기계적 강도 향상이나 열충격 강도 등의 신뢰성 특성 향상으로의 요구가 높아지고 있다.
- [0007] 접합 재료도 환경 문제와의 대응 때문에 납을 함유하지 않는 뱀납 재료, 소위 납 프리 뱀납 재료와의 이행이 도모되고 있다. 2종의 금속을 주성분으로 하는 납 프리 뱀납의 예에는, 공정형 합금재료인 재료로서 Sn-Ag계 뱀납이 있다(특허문헌 1, 특허문헌 2).
- [0008] 그러나, Sn-Ag계 뱀납의 용점은 Sn-Pb계 뱀납의 용점(약 183℃)과 비교해서 30~40℃정도 높고, 그것에 따라 납땜 온도도 Sn-Pb계 뱀납을 사용할 경우보다 높아진다.
- [0009] 그 때문에 Sn-Ag계 뱀납을 사용한 경우에는 칩 부품(3)을 기판(1)에 실장할 때의 실장 온도가 칩 부품(3)의 내열 온도보다 높은 온도가 되는 사태가 발생하는 경우가 있고, 그러한 경우에는 칩 부품(3)을 손상시켜 버리는 문제점을 갖고 있다. 이러한 경우에는, 실장 온도보다 내열 온도가 낮은 칩 부품(3)의 온도가 내열 온도를 초과하지 않도록 칩 부품(3)에 보호 지그를 장착해서 납땜 작업을 실시하거나, 내열 온도가 낮은 칩 부품(3)을 나중에 부착하여 납땜하는 등의 번잡한 납땜 처리를 강요당하고 있는 것이 현재의 상태이다.
- [0010] 또한 전자 제품의 소형·박형화의 요구에 대응하여, 기판(1)도 박형화되어 오고 있다. 그 때문에 실장 온도가 높아지면 기판(1)에 휨이 발생하여 기판(1)과 반도체 패키지(2a, 2b)의 접합 품질의 열화, 기판(1)과 칩 부품(3)의 접합 품질의 열화라고 하는 문제점을 갖고 있다.
- [0011] 그래서, 칩 부품(3)의 열 손상을 경감 또는 방지하기 위해서 이러한 뱀납을 대신하는 재료로서 경화 온도가 납 프리 뱀납의 용점보다 비교적 낮은 도전성 접착제나 저온의 용점을 가지는 Sn-Bi계의 뱀납이 주목받게 되었다(특허문헌 3).
- [0012] [특허문헌 1] 일본 특허 제3027441호 공보
- [0013] [특허문헌 2] 미국 특허 제5520752호
- [0014] [특허문헌 3] 일본 특허공개 평10-163605호 공보

발명의 내용

- [0015] 그러나, 상기한 바와 같이, 저온 뱀납이나 도전성 접착제를 이용하여 칩 부품(3)을 기판(1)에 실장할 경우에는 내열 온도가 낮은 칩 부품(3)을 갖는 실장 구조체이더라도, 상기 보호 지그를 장착하거나, 추후 장착의 납땜 처리가 필요하지 않게 되는 반면, 그 접속의 강도가 Sn-Ag계 뱀납에 비해서 낮아 실용화가 좀처럼 진행되고 있지 않은 것이 현재의 상태이다.
- [0016] 본 발명은 접합 재료로서 저온 뱀납이나 도전성 접착제를 사용해서 납땜 처리를 간단하게 할 수 있음과 아울러 접합 품질을 개선할 수 있는 실장 구조체를 제공하는 것을 목적으로 한다.
- [0017] 본 발명의 실장 구조체는, 기판에 용점이 200℃ 이하인 뱀납 또는 용점이 200℃ 이하인 뱀납을 도전성 입자로서 함유한 도전성 페이스트에 의해 복수의 반도체 소자가 인접해서 실장되고, 인접해서 실장된 상기 반도체 소자 사이의 상기 기판에 용점이 200℃ 이하인 뱀납 또는 용점이 200℃ 이하인 뱀납을 도전성 입자로서 함유한 도전성 페이스트에 의해 상기 반도체 소자를 제외한 전자부품이 실장되며, 복수의 상기 반도체 소자와 상기 기판 사이, 상기 전자부품과 상기 기판 사이, 및 복수의 상기 반도체 소자와 상기 전자부품 사이를 밀봉수지에 의해 밀봉한 것을 특징으로 한다.

- [0018] 또한, 인접하는 반도체 소자 사이가 40mm 이하인 것을 특징으로 한다.
- [0019] 또한, 상기 뿔납의 조성이 Bi, In으로부터 선택되는 적어도 1종의 금속을 함유하고, 잔부가 Sn인 것을 특징으로 한다.
- [0020] 또한, 상기 뿔납의 조성이 50~70중량%의 Bi, 10~25중량%의 In으로부터 선택되는 적어도 1종의 금속 및 잔부의 Sn을 함유하여 이루어지는 것을 특징으로 한다.
- [0021] 또한, 상기 뿔납의 조성은 Cu, Ge 및 Ni의 군으로부터 선택되는 적어도 1종의 금속을 더 함유하여 이루어지는 것을 특징으로 한다.
- [0022] 또한, 상기 뿔납의 조성은 0.1~1.0중량%의 Cu, 0.001~0.1중량% Ge 및 0.001~0.1중량% Ni의 군으로부터 선택되는 적어도 1종의 금속을 더 함유하여 이루어지는 것을 특징으로 한다.
- [0023] 또한, 상기 기판 두께가 0.5mm 이하인 것을 특징으로 한다.
- [0024] 또한, 상기 기판에 인접해서 실장된 상기 반도체 소자의 중간 위치에 상기 전자부품이 실장되어 있는 것을 특징으로 한다.
- [0025] 본 발명의 실장 구조체는, 기판에 도전성 접착제에 의해 복수의 반도체 소자가 인접해서 실장되고, 인접해서 실장된 상기 반도체 소자 사이의 상기 기판에 도전성 접착제에 의해 상기 반도체 소자를 제외한 전자부품이 실장되며, 복수의 상기 반도체 소자와 상기 기판 사이, 상기 전자부품과 상기 기판 사이, 및 복수의 상기 반도체 소자와 상기 전자부품 사이를 밀봉수지에 의해 일체로 밀봉한 것을 특징으로 한다.
- [0026] 본 발명의 실장 구조체는, 전자부품(3)과 패키지(2)를 일체로 수지 밀봉함으로써 뿔납 성분으로서 비교적 저융점의 합금을 사용할 수 있다. 대표적인 납 프리 뿔납인 Sn-Ag-Cu 뿔납과 같은 사용 방법이 가능하다.
- [0027] 이 구성에 의하면, 상기 전자부품과 상기 기판 사이를 밀봉수지에 의해 밀봉했기 때문에, 접합 재료로서 저온 뿔납 또는 도전성 접착제를 사용했을 경우의 상기 전자부품의 접합 품질의 저하를 방지할 수 있음과 아울러, 상기 밀봉은 복수의 반도체 소자와 기판 사이, 상기 전자부품과 상기 기판 사이, 및 복수의 반도체 소자와 상기 전자부품 사이를 밀봉수지에 의해서 일체로 밀봉하고 있기 때문에, 상기 기판으로서 0.5mm 이하의 얇은 것을 사용했을 경우이더라도 상기 일체로 밀봉한 밀봉수지에 의해 상기 기판이 휘지 않도록 보장할 수 있어, 접합 재료로서 저온 뿔납을 사용한 경우의 접합 품질의 향상에 유효하다.

발명의 실시를 위한 구체적인 내용

- [0028] 이하, 본 발명의 각 실시형태를 도 1a, 도 1b~도 3에 기초하여 설명한다.
- [0029] (실시형태 1)
- [0030] 도 1a, 도 1b는 본 발명의 실시형태 1을 나타낸다.
- [0031] 도 1a는 평면도, 도 1b는 도 1a의 A-AA 단면도이며, 도 1b에서는 일부가 확대되어 도시되어 있다.
- [0032] 기판(1) 위에는 반도체 소자로서의 반도체 패키지(2a, 2b)와, 반도체 소자를 제외한 전자부품으로서의 칩 부품(3)이 실장되어 있다. 칩 부품(3)은 인접해서 배치된 반도체 패키지(2a, 2b) 2개의 사이에서 반도체 패키지(2a, 2b)의 폭에 들어가도록 실장되어 있다. 이들 반도체 패키지(2a, 2b) 2개와, 칩 부품(3) 5개를 밀봉하도록 밀봉수지(4)가 형성되어 있다. 반도체 패키지(2a, 2b)와 칩 부품(3)은 뿔납(5)으로 기판(1)에 실장되어 있다. 여기에서는, 칩 부품(3)이 반도체 패키지(2a, 2b)의 중간 위치에 실장되어 있다.
- [0033] 복수의 반도체 패키지(2a, 2b)와 기판(1) 사이, 칩 부품(3)과 기판(1) 사이, 및 복수의 반도체 패키지(2a, 2b)와 칩 부품(3)의 사이가 밀봉수지(4)에 의해 일체로 밀봉되어 있는 것이 도 1b로부터 알 수 있다.
- [0034] 밀봉수지(4)는 납땀이 완료된 후에 도 1b에 나타내는 도포 포인트(P)의 위치에 디스퍼서(도시 생략)에 의해 액체상의 밀봉수지를 적하함으로써 형성된다. 구체적으로는, 적하된 밀봉수지는 칩 부품(3)의 측면으로부터 흘러서 반도체 패키지(2a, 2b)의 하부로도 원활하게 흘러든다.
- [0035] 도포 포인트(P)를 반도체 패키지(2a, 2b) 사이의 위치로 해서 밀봉수지(4)를 공급하고 있으므로, 반도체 패키지(2a, 2b)와 기판(1) 사이에 균등하게 밀봉수지(4)를 흘러넣을 수 있고, 각각의 도포 포인트로부터 반도체 패키지(2a, 2b)에 밀봉수지(4)를 공급할 경우에 비하여 간단하고, 단시간이며, 보다 좋은 형상, 균질한 형상으로 수

지 형성할 수 있다.

[0036] 또한, 각각의 도포 포인트, 예를 들면 2점으로 되면 형상이 나쁘고, 또한 불량이 많아지며, 인접의 부품으로의 영향이나, 수지량의 비용상승, 기관(1)의 휘어짐에 나쁜 영향이 있다.

[0037] 실장에 사용한 땀납(5)의 조성을 하기의 표 1에 나타낸다. 잔부는 Bal.로서 표기했다.

[0038] 실시예 1~13으로 해서 각각 대응하는 조성을 나타낸다. 땀납의 용점을 측정한 값도 나타낸다. 용점은 시차열 분석장치를 이용하여 측정했다.

표 1

	땀납 조성 (mass%)						용점(°C)	온도 사이클 수명(사이클)	
	Sn	Ag	Bi	In	Cu	Ni	Ge	밀봉 부	밀봉 부
실시예 1	Bal.		50	20				500	1000
실시예 2	Bal.		50	24				500	800
실시예 3	Bal.		52.5	17.5				500	1000
실시예 4	Bal.		52.5	20				500	800
실시예 5	Bal.		55	10				500	1000
실시예 6	Bal.		55	17.5				500	1000
실시예 7	Bal.		55	20				400	800
실시예 8	Bal.		65	15				400	800
실시예 9	Bal.		70	24				400	800
실시예 10	Bal.		57	10				500	1000
실시예 12	Bal.		57	15				500	1000
실시예 13	Bal.		55	25				400	800
실시예 14	Bal.		57	25				400	800
실시예 15	Bal.		60	25				400	800
실시예 16	Bal.		57	10	0.5			500	1000
실시예 17	Bal.		57	10		0.01		500	1000
실시예 18	Bal.		57	10			0.01	500	1000
실시예 19	Bal.		55	20	0.5			500	1000
실시예 20	Bal.		55	20		0.01		500	800
실시예 21	Bal.		55	20			0.01	500	800
실시예 22	Bal.		58					500	1000
실시예 24	Bal.			52				400	800
비교예 1	Bal.	3			0.5			217	—

[0039]

[0040] 또한, 온도 사이클 시험은 이하와 같이 해서 실시했다.

[0041] 도 1a, 도 1b에 나타내는 바와 같은 배치로, 표 1에서 나타내는 땀납 재료를 사용하고, 0.5mm 두께의 FR-4의 유리 에폭시의 기관(1)에 (크기 10평방mm, 두께 1mm)의 반도체 패키지(2a, 2b)를 10mm의 간격으로 실장하고, 그 사이에 사이즈가 1005인 칩 부품(3)을 5개 배열하도록 실장했다. 종래의 배치에서는, 도 4a, 도 4b에 나타내는 바와 같이, 반도체 패키지(2a, 2b) 칩 부품(3)은 각각의 다른 영역에 배치되어 있었다.

[0042] 그 후, 온도 사이클 시험을 -40°C~125°C(각 30분)에서 실시하고, 접합부의 크랙의 발생 사이클수로 비교했다. 여기에서 사용한 밀봉재료(4)는 나믹스 가부시키가이샤(NAMICS CORPORATION)제의 언더필재(underfill madterial)의 품번 1572(점도 : 0.65Pa·s, 탄성율 : 3.0GPa)을 사용하고 있다.

- [0043] 표 1로부터 알 수 있는 바와 같이, Sn에 Bi 및 In을 첨가함으로써 종래의 Sn-Ag-Cu보다 용점이 저하되어 있다. 또한, 종래의 뿔납에 비하여 밀봉을 하지 않았을 경우의 온도 사이클 특성은 열화되어 있다. Sn에 Bi 및 In을 첨가한 뿔납을 이용하여 실장한 부품을 밀봉수지(4)에 의해 밀봉하면, 종래의 Sn-Ag-Cu 뿔납보다 양호한 온도 사이클성이 얻어진다. 특히, 종래에는 밀봉하는 일이 없었던 칩 부품(3)을 밀봉수지(4)로 밀봉함으로써 온도 사이클 특성이 향상되어 있다.
- [0044] 이와 같이, Sn-Bi계의 저온 뿔납에 의해 실장한 실장 구조체에서는, 칩 부품(3)을 포함하는 실장 부품 전체를 밀봉하고 있지 않았기 때문에 기계적 강도가 비교적 낮아 실용화에는 강도 향상이 과제이었다. 이에 대하여 용점이 200℃ 이하인 저온 뿔납에서도 반도체 패키지(2a, 2b)와 함께 칩 부품(3)을 밀봉수지(4)에 의해 일체로 밀봉함으로써 기관(1) 전체의 신뢰성이 향상되고, 종래의 Sn-Ag-Cu 뿔납을 접합 재료로서 실장한 실장 구조체와 동등 이상의 신뢰성이 얻어진다.
- [0045] 이와 같이 온도 사이클성이 향상되는 것은, 기관(1)의 부품 실장부 전체를 밀봉수지(4)에 의해 밀봉함으로써 접합부를 보강함과 아울러 밀봉에 의해 기관(1)의 휘어짐을 억제하고, 용점이 200℃ 이하인 저온 뿔납의 신뢰성을 향상시키는 것이 가능하게 되었다. 밀봉수지(4)가 전체에 없을 경우에 비하여 밀봉수지(4)에 의해 일체로 밀봉함으로써 칩 부품(3), 반도체 패키지(2a, 2b)와 기관(1)의 열팽창의 차를 완화할 수도 있다.
- [0046] 또한, 여기에서는, 칩 부품(3)으로서 사이즈 1005의 저항기를 사용했지만, 인접하는 BGA/LGA 등의 반도체 패키지(2a, 2b) 사이에 배치되는 부품은 인접하는 반도체 패키지(2a, 2b) 사이에 배치할 수 있으면 어떤 칩 부품이어도 좋다.
- [0047] 밀봉수지(4)가 반도체 패키지(2a, 2b) 및 칩 부품(3)을 일체해서 밀봉함으로써 접합이 확실해진다. 반도체 패키지(2a, 2b)와 칩 부품(3)의 배치는 밀봉수지(4)가 퍼지기 쉬운 배치가 좋다. 밀봉수지(4)는 반도체 패키지(2a, 2b)의 상면, 칩 부품(3)의 상부까지 도달할 필요는 없고, 측면, 저면까지 밀봉하면 좋다. 즉, 반도체 패키지(2a, 2b)의 상면에는 존재하지 않고, 밀봉이 반도체 패키지(2a, 2b)의 주위부 및 기관(1)과의 접합부만, 또한 칩 부품(3)의 주위 및 기관(1)과의 접합부만이면 되어, 밀봉수지(4)의 양을 적게 할 수 있고, 비용을 억제할 수도 있다.
- [0048] 또한, 반도체 소자로서 BGA/LGA 등의 반도체 패키지(2a, 2b)를 사용했지만, 패키징되어 있지 않은 베어(bare) 상태의 반도체 소자에서도 같다.
- [0049] 또한 반도체 소자를 제외한 전자부품으로서, 저항기의 칩 부품(3)을 예로 들어서 설명했지만 콘덴서나 코일 등이어도 좋다.
- [0050] 뿔납 조성 및 접합 특성은, 이 실시형태에서는 Sn 및 Bi 및 In을 기본 조성으로 하는 200℃ 이하의 용점을 갖는 뿔납 재료를 사용한 실장 구조체이었지만, Sn 및 Bi 및 In을 기본 조성으로 하는 도전성 입자를 플럭스에 혼합한 100℃ 이하의 저용점을 갖는 뿔납 페이스트이어도 마찬가지로 가능하다.
- [0051] 이 실시형태에 관해서, 뿔납 조성은 Bi, In으로부터 선택되는 적어도 1종의 금속을 함유하고, 잔부가 Sn인 합금 조성으로 한다. Bi 및 In은 합금의 저용점화를 목적으로 배합하고 있다.
- [0052] 뿔납 조성 중의 Bi의 함유량은 50~70중량%의 범위가 바람직하고, 신장이 극단적으로 크고, 저용점과 고신뢰성을 양립할 수 있다. 보다 바람직하게는 52중량% 이상, 더욱 바람직하게는 55중량% 이상이며, 보다 바람직하게는 57중량% 이하, 더욱 바람직하게는 60중량% 이하의 범위가 보다 바람직하다. 뿔납 조성 중의 Bi 함유량을 50~70중량%로 한 것은 Bi의 함유량이 50중량%보다 적으면 저용점화의 효과가 충분하게 얻어지지 않고, 70중량%를 초과하는 경우에는 신장이 저하되기 때문이다.
- [0053] 뿔납 성분 중의 In의 함유량은 10~25중량%의 범위가 바람직하고, 신장이 극단적으로 커지고, 저용점과 고신뢰성을 양립할 수 있다. 보다 바람직하게는 15중량% 이상, 더욱 바람직하게는 20중량% 이상이며, 보다 바람직하게는 23중량% 이하의 범위가 보다 바람직하다. 금속 성분 중의 In의 함유량을 10~25중량%로 한 것은 In의 함유량이 10중량%보다 적으면 저용점화의 효과가 충분하게 얻어지지 않고, 25중량%를 초과하는 경우에는 신장이 저하되기 때문이다.
- [0054] 이 실시형태의 뿔납 성분은 상기 기본 조성에 추가로, Cu, Ge 및 Ni의 군으로부터 선택되는 적어도 1종의 금속을 더 함유할 수 있다. Cu, Ge, Ni란 합금의 기계적 특성 향상을 목적으로 첨가하고 있다.
- [0055] 뿔납 성분 중의 Cu의 함유량은 0.1~1.0중량%의 범위가 바람직하고, 0.5~0.7중량%의 Cu 함유량이 보다 바람직하다. 도전성 필러 성분 중의 Cu 함유량을 0.1~1.0중량%로 한 것은, 0.1중량%보다 소량이면 그 기계적 특성에

대한 효과는 얻어지지 않기 때문이며, 1.0중량%를 초과하면 합금이 보다 물러지는 경향을 나타내서 기계적 특성에 관해서 역효과가 되기 때문이다.

- [0056] 땀납 성분 중의 Ge의 함유량은 0.001~0.1중량%의 범위가 바람직하고, 0.001~0.01중량%의 Ge 함유량이 보다 바람직하다. 금속 필러 성분 중의 Ge 함유량을 0.001~0.1중량%로 한 것은, 0.001중량%보다 소량이면 기계적 특성에 대한 효과는 얻어지지 않고, 0.1중량%를 초과하면 합금의 용점이 급격하게 상승하기 때문이다.
- [0057] 땀납 성분으로의 Ni의 첨가는 Sn의 산화 억제를 목적으로 하고 있다. 땀납 성분 중의 Ni의 함유량은 0.001~0.1중량%의 범위가 바람직하고, 보다 바람직하게는 0.005중량% 이상, 더욱 바람직하게는 0.01중량% 이상, 더욱 더 바람직하게는 0.05중량% 이상이며, 0.1중량% 이하의 범위가 바람직하다. 땀납 성분 중의 Ni 함유량을 0.001~0.1중량%로 한 것은, 0.001중량%보다 소량이면 Sn 산화 억제 효과는 얻어지지 않고, 0.1중량%를 초과하면 강한 Ni 산화막이 형성되어서 용점이 상승하고, Sn 산화 억제의 효과는 얻어지지 않기 때문이다.
- [0058] 이상의 Sn-Ag계의 땀납보다 낮은 실장 온도를 달성할 수 있는 땀납 재료를 함유하는 접합부를 가지는 실장 구조를 취할 때, 도 1a, 도 1b에 나타내는 바와 같이 기관(1) 상의 접합부를 전부 밀봉함으로써 보장하는 구조를 취한다. 이에 따라, 저융점의 접합부에 있어서도 신뢰성이 높은 실장 구조를 얻을 수 있다.
- [0059] 또한 별도의 배치 실시형태를 도 2a, 도 2b와 도 3에 나타낸다. 도 2a가 반도체 소자가 1개일 경우의 평면도, 도 2b가 그 A-AA의 단면도이다. 반도체 소자로서의 반도체 패키지(2)와 칩 부품(3)이 직사각형으로 되도록 배치되어 있다. 그 중앙에 밀봉수지(4)를 도포하는 위치를 설정한다. 도 1a, 도 1b와 마찬가지로, 균등하게 밀봉수지(4)가 퍼진다.
- [0060] 도 3은 2개의 반도체 패키지(2a, 2b)가 있을 경우이고, 도 1a와의 차이는 패키지(2)의 배치하는 방향이다. 전체로서 정사각형상으로 되도록 배치되어 있다. 도 1a에서는 길고 가는 직사각형이다. 도 3에서는 정사각형에 가깝다. 반도체 패키지(2a, 2b)와 칩 부품(3)의 전체의 영역으로서, 세로와 가로의 변이 같은 길이가 되도록 배치하는 것이 좋다. 적어도, 그 비가 1:5 이상, 바람직하게는 1:1이다.
- [0061] 도 2a, 도 2b와 도 3 모두, 도포 포인트(P)에 대하여 동심원이 되도록 칩 부품(3), 반도체 패키지(2), 반도체 패키지(2a, 2b)의 배치를 취하면 좋다. 이것에 의해 밀봉수지(4)가 전체로 고루 퍼지고, 또한 전체의 밸런스가 좋아져 기관(1)의 휘어짐도 저감할 수 있다.
- [0062] (실시형태 2)
- [0063] 본 발명의 제 2 형태에 있어서는, 도 1a, 도 1b의 실시형태에 있어서 그 기관(1)의 두께의 변화를 주어서 온도 사이클 수명 시험을 했다. 온도 사이클 수명 시험은 실시형태 1과 같다. 그 결과를, 하기의 표 2에 나타낸다. 이 표 2에서는 기관(1)의 두께가 0.25~0.80mm까지 변경된 경우의 온도 사이클 특성을 나타내고 있다.

표 2

	땀납 조성 [mass%]		용점 [°C]	기판두께 [mm]	온도사이클 수명 (사이클)		개선율 (배)
	Sn	Bi			밀봉 우	밀봉 우	
실시예 25	42	58	138	0.25	200	1000	5
실시예 26	42	58	138	0.3	300	1000	3.3
실시예 27	42	58	138	0.45	400	1000	2.5
실시예 28	42	58	138	0.5	500	1000	2
비교예 2	42	58	138	0.65	600	1000	1.7
비교예 3	42	58	138	0.8	600	1000	1.7

[0064]

[0065]

기판(1)이 두꺼울 경우에는 온도 변화되어도 기판(1) 자체가 견고하게 되어 있기 때문에 휘어짐 등이 적지만, 기판(1)의 두께가 0.5mm 이하의 얇은 실장 구조체에서는 온도 변화에 의해 기판(1)에 휘어짐이 발생하고, 용점이 200℃ 이하인 저온 땀납으로 실장한 것 만으로는 접합 품질이 나쁘기 때문에 밀봉수지(4)에 의한 전체의 밀봉이 없을 경우에는 접합 불량 발생해서 수명이 짧다. 이에 대하여, 기판(1)의 두께가 0.5mm 이하의 얇은 실장 구조체에 있어서, 상기한 바와 같이 전체를 밀봉수지(4)에 의해 밀봉한 본 발명의 실장 구조체의 경우에는 용점이 200℃ 이하인 저온 땀납으로 동일하게 실장하고 있어도, 기판(1)의 두께가 0.65mm, 0.8mm로 두꺼울 경우와 같이 접합 불량 발생이 적어져서 수명이 길어지고, 기판(1)의 두께가 0.5mm 이하에서는, 특히 기판(1)의 두께가 0.45mm 이하인 실장 구조체에 있어서 유효한 것을 알 수 있다. 용점이 180℃ 이하의 저온 땀납을 사용했을 경우에도 유효하다.

[0066]

(실시형태 3)

[0067]

실시형태 3은 도 1a, 도 1b에 있어서의 반도체 패키지(2a, 2b) 사이의 거리에 대한 실시예이다.

[0068]

도 1a, 도 1b에 있어서, 실시형태 2에서 사용한 접합 재료로서 Sn-Bi 땀납 조성을 사용하고, 기판(1) 상의 부품 탑재 영역에 대해서 복수의 BGA/LGA의 반도체 패키지(2a, 2b) 사이에 그 칩 부품(3)이 탑재되어 있다. 이 경우에, 도포 포인트(P)를 인접하는 반도체 패키지(2a, 2b) 사이의 기판(1)에 칩 부품(3)을 실장하고, 반도체 패키지(2a, 2b)와 칩 부품(3)에 일괄해서 밀봉수지(4)를 도포할 경우에, 그 반도체 패키지(2a, 2b) 사이의 거리를 변경한 결과를 하기의 표 3에 나타낸다.

표 3

	편납 조성 (mass%)		용점 (°C)	기판두께 (mm)	부 품	패키지 간 거리 (mm)	투과성
	Sn	Bi					
실시예 33	42	58	138	0.5	0.5mm 피치 BGA, 1005저항	5	○
실시예 34	42	58	138	0.5	0.5mm 피치 BGA, 1005저항	10	○
실시예 35	42	58	138	0.5	0.5mm 피치 BGA, 1005저항	20	○
실시예 36	42	58	138	0.5	0.5mm 피치 BGA, 1005저항	30	○
비교예 8	42	58	138	0.5	0.5mm 피치 BGA, 1005저항	40	△
비교예 9	42	58	138	0.5	0.5mm 피치 BGA, 1005저항	50	×
비교예 10	42	58	138	0.5	0.5mm 피치 BGA, 1005저항	60	×
비교예 11	42	58	138	0.5	0.5mm 피치 BGA, 1005저항	70	×

[0069] 표 3으로부터 인접하는 반도체 패키지(2a, 2b)의 간격이 40mm 이하이면 안정되게 밀봉수지(4)를 도포할 수 있다. 그러나, 그것을 초과한 거리에 반도체 패키지(2a, 2b)를 배치하면 밀봉수지(4)가 필요하지 않은 부분으로 흘러 나가거나, 또는 충분하게 퍼지지 않기 때문에 안정되게 도포할 수 없다.

[0071] 또한, 여기에서 사용한 밀봉수지(4)는 나믹스 가부시킴가이샤제의 언더필재의 품번 1572(점도 : 0.65Pa·s, 탄성율 : 3.0GPa)을 사용하고 있지만, 점도가 2Pa·s 이하이면 다른 밀봉수지(4)에서도 같다.

[0072] 도 3에 있어서도 마찬가지로의 결과이다. 반도체 패키지(2a, 2b) 사이가 40mm 이하가 좋다. 30mm이면 더욱 좋다. 도 2a, 도 2b에 있어서도 전자부품(3)과 패키지(2) 사이가 30mm 이하가 좋다.

[0073] 표 3의 "○" 표시는 모든 부품에 밀봉수지(4)가 침투하는 것을 나타낸다. "△"는 반도체 패키지(2a, 2b)에 형성된 필렛의 형상이 충분하지 않을 경우를 나타낸다. "×"는 밀봉수지(4)가 침투하지 않는 부품이 많이 보여지는 것을 나타낸다. 즉, 반도체 패키지의 일부에 밀봉수지(4)가 널리 퍼지지 않는 것을 나타낸다.

[0074] 또한 밀봉을 필요로 하는 부품이 밀봉수지(4)의 도포 포인트(P)로부터의 동심원의 내측의 영역에 배치한 실장 구조체의 경우, 도포 포인트(P)로부터의 동심원의 반경이 30mm 이내의 영역에 밀봉을 필요로 하는 부품이 배치되어 있으면 밀봉수지(4)를 동시에 도포할 수 있다. 그러나, 30mm를 초과한 부품 레이아웃에서는 동시에 부품을

안정되게 밀봉할 수 없다. BGA/LGA 타입의 반도체 패키지(2a, 2b)가 탑재될 경우, 도포 포인트(P)에 기타 부품이 탑재되어 반도체 패키지(2a, 2b)와 동시에 도포 가능한 부품 레이아웃을 갖는 실장 구조체가 된다.

[0075] 복수의 BGA/LGA 타입의 반도체 패키지(2a, 2b)가 탑재되어 있을 경우, 인접하는 반도체 패키지(2a, 2b)의 간격이 20mm 이하이면 인접하는 반도체 패키지(2a, 2b) 및 그 사이에 레이아웃된 부품에 안정되게 밀봉수지(4)를 도포하는 것이 가능하다. 그러나 20mm를 초과하면 반도체 패키지(2a, 2b)로의 밀봉수지(4)의 침투성이 충분하지는 않다.

[0076] 또한, 실시형태에서는 저온 땀납으로 실장할 경우를 예로 들어서 설명했지만, 용점이 200℃ 이하인 땀납을 도전성 입자로서 함유한 도전성 페이스트에 의해 실장한 실장 구조체의 경우도 같은 효과를 기대할 수 있다.

[0077] 또한 수지와 금, 은 등의 도전성 필러로 이루어지는 경화 온도가 200℃ 이하인 도전성 접착제에 의해 실장한 실장 구조체의 경우도 같은 효과를 기대할 수 있다.

[0078] 상기의 각 실시형태에서는 밀봉수지(4)로 반도체 소자로서의 반도체 패키지(2a, 2b)의 전체와, 그 이외의 전자 부품으로서의 칩 부품(3)의 전체를 덮는 것은 하지 않았다. 측면을 밀봉하는 것만으로 충분히 강도를 유지할 수 있었다.

[0079] 본 발명은, CCD 소자, 홀로그래프 소자, 칩 부품 등의 전자부품의 접속용 및 그것들을 접합하는 기관의 배선 형성에 사용할 수 있다. 그 결과, 이들 소자, 부품 및/또는 기관을 내장하는 제품, 예를 들면 DVD, 휴대전화, 포터블 AV 기기, 노트북, 디지털 카메라, 메모리카드 등에 사용할 수 있다.

도면의 간단한 설명

[0080] 도 1a는 본 발명의 실장 구조체의 평면도,

[0081] 도 1b는 본 발명의 실장 구조체의 단면도,

[0082] 도 2a는 본 발명의 다른 실장 구조체의 평면도,

[0083] 도 2b는 본 발명의 다른 실장 구조체의 단면도,

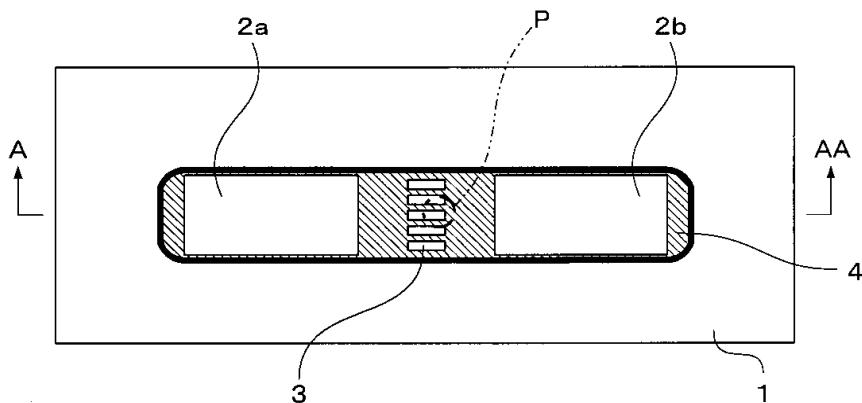
[0084] 도 3은 본 발명의 또 다른 실장 구조체의 평면도,

[0085] 도 4a는 종래의 실장 구조체의 평면도,

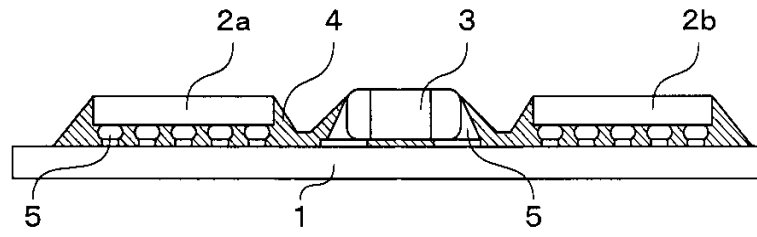
[0086] 도 4b는 종래의 실장 구조체의 단면도.

도면

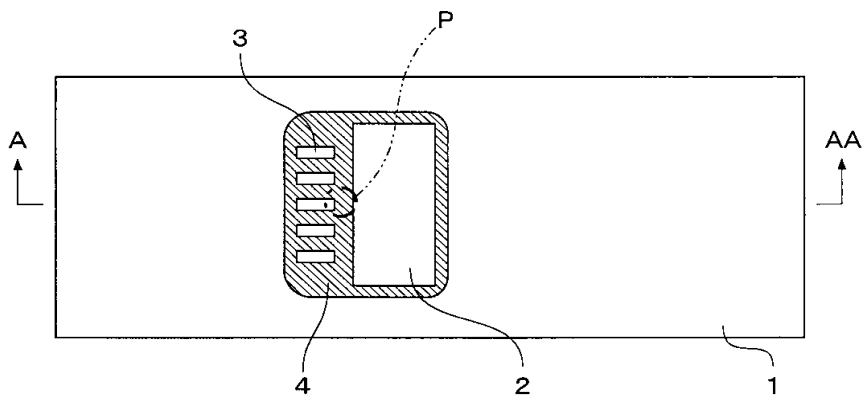
도면1a



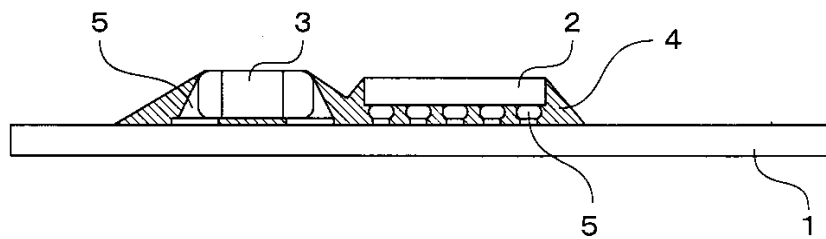
도면1b



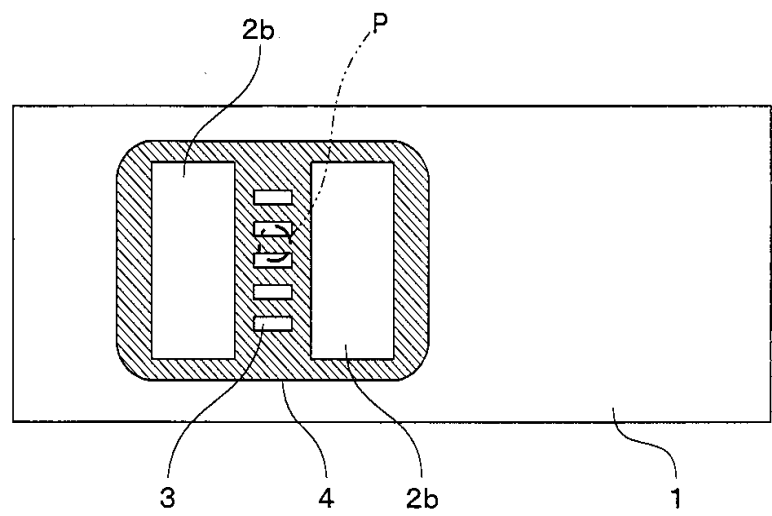
도면2a



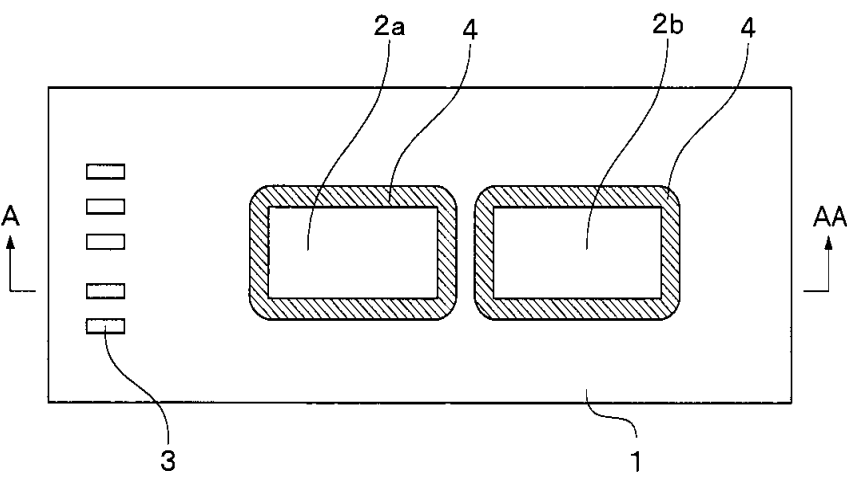
도면2b



도면3



도면4a



도면4b

