



(12)发明专利

(10)授权公告号 CN 103368510 B

(45)授权公告日 2017. 10. 13

(21)申请号 201310102611.2

(22)申请日 2013.03.28

(65)同一申请的已公布的文献号

申请公布号 CN 103368510 A

(43)申请公布日 2013.10.23

(30)优先权数据

13/435,981 2012.03.30 US

(73)专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72)发明人 H·桑切兹

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 冯玉清

(51)Int.Cl.

H03F 3/45(2006.01)

(56)对比文件

US 4336615 A, 1982.06.22,

US 6046638 A, 2000.04.04,

US 6696894 B1, 2004.02.24,

CN 101943613 A, 2011.01.12,

CN 201663584 U, 2010.12.01,

审查员 秦春芳

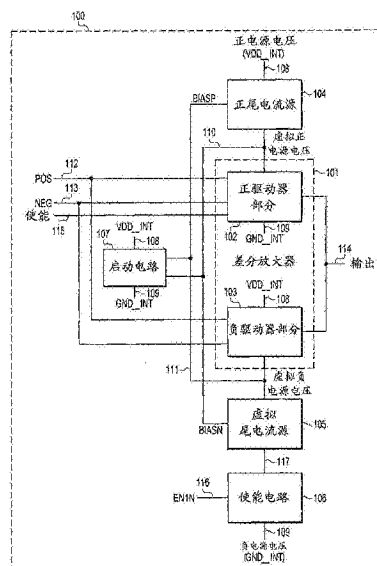
权利要求书2页 说明书9页 附图6页

(54)发明名称

带有启动电路的完全互补的自偏置差分接收器

(57)摘要

本公开涉及带有启动电路的完全互补的自偏置差分接收器。提供一种电压净空得到改善的自偏置接收器(100)。尾电流源(104、105)被偏置以关于彼此交叉耦合。提供启动控制(107)以对抗缺陷引发的电流且确保即使有大量缺陷电流电路也能正常运行。PMOS尾电流晶体管(227)由NMOS差分对虚拟负电源电压(111)调制, NMOS尾电流晶体管(228、229)由PMOS差分对虚拟正电源电压(110)调制。因此放大器的输出共模自对应到p型到n型晶体管强度差异。



1. 一种操作差分接收器的方法,包括:

通过虚拟负电源电压调制第一导电型的尾电流晶体管,其中,所述第一导电型的尾电流晶体管位于正电源电压和虚拟正电源电压之间;以及

通过所述虚拟正电源电压调制第二导电型的尾电流晶体管,其中所述第二导电型的尾电流晶体管位于所述虚拟负电源电压和负电源电压之间。

2. 根据权利要求1所述的方法,还包括:

在第一使能输入处接收第一使能信号,所述第一使能输入耦合到第一尾电流源使能晶体管,其中所述第一尾电流源使能晶体管实现尾电流总量中的第一部分的流动,其中所述第一尾电流源使能晶体管耦合到选自包括所述第一导电型的尾电流晶体管和所述第二导电型的尾电流晶体管的组中的元件;以及

在第二使能输入处接收第二使能信号,所述第二使能输入耦合到第二尾电流源使能晶体管,其中所述第二尾电流源实现所述尾电流总量中的第二部分的流动。

3. 根据权利要求1所述的方法,还包括:

提供分别耦合到所述虚拟正电源电压和所述虚拟负电源电压以提供缺陷电流容限的启动电路。

4. 根据权利要求1所述的方法,还包括:

耦合所述虚拟正电源电压到金属氧化物半导体MOS晶体管的第一端子;

耦合所述虚拟负电源电压到所述MOS晶体管的第二端子;以及

耦合负电源电压到所述MOS晶体管的第三端子。

5. 一种操作完全差分互补布局的方法,包括:

耦合选自于包括场效应晶体管FET的源极、漏极、栅极和体的组中的第一端子到虚拟正电源电压;

耦合选自于包括所述FET的源极、漏极、栅极和体的组中的第二端子到虚拟负电源电压;

耦合选自于包括所述FET的源极、漏极、栅极和体的组中的第三端子到正电源电压;

耦合选自于包括所述FET的源极、漏极、栅极和体的组中的第四端子到负电源电压;

引用正尾电流源到与负尾电流源相关联的虚拟负电源轨电压;以及

引用所述负尾电流源到与所述正尾电流源相关联的虚拟正电源轨电压。

6. 根据权利要求5所述的方法,其中,引用所述正尾电流源到与所述负尾电流源相关联的所述虚拟负电源轨电压还包括:

耦合所述虚拟负电源轨电压到正尾电流源的正金属氧化物半导体PMOS晶体管的栅极,其中所述正尾电流源的PMOS晶体管的漏极耦合到所述虚拟正电源轨电压;且

其中,引用所述负尾电流源到与所述正尾电流源相关联的所述虚拟正电源轨电压还包括:

耦合所述虚拟正电源轨电压到负尾电流源的负金属氧化物半导体NMOS晶体管的栅极,其中所述负尾电流源的NMOS晶体管的漏极耦合到所述虚拟负电源轨电压。

7. 根据权利要求5所述的方法,其中:

耦合所述第一端子、耦合所述第二端子、耦合所述第三端子、耦合所述第四端子的步骤增大缺陷电流容限。

8. 一种自偏置接收器,包括:

耦合到正尾电流源的正电源电压,所述正尾电流源提供虚拟正电源电压;

耦合到负尾电流源的负电源电压,所述负尾电流源提供虚拟负电源电压;

差分放大器,包括耦合到所述虚拟正电源电压的正驱动器部分以及耦合到所述虚拟负电源电压的负驱动器部分,所述虚拟正电源电压控制所述负尾电流源,所述虚拟负电源电压控制所述正尾电流源;以及

启动电路,所述启动电路分别耦合到所述虚拟正电源电压和所述虚拟负电源电压。

9. 根据权利要求8所述的自偏置接收器,其中,所述正尾电流源包括:

正金属氧化物半导体PMOS晶体管,其中所述PMOS晶体管的栅极耦合到所述虚拟负电源电压,所述PMOS晶体管的源极耦合到所述正电源电压,所述PMOS晶体管的漏极耦合到所述虚拟正电源电压。

10. 一种操作差分接收器的方法,包括:

通过虚拟负电源电压调制第一导电型的尾电流晶体管;

通过虚拟正电源电压调制第二导电型的尾电流晶体管,以及

提供分别耦合到所述虚拟正电源电压和所述虚拟负电源电压的启动电路来提供缺陷电流容限。

带有启动电路的完全互补的自偏置差分接收器

技术领域

[0001] 本公开总体上涉及差分接收器,更特别地,涉及互补的自偏置差分放大器。

背景技术

[0002] 随着电子器件变得越来越复杂以及消费者期待增强的功能、小器件尺寸以及延长的电池寿命,技术被使用以削减器件尺寸以及减少功率消耗而不需要牺牲功能。一种这种技术包括在低电压处操作电子器件。然而,低电压操作可能给实现所需功能造成障碍。

[0003] 一种实施较低电压操作的技术是采用差分信号,由此差分接收器被用于从其它器件接收差模信号。一些差分接收器使用自偏置差分放大器。然而,随着操作电压降低,自偏置放大器受到速度低的困扰,并且还需要大的电路面积。例如,一些自偏置放大器布局需要专用于提供自偏置电压的晶体管的堆叠,并且这种自偏置晶体管堆叠占据了大量面积,从而干扰了对更小电子器件的寻求。此外,有限的输出摆幅和对工艺、电压以及温度(PVT)中的变化的敏感也阻碍了典型自偏置放大器布局的使用。例如,在低电源电压差分(即,相对于负电源电压,低的正电源电压(V_{dd}))下,在典型的自偏置放大器中,尾电流源相对于尾电流源晶体管的阈值电压(V_{th})有较低的偏置,这阻碍了电路的适当操作。

发明内容

[0004] 示范性实施例提供一种操作差分接收器的方法,包括:通过虚拟负电源电压调制第一导电型的尾电流晶体管;以及通过虚拟正电源电压调制第二导电型的尾电流晶体管。

[0005] 示范性实施例还提供一种操作完全差分互补布局的方法,包括:引用正尾电流源到与负尾电流源相关联的虚拟负电源轨电压;以及引用所述负尾电流源到与所述正尾电流源相关联的虚拟正电源轨电压。

[0006] 示范性实施例还提供一种自偏置接收器,包括:耦合到正尾电流源的正电源电压,所述正尾电流源提供虚拟正电源电压;耦合到负尾电流源的负电源电压,所述负尾电流源提供虚拟负电源电压;差分放大器,包括耦合到所述虚拟正电源电压的正驱动器部分以及耦合到所述虚拟负电源电压的负驱动器部分,所述虚拟正电源电压控制所述负尾电流源,所述虚拟负电源电压控制所述正尾电流源。

附图说明

[0007] 通过参考附图,本发明或可被更好的理解,并且其特征对本领域技术人员来说会非常清楚。

[0008] 图1是框图,示出根据至少一实施例的互补自偏置放大器。

[0009] 图2是示意图,示出根据至少一实施例的互补自偏置放大器。

[0010] 图3是利用根据至少一实施例的互补自偏置放大器的系统的框图。

[0011] 图4和图5是框图,示出根据至少一实施例的方法。

[0012] 图6是框图,示出根据至少一实施例的方法。

[0013] 在不同的附图中使用相同的附图标记表示相似或相同的元件。

具体实施方式

[0014] 自偏置放大器的偏置电压被调制以提供改善的PVT容限。例如,如果第一导电型的晶体管是强的,但是第二导电型的晶体管是弱的,那么施加到负尾电流源的虚拟正偏置电压(例如,BIASN)电势上升以补偿第二导电型晶体管的薄弱。这种补偿允许放大器对于更大范围的输入信号能有效地操作。

[0015] 图1是框图,示出根据至少一实施例的互补自偏置放大器100。自偏置互补差分放大器100包括驱动器部分101、正尾电流源104、负尾电流源105、使能电路106以及启动电路107。驱动器部分101包括正驱动器部分102和负驱动器部分103。正电源电压(例如,VDD_INT)108连接到正尾电流源104。正尾电流源104提供虚拟(virtual)正电源电压(例如,BIASN)110,其从正尾电流源104连接到正驱动器部分102、负尾电流源105以及启动电路107。

[0016] 负电源电压(例如,GNT_INT)109连接到使能电路106。使能电路106使差分放大器(例如,驱动器部分101)根据使能输入(例如,EN1N)116的使能状态来进行操作。使能电路106通过节点117耦合到负尾电流源105。负尾电流源105提供虚拟负电源电压(例如,BIASP)111,其从负尾电流源105耦合到负驱动器部分103、正尾电流源104以及启动电路107。

[0017] 正差分信号输入112被提供给正驱动器部分102和负驱动器部分103。负差分信号输入113被提供给正驱动器部分102和负驱动器部分103。使能信号(例如,ENABLE)115被提供给正驱动器部分102。根据至少一实施例,使能信号(例如,使能)115(或其反信号/互补信号)也可被施加到使能输入(例如,EN1N)116。正驱动器部分102和负驱动器部分103连接到输出114,输出信号被提供给输出114。正电源电压(例如,VDD_INT)108被提供给启动电路107和负驱动器部分103。负电源电压(例如,GND_INT)109被提供给启动电路107和正驱动器部分102。

[0018] 虚拟正电源电压110偏置负尾电流源105。虚拟负电源电压111偏置正尾电流源104。启动电路107补偿由半导体制造工艺引起的缺陷造成的缺陷电流并且确保在向差分放大器供电时差分放大器的可靠操作。

[0019] 根据至少一实施例,互补使能电路能以与使能电路106位于负电源电压109和负尾电流源105之间相似的方式插置在正电源电压108和正尾电流源104之间。正电源电压(例如,VDD_INT)108连接到互补使能电路。互补使能电路使差分放大器(例如,驱动器部分101)根据互补使能输入(例如,EN1P)的互补使能状态来进行操作。互补使能电路通过互补使能电路节点耦合到正尾电流源104。

[0020] 根据至少一实施例,与施加到使能输入(例如,EN1N)116相同的信号(或反信号/互补信号)可被施加到互补使能输入(例如,EN1P)。根据至少一实施例,使能信号(例如,使能)115(或其反信号/互补信号)可被施加到互补使能输入(例如,EN1P)。

[0021] 根据至少一实施例,电源电压系统跨越负电源电压109至正电源电压108。为了确保适当操作,虚拟正电源电压(BIASN)110应比虚拟负电源电压(BIASP)111在电压上更为正,并且实际上,当电路正常运行时,虚拟正电源电压(BIASN)110将接近于正电源电压108,虚拟负电源电压(BIASP)111将接近于负电源电压109。然而,在没有启动电路107的情况下,

理论上有可能虚拟正电源电压 (BIASN) 110 和虚拟负电源电压 (BIASP) 111 可以在极性上相对相反, 因为在这个电路中没有其它的可以有效地确保它们的正确状态。上电时, 正电源电压 108 假定以与负电源电压 109 相同的电势 (例如, 在 0 伏特) 开始。在正电源电压 108 和/或负电源电压 109 开始倾斜变化到其额定电压 (或它们的额定电压) 时, 启动电路 107 中的有源器件 (例如, 启动电路 107 中的 PMOS FET 的栅极) 有效地被开启 (例如, 受 0 伏特 (0V) 初期电势的影响)。这迫使虚拟负电源电压 (BIASP) 111 中的任何电荷被耗散到负电源电压 109。这导致 PMOS 尾电流器件开始将电荷泵浦到虚拟正电源电压 (BIASN) 110 (其以例如标称的 0 伏特 (0V) 开始且现在开始上升)。由于虚拟负电源电压 (BIASN) 111 暂时地被强迫为低以允许虚拟正电源电压 (BIASN) 110 上升, 这种反馈机制确保了适当的上电 (power up), 然后 NMOS 尾电流晶体管介入以在 PMOS 尾电流器件的帮助下将虚拟正电源电压 (BIASN) 110 拉向其预期操作点。随着虚拟正电源电压 (BIASN) 110 上升以及虚拟负电源电压 (BIASP) 下降, 由于启动电路 107 (例如, 启动电路 107 中的 PMOS 启动晶体管) 的栅极电势上升而其源极电势下降, 所以启动电路 107 关闭。

[0022] 可能存在半导体器件缺陷, 其导致电荷有效地注入到虚拟正电源电压 (BIASN) 110 和虚拟负电源电压 (BIASP) 111。启动晶体管 (例如, 启动电路 107 中的 PMOS FET) 的大小被调节以处理可观量的缺陷电流, 从而在上电时, 其可以“克服”例如在虚拟正电源电压 (BIASN) 110 和虚拟负电源电压 (BIASP) 111 上施加的高达 3 微安 (3 μ A) 的缺陷。

[0023] 图 2 是示意图, 示出根据至少一实施例的图 1 的互补自偏置放大器的特定实施例。互补自偏置放大器 100 包括正尾电流源 104、差分放大器 101、负尾电流源 105、使能电路 106 以及启动电路 107。正尾电流源 104 包括正型 (p 型) 沟道金属氧化半导体 (PMOS) 场效应晶体管 (FET) 227。正尾电流源 104 用作由施加给 PMOS FET 227 的栅极的、启动电路 107 适中调节的虚拟负电源电压控制的电流源。

[0024] 差分放大器 101 包括正驱动器部分 102 和负驱动器部分 103。正驱动器部分 102 包括 PMOS FET 219、PMOS FET 220、负型 (n 型) 沟道金属氧化半导体 (NMOS) 场效应晶体管 (FET) 221、NMOS FET 222 以及 NMOS FET 232。负驱动器部分 103 包括 PMOS FET 223、PMOS FET 224、NMOS FET 225 以及 NMOS FET 226。正驱动器部分 102 接收正输入信号 112 以及负输入信号 113, 提供输出 114。负驱动器部分 103 接收正输入信号 112 以及负输入信号 113, 提供输出 114。正驱动器部分 102 以及负驱动器部分 103 是完全互补的 (即, 每个 PMOS FET 与相应的 NMOS FET 以推挽方式操作)。正驱动器部分 102 和负驱动器部分 103 的协同操作的完全互补性质提供了大的输入信号电压范围, 差分放大器甚至在正和负输入信号的大幅波动的电压上正常运行。交叉链接偏置技术改善并且进一步扩展了输入信号电压范围以及输出电压范围。

[0025] 在正驱动器部分 102 中, PMOS FET 219 和 220 分别接收负输入信号 113 和正输入信号 112。NMOS FET 221 和 222 形成配置为电流镜的负载器件, 其在电流从正驱动器部分 102 左侧被引导至正驱动器部分 102 右侧时反射互补电流到相应侧, 以帮助驱动输出 114 或者脱离对驱动输出 114 的帮助。正尾电流源 104 设置流过 PMOS FET 219 和 PMOS FET 220 的最大电流。穿过 PMOS FET 219 和 PMOS FET 220 的电流最受 PMOS FET 219 和 PMOS FET 220 的栅源电压 (V_{gs}) 限制。NMOS FET 232 允许基于使能信号 (使能) 115 选择性使能和禁用正驱动器部分 102。

[0026] 在负驱动器部分 103 中, NMOS FET 225 和 226 分别在其栅极处接收负输入信号 113 和正输入信号 112。NMOS FET 223 和 224 形成配置为电流镜的负载器件, 其在电流从负驱动器部

分103左侧被引导至负驱动器部分103右侧时反射互补电流到相应侧,以帮助驱动输出114或者脱离对驱动输出114的帮助。负尾电流源105设置流过NMOS FET225和NMOS FET226的最大电流。穿过NMOS FET225和NMOS FET226的电流最受NMOS FET225和NMOS FET226的栅源电压(V_{gs})限制。

[0027] 负尾电流源105包括NMOS FET228和NMOS FET229。使能电路106包括NMOS FET230和NMOS FET231。启动电路107包括PMOS FET233。负尾电流源105用作由施加给NMOS FET228和229的栅极的、由启动电路107适中调节的虚拟正电源电压控制的电流源。NMOS FET228和229被配置为并行操作,流过NMOS FET228和229且因此流过负驱动器部分103的电流通过给NMOS FET230和231的栅极端子施加使能信号(EN1N)116而被有选择地使能和禁用。NMOS FET230使能和禁用流过NMOS FET228的电流,NMOS FET231使能和禁用流过NMOS FET229的电流。根据至少一实施例,单独的左使能信号(EN1N)被施加给NMOS FET230的栅极端子,单独的右使能信号(EN1N)被施加给NMOS FET231的栅极端子,以提供分别流过NMOS FET228和229的可选择电流量。因此,负尾电流源105可实现为可编程负尾电流源。

[0028] 正电源电压(例如, V_{DD_INT})108耦合到PMOS FET227的源极端子和体端子。PMOS FET227的漏极端子耦合到虚拟正电源电压节点(例如,BIASN)110。PMOS FET227的栅极端子耦合到虚拟负电源电压节点(例如,BIASP)111。

[0029] 根据至少一实施例,正尾电流源104可用与负尾电流源105互补的晶体管配置实现。此外,正尾电流源104可实现为可编程正尾电流源,例如,施加单独的互补左使能信号(EN1PL)给互补左使能PMOSFET的栅极端子并且施加单独的互补右使能信号(EN1PR)给互补右使能PMOS FET的栅极端子以提供分别流过耦合到互补左使能PMOS FET的互补左偏置交叉耦合PMOS FET和耦合到互补右使能PMOS FET的互补右偏置交叉耦合PMOS FET的选择量的电流。

[0030] 虚拟正电源电压节点110也耦合到PMOS FET219的源极端子和体端子、PMOS FET220的源极端子和体端子、PMOS FET233的栅极端子、NMOS FET228的栅极端子以及NMOS FET229的栅极端子。负信号输入113耦合到PMOS FET219的栅极端子。正信号输入112耦合到PMOS FET220的栅极端子。PMOS FET219的漏极端子耦合到节点234,其耦合到NMOS FET221的漏极端子、NMOS FET221的栅极端子以及NMOS FET222的栅极端子。PMOS FET220的漏极端子耦合到NMOS FET222的漏极端子和输出端子114。NMOS FET221的体端子和NMOS FET222的体端子耦合到负电源电压109。NMOS FET221的源极端子和NMOS FET222的源极端子耦合到节点235,其耦合到NMOS FET232的漏极端子。使能输入115耦合到NMOS FET232的栅极端子。NMOS FET232的源极端子和体端子耦合到负电源电压109。

[0031] 正电源电压108耦合到PMOS FET223的源极端子和体端子以及PMOS FET224的源极端子和体端子。PMOS FET223的栅极端子和漏极端子耦合到节点236,节点236耦合到PMOS FET224的栅极端子和NMOS FET225的漏极端子。PMOS FET224的漏极端子耦合到NMOS FET226的漏极端子和输出端子114。负信号输入113耦合到NMOS FET225的栅极端子。正信号输入112耦合到PMOS FET226的栅极端子。NMOS FET225的源极端子和栅极端子以及NMOS FET226的源极端子和栅极端子耦合到虚拟负电源电压节点111,该节点耦合到NMOS FET228的漏极端子、NMOS FET229的漏极端子、PMOS FET233的源极端子以及PMOS FET227的栅极端子。

[0032] NMOS FET228的源极端子耦合到NMOS FET230的漏极端子。NMOS FET229的源极端子耦合到NMOS FET231的漏极端子。使能输入(例如,EN1N)耦合到NMOS FET230的栅极端子以及NMOS FET231的栅极端子。NMOS FET230的源极端子和体端子以及NMOS FET231的源极端子和体端子耦合到负电源电压109。

[0033] 当启动电路107示为包括PMOS FET233时,应了解,根据至少一实施例,启动电路107可包括NMOS FET。作为一个例子,包括NMOS FET的启动电路在修改的电路配置中可以是有益的,在该电路配置中电源电压108以比电源电压109更为负的电压操作。例如,启动电路107的NMOS FET的源极端子可耦合到电源电压108的较负变体,以便当较负的电源电压108掉电时,启动电路107的NMOS FET注入电荷。

[0034] 图3是根据至少一实施例的使用互补自偏置放大器的系统的框图。该系统包括自偏置互补差分放大器100、接收器向下电平移位器337、输出多路复用器338、内/外参考电压选择器339、接收器模式选择器340、终止选择器341、接收器/偏置使能电路342以及备用逻辑器件343。正信号输入112和负信号输入113耦合到自偏置互补差分放大器100以及接收器模式选择器340。来自接收器/偏置使能电路342的使能信号115耦合到自偏置互补差分放大器100以及接收器向下电平移位器337。来自自偏置互补差分放大器100的输出114耦合到接收器向下电平移位器337。来自接收器向下电平移位器337的输出344耦合到输出多路复用器338。输出多路复用器338提供输出345。

[0035] 参考电压选择信号346耦合到内/外参考电压选择器339。内/外参考电压选择器339向接收器模式选择器340提供输出347。输入348耦合到接收器模式选择器340。输入349耦合到终止选择器341。终止选择器341耦合到节点350,该节点耦合到接收器/偏置使能电路342。输入351耦合到接收器/偏置使能电路342。输入352、353以及354耦合到备用逻辑器件343并且可用于提供来自备用逻辑器件343的输出356。输入355耦合到备用逻辑器件343并且可用于提供来自备用逻辑器件343的输出357。

[0036] 图4和图5是框图,示出根据至少一实施例的方法。该方法从步骤401开始。步骤401包括提供位于NMOS尾电流晶体管和负电源电压之间的使能电路。从步骤401,所述方法继续到步骤402。步骤402包括提供耦合到虚拟正电源电压和虚拟负电源电压以提供缺陷电流容限的启动电路。从步骤402,所述方法继续到步骤403。根据至少一实施例,提供这样的启动电路可包括提供执行下列步骤的启动电路:上电时,正电源电压108和/或负电源电压109开始倾斜变化到其额定电压(或他们的额定电压)。由于正电源电压108假定为以与负电源电压109相同的电势开始(例如,在0伏特(0V)),所以启动电路107中的有源器件(例如,启动电路107中的PMOS FET的栅极)被有效地开启(例如,受0伏特(0V)初始电势的影响)。因此,发生虚拟负电源电压(BIASP)111中的任何电荷向负电源电压109的耗散。于是,PMOS尾电流器件开始将电荷泵浦到虚拟正电源电压(BIASN)110中(该电压例如以标称的0伏特(0V)开始且现在开始上升)。虚拟负电源电压(BIASN)111暂时被迫为低,以允许虚拟正电源电压(BIASN)110上升,然后NMOS尾电流晶体管介入以在PMOS尾电流器件的帮助下将虚拟正电源电压(BIASN)110拉向其目标操作点。随着虚拟正电源电压(BIASN)110上升以及虚拟负电源电压(BIASP)下降,由于启动电路107(例如,启动电路107中的PMOS启动晶体管)的栅极电势上升而其源极电势下降,所以启动电路107关闭。为了容许可观量的缺陷电流,启动晶体管(例如,启动电路107中的PMOS FET)的大小被调节为通过充足的电流,从而在上电时可以

“克服”例如在虚拟正电源电压 (BIASN) 110 和虚拟负电源电压 (BIASP) 111 上施加的高达 3 微安 (3 μ A) 的缺陷。步骤 403 包括耦合虚拟正电源电压到金属氧化物半导体 (MOS) 晶体管的第一端子。根据至少一实施例, 步骤 403 还包括步骤 404。步骤 404 包括耦合虚拟正电源电压到 MOS 晶体管的栅极。从步骤 403, 所述方法继续到步骤 405。步骤 405 包括耦合虚拟负电源电压到 MOS 晶体管的第二端子。根据至少一实施例, 步骤 405 还包括步骤 406。步骤 406 包括耦合虚拟负电源电压到 MOS 晶体管的源极。从步骤 405, 所述方法继续到步骤 407。步骤 407 包括耦合正电源电压到 MOS 晶体管的第三端子。根据至少一实施例, 步骤 407 还包括步骤 408。步骤 408 包括耦合正电源电压到 MOS 晶体管的体。

[0037] 从步骤 407, 所述方法继续到步骤 409。步骤 409 包括耦合负电源电压到 MOS 晶体管的第四端子。根据至少一实施例, 步骤 409 还包括步骤 410。步骤 410 包括耦合负电源电压到 MOS 晶体管的漏极。从步骤 409, 所述方法继续到步骤 411。步骤 411 包括约束 NMOS 差分对虚拟负电源电压和 PMOS 差分对虚拟负电源电压之间的电压关系。从步骤 411, 所述方法继续到步骤 412。步骤 412 包括通过 NMOS 差分对虚拟负电源电压调制 PMOS 尾电流晶体管。从步骤 412, 所述方法继续到步骤 413。步骤 413 包括通过 PMOS 差分对虚拟正电源电压调制 NMOS 尾电流晶体管。

[0038] 图 6 是框图, 示出根据至少一实施例的方法。所述方法从步骤 501 开始。步骤 501 包括引用正尾电流源到与负尾电流源相关联的虚拟负电源轨电压。根据至少一实施例, 步骤 501 还包括步骤 502。步骤 502 包括耦合虚拟负电源轨电压到正尾电流源 PMOS 晶体管的栅极, 其中正尾电流源 PMOS 晶体管的漏极耦合到虚拟正电源轨电压。从步骤 501, 所述方法继续到步骤 503。步骤 503 包括引用负尾电流源到与正尾电流源相关联的虚拟正电源轨电压。根据至少一实施例, 步骤 503 包括步骤 504。步骤 504 包括耦合虚拟正电源轨电压到负尾电流源 NMOS 晶体管的栅极, 其中负尾电流源 NMOS 晶体管的漏极耦合到虚拟负电源轨电压。

[0039] 从步骤 503, 所述方法继续到步骤 505。步骤 505 包括耦合正尾电流源 PMOS 晶体管的源极到正电源轨电压。从步骤 505, 所述方法继续到步骤 506。步骤 506 包括耦合负尾电流源 NMOS 晶体管的源极到负电源轨电压。从步骤 506, 所述方法继续到步骤 507。步骤 507 包括省略自偏置堆叠。根据至少一实施例, 省略晶体管的用于向差分放大器的多个部分提供唯一的偏置电压的自偏置堆叠对于改善输出摆幅而言可以是有用的 (例如, 允许输出在更大范围的电压上改变, 即使对于以低电源电压操作的差分放大器 (即, 正电源电压和负电源电压之间的小差异))。根据至少一实施例, 省略晶体管的这种自偏置堆叠对于改善差分放大器的速度 (例如, 转换速度/响应时间/开关时间) 而言也可以是有用的。从步骤 507, 所述方法继续到步骤 508。步骤 508 包括通过如下步骤来提高缺陷电流容限: 耦合 FET 的第一端子 (选自包括 FET 的源极、漏极、栅极和体的组) 到虚拟正电源电压, 耦合 FET 的第二端子 (选自包括 FET 的源极、漏极、栅极和体的组) 到虚拟负电源电压, 耦合 FET 的第三端子 (选自包括 FET 的源极、漏极、栅极和体的组) 到正电源电压, 耦合 FET 的第四端子 (选自包括 FET 的源极、漏极、栅极和体 (body) 的组) 到负电源电压。该第一端子、第二端子、第三端子和第四端子是互相排斥的 (例如, 如果第一端子是 FET 的栅极端子, 则 FET 的第二端子、第三端子和第四端子都不是 FET 的栅极端子, 且例如, 如果第二端子是 FET 的源极端子, 则 FET 的第一端子、第三端子和第四端子都不是源极端子, 且此外, 作为另一个例子, 如果 FET 的第三端子是 FET 的体端子, 则 FET 的第一端子、第二端子和第四端子都不是体端子, 此外, 作为另一个例子, 如果第

四端子是FET的漏极端子,则FET的第一端子、第二端子和第三端子都不是漏极端子)。换句话说,第一端子、第二端子、第三端子和第四端子每个都是FET的源极端子、漏极端子、栅极端子和体端子中唯独的一个端子,但是根据不同实施例,第一端子、第二端子、第三端子和第四端子与FET的源极端子、漏极端子、栅极端子和体端子的关系可能因实施例而不同。

[0040] 虽然至少一个实施例被示出且描述为接收差分输入信号,但是应了解,至少一个实施例可用作单端型(即,非差分)接收器,至少一个实施例可用作电平移位器。作为一个例子,接收差分输入信号的实施例可通过将两个差分输入中的一个固定在固定电压,省略差分输入级的一侧,和/或抵消节点电压而修改为提供适于用作单端型接收器和/或电平移位器的至少一个实施例。

[0041] 根据至少一实施例,提供一种改善差分接收器的方法。根据至少一实施例,所述方法包括:通过负金属氧化物半导体(NMOS)差分对虚拟负电源电压调制正金属氧化物半导体(PMOS)尾电流晶体管,通过PMOS差分对虚拟正电源电压调制NMOS尾电流晶体管。根据至少一实施例,PMOS尾电流晶体管位于正电源电压和虚拟正电源电压之间,NMOS尾电流晶体管位于虚拟负电源电压和负电源电压之间。

[0042] 根据至少一实施例,所述方法还包括提供位于NMOS尾电流晶体管和负电源电压之间的使能电路。根据至少一实施例,所述方法还包括提供耦合到虚拟正电源电压和虚拟负电源电压的启动电路以提供缺陷电流容限。

[0043] 根据至少一实施例,所述方法还包括耦合所述虚拟正电源电压到金属氧化半导体(MOS)晶体管的第一端子;耦合所述虚拟负电源电压到所述MOS晶体管的第二端子;耦合正电源电压到所述MOS晶体管的第三端子;以及耦合负电源电压到所述MOS晶体管的第四端子。根据至少一实施例,耦合所述虚拟正电源电压到所述MOS晶体管的所述第一端子还包括耦合所述虚拟正电源电压到所述MOS晶体管的栅极,耦合所述虚拟负电源电压到所述MOS晶体管的所述第二端子还包括耦合所述虚拟负电源电压到所述MOS晶体管的源极,耦合所述正电源电压到所述MOS晶体管的所述第三端子还包括耦合所述正电源电压到所述MOS晶体管的体,耦合所述负电源电压到所述MOS晶体管的所述第四端子还包括耦合所述负电源电压到所述MOS晶体管的漏极。

[0044] 根据至少一实施例,提供耦合到虚拟正电源电压和虚拟负电源电压的启动电路以提供缺陷电流容限还包括耦合虚拟正电源电压到金属氧化物半导体(MOS)晶体管的第一端子。根据至少一实施例,提供耦合到虚拟正电源电压和虚拟负电源电压的启动电路以提供缺陷电流容限还包括耦合虚拟负电源电压到MOS晶体管的第二端子。根据至少一实施例,提供耦合到虚拟正电源电压和虚拟负电源电压的启动电路以提供缺陷电流容限还包括耦合正电源电压到MOS晶体管的第三端子。根据至少一实施例,提供耦合到虚拟正电源电压以及虚拟负电源电压的启动电路以提供缺陷电流容限还包括耦合负电源电压到MOS晶体管的第四端子。根据至少一实施例,耦合虚拟正电源电压到MOS晶体管的第一端子还包括耦合虚拟正电源电压到MOS晶体管的栅极。根据至少一实施例,耦合虚拟负电源电压到MOS晶体管的第二端子还包括耦合虚拟负电源电压到MOS晶体管的源极。根据至少一实施例,耦合正电源电压到MOS晶体管的第三端子还包括耦合正电源电压到MOS晶体管的体。根据至少一实施例,耦合负电源电压到MOS晶体管的第四端子还包括耦合负电源电压到MOS晶体管的漏极。根据至少一实施例,至少一部分上述步骤确保了正确的启动操作。根据至少一实施例,至少

一部分上述步骤提供了缺陷电流容限。

[0045] 至少一实施例提供一种针对正尾电流源和负尾电流源中的一个或两者“编程”尾电流源量的能力。通过为尾电流源提供单独的使能输入(其中单独的使能信号分别地耦合到单独的晶体管,每个晶体管实现由尾电流源给出或吸入的尾电流总量的相应部分的流动),尾电流的量可基于应用需要而被选择以便对其进行“编程”。因此,至少一个实施例提供至少一种可编程的尾电流源。至少一个实施例包括在第一使能输入处接收第一使能信号,所述第一使能输入耦合到第一尾电流源使能晶体管,其中所述第一尾电流源使能晶体管实现尾电流总量的第一部分的流动,以及在第二使能输入处接收第二使能信号,所述第二使能输入耦合到第二尾电流源使能晶体管,其中所述第二尾电流源使能晶体管实现尾电流总量的第二部分的流动。所述第一尾电流源使能晶体管连接到一元件,该元件选自包括第一导电型的尾电流晶体管和第二导电型的尾电流晶体管的组。第一尾电流源使能晶体管和第二尾电流源使能晶体管可例如分别实现为使能电路106的NMOS FET230和NMOS FET231,和/或实现为例如设置在正电源电压(例如,VDD_INT)108和正尾电流源104之间的这种使能电路的互补变体。

[0046] 根据至少一实施例,提供一种改善完全差分互补布局(topology)的方法。根据至少一实施例,所述方法包括引用正尾电流源到与负尾电流源相关联的虚拟负电源轨电压以及引用所述负尾电流源到与所述正尾电流源相关联的虚拟正电源轨电压。根据至少一实施例,引用正尾电流源到与负尾电流源相关联的虚拟负电源轨电压还包括耦合所述虚拟负电源轨电压到正尾电流源的正金属氧化物半导体(PMOS)晶体管的栅极,其中正尾电流源PMOS晶体管的漏极耦合到所述虚拟正电源轨电压,引用负尾电流源到与正尾电流源相关联的虚拟正电源轨电压还包括耦合虚拟正电源轨电压到负尾电流源的负金属氧化物半导体(NMOS)晶体管的栅极,其中负尾电流源NMOS晶体管的漏极耦合到虚拟负电源轨电压。根据至少一实施例,正尾电流源PMOS晶体管的源极耦合到正电源轨电压。根据至少一实施例,负尾电流源NMOS晶体管的源极耦合到负电源轨电压。

[0047] 根据至少一实施例,所述方法还包括省略自偏置晶体管堆叠以改善输出摆幅和速度。根据至少一实施例,所述方法还包括通过以下步骤来增大缺陷电流容限:耦合选自包括场效应晶体管(FET)的源极、漏极、栅极和体的组的第一端子到虚拟正电源电压,耦合选自包括FET的源极、漏极、栅极和体的组的第二端子到虚拟负电源电压,耦合选自包括FET的源极、漏极、栅极和体的组的第三端子到正电源电压,耦合选自包括FET的源极、漏极、栅极和体(body)的组的第四端子到负电源电压。

[0048] 根据至少一实施例,提供一种自偏置接收器。根据至少一实施例,正电源电压耦合到正尾电流源,所述正尾电流源提供虚拟正电源电压;负电源电压耦合到负尾电流源,所述负尾电流源提供虚拟负电源电压;差分放大器包括耦合到虚拟正电源电压的正驱动器部分以及耦合到虚拟负电源电压的负驱动器部分。虚拟正电源电压控制负尾电流源,虚拟负电源电压控制正尾电流源。

[0049] 根据至少一实施例,正尾电流源包括正金属氧化物半导体(PMOS)晶体管,其中PMOS晶体管的栅极耦合到虚拟负电源电压,其中PMOS晶体管的源极耦合到正电源电压,并且其中PMOS晶体管的漏极耦合到虚拟正电源电压。根据至少一实施例,负尾电流源包括负金属氧化物半导体(NMOS)晶体管,其中NMOS晶体管的栅极耦合到虚拟正电源电压,其中

NMOS晶体管的源极耦合到负电源电压,并且其中NMOS晶体管的漏极耦合到虚拟负电源电压。

[0050] 根据至少一实施例,自偏置接收器还包括使能电路,其中使能电路选择性耦合NMOS晶体管的源极到负电源电压。根据至少一实施例,自偏置接收器包括启动电路,该启动电路耦合到虚拟正电源电压和虚拟负电源电压。根据至少一实施例,启动电路还包括金属氧化物半导体(MOS)晶体管,其中MOS晶体管的第一端子耦合到虚拟正电源电压,其中MOS晶体管的第二端子耦合到虚拟负电源电压,其中MOS晶体管的第三端子耦合到负电源电压,并且其中MOS晶体管的第四端子耦合到正电源电压。根据至少一实施例,MOS晶体管还包括第二PMOS晶体管,其中第二PMOS晶体管的栅极耦合到虚拟正电源电压,其中第二PMOS晶体管的源极耦合到虚拟负电源电压,其中第二PMOS晶体管的漏极耦合到负电源电压,并且其中第二PMOS晶体管的体耦合到正电源电压。根据至少一实施例,启动电路提供至少3微安的缺陷电流容限。

[0051] 根据至少一实施例,这里描述的各种FET示为它们的体端子耦合到各种电势(即,电压)。一些体被绑定到电源,而另一些被绑定到源极。应了解,体端子可以基于性能/功率/面积/等考虑因素而连接到各种电势(例如,电源或源极的电势)。此外,在某些情况下,FET的体端子可以连接到其它FET端子(例如,栅极端子或漏极端子)。

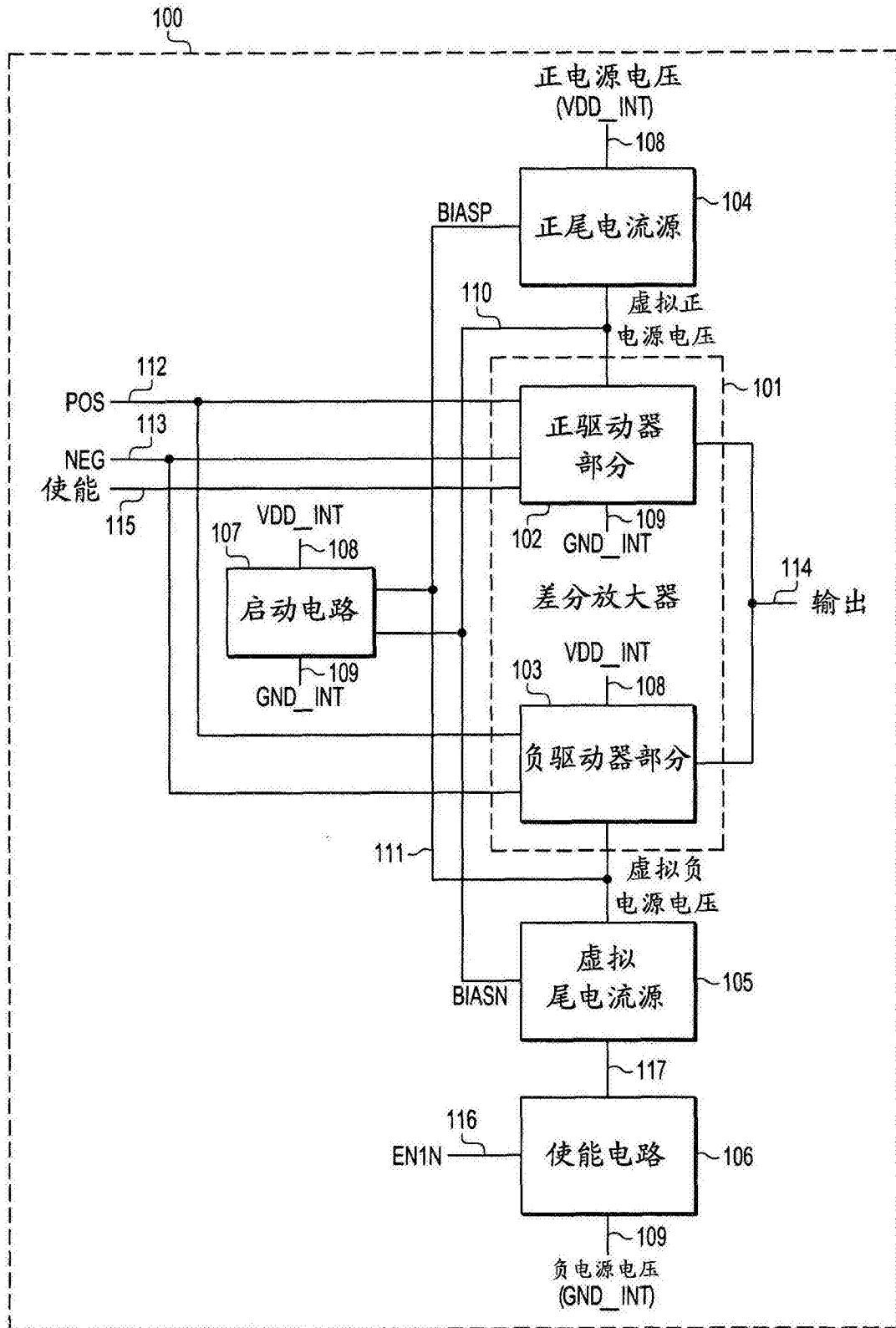


图1

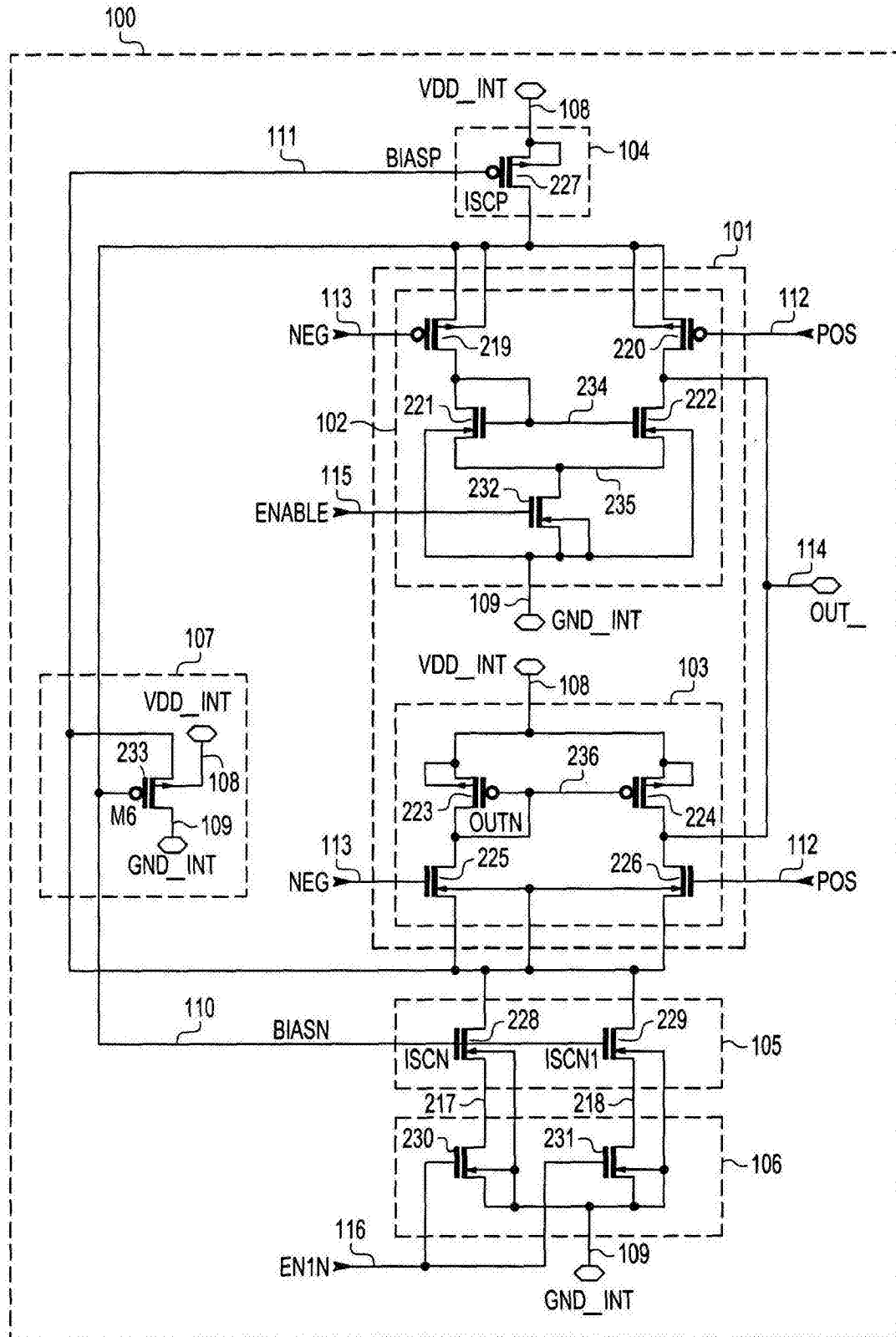


图2

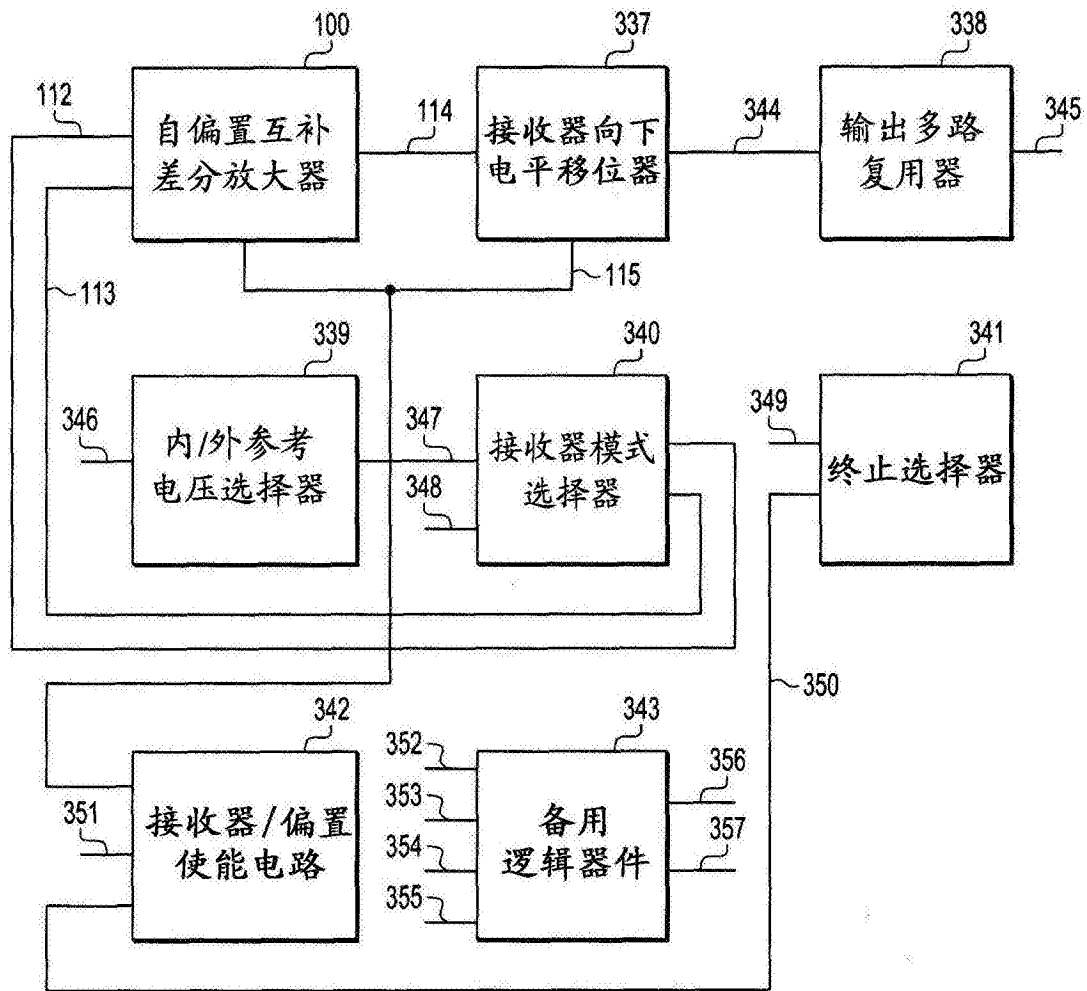


图3

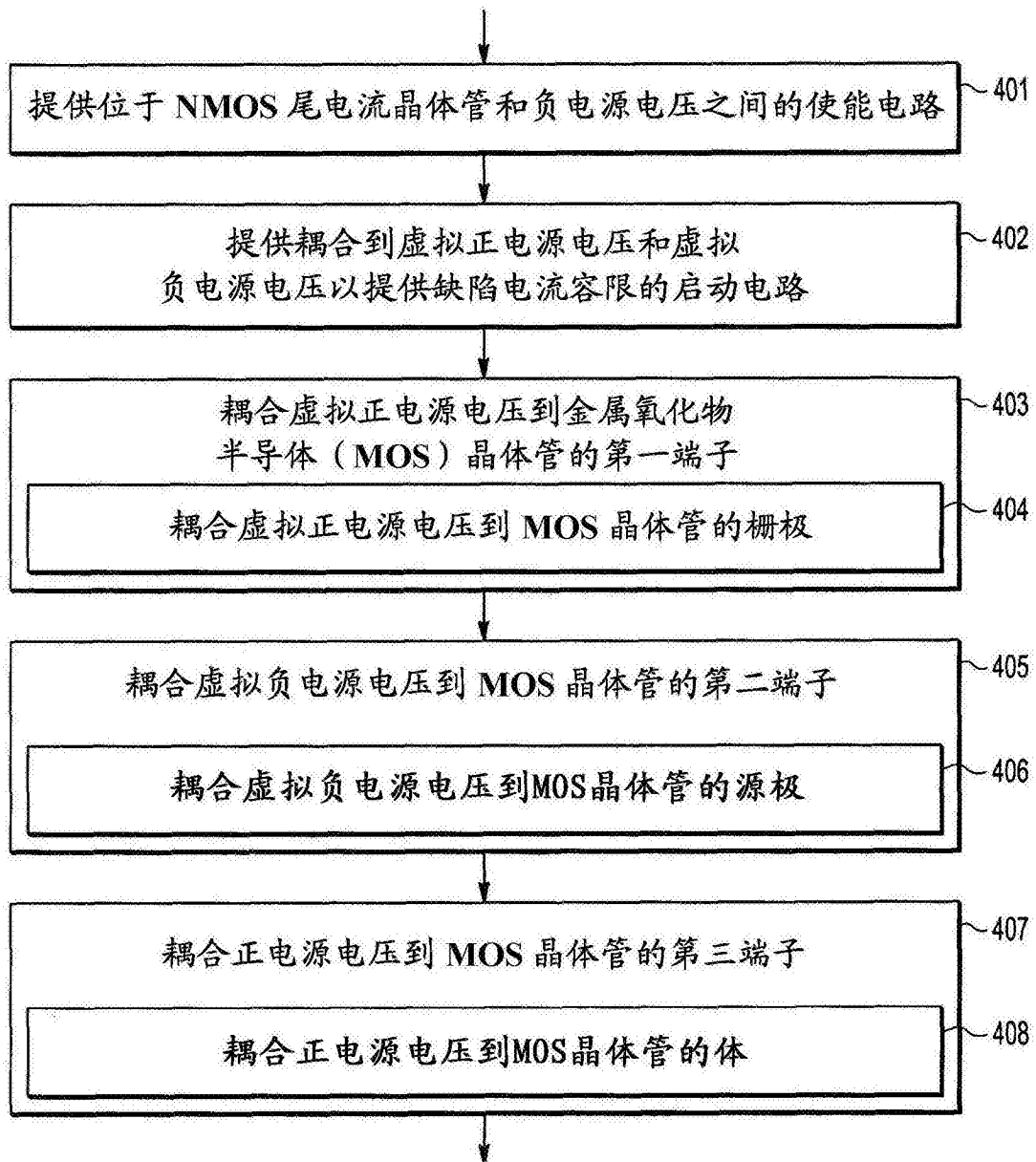


图4

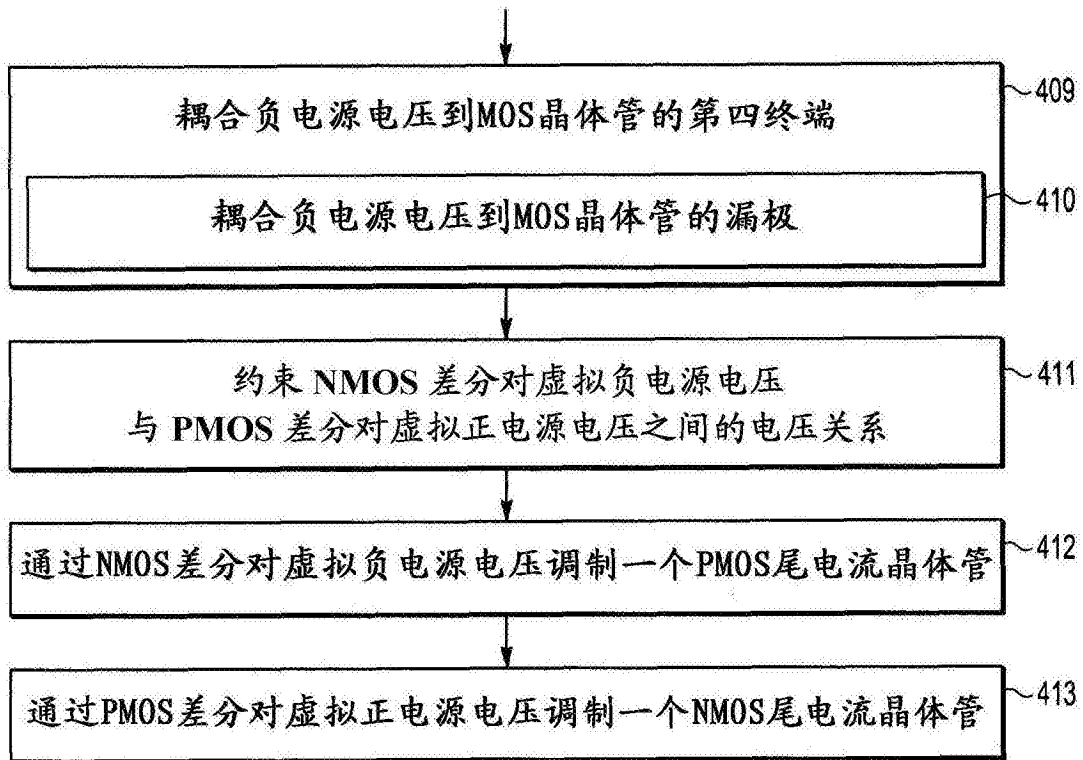


图5



图6