

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 3 区分
【発行日】 令和 5 年 9 月 20 日 (2023.9.20)

【公開番号】 特開 2021-69112 (P2021-69112A)
【公開日】 令和 3 年 4 月 30 日 (2021.4.30)
【年通号数】 公開・登録公報 2021-020
【出願番号】 特願 2020-169542 (P2020-169542)
【国際特許分類】

H 0 4 N 25/78 (2023.01)

H 0 3 K 23/00 (2006.01)

【F I】

H 0 4 N 5/378

H 0 3 K 23/00 B

【手続補正書】

【提出日】 令和 5 年 9 月 11 日 (2023.9.11)

【手続補正 1】

【補正対象書類名】 特許請求の範囲

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入射光を感知してアナログ形態のサンプリング信号を出力するピクセルセンサと、
前記サンプリング信号とランプ信号を比較して時間軸の長さの情報である比較信号を出力するサンプリング部と、

クロック信号、第 1 の補数制御信号、及び第 2 の補数制御信号に応答して前記比較信号の長さをカウントするカウンタと、を備え、

前記カウンタは、

前記比較信号と前記クロック信号を論理積する第 1 のアンド (AND) ゲートと、

前記第 1 のアンドゲートの出力の立ち下がりエッジによりトリガーされ、第 1 のカウント値を出力する第 1 のカウンティングユニットを含み、

前記第 1 のカウンティングユニットは、

前記第 1 の補数制御信号に応答して反転された前記第 1 のカウント値を格納し、前記第 2 の補数制御信号に応答して反転された前記第 1 のカウント値を出力する第 1 の補数演算コントローラと、

前記第 1 の補数演算コントローラから出力・反転された前記第 1 のカウント値に基づいてセット又はリセットされ、前記第 1 のカウント値を出力する第 1 の D フリップフロップと、を含む、イメージセンサ。

【請求項 2】

前記第 1 の補数演算コントローラは、

反転された前記第 1 のカウント値を前記第 1 の補数制御信号に応答して格納する D ラッチと、

前記第 2 の補数制御信号に応答して前記 D ラッチに格納・反転された前記第 1 のカウント値を前記第 1 の D フリップフロップに伝達する論理ゲートと、を含む、請求項 1 に記載のイメージセンサ。

【請求項 3】

前記論理ゲートは、

前記 D ラッチの非反転出力信号と前記第 2 の補数制御信号を論理積して、前記第 1 の D

10

20

30

40

50

フリップフロップのセット入力端に伝達する第 2 のアンドゲートと、

前記 D ラッチの反転出力信号と前記第 2 の補数制御信号を論理積して、前記第 1 の D フリップフロップのリセット入力端に伝達する第 3 のアンドゲートと、を含む、請求項 2 に記載のイメージセンサ。

【請求項 4】

前記第 1 の D フリップフロップのデータ入力端には、前記第 1 の D フリップフロップの反転出力信号がフィードバックされて入力される、請求項 3 に記載のイメージセンサ。

【請求項 5】

前記 D ラッチは、前記第 1 の補数制御信号の立ち下がりエッジに同期して反転された前記第 1 のカウント値を格納する、請求項 2 乃至 4 のいずれか一項に記載のイメージセンサ。

10

【請求項 6】

前記カウンタは、前記第 1 のカウント値の立ち下がりエッジによりトリガーされて、前記第 1 のカウント値の上位ビットである第 2 のカウント値を出力する第 2 のカウンティングユニットと、をさらに含み、

前記第 2 のカウンティングユニットは、

前記第 1 の補数制御信号に応答して反転された前記第 2 のカウント値を格納し、前記第 2 の補数制御信号に応答して反転された前記第 2 のカウント値を出力する第 2 の補数演算コントローラと、

前記第 2 の補数演算コントローラから出力・反転された前記第 2 のカウント値に基づいてセット又はリセットされ、前記第 1 のカウント値の立ち下がりエッジにより前記第 2 のカウント値を出力する第 2 の D フリップフロップと、を含む、請求項 1 に記載のイメージセンサ。

20

【請求項 7】

前記第 1 のカウンティングユニットは、分周制御信号に応答して反転された前記第 1 のカウント値、及び反転された前記第 2 のカウント値のいずれか 1 つを選択して、前記第 1 の補数演算コントローラに伝達する第 1 のマルチプレクサをさらに含む、請求項 6 に記載のイメージセンサ。

【請求項 8】

前記分周制御信号及び前記第 1 及び第 2 の補数制御信号が活性化されると、前記第 1 のカウンティングユニットは、反転された前記第 2 のカウント値を格納して出力する、請求項 7 に記載のイメージセンサ。

30

【請求項 9】

入力信号のハイ区間又はロー区間をクロック信号を使用してカウントするカウンタ回路であって、

前記入力信号と前記クロック信号とを論理積する第 1 のアンド（AND）ゲートと、

前記第 1 のアンド（AND）ゲートの出力にトリガーされ、前記入力信号の長さをカウントするリップルカウンタと、を備え、

前記リップルカウンタは、前記入力信号の長さをカウントアップ又はカウントダウンするための複数のカウンティングユニットを含み、

40

前記複数のカウンティングユニットの各々は、

第 1 の補数制御信号に応答して反転されたカウンティングビットを格納する D ラッチと、

第 2 の補数制御信号に応答して前記 D ラッチに格納されて前記反転されたカウンティングビットによってセット又はリセットされる D フリップフロップと、を含む、カウンタ回路。

【請求項 10】

前記複数のカウンティングユニットの各々は、

前記 D ラッチの非反転出力を前記第 2 の補数制御信号に同期して前記 D フリップフロップのセット入力端に伝達する第 2 のアンドゲートと、

50

前記 D ラッチの反転出力信号を前記第 2 の補数制御信号に同期して前記 D フリップフロップのリセット入力端に伝達する第 3 のアンドゲートと、をさらに含む、請求項 9 に記載のカウンター回路。

【請求項 11】

前記リップルカウンタは、前記第 1 のアンド (AND) ゲートの出力の立ち下がりエッジに同期して最下位のカウンタ値をトグルする第 1 のカウンティングユニットと、前記第 1 のカウンティングユニットの出力の立ち下がりエッジによりトリガーされる第 2 のカウンティングユニットと、を含む、請求項 10 に記載のカウンター回路。

【請求項 12】

前記第 1 のカウンティングユニットの反転出力端は、前記第 1 のカウンティングユニットのデータ入力端に連結される、請求項 11 に記載のカウンター回路。

【請求項 13】

前記リップルカウンタの現在のカウンティングビットの補数を生成するために前記第 1 の補数制御信号、及び前記第 2 の補数制御信号が順次にハイレベルに遷移する、請求項 9 乃至 12 のいずれか一項に記載のカウンター回路。

【請求項 14】

入力信号のハイ区間又はロー区間をクロック信号を使用してカウントするカウンタ回路であって、

前記入力信号と前記クロック信号を論理積の演算で処理する第 1 のアンド (AND) ゲートと、

前記第 1 のアンド (AND) ゲートの出力にトリガーされ、前記入力信号の長さをカウントするための第 1 のカウンティングユニット及び第 2 のカウンティングユニットを有するリップルカウンタと、を備え、

分周制御信号が活性化されると、第 1 のカウンティングビットをトグルする前記第 1 のカウンティングユニットは、前記第 1 のカウンティングビットより上位ビットである第 2 のカウンティングビットをトグルする前記第 2 のカウンティングユニットから反転された前記第 2 のカウンティングビットをラッチして出力する、カウンタ回路。

【請求項 15】

前記第 1 のカウンティングユニットは、

前記分周制御信号に応じて、前記第 1 のカウンティングビットの反転バージョンである反転された第 1 のカウンティングビット及び反転された前記第 2 のカウンティングビットのいずれか 1 つを選択するマルチプレクサと、

前記マルチプレクサの出力を第 1 の補数制御信号に応答してラッチし、ラッチされた前記マルチプレクサの出力を第 2 の補数制御信号に応答して出力する補数演算コントローラと、

前記補数演算コントローラに格納された前記マルチプレクサの出力に応じてセット又はリセットされる D フリップフロップと、を含む、請求項 14 に記載のカウンタ回路。

【請求項 16】

前記マルチプレクサは、前記分周制御信号が活性化されると、反転された前記第 2 のカウンティングビットを選択して前記補数演算コントローラに提供する、請求項 15 に記載のカウンタ回路。

【請求項 17】

前記補数演算コントローラは、

前記第 1 の補数制御信号に応答して、前記マルチプレクサの出力を格納する D ラッチと、

前記 D ラッチの非反転出力を前記第 2 の補数制御信号に同期して前記 D フリップフロップのセット入力端に伝達する第 2 のアンドゲートと、

前記 D ラッチの反転出力信号を前記第 2 の補数制御信号に同期して前記 D フリップフロップのリセット入力端に伝達する第 3 のアンドゲートと、をさらに含む、請求項 16 に記載のカウンタ回路。

10

20

30

40

50

【請求項 18】

前記 D フリップフロップの反転出力信号は、前記マルチプレクサの反転された前記第 1 のカウンティングビットにフィードバックされる、請求項 17 に記載のカウンター回路。

【請求項 19】

前記分周制御信号が活性化された状態で、前記第 1 の補数制御信号及び前記第 2 の補数制御信号が順次活性化されると、前記入力信号に対応するカウント値に対する補数演算及び分周演算が連続的に遂行される、請求項 17 に記載のカウンター回路。

10

20

30

40

50