



등록특허 10-2069385



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월22일
(11) 등록번호 10-2069385
(24) 등록일자 2020년01월16일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2012-0060780
- (22) 출원일자 2012년06월07일
심사청구일자 2017년05월12일
- (65) 공개번호 10-2012-0137462
- (43) 공개일자 2012년12월21일
- (30) 우선권주장
JP-P-2011-129976 2011년06월10일 일본(JP)
- (56) 선행기술조사문헌
JP2003050405 A*
(뒷면에 계속)

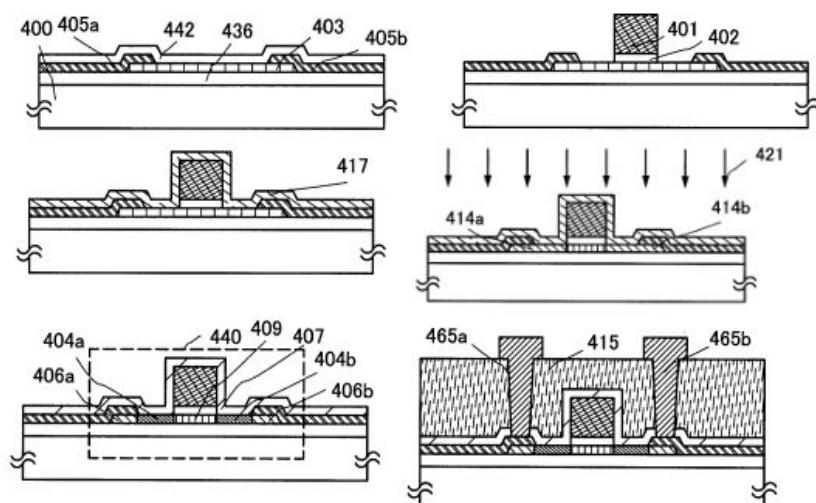
전체 청구항 수 : 총 8 항

심사관 : 최혜미

(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

본 발명은 우수한 온 특성을 갖는 산화물 반도체가 사용된 트랜지스터를 제공한다. 또한, 고속 응답 및 고속 구동이 가능한 상기 트랜지스터를 갖는 고성능의 반도체 장치를 제공한다. 상기 트랜지스터는 채널 형성 영역과, 금속 원소와 도편트가 함유된 저저항 영역들을 포함한 산화물 반도체막을 갖는다. 상기 채널 형성 영역은 상기 채널 길이 방향으로 상기 저저항 영역들 사이에 위치한다. 상기 트랜지스터의 제작 공정에서, 상기 금속 원소는 상기 산화물 반도체막이 상기 금속 원소를 함유한 막과 접촉한 상태에서 수행되는 열처리에 의해 도입되고, 상기 도편트는 주입법에 의해 상기 금속 원소를 함유한 막을 통과하여 도입됨으로써, 금속 원소와 도편트가 함유된 상기 저저항 영역들이 형성된다.

대 표 도

(72) 발명자

사또 유이찌

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자끼 슌뻬이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문현

JP2009124117 A*

JP2010272663 A*

KR1020080094483 A*

KR1020090057689 A*

KR1020090119666 A*

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

반도체 장치로서,

제1 영역, 제2 영역 및 제3 영역을 포함하는 산화물 반도체층;

상기 산화물 반도체층 위의 게이트 전극층;

상기 게이트 전극층의 측면 위의 측벽 절연체; 및

상기 산화물 반도체층, 상기 게이트 전극층 및 상기 측벽 절연체 위의 질화층

을 포함하고,

상기 질화층은 금속 원소를 포함하고,

상기 질화층은 절연막이고,

상기 제2 영역은 상기 제1 영역과 상기 제3 영역 사이에 있고,

상기 제1 영역은 채널 형성 영역을 포함하고,

상기 채널 형성 영역 및 상기 게이트 전극층은 서로 중첩하고,

상기 측벽 절연체 및 상기 제2 영역은 서로 중첩하고,

상기 제2 영역의 저항은 상기 제1 영역의 저항보다 낮고,

상기 제3 영역의 저항은 상기 제2 영역의 상기 저항보다 낮고,

상기 제3 영역은 상기 질화층과 접촉하고,

상기 제3 영역은 상기 금속 원소 및 도편트를 함유하고,

상기 제3 영역 내 상기 금속 원소의 농도는 상기 제2 영역 내 상기 금속 원소의 농도 및 상기 채널 형성 영역 내 상기 금속 원소의 농도보다 높고,

상기 제2 영역은 상기 도편트를 함유하고,

상기 제2 영역 내 상기 도편트의 농도 및 상기 제3 영역 내 상기 도편트의 농도는 각각 상기 채널 형성 영역 내 상기 도편트의 농도보다 높고,

상기 금속 원소는 알루미늄, 티타늄, 몰리브덴, 텅스텐, 하프늄, 탄탈, 란탄, 바륨, 마그네슘, 지르코늄, 및 니켈로 이루어진 그룹으로부터 선택되는 하나 이상이고,

상기 도편트는 인, 비소, 안티몬, 봉소, 질소, 아르곤, 헬륨, 네온, 불소, 및 염소 중 하나 이상인, 반도체 장치.

청구항 2

반도체 장치로서,

제1 영역, 제2 영역 및 제3 영역을 포함하는 산화물 반도체층;

상기 산화물 반도체층 위의 게이트 전극층;

상기 게이트 전극층의 측면 위의 측벽 절연체;

소스 전극층;

드레인 전극층; 및

상기 산화물 반도체층, 상기 게이트 전극층 및 상기 측벽 절연체 위의 질화층을 포함하고,

상기 질화층은 금속 원소를 포함하고,

상기 질화층은 절연막이고,

상기 제2 영역은 상기 제1 영역과 상기 제3 영역 사이에 있고,

상기 제1 영역은 채널 형성 영역을 포함하고,

상기 채널 형성 영역 및 상기 게이트 전극층은 서로 중첩하고,

상기 측벽 절연체 및 상기 제2 영역은 서로 중첩하고,

상기 소스 전극층 및 상기 드레인 전극층은 상기 제3 영역의 위에서 접촉하고,

상기 제2 영역의 저항은 상기 제1 영역의 저항보다 낮고,

상기 제3 영역의 저항은 상기 제2 영역의 상기 저항보다 낮고,

상기 제3 영역은 상기 질화층과 접촉하고,

상기 제3 영역은 상기 금속 원소 및 도편트를 함유하고,

상기 제3 영역 내 상기 금속 원소의 농도는 상기 제2 영역 내 상기 금속 원소의 농도 및 상기 채널 형성 영역 내 상기 금속 원소의 농도보다 높고,

상기 제2 영역은 상기 도편트를 함유하고,

상기 제2 영역 내 상기 도편트의 농도 및 상기 제3 영역 내 상기 도편트의 농도는 각각 상기 채널 형성 영역 내 상기 도편트의 농도보다 높고,

상기 금속 원소는 알루미늄, 티타늄, 몰리브덴, 텅스텐, 하프늄, 탄탈, 란탄, 바륨, 마그네슘, 지르코늄, 및 니켈 중 하나 이상이고,

상기 도편트는 인, 비소, 안티몬, 봉소, 질소, 아르곤, 헬륨, 네온, 불소, 및 염소 중 하나 이상인, 반도체 장치.

청구항 3

삭제

청구항 4

제1항 또는 제2항에 있어서,

절연층을 더 포함하고,

상기 산화물 반도체층은 상기 절연층 위에서 접촉하는, 반도체 장치.

청구항 5

제4항에 있어서,

상기 절연층은 산화실리콘을 포함하는, 반도체 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 산화물 반도체층은 인듐을 포함하는, 반도체 장치.

청구항 7

제1항 또는 제2항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨 및 아연을 포함하는, 반도체 장치.

청구항 8

제1항 또는 제2항에 있어서,
상기 게이트 전극층은 티타늄을 포함하는, 반도체 장치.

청구항 9

제1항 또는 제2항에 있어서,
단결정 반도체 기판을 더 포함하고,
상기 산화물 반도체층은 상기 단결정 반도체 기판 위에 있는, 반도체 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서에서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.

배경기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목을 받고 있다.

[0004] 산화물 반도체가 사용된 트랜지스터는 보다 고기능의 반도체 장치로 응용하기 위해서 더 우수한 전기 특성이 요구되고 있다. 산화물 반도체가 사용된 트랜지스터에 관해 우수한 전기 특성을 얻기 위해서 알루미늄 반응법을 이용하여 저저항 소스 영역 및 드레인 영역을 형성하는 기술 등이 보고되어 있다(예를 들어 비특허문헌 1 참조).

선행기술문헌

비특허문헌

[0005] (비)특허문헌 0001) : N. Morosawa. 등, SID 11 DIGEST pp.479-482

발명의 내용

해결하려는 과제

[0006] 산화물 반도체가 사용된 트랜지스터의 온 특성(예를 들어 온 전류나 전계 효과 이동도)이 향상되면, 반도체 장치의 고속 응답이나 고속 구동이 가능하게 되어, 보다 고성능의 반도체 장치를 실현할 수 있다.

[0007] 따라서, 본 발명의 일 형태는 우수한 온 특성을 갖는 산화물 반도체가 사용된 트랜지스터를 제공하는 것을 과제 중 하나로 한다.

[0008] 또한, 본 발명의 일 형태는 고속 응답 및 고속 구동이 가능한 트랜지스터를 갖는 고성능 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0009] 채널 형성 영역을 포함한 산화물 반도체막을 갖는 트랜지스터의 제작 공정에서, 금속 원소를 함유한 막과 상기

산화물 반도체막이 접촉된 상태에서 열처리함으로써 도입된 금속 원소와, 주입법에 의해 상기 금속 원소를 함유한 막을 통과하여 도입된 도편트를 함유한 저저항 영역을 상기 산화물 반도체막에 형성한다. 저저항 영역은 채널 길이 방향으로 채널 형성 영역을 끼우도록 형성된다.

[0010] 금속 원소를 함유한 막으로서는 금속막, 금속 산화물막, 금속 질화물막 등을 들 수 있다.

[0011] 금속 원소를 함유한 막 내의 금속 원소로서는 알루미늄(Al), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 하프늄(Hf), 탄탈(Ta), 란탄(La), 바륨(Ba), 마그네슘(Mg), 지르코늄(Zr), 및 니켈(Ni) 중에서 선택된 하나 이상의 원소를 사용할 수 있다. 금속 원소를 함유한 막으로서 상기 금속 원소 중에서 선택된 하나 이상의 원소를 함유한 금속막, 금속 산화물막, 또는 금속 질화물막(예를 들어 질화티타늄막, 질화몰리브덴막, 질화텅스텐막)을 사용할 수 있다. 또한, 금속 원소를 함유한 막에 인(P), 붕소(B) 등의 도편트를 함유시켜도 좋다.

[0012] 금속 원소를 함유한 막을 산화물 반도체막과 접촉하도록 형성하고, 금속 원소를 함유한 막 및 산화물 반도체막이 접촉한 상태에서 열처리함으로써, 금속 원소를 함유한 막으로부터 산화물 반도체막으로 금속 원소를 도입할 수 있다. 열처리는 산소 분위기하에서 수행하는 것이 바람직하다. 또한 열처리는 감압하, 질소 분위기하에서 수행할 수도 있다. 또한, 가열 온도는 100°C 이상 700°C 이하, 바람직하게는 200°C 이상 400°C 이하로 하면 좋다. 또한, 금속 원소를 함유한 막으로부터 산화물 반도체막에 금속 원소를 도입하기 위한 열처리에 의해, 도전성을 갖는 금속 원소를 함유한 막은 절연성을 갖는 금속 원소를 함유한 막이 된다. 예를 들어, 금속막으로부터 산화물 반도체막에 금속 원소를 도입하기 위한 열처리에 의해, 금속막은 금속 산화물막 또는 금속 질화물막이 되고, 금속 산화물막 또는 금속 질화물막이 절연성을 갖는 경우에는 절연막으로서 사용할 수 있다.

[0013] 도편트는 산화물 반도체막의 도전율을 변화시키는 불순물이다. 도편트로서는 15족 원소(대표적으로는 인(P), 비소(As), 및 안티몬(Sb)), 붕소(B), 알루미늄(Al), 질소(N), 아르곤(Ar), 헬륨(He), 네온(Ne), 인듐(In), 불소(F), 염소(Cl), 티타늄(Ti), 및 아연(Zn) 중에서 선택된 하나 이상의 원소를 사용할 수 있다.

[0014] 상기 도편트는 금속 원소를 함유한 막에 함유시켜도 좋다.

[0015] 도편트는 주입법에 의해 금속 원소를 함유한 막(금속막, 금속 산화물막, 또는 금속 질화물막)을 통과하여 산화물 반도체막에 도입된다. 도편트의 도입 방법으로서 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 사용할 수 있다. 이 때 도편트의 단체(單體) 이온, 또는 도편트의 수소화물 이온이나 불화물 이온, 염화물 이온을 사용하면 바람직하다.

[0016] 저저항 영역에서의 도편트 농도는 5×10^{18} 이상 1×10^{22} atoms/cm³ 이하인 것이 바람직하다.

[0017] 또한 도편트 도입 처리 후, 열처리하여도 좋다. 상기 열처리는 금속 원소를 함유한 막으로부터 금속 원소를 도입하는 공정에서의 열처리의 역할을 겸하는 것이라도 좋다.

[0018] 또한, 제작 공정에서 열처리에 의해 금속 원소를 함유한 막으로부터 금속 원소를 도입하는 공정, 및 주입법에 의해 도편트를 도입하는 공정의 공정 순서는 한정되지 않고, 둘 중 어느 하나를 먼저 수행하여도 상관없다. 또한, 복수회 수행하여도 좋다.

[0019] 예를 들어, 금속 원소를 함유한 막으로서 금속막을 사용하고, 이것을 산소 분위기하에서 열처리함으로써 산화물 반도체막에 금속 원소를 도입하는 경우에, 열처리 전에 도편트를 도입하면 도편트는 금속막을 통과하게 되고, 열처리 후에 도편트를 도입하면 도편트는 금속 산화물막을 통과하게 된다.

[0020] 채널 길이 방향으로 채널 형성 영역을 끼운 저저항 영역을 포함한 산화물 반도체막을 가짐으로써, 상기 트랜지스터는 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하게 된다.

[0021] 따라서, 전기 특성이 우수한 상기 트랜지스터를 사용함으로써, 고성능 및 고신뢰성의 반도체 장치를 제공할 수 있다.

[0022] 본 명세서에서 개시하는 발명의 구성의 일 형태는 채널 형성 영역을 포함한 산화물 반도체막을 형성하고, 산화물 반도체막에서 채널 형성 영역을 끼우도록 채널 형성 영역보다 저항이 낮고 금속 원소 및 도편트를 함유한 저저항 영역을 형성하고, 상기 저저항 영역은 산화물 반도체막과 접촉하는 금속 원소를 함유한 막을 형성하고, 산화물 반도체막과 금속 원소를 함유한 막이 접촉한 상태에서 이들을 열처리하여 금속 원소를 함유한 막으로부터 산화물 반도체막에서 금속 원소를 도입하는 공정, 및 금속 원소를 함유한 막을 통과하여 산화물 반도체막으로 도편트를 도입하는 공정에 의해 형성되는, 반도체 장치의 제작 방법이다.

- [0023] 본 명세서에서 개시하는 발명의 구성의 일 형태는 채널 형성 영역을 포함한 산화물 반도체막을 형성하고, 채널 형성 영역과 중첩되도록 산화물 반도체막 위에 게이트 절연막 및 게이트 전극층의 적층을 선택적으로 형성하고, 산화물 반도체막, 게이트 절연막, 및 게이트 전극층 위에 산화물 반도체막의 일부와 접촉하는 금속 원소를 함유한 막을 형성하고, 게이트 절연막 및 게이트 전극층을 마스크로 하여 금속 원소를 함유한 막을 통과시켜 산화물 반도체막으로 도편트를 선택적으로 도입하고, 도편트가 도입된 산화물 반도체막 및 금속 원소를 함유한 막을 가열하여 금속 원소를 함유한 막으로부터 도편트가 도입된 산화물 반도체막에 금속 원소를 도입함으로써, 산화물 반도체막에서 채널 형성 영역을 끼우도록 채널 형성 영역보다 저항이 낮고 금속 원소 및 도편트를 함유한 저저항 영역을 형성하는, 반도체 장치의 제작 방법이다.
- [0024] 본 명세서에서 개시하는 발명의 구성의 일 형태는 채널 형성 영역을 포함한 산화물 반도체막을 형성하고, 채널 형성 영역과 중첩되도록 산화물 반도체막 위에 게이트 절연막 및 게이트 전극층의 적층을 선택적으로 형성하고, 산화물 반도체막, 게이트 절연막, 및 게이트 전극층 위에 산화물 반도체막의 일부와 접촉하는 금속 원소를 함유한 막을 형성하고, 산화물 반도체막 및 금속 원소를 함유한 막을 가열하여 금속 원소를 함유한 막으로부터 산화물 반도체막으로 금속 원소를 도입하고, 게이트 절연막 및 게이트 전극층을 마스크로 하여 금속 원소를 함유한 막을 통과시켜 금속 원소가 도입된 산화물 반도체막으로 도편트를 선택적으로 도입함으로써, 산화물 반도체막에서 채널 형성 영역을 끼우도록 채널 형성 영역보다 저항이 낮고 금속 원소 및 도편트를 함유한 저저항 영역을 형성하는, 반도체 장치의 제작 방법이다.
- [0025] 또한, 상기 구성에 있어서, 금속 원소를 함유한 막의 형성 공정 전의 산화물 반도체막에 수소 또는 수분을 방출시키는 열처리(탈수화 또는 탈수소화 처리)를 수행하여도 좋다.
- [0026] 또한, 탈수화 또는 탈수소화 처리에 의해, 산화물 반도체를 구성하는 주성분 재료인 산소가 동시에 이탈되어 감소될 우려가 있다. 산화물 반도체막에서 산소가 이탈한 부분에는 산소 결손이 존재하고, 상기 산소 결손에 기인하여 트랜지스터의 전기적 특성 변동을 초래하는 도너 준위가 발생하게 된다.
- [0027] 따라서, 탈수화 또는 탈수소화 처리가 수행된 산화물 반도체막에 산소를 공급하는 것이 바람직하다. 산화물 반도체막에 산소를 공급함으로써 막 내의 산소 결손을 보전(補填)할 수 있다.
- [0028] 예를 들어, 산소의 공급원이 되는 산소를 많이(과잉으로) 함유한 산화물 절연막을 산화물 반도체막과 접촉하도록 형성함으로써, 상기 산화물 절연막으로부터 산화물 반도체막으로 산소를 공급할 수 있다. 상기 구성에 있어서, 가열 공정이 수행된 산화물 반도체막 및 산화물 절연막의 적어도 일부가 접촉한 상태에서 가열 공정을 수행함으로써 산화물 반도체막에 산소를 공급하여도 좋다.
- [0029] 또한, 탈수화 또는 탈수소화 처리를 수행한 산화물 반도체막에, 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 포함함)를 도입하여 막 내에 산소를 공급하여도 좋다. 산소의 도입 방법으로서 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 이용할 수 있다.
- [0030] 또한, 바람직하게는 트랜지스터에 형성되는 산화물 반도체막은 결정 상태의 산화물 반도체의 화학양론적 조성 비율에 비해 산소의 함유량이 과잉인 영역이 포함된 막 상태로 하면 좋다. 이 경우에 산소의 함유량은 산화물 반도체의 화학양론적 조성 비율을 초과하는 정도로 한다. 또는, 산소의 함유량은 산화물 반도체가 단결정인 경우의 산소의 양을 초과할 정도로 한다. 산화물 반도체의 격자간에 산소가 존재하는 경우도 있다.
- [0031] 수소 또는 수분을 산화물 반도체로부터 제거하여 불순물이 최대한 함유되지 않도록 고순도화시키고 산소를 공급하여 산소 결손을 보전함으로써, I형(진성) 산화물 반도체, 또는 I형(진성)에 매우 가까운 산화물 반도체로 할 수 있다. 이와 같이 함으로써, 산화물 반도체의 페르미 준위(E_F)를 진성 페르미 준위(E_i)와 같은 레벨로 할 수 있다. 따라서, 상기 산화물 반도체막을 트랜지스터에 사용함으로써 산소 결손에 기인한 트랜지스터의 임계값 전압 V_{th} 의 편차, 임계값 전압의 시프트 ΔV_{th} 를 저감할 수 있다.

발명의 효과

- [0032] 산화물 반도체막에 접촉하여 형성된 금속 원소를 함유한 막으로부터의 금속 원소 도입, 및 주입법에 의한 도편트 도입에 의해, 산화물 반도체막에 금속 원소 및 도편트를 함유한 저저항 영역을 형성한다. 채널 길이 방향으로 채널 형성 영역을 끼운 저저항 영역을 포함한 산화물 반도체막을 가짐으로써, 상기 트랜지스터는 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하게 된다.
- [0033] 따라서, 전기 특성이 우수한 상기 트랜지스터를 사용함으로써, 고성능 및 고신뢰성의 반도체 장치를 제공할 수

있다.

도면의 간단한 설명

- [0034] 도 1a 내지 도 1f는 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 도면.
 도 2a 내지 도 2d는 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 도면.
 도 3a 내지 도 3f는 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 도면.
 도 4a 내지 도 4f는 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 도면.
 도 5a 내지 도 5d는 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 도면.
 도 6a 내지 도 6d는 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 도면.
 도 7a 및 도 7b는 반도체 장치의 일 형태를 설명하기 위한 도면.
 도 8a 내지 도 8f는 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 설명하기 위한 도면.
 도 9a 내지 도 9c는 반도체 장치의 일 형태를 설명하기 위한 도면.
 도 10a 및 도 10b는 반도체 장치의 일 형태를 설명하기 위한 도면.
 도 11a 및 도 11b는 반도체 장치의 일 형태를 설명하기 위한 도면.
 도 12a 내지 도 12c는 반도체 장치의 일 형태를 설명하기 위한 도면.
 도 13a 내지 도 13f는 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0035] 본 명세서에 개시되는 발명의 실시형태에 대해서 도면을 사용하여 이하에 상세하게 설명하기로 한다. 다만 본 명세서에 개시되는 발명은 이하의 설명에 한정되지 않고, 발명의 형태 및 상세한 내용을 다양하게 변경할 수 있음을 당업자라면 용이하게 이해할 수 있다. 또한, 본 명세서에 개시되는 발명은 이하에 제시되는 실시형태의 기재 내용에 한정되어 해석되는 것이 아니다. 또한, 제 1, 제 2로서 제시되는 서수사는 편의상 사용되는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에서 발명을 특정하기 위한 사항으로서 고유 명칭을 나타내는 것이 아니다.

- [0036] (실시형태 1)

- [0037] 본 실시형태에서는 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를 도 1a 내지 도 1f를 사용하여 설명하기로 한다. 본 실시형태에서는 반도체 장치의 일례로서 산화물 반도체막을 갖는 트랜지스터를 제시한다.

- [0038] 트랜지스터의 구조는 특별히 한정되지 않으며, 예를 들어 상부 게이트(top-gate) 구조 또는 하부 게이트(bottom-gate) 구조인 스탠더드 및 플래너형 등을 사용할 수 있다. 또한 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조이든 2개 형성되는 더블 게이트 구조이든 3개 형성되는 트리플 게이트 구조이든 어느 구조라도 좋다. 또한, 채널 형성 영역의 상하에 게이트 절연막을 개재(介在)하여 배치된 2개의 게이트 전극층을 갖는 듀얼 게이트형이라도 좋다.

- [0039] 도 1a 내지 도 1f에 도시한 트랜지스터(440)는 상부 게이트 구조의 트랜지스터의 예이다.

- [0040] 도 1f에 도시한 바와 같이 트랜지스터(440)는 절연막(436)이 형성된 절연 표면을 갖는 기판(400) 위에 채널 형성 영역(409), 저저항 영역(404a, 404b), 저저항 영역(406a, 406b)을 포함한 산화물 반도체막(403), 소스 전극층(405a), 드레인 전극층(405b), 게이트 절연막(402), 게이트 전극층(401)을 갖는다. 트랜지스터(440) 위에 금 속 원소를 함유한 막(407)이 형성된다.

- [0041] 도 1a 내지 도 1f에 트랜지스터(440)의 제작 방법의 일례를 도시하였다.

- [0042] 우선, 절연 표면을 갖는 기판(400) 위에 절연막(436)을 형성한다.

- [0043] 절연 표면을 갖는 기판(400)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도 이후에 실시되는 열처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어 바륨 보로실리케이트 유리나 알루미노 보로실리케이트 유리 등의 유리 기판, 세리믹스 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘이나

탄화실리콘 등의 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이를 기판 위에 반도체 소자가 형성된 것을 기판(400)으로서 사용하여도 좋다.

[0044] 또한 기판(400)으로서 가요성 기판을 사용하여 반도체 장치를 제작하여도 좋다. 가요성을 갖는 반도체 장치를 제작하기 위해서는 가요성 기판 위에 산화물 반도체막(403)을 포함하는 트랜지스터(440)를 직접 제작하여도 좋고, 다른 제작 기판에 산화물 반도체막(403)을 포함하는 트랜지스터(440)를 제작한 후 박리하고 가요성 기판에 전치(轉置)하여도 좋다. 또한, 제작 기판으로부터 박리하고 가요성 기판에 전치하기 위해서, 제작 기판과 산화물 반도체막을 포함하는 트랜지스터 사이에 박리층을 제공하면 좋다.

[0045] 절연막(436)으로서 플라즈마 CVD법 또는 스퍼터링법 등에 의해 산화실리콘, 산화질화실리콘, 산화알루미늄, 산화질화알루미늄, 산화하프늄, 산화갈륨, 질화실리콘, 질화산화실리콘, 질화알루미늄, 질화산화알루미늄, 또는 이들의 혼합 재료를 사용하여 형성할 수 있다.

[0046] 절연막(436)은 단층이든 적층이든 어느 쪽이라도 좋지만, 산화물 반도체막(403)에 접촉하는 막에는 산화물 절연막을 사용하는 것이 바람직하다. 본 실시형태에서는 스퍼터링법을 이용하여 형성되는 산화실리콘막을 절연막(436)으로서 사용한다.

[0047] 다음에, 절연막(436) 위에 산화물 반도체막(403)을 형성한다.

[0048] 절연막(436)은 산화물 반도체막(403)과 접촉하기 때문에, 막 내(별크 내)에 적어도 화학양론적 조성 비율을 초과하는 양의 산소가 존재하는 것이 바람직하다. 예를 들어, 절연막(436)으로서 산화실리콘막을 사용하는 경우에는 SiO_{2+a} (다만, $a > 0$)로 한다. 이와 같은 절연막(436)을 사용함으로써 산화물 반도체막(403)에 산소를 공급할 수 있어서 특성을 양호하게 할 수 있다. 산화물 반도체막(403)에 산소를 공급함으로써 막 내의 산소 결손을 보전할 수 있다.

[0049] 예를 들어, 산소의 공급원이 되는 산소를 많이(파이으로) 함유한 절연막(436)을 산화물 반도체막(403)과 접촉하도록 형성함으로써, 상기 절연막(436)으로부터 산화물 반도체막(403)으로 산소를 공급할 수 있다. 산화물 반도체막(403) 및 절연막(436)의 적어도 일부가 접촉한 상태에서 열처리함으로써, 산화물 반도체막(403)에 산소를 공급하여도 좋다.

[0050] 산화물 반도체막(403)의 형성 공정에서, 산화물 반도체막(403)에 최대한 수소 또는 물이 함유되지 않게 하기 위해서, 산화물 반도체막(403) 형성의 전(前)처리로서 스퍼터링 장치의 예비 가열실에서 절연막(436)이 형성된 기판을 예비 가열하여, 기판 및 절연막(436)에 흡착된 수소나 수분 등의 불순물을 이탈시켜 배기하는 것이 바람직하다. 또한, 예비 가열실에 설치하는 배기 수단은 크라이오 펌프(cryo pump)가 바람직하다.

[0051] 산화물 반도체막(403)에 사용되는 산화물 반도체로서는 적어도 인듐(In) 또는 아연(Zn)을 함유한 것이 바람직하다. 특히 In과 Zn을 함유한 것이 바람직하다. 또한, 상기 산화물이 사용된 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서, In과 Zn에 추가하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.

[0052] 또한, 다른 스테빌라이저로서 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴븀(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종류 또는 복수 종류를 가져도 좋다.

[0053] 예를 들어, 산화물 반도체로서 산화인듐, 산화주석, 산화아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0054] 또한 여기서는, 예를 들어, In-Ga-Zn계 산화물이란 In, Ga, 및 Zn을 주성분으로서 갖는 산화물을 의미하고, In, Ga, 및 Zn의 비율은 불문한다. 또한, In, Ga, 및 Zn 이외의 금속 원소가 함유되어도 좋다.

- [0055] 또한, 산화물 반도체로서, $InMO_3(ZnO)_m$ ($m > 0$, 및 m 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M 은 Ga, Fe, Mn 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $In_2SnO_5(ZnO)_n$ ($n > 0$, 및 n 은 정수)으로 표기되는 재료를 사용하여도 좋다.
- [0056] 예를 들어, $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$ 또는 $In:Ga:Zn=2:2:1(=2/5:2/5:1/5)$ 의 원자비의 In-Ga-Zn계 산화물이나 이것과 근방의 조성을 갖는 산화물을 사용할 수 있다. 또는, $In:Sn:Zn=1:1:1(=1/3:1/3:1/3)$, $In:Sn:Zn=2:1:3(=1/3:1/6:1/2)$ 또는 $In:Sn:Zn=2:1:5(=1/4:1/8:5/8)$ 의 원자비의 In-Sn-Zn계 산화물이나 이것과 근방의 조성을 갖는 산화물을 사용하면 좋다.
- [0057] 그러나, 상술한 것에 한정되지 않고, 필요한 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요한 반도체 특성을 얻기 위해서, 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 값으로 하는 것이 바람직하다.
- [0058] 예를 들어, In-Sn-Zn계 산화물은 높은 이동도를 비교적 용이하게 얻을 수 있다. 그러나, In-Ga-Zn계 산화물을 사용한 경우에도 벌크 내 결함 밀도를 저감함으로써 이동도를 향상시킬 수 있다.
- [0059] 또한, 예를 들어 In, Ga, Zn의 원자수비가 $In:Ga:Zn=a:b:c(a+b+c=1)$ 인 산화물의 조성이, 원자수비가 $In:Ga:Zn=A:B:C(A+B+C=1)$ 의 산화물의 조성의 근방이란 a, b, c 가 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 를 만족시키는 것을 의미한다. r 은 예를 들어 0.05로 하면 좋다. 이것은 다른 산화물의 경우도 마찬가지이다.
- [0060] 산화물 반도체는 단결정과 비단결정 중 어느 쪽이라도 좋다. 비단결정인 경우에는 비정질과 다결정 중 어느 쪽이라도 좋다. 또한, 비정질 내에 결정성을 갖는 부분을 포함한 구조라도 좋고 비정질이 아니라도 좋다.
- [0061] 비정질 상태의 산화물 반도체는 평탄한 표면을 비교적 용이하게 얻을 수 있기 때문에 이것을 사용하여 트랜지스터를 제작할 때의 계면 산란을 저감할 수 있고, 비교적 높은 이동도를 비교적 용이하게 얻을 수 있다.
- [0062] 또한, 결정성을 갖는 산화물 반도체에서는 벌크 내의 결함을 더 저감할 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는 평균 면 거칠기(R_a)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다.
- [0063] 또한, R_a 는 JIS B0601로 정의되는 중심선 평균 거칠기를 면에 적용할 수 있도록 3차원으로 확장한 것이며, 「기준면으로부터 지정면까지의 편차의 절대값을 평균한 값」이라고 표현할 수 있고, 다음 수학식 1로 정의된다.
- 수학식 1
- [0064]
$$R_a = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$
- [0065] 또한, 상기 수학식 1에서 S_0 은 측정면(4점의 좌표 $(x_1, y_1), (x_1, y_2), (x_2, y_1), (x_2, y_2)$)를 연결하여 이루어지는 사각형의 영역)의 면적을 의미하고, Z_0 은 측정면의 평균 높이를 의미한다. R_a 는 원자간력 현미경(AFM:Atomic Force Microscope)으로 평가할 수 있다.
- [0066] 따라서, 절연막(436)에서 산화물 반도체막(403)이 접촉하여 형성되는 영역에 평탄화 처리를 수행하여도 좋다. 평탄화 처리로서는 특별히 한정되지 않지만, 연마 처리(예를 들어, 화학적 기계 연마(Chemical Mechanical Polishing; CMP)법), 드라이 에칭 처리, 플라즈마 처리를 사용할 수 있다.
- [0067] 플라즈마 처리로서는, 예를 들어, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링(reverse sputtering)을 수행할 수 있다. 역스퍼터링이란 아르곤 분위기하에서 기판 측에 RF 전원을 이용하여 전압을 인가하여 기판 근방에 플라즈마를 형성함으로써 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용하여도 좋다. 역스퍼터링을 수행하면, 절연막(436)의 표면에 부착된 분말상 물질(파티클, 먼지라고도 함)을 제거할 수 있다.
- [0068] 평탄화 처리로서, 연마 처리, 드라이 에칭 처리, 플라즈마 처리를 복수회 수행하여도 좋고, 이들을 조합하여 수행하여도 좋다. 또한, 상술한 처리를 조합하여 수행하는 경우에는 공정 순서도 특별히 한정되지 않고, 절연막

(436) 표면의 요철 상태에 따라 적절히 설정하면 좋다.

[0069] 산화물 반도체막(403)으로서 결정을 포함하고 결정성을 갖는 산화물 반도체막(결정성 산화물 반도체막)을 사용할 수 있다. 결정성 산화물 반도체막에서의 결정 상태는 결정축의 방향이 무질서한 상태이든 일정한 배향성을 갖는 상태이든 어느 상태라도 좋다.

[0070] 예를 들어, 결정성 산화물 반도체막으로서 표면에 대략 수직인 c축을 갖는 결정을 포함한 산화물 반도체막을 사용할 수 있다.

[0071] 표면에 대략 수직인 c축을 갖는 결정을 포함한 산화물 반도체층(아하에 결정성 산화물 반도체층이라고도 함)은 단결정 구조가 아니고 비정질 구조도 아닌 구조이며, c축 배향을 갖는 결정(C Axis Aligned Crystal; CAAC라고도 함)을 포함한 산화물을 갖는다.

[0072] CAAC-OS란 c축으로 배향되고, ab면, 표면 또는 계면의 방향으로부터 보아 삼각형 또는 육각형의 원자 배열을 갖고, c축에서는 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되고, ab면(또는, 표면 또는 계면)에서는 a축 또는 b축의 방향이 상이한(c축을 중심으로 회전한) 결정을 포함한 산화물 반도체를 의미한다.

[0073] 광의적으로는 CAAC-OS란 비단결정이고, 그 ab면에 수직인 방향으로부터 보아 삼각형 또는 육각형, 또는 정삼각형 또는 정육각형의 원자 배열을 갖고, c축 방향에 수직인 방향으로부터 보아 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열된 상(phase)을 포함한 재료를 의미한다.

[0074] CAAC-OS는 단결정이 아니지만, 비정질만으로 형성되는 것도 아니다. 또한, CAAC-OS는 결정화된 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분의 경계를 명확히 판별할 수 없는 경우도 있다.

[0075] CAAC-OS를 구성하는 산소의 일부는 질소로 치환되어도 좋다. 또한, CAAC-OS를 구성하는 각각의 결정 부분의 c축은 일정한 방향(예를 들어, CAAC-OS가 형성되는 기판면이나 CAAC-OS의 표면이나 막면, 계면 등에 수직인 방향)으로 정렬되어도 좋다. 또는 CAAC-OS를 구성하는 각각의 결정 부분의 ab면의 법선은 일정한 방향(예를 들어, 기판면, 표면, 막면, 계면 등에 수직인 방향)을 향하여도 좋다.

[0076] 상술한 바와 같은 결정성 산화물 반도체막으로 함으로써, 가시광이나 자외광의 조사에 기인한 트랜지스터의 전기적 특성 변화를 더 억제하여, 신뢰성이 높은 반도체 장치로 할 수 있다.

[0077] c축 배향을 갖는 결정성 산화물 반도체막을 얻는 방법으로서, 3가지 방법을 들 수 있다. 첫 번째 방법은 200°C 이상 500°C 이하의 온도로 산화물 반도체막을 형성하여, 표면에 대략 수직으로 c축 배향시키는 방법이다. 두 번째 방법은 막을 얇게 형성한 후 200°C 이상 700°C 이하의 열처리를 수행하여, 표면에 대략 수직으로 c축 배향시키는 방법이다. 세 번째 방법은 1번재 층을 얇게 형성한 후 200°C 이상 700°C 이하의 열처리를 수행하고, 2번재 층을 형성함으로써, 표면에 대략 수직으로 c축 배향시키는 방법이다.

[0078] 산화물 반도체막(403)은 1nm 이상 200nm 이하(바람직하게는 5nm 이상 30nm 이하)의 두께로 하고, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 이용하여 형성할 수 있다. 또한, 산화물 반도체막(403)은 스퍼터링 타깃 표면에 대략 수직으로 복수의 기판 표면이 세트된 상태에서 막을 형성하는 스퍼터링 장치, 소위 CP 스퍼터링 장치(Columnar Plasma Sputtering system)를 사용하여 형성하여도 좋다.

[0079] 또한, 산화물 반도체막(403)은 막 형성시에 산소가 많이 함유되도록 설정한 조건(예를 들어, 산소 100%의 분위기하에서 스퍼터링법에 의해 형성함 등)으로 형성하여, 산소를 많이 함유한(바람직하게는 결정 상태의 산화물 반도체의 화학양론적 조성 비율보다 산소의 함유량이 과잉인 영역이 포함되는) 막으로 하는 것이 바람직하다.

[0080] 산화물 반도체막(403)을 스퍼터링법으로 제작하기 위한 타깃으로서는, 예를 들어, 조성 비율이 $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol비]인 산화물 타깃을 사용하여 In-Ga-Zn막을 형성한다. 또한, 이 타깃의 재료 및 조성에 한정되지 않으며, 예를 들어, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [mol비]의 금속 산화물 타깃을 사용하여도 좋다.

[0081] 또한, 금속 산화물 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타깃을 사용함으로써, 형성한 산화물 반도체막을 치밀한 막으로 할 수 있다.

[0082] 산화물 반도체막을 형성할 때 이용하는 스퍼터링 가스로서는 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스가 바람직하다.

[0083] 감압 상태로 유지된 성막(成膜)실 내에 기판을 유지한다. 그리고, 성막실 내의 잔류 수분을 제거하면서, 수소

및 수분이 제거된 스피터링 가스를 도입하고 상기 타깃을 사용하여 기판(400) 위에 산화물 반도체막(403)을 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프, 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프(titanium sublimation pump)를 이용하는 것이 바람직하다. 또한, 배기 수단으로서 터보 분자 펌프에 콜드 트랩(cold trap)이 장착된 것을 이용하여도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은, 예를 들어, 수소 원자나 물(H₂O)등 수소 원자를 함유한 화합물(더 바람직하게는 탄소 원자를 함유한 화합물도) 등이 배기되므로, 상기 성막실에서 형성한 산화물 반도체막(403)에 함유되는 불순물의 농도를 저감할 수 있다.

[0084] 또한, 절연막(436)과 산화물 반도체막(403)을 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다. 절연막(436)과 산화물 반도체막(403)을 대기에 노출시키지 않고 연속적으로 형성하면, 절연막(436) 표면에 수소나 수분 등의 불순물이 흡착되는 것을 방지할 수 있다.

[0085] 또한, 산화물 반도체막(403)에 과잉으로 함유된 수소(물이나 수산기를 포함함)를 제거(탈수화 또는 탈수소화)하기 위한 열처리를 수행하여도 좋다. 열처리 온도는 300°C 이상 700°C 이하, 또는 기판의 변형점 미만으로 한다. 열처리는 감압하 또는 질소 분위기하 등에서 수행할 수 있다. 예를 들어, 열처리 장치의 하나인 전기로(電氣爐)에 기판을 도입하고, 산화물 반도체막에 질소 분위기하에서 450°C로 1시간의 열처리를 수행한다.

[0086] 또한, 열처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열 전도 또는 열 복사에 의해 피처리물을 가열하는 장치를 이용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 방사되는 빛(전자기파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온 가스를 사용하여 열처리를 수행하는 장치이다. 고온 가스로서는 아르곤 등의 희(稀)가스, 또는 질소와 같은 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.

[0087] 예를 들어, 열처리로서 650°C 내지 700°C의 고온으로 가열한 불활성 가스 내에 기판을 도입하고 몇 분 동안 가열한 후 기판을 불활성 가스 내로부터 꺼내는 GRTA를 수행하여도 좋다.

[0088] 또한, 탈수화 또는 탈수소화를 위한 열처리는 산화물 반도체막(403) 형성후, 금속 원소를 함유한 막 형성전, 및 산화물 반도체막(403)에 대한 산소 도입 공정전이라면 트랜지스터(440)의 제작 공정 중에서 어느 타이밍에서 수행하여도 좋다.

[0089] 산화물 반도체막이 섬 형상으로 가공되기 전에 탈수화 또는 탈수소화를 위한 열처리를 수행하면, 절연막(436)에 함유되는 산소가 열처리로 인하여 방출되는 것을 방지할 수 있기 때문에 바람직하다.

[0090] 또한, 열처리에서는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 함유되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0091] 또한, 열처리로 산화물 반도체막(403)을 가열한 후, 동일한 노(爐)에 고순도 산소 가스, 고순도 일산화이질소 가스, 또는 초건조 공기(CRDS(캐비티 링다운 레이저 분광법(cavity ring down laser spectroscopy) 방식의 노점 측정기를 이용하여 측정한 경우의 수분량이 20ppm(노점 환산으로 -55°C) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기)를 도입하여도 좋다. 산소 가스 또는 일산화이질소 가스에 물, 수소 등이 함유되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 산소 가스 또는 일산화이질소 가스의 순도를 6N 이상, 바람직하게는 7N 이상(즉 산소 가스 또는 일산화이질소 가스 내의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 산소 가스 또는 일산화이질소 가스의 작용으로 인하여, 탈수화 또는 탈수소화 처리를 이용한 불순물의 배제 공정에 의해 동시에 감소된, 산화물 반도체를 구성하는 주성분 재료인 산소를 공급함으로써, 산화물 반도체막(403)을 고순도화 및 전기적으로 I형(진성)화할 수 있다.

[0092] 또한, 산화물 반도체막은 섬 형상으로 가공하여도 좋고, 형상을 가공하지 않고 막 형상을 유지하여도 좋다. 또한, 산화물 반도체막을 소자마다 분리하는 절연막을 포함하는 소자 분리 영역이 형성되어도 좋다.

[0093] 본 실시형태에서는 형성된 산화물 반도체막을 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체막(403)으로 가공한다. 또한, 섬 형상의 산화물 반도체막(403)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 이용하지 않기 때문에, 제조 비용을 저감할

수 있다.

[0094] 또한, 산화물 반도체막의 에칭은 드라이 에칭이든 웨트 에칭이든 어느 방법을 이용하여도 좋고, 양쪽 모두를 이용하여도 좋다. 예를 들어, 산화물 반도체막의 웨트 에칭에 이용하는 에칭액으로서는 인산과 초산과 질산을 혼합한 용액 등을 이용할 수 있다. 또한, ITO07N(KANTO CHEMICAL CO., INC 제조)을 이용하여도 좋다.

[0095] 다음에 산화물 반도체막(403) 위에 소스 전극층 및 드레인 전극층(이것과 동일한 층으로 형성되는 배선을 포함함)이 되는 도전막을 형성한다. 상기 도전막으로서는 이후에 수행되는 열처리에 견딜 수 있는 재료를 사용한다. 소스 전극층 및 드레인 전극층에 사용하는 도전막으로서, 예를 들어 Al, Cr, Cu, Ta, Ti, Mo, W 중에서 선택된 원소를 함유한 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화티타늄막, 질화몰리브덴막, 질화텅스텐막) 등을 사용할 수 있다. 또한, Al, Cu 등의 금속막의 아래측 또는 위측 중 한쪽 또는 양쪽 모두에 Ti, Mo, W 등의 고용접 금속막 또는 이들의 금속 질화물막(질화티타늄막, 질화몰리브덴막, 질화텅스텐막)을 적층시킨 구조으로 하여도 좋다. 또한, 소스 전극층 및 드레인 전극층에 사용하는 도전막으로서는 도전성 금속 산화물을 사용하여 형성하여도 좋다. 도전성 금속 산화물로서는 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐산화주석($In_2O_3-SnO_2$), 산화인듐산화아연(In_2O_3-ZnO), 또는 이를 금속 산화물 재료에 산화실리콘을 함유시킨 것을 사용할 수 있다.

[0096] 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고 선택적으로 에칭하여 소스 전극층(405a), 드레인 전극층(405b)을 형성한 후 레지스트 마스크를 제거한다. 본 실시형태에서는 소스 전극층(405a), 드레인 전극층(405b)으로서 막 두께가 10nm인 텅스텐막을 형성한다. 이와 같이 소스 전극층(405a), 드레인 전극층(405b)의 두께가 얇으면, 위에 형성되는 게이트 절연막(442)의 피복성이 양호하게 될 뿐만 아니라 소스 전극층(405a), 드레인 전극층(405b)을 통과시켜 소스 전극층(405a), 드레인 전극층(405b) 아래의 산화물 반도체막(403)에도 도편트를 도입할 수 있다.

[0097] 다음에 산화물 반도체막(403), 소스 전극층(405a), 및 드레인 전극층(405b)을 덮는 게이트 절연막(442)을 형성한다(도 1a 참조).

[0098] 또한, 게이트 절연막(442)의 피복성을 향상시키기 위해서 산화물 반도체막(403), 소스 전극층(405a), 및 드레인 전극층(405b) 표면에도 상기 평탄화 처리를 수행하여도 좋다. 특히 게이트 절연막(442)으로서 두께가 얇은 절연막을 사용하는 경우에 산화물 반도체막(403), 소스 전극층(405a), 및 드레인 전극층(405b) 표면의 평탄성이 양호한 것이 바람직하다.

[0099] 게이트 절연막(442)은 1nm 이상 100nm 이하의 두께로 하고, 스퍼터링법, MBE법, CVD법, 웨이저 퇴적법, ALD법 등을 적절히 이용하여 형성할 수 있다. 또한, 게이트 절연막(442)은 스퍼터링 타깃 표면에 대략 수직으로 복수의 기판 표면이 세트된 상태로 막을 형성하는 스퍼터링 장치, 소위 CP 스퍼터링 장치를 이용하여 형성하여도 좋다.

[0100] 게이트 절연막(442)은 산화실리콘막, 산화갈륨막, 산화알루미늄막, 질화실리콘막, 산화질화실리콘막, 산화질화알루미늄막, 또는 질화산화실리콘막을 재료로서 사용하여 형성할 수 있다. 게이트 절연막(442)은 산화물 반도체막(403)과 접촉하는 부분에서 산소를 함유하는 것이 바람직하다. 특히 게이트 절연막(442)은 막 내(별크 내)에 적어도 화학양론적 조성 비율을 초과하는 양의 산소가 존재하는 것이 바람직하고, 예를 들어 게이트 절연막(442)으로서 산화실리콘막을 사용하는 경우에는 $SiO_{2+\alpha}$ (다만 $\alpha > 0$)로 한다. 본 실시형태에서는 게이트 절연막(442)으로서 $SiO_{2+\alpha}$ (다만, $\alpha > 0$)인 산화실리콘막을 사용한다. 상기 산화실리콘막을 게이트 절연막(442)으로서 사용함으로써, 산화물 반도체막(403)에 산소를 공급할 수 있어 특성을 양호하게 할 수 있다. 또한, 제작하는 트랜지스터의 크기나 게이트 절연막(442)의 단차 피복성을 고려하여 게이트 절연막(442)을 형성하는 것이 바람직하다.

[0101] 또한, 게이트 절연막(442)의 재료로서, 산화하프늄, 산화이트륨, 하프늄실리케이트($HfSi_xO_y$ ($x>0, y>0$)), 질소가 첨가된 하프늄실리케이트($HfSiO_xN_y$ ($x>0, y>0$)), 하프늄 알루미네이트($HfAl_xO_y$ ($x>0, y>0$)), 산화란탄 등의 high-k 재료를 사용함으로써 게이트 누설 전류를 저감시킬 수 있다. 또한, 게이트 절연막(442)은 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.

[0102] 그리고 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 게이트 절연막(442) 위에 게이트 전극층(401)을 형성한다. 게이트 전극층(401)의 재료는 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오듐, 스칸듐 등

의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 이용하여 형성할 수 있다. 또한, 게이트 전극층(401)으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈실리사이드 등의 실리사이드막을 이용하여도 좋다. 게이트 전극층(401)은 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.

[0103] 또한, 게이트 전극층(401)의 재료로서는 인듐주석 산화물, 산화텅스텐을 함유한 인듐 산화물, 산화텅스텐을 함유한 인듐아연 산화물, 산화티타늄을 함유한 인듐 산화물, 산화티타늄을 함유한 인듐주석 산화물, 인듐아연 산화물, 산화실리콘이 첨가된 인듐주석 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와 상기 금속 재료의 적층 구조로 할 수도 있다.

[0104] 또한, 게이트 절연막(442)과 접촉하는 게이트 전극층(401)의 한 층으로서, 질소를 함유한 금속 산화물막, 구체적으로는 질소를 함유한 In-Ga-Zn-O막이나, 질소를 함유한 In-Sn-O막이나, 질소를 함유한 In-Ga-O막이나, 질소를 함유한 In-Zn-O막이나, 질소를 함유한 Sn-O막이나, 질소를 함유한 In-O막이나, 금속 질화막(InN, SnN 등)을 사용할 수 있다. 이를 막은 5 전자볼트, 바람직하게는 5.5 전자볼트 이상의 일함수를 가지며, 게이트 전극층으로서 사용한 경우에 트랜지스터의 전기 특성의 임계값 전압을 양(positive)으로 할 수 있어, 소위 노멀리 오프(normaly-off)의 스위칭 소자를 실현할 수 있다.

[0105] 다음에 게이트 전극층(401)을 마스크로 하여 게이트 절연막(442)을 에칭하여, 산화물 반도체막(403)의 일부를 노출시킴으로써, 게이트 절연막(402)을 형성한다(도 1b 참조).

[0106] 다음에, 산화물 반도체막(403), 소스 전극층(405a), 드레인 전극층(405b), 게이트 절연막(402), 게이트 전극층(401) 위에 산화물 반도체막(403)의 일부와 접촉하도록, 금속 원소를 함유한 막(417)을 형성한다(도 1c 참조).

[0107] 금속 원소를 함유한 막(417)으로서 금속막, 금속 산화물막, 금속 질화물막 등을 들 수 있다.

[0108] 금속 원소를 함유한 막 내의 금속 원소로서는 알루미늄(Al), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 하프늄(Hf), 탄탈(Ta), 란탄(La), 바륨(Ba), 마그네슘(Mg), 지르코늄(Zr), 및 니켈(Ni) 중에서 선택된 하나 이상의 원소를 사용할 수 있다. 금속 원소를 함유한 막으로서 상기 금속 원소 중에서 선택된 하나 이상의 원소를 함유한 금속막, 금속 산화물막, 또는 금속 질화물막(예를 들어 질화티타늄막, 질화몰리브덴막, 질화텅스텐막)을 사용할 수 있다. 또한, 금속 원소를 함유한 막에 인(P), 봉소(B) 등의 도편트를 함유시켜도 좋다. 본 실시형태에서는 금속 원소를 함유한 막(417)은 도전성을 갖는다.

[0109] 금속 원소를 함유한 막(417)은 플라즈마 CVD법, 스퍼터링법, 또는 증착법 등을 이용하여 형성할 수 있다. 금속 원소를 함유한 막(417)의 두께는 5nm 이상 30nm 이하로 하면 좋다.

[0110] 본 실시형태에서는 금속 원소를 함유한 막(417)으로서 두께가 10nm인 알루미늄막을 스퍼터링법에 의해 형성한다.

[0111] 다음에 게이트 절연막(402) 및 게이트 전극층(401)을 마스크로 하여, 금속 원소를 함유한 막(417), 소스 전극층(405a), 및 드레인 전극층(405b)을 통과시켜 산화물 반도체막(403)에 도편트(421)를 선택적으로 도입함으로써, 저저항 영역(414a, 414b)을 형성한다(도 1d 참조).

[0112] 본 실시형태에서는 소스 전극층(405a) 및 드레인 전극층(405b)을 박막으로 하기 때문에, 소스 전극층(405a) 및 드레인 전극층(405b) 아래의 산화물 반도체막에도 도편트(421)가 도입되어, 저저항 영역(414a, 414b)이 형성되는 예를 제시한다. 소스 전극층(405a) 및 드레인 전극층(405b)의 두께나 도편트(421)의 도입 조건에 따라서는 소스 전극층(405a) 및 드레인 전극층(405b) 아래의 산화물 반도체막(403)에는 도편트(421)가 도입되지 않는 경우에는, 도입되어도 농도가 낮고 소스 전극층(405a) 또는 드레인 전극층(405b) 아래 이외의 저저항 영역과 비교하여 저항이 높은 영역이 되는 경우도 있다.

[0113] 도편트(421)는 산화물 반도체막(403)의 도전율을 변화시키는 불순물이다. 도편트(421)로서는 15족 원소(대표적으로는 인(P), 비소(As), 및 안티몬(Sb)), 봉소(B), 알루미늄(Al), 질소(N), 아르곤(Ar), 헬륨(He), 네온(Ne), 인듐(In), 불소(F), 염소(Cl), 티타늄(Ti), 및 아연(Zn) 중에서 선택된 하나 이상의 원소를 사용할 수 있다.

[0114] 상기 도편트는 금속 원소를 함유한 막(417)에 함유시켜도 좋다.

[0115] 도편트(421)는 주입법에 의해, 금속 원소를 함유한 막(417), 소스 전극층(405a), 및 드레인 전극층(405b)을 통과시켜 산화물 반도체막(403)에 도입한다. 도편트(421)의 도입 방법으로서 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 이용할 수 있다. 이 때 도편트(421)의 단체 이온, 또는 수소화물이나 불화물, 염화물 이온을 사용하면 바람직하다.

- [0116] 도편트(421)의 도입 공정은 가속 전압, 도즈량 등의 주입 조건, 통과시키는 금속 원소를 함유한 막(417)의 두께를 적절히 설정하여 제어하면 좋다. 예를 들어, 봉소를 사용하여 이온 주입법으로 봉소 이온을 주입하는 경우, 가속 전압을 15kV로 하고 도즈량을 1×10^{15} ions/cm²로 하면 좋다. 바람직하게는 도즈량을 1×10^{13} ions/cm² 이상 5 $\times 10^{16}$ ions/cm² 이하로 하면 좋다.
- [0117] 저저항 영역에서의 도편트(421) 농도는 5×10^{18} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하인 것이 바람직하다.
- [0118] 도편트 도입은 기판(400)을 가열하면서 수행하여도 좋다.
- [0119] 또한, 산화물 반도체막(403)에 도편트(421)를 도입하는 처리는 복수회 수행하여도 좋고, 도편트도 복수 종류 사용하여도 좋다.
- [0120] 또한 도편트(421)의 도입 처리후, 열처리를 수행하여도 좋다. 가열 조건으로서는 온도를 300°C 이상 700°C 이하, 바람직하게는 300°C 이상 450°C 이하로 하여 산소 분위기하에서 1시간 동안 수행하는 것이 바람직하다. 또한, 질소 분위기하, 감압하, 대기(초건조 공기)하에서 열처리하여도 좋다.
- [0121] 산화물 반도체막(403)을 결정성 산화물 반도체막으로 한 경우에 도편트(421) 도입에 기인하여 일부가 비정질화 될 수 있다. 이 경우에는 도편트(421) 도입 후에 열처리함으로써, 산화물 반도체막(403)의 결정성을 회복시킬 수 있다.
- [0122] 다음에 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)의 일부가 접촉한 상태에서 열처리한다. 열처리는 산소 분위기하에서 수행하는 것이 바람직하다. 또한 감압하, 질소 분위기하에서 수행할 수도 있다. 또한, 가열 온도는 100°C 이상 700°C 이하, 바람직하게는 200°C 이상 400°C 이하로 하면 좋다.
- [0123] 예를 들어, 열처리 장치의 하나인 전기로에 기판을 도입하고, 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)에 산소 분위기하에서 300°C로 1시간의 열처리를 수행한다.
- [0124] 또한, 열처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열 전도 또는 열 복사에 의해 피처리물을 가열하는 장치를 이용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 방사되는 빛(전자기파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온 가스를 이용하여 열처리하는 장치이다. 고온 가스로서는 아르곤 등의 희가스, 또는 질소와 같은 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.
- [0125] 예를 들어, 열처리로서 650°C 내지 700°C의 고온으로 가열한 불활성 가스 내에 기판을 도입하고 몇 분 동안 가열한 후 기판을 불활성 가스 내로부터 꺼내는 GRTA를 수행하여도 좋다.
- [0126] 열처리는 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등) 분위기하에서 수행하면 좋지만, 상기 질소, 산소, 초건조 공기, 또는 희가스 등의 분위기에 물, 수소 등이 함유되지 않는 것이 바람직하다. 또한, 열처리 장치에 도입하는 질소, 산소, 또는 희가스의 순도를 6N(99.9999%) 이상 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0127] 열처리됨으로써, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)으로 금속 원소가 도입되어 저저항 영역(404a, 404b)이 형성된다. 따라서, 산화물 반도체막(403)에서 채널 형성 영역(409)을 끼우도록 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b), 도편트를 함유한 저저항 영역(406a, 406b)이 형성된다. 또한, 도편트를 함유한 저저항 영역(406a, 406b)보다 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b)의 저항을 더 낮게 할 수 있다.
- [0128] 본 실시형태에서는 도편트로서 봉소를 사용하고 금속 원소로서 알루미늄을 사용하기 때문에, 저저항 영역(404a, 404b)은 봉소 및 알루미늄을 함유하고 저저항 영역(406a, 406b)은 봉소를 함유한다.
- [0129] 또한, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)에 금속 원소를 도입하기 위한 열처리에 의해, 금속 원소를 함유한 막(417)은 금속 원소를 함유한 막(407)이 된다. 예를 들어, 금속 원소를 함유한 막(417)으로서 사용한 금속막은 금속 원소를 함유한 막(407)으로서 금속 산화물 절연막이 된다. 이러한 금속 산화물막은 절연막으로서 사용할 수 있다. 본 실시형태에서는 금속 원소를 함유한 막(417)으로서 알루미늄막을 사용하기

때문에, 열처리에 의해 산화알루미늄막이 된다. 산화알루미늄막은 금속 산화물 절연막이기 때문에, 절연막으로서 사용할 수 있다.

[0130] 상술한 공정을 거쳐 본 실시형태의 트랜지스터(440)가 제작된다(도 1e 참조). 상기 트랜지스터(440)는 채널 길이 방향으로 채널 형성 영역(409)을 끼운 저저항 영역(404a, 404b), 저저항 영역(406a, 406b)을 포함한 산화물 반도체막(403)을 가짐으로써, 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하게 된다.

[0131] 저저항 영역(404a, 404b), 저저항 영역(406a, 406b)은 소스 영역 또는 드레인 영역으로서 기능시킬 수 있다. 저저항 영역(404a, 404b)을 형성함으로써, 저저항 영역(404a, 404b) 사이에 형성되는 채널 형성 영역(409)에 인가되는 전계를 완화시킬 수 있다. 또한, 저저항 영역(406a, 406b)에서 산화물 반도체막(403)과 소스 전극층(405a) 및 드레인 전극층(405b)을 전기적으로 접속시킴으로써, 산화물 반도체막(403)과, 소스 전극층(405a) 및 드레인 전극층(405b) 사이의 접촉 저항을 저감할 수 있다.

[0132] 금속 산화물 절연막인 금속 원소를 함유한 막(407) 위에 다른 절연막을 적층시켜도 좋다.

[0133] 또한, 금속 원소를 함유한 막(407)은 제거하여도 좋다. 예를 들어, 금속 원소를 함유한 막(407)이 도전성을 갖는 경우, 도 6a 내지 도 6d에 도시한 바와 같이 금속 원소를 함유한 막(407)을 제거하고 다른 절연막(416)을 형성할 수 있다.

[0134] 도 6a는 도 1e와 대응하며, 금속 원소를 함유한 막(407)이 트랜지스터(440)를 덮도록 형성된다. 금속 원소를 함유한 막(407)이 절연성인 경우에는 이것을 절연막으로서 사용할 수 있지만, 도전성을 갖는 경우나 다른 절연막을 형성하고자 하는 경우에는 금속 원소를 함유한 막(407)을 제거한다(도 6b 참조).

[0135] 그리고 트랜지스터(440)를 덮도록 절연막(416)을 형성한다(도 6c 참조).

[0136] 절연막(416)은 스퍼터링법 등 절연막(416)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 이용하여 형성하는 것이 바람직하다. 또한, 절연막(416)으로서 산소를 과잉으로 함유한 막을 사용하면, 산화물 반도체막(403)에 대한 산소의 공급원이 되기 때문에 바람직하다.

[0137] 본 실시형태에서는 절연막(416)으로서 두께가 100nm인 산화실리콘막을 스퍼터링법을 이용하여 형성한다. 스퍼터링법에 의해 산화실리콘막을 형성할 때는 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서 수행할 수 있다.

[0138] 절연막(416)의 성막실 내에 잔류된 수분을 제거하기 위해서는 산화물 반도체막의 형성시와 마찬가지로 흡착형 진공 펌프(크라이오 펌프 등)를 이용하는 것이 바람직하다. 크라이오 펌프를 이용하여 배기한 성막실에서 형성한 절연막(416)에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 절연막(416)의 성막실 내에 잔류된 수분을 제거하기 위한 배기 수단은 터보 분자 펌프에 콜드 트랩을 장착한 것이라도 좋다.

[0139] 절연막(416)을 형성할 때 사용하는 스퍼터링 가스로서는 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.

[0140] 절연막(416)을 적층하는 경우, 산화실리콘막 이외에, 대표적으로는 산화알루미늄막, 산화질화실리콘막, 산화질화알루미늄막, 또는 산화갈륨막 등의 무기 절연막을 사용할 수 있다. 예를 들어 절연막(416)으로서 산화실리콘막과 산화알루미늄막의 적층을 사용할 수 있다.

[0141] 산화물 반도체막(403) 위에 형성되는 금속 원소를 함유한 막(407), 또는 절연막(416)으로서 사용할 수 있는 산화알루미늄막은 수소, 수분 등의 불순물, 및 산소의 양쪽 모두가 막을 통과하지 않도록 차단하는 효과(블록 효과)가 높다.

[0142] 따라서, 산화알루미늄막은 제작 공정중 및 제작후에, 변동 요인이 되는 수소, 수분 등의 불순물이 산화물 반도체막(403)으로 혼입되거나 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막(403)으로부터 방출되는 것을 방지하는 보호막으로서 기능한다.

[0143] 또한, 트랜지스터로 기인한 표면 요철을 저감하기 위해서 평탄화 절연막을 형성하여도 좋다. 평탄화 절연막으로서는 폴리이미드, 아크릴, 벤조사이클로부텐계 수지 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층 시킴으로써 평탄화 절연막을 형성하여도 좋다.

- [0144] 본 실시형태에서는 금속 원소를 함유한 막(407) 또는 절연막(416) 위에 평탄화 절연막(415)을 형성한다. 또한, 금속 원소를 함유한 막(407) 또는 절연막(416), 및 평탄화 절연막(415)에 소스 전극층(405a), 드레인 전극층(405b)에 도달하는 개구를 형성하고, 개구에 소스 전극층(405a), 드레인 전극층(405b)과 전기적으로 접속되는 배선층(465a), 배선층(465b)을 형성한다(도 1f 및 도 6d 참조).
- [0145] 또한, 도 3a 내지 도 3f에 도시한 바와 같이 소스 전극층(405a), 드레인 전극층(405b)을 배선층(465a), 배선층(465b)과 같이 금속 원소를 함유한 막(407), 절연막(416) 위에 형성하여도 좋다.
- [0146] 도 3a 내지 도 3f의 경우에는 도 1a 내지 도 1f의 경우와 달리 산화물 반도체막(403)의 일부를 덮어 소스 전극층(405a), 드레인 전극층(405b)이 형성되지 않기 때문에, 게이트 전극층(401)과 중첩되는 채널 형성 영역(409) 이외의 영역에는 금속 원소 및 도편트가 도입된다. 따라서, 산화물 반도체막(403)에서 채널 형성 영역(409)을 끼우도록 형성되는 저저항 영역 모두가 금속 원소 및 도편트를 함유한 저저항 영역(404a, 404b)인 트랜지스터(445)가 된다.
- [0147] 또한, 도 3f에 도시한 반도체 장치의 일례는 트랜지스터(445) 위에 금속 산화물 절연막이 된 금속 원소를 함유한 막(407)과 절연막(416)이 격층되고, 금속 원소를 함유한 막(407)과 절연막(416)에 형성된, 저저항 영역(404a, 404b)에 도달하는 개구에 소스 전극층(405a), 드레인 전극층(405b)이 형성된다.
- [0148] 또한, 도 7a 및 도 7b에 도시한 바와 같이 게이트 전극층(401)의 측면에 사이드월 구조의 측벽 절연층(412a, 412b)을 형성하여도 좋다. 측벽 절연층(412a, 412b)은 게이트 전극층(401)을 덮는 절연막을 형성한 후, 상기 절연막을 RIE(Reactive Ion Etching: 반응성 이온 에칭)법을 이용한 이방성 에칭에 의해 가공함으로써, 게이트 전극층(401)의 측벽에 자기 정합적으로 사이드월 구조의 측벽 절연층(412a, 412b)을 형성하면 좋다. 여기서, 절연막에 관해서 특별한 한정은 없지만, TEOS(Tetraethyl-Ortho-Silicate) 또는 실란 등과, 산소 또는 아산화질소 등을 반응시켜 형성한 단차 피복성이 우수한 산화실리콘을 사용할 수 있다. 절연막은 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD, 스퍼터링 등의 방법으로 형성할 수 있다. 또한, 저온산화(LTO:Low Temperature Oxidation)법에 의해 형성된 산화실리콘을 사용하여도 좋다.
- [0149] 도 7a 및 도 7b의 경우에는 게이트 절연막(402)은 게이트 전극층(401), 및 측벽 절연층(412a, 412b)을 마스크로 하여 게이트 절연막을 에칭함으로써 형성할 수 있다.
- [0150] 또한, 도 7a 및 도 7b에서는 절연막을 에칭할 때 게이트 전극층(401) 위의 절연막을 제거하여 게이트 전극층(401)을 노출시키지만, 절연막이 게이트 전극층(401) 위에 잔존한 형상이 되도록 측벽 절연층(412a, 412b)을 형성하여도 좋다. 또한 이후에 실시되는 공정에서 게이트 전극층(401) 위에 보호막을 형성하여도 좋다. 이와 같이 게이트 전극층(401)을 보호함으로써, 에칭 가공할 때 게이트 전극층의 막이 감소되는 것을 방지할 수 있다. 에칭 방법은 드라이 에칭법이든 웨트 에칭법이든 어느 방법을 이용하여도 좋고, 각종 에칭 방법을 이용할 수 있다.
- [0151] 측벽 절연층(412a, 412b)의 형성 공정을 도편트 도입 공정보다 먼저 수행하는 경우에는 도 7a에 도시한 바와 같이 도편트 도입 공정시에 측벽 절연층(412a, 412b)도 마스크가 되기 때문에, 측벽 절연층(412a, 412b) 아래의 산화물 반도체막(403)에 도편트가 도입되지 않는 구조의 트랜지스터(420a)가 된다.
- [0152] 한편, 측벽 절연층(412a, 412b)의 형성 공정을 도편트 도입 공정 후에 수행하는 경우에는 도 7b에 도시한 바와 같이 도편트 도입 공정시에 측벽 절연층(412a, 412b)은 마스크가 되지 않기 때문에, 측벽 절연층(412a, 412b) 아래의 산화물 반도체막(403)에 도편트가 도입되어 도편트를 함유한 저저항 영역(406c, 406d)을 포함한 구조의 트랜지스터(420b)가 된다.
- [0153] 고순도화되고 산소 결손이 보전된 결정성 산화물 반도체막(403)은 수소, 물 등의 불순물이 충분히 제거되어, 산화물 반도체막(403) 내의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하이다. 또한, 산화물 반도체막(403) 내의 수소 농도는 2차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectrometry)으로 측정된다.
- [0154] 이와 같은 산화물 반도체막(403) 내에는 캐리어가 매우 적고(0에 가까움), 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만이다.
- [0155] 본 실시형태를 사용하여 제작된, 고순도화되고 산소 결손을 보전하는 산소를 과잉으로 함유한 산화물 반도체막(403)이 사용된 트랜지스터(440)는 오프 상태시의 전류값(오프 전류값)을 채널 폭 $1 \mu\text{m}$ 당 실온에서 $100\text{zA}/\mu\text{A}$

$\text{m}(1\text{zA}(\text{Zeptoampere}))$ 는 $1 \times 10^{-21}\text{A}$ 이하, 바람직하게는 $10\text{zA}/\mu\text{m}$ 이하, 더 바람직하게는 $1\text{zA}/\mu\text{m}$ 이하, 더 나아가서는 $100\text{yA}/\mu\text{m}$ 이하 수준까지 낮게 할 수 있다.

[0156] 상술한 바와 같이 전기 특성이 우수한 상기 트랜지스터를 사용함으로써, 고성능 및 고신뢰성의 반도체 장치를 제공할 수 있다.

(실시형태 2)

본 실시형태에서는 반도체 장치 및 반도체 장치의 제작 방법의 다른 일 형태를 도 2a 내지 도 2d를 사용하여 설명하기로 한다. 상기 실시형태 1과 동일 부분 또는 같은 기능을 갖는 부분 및 공정은 상기 실시형태 1과 마찬가지로 수행할 수 있고, 반복 설명은 생략한다. 또한, 같은 개소의 자세한 설명은 생략한다.

본 실시형태에서는 개시하는 발명에 따른 반도체 장치의 제작 방법에 관해서, 산화물 반도체막으로 금속 원소를 도입하는 공정을 도편트 도입 공정보다 먼저 수행하는 예를 제시한다.

도 2a 내지 도 2d는 본 실시형태의 트랜지스터(440)의 제작 방법의 일례를 도시한 것이다.

도 2a는 도 1c와 대응하며, 절연막(436)이 형성된 절연 표면을 갖는 기판(400) 위에 산화물 반도체막(403), 소스 전극층(405a), 드레인 전극층(405b), 게이트 절연막(402), 게이트 전극층(401), 금속 원소를 함유한 막(417)이 형성된다.

본 실시형태에서는 금속 원소를 함유한 막(417)으로서 두께가 10nm 인 알루미늄막을 스퍼터링법에 의해 형성한다.

다음에 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)의 일부가 접촉한 상태에서 열처리한다. 열처리는 산소 분위기하에서 수행하는 것이 바람직하다. 또한 감압하, 질소 분위기하에서 수행할 수도 있다. 또한, 가열 온도는 100°C 이상 700°C 이하, 바람직하게는 200°C 이상 400°C 이하로 하면 좋다.

예를 들어, 열처리 장치의 하나인 전기로에 기판을 도입하고, 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)에 산소 분위기하에서 300°C 로 1시간의 열처리를 수행한다.

열처리됨으로써, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)으로 금속 원소가 도입되어 저저항 영역(426a, 426b)이 형성된다(도 2b 참조). 저저항 영역(426a, 426b)은 금속 원소를 함유한다.

또한, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)에 금속 원소를 도입하기 위한 열처리에 의해, 금속 원소를 함유한 막(417)은 금속 원소를 함유한 막(407)이 된다. 예를 들어, 금속 원소를 함유한 막(417)으로서 사용한 금속막은 금속 원소를 함유한 막(407)으로서 금속 산화물 절연막이 된다. 이러한 금속 산화물막은 절연막으로서 사용할 수 있다. 본 실시형태에서는 금속 원소를 함유한 막(417)으로서 알루미늄막을 사용하기 때문에, 열처리에 의해 산화알루미늄막이 된다. 산화알루미늄막은 금속 산화물 절연막이기 때문에, 절연막으로서 사용할 수 있다.

다음에 게이트 절연막(402) 및 게이트 전극층(401)을 마스크로 하여, 금속 원소를 함유한 막(407), 소스 전극층(405a), 및 드레인 전극층(405b)을 통하여 산화물 반도체막(403)에 도편트(421)를 선택적으로 도입함으로써, 저저항 영역(404a, 404b)을 형성한다.

본 실시형태에서는 소스 전극층(405a) 및 드레인 전극층(405b)을 박막으로 하기 때문에 소스 전극층(405a) 및 드레인 전극층(405b) 아래의 산화물 반도체막에도 도편트(421)가 도입되어, 저저항 영역(406a, 406b)이 형성되는 예를 제시한다. 소스 전극층(405a) 및 드레인 전극층(405b)의 두께나 도편트(421)의 도입 조건에 따라서는 소스 전극층(405a) 및 드레인 전극층(405b) 아래의 산화물 반도체막(403)에는 도편트(421)가 도입되지 않는 경우도 있다.

본 실시형태에서는 도편트(421)로서 봉소를 사용하여 이온 주입법으로 봉소 이온을 주입한다.

따라서, 산화물 반도체막(403)에서 채널 형성 영역(409)을 끼우도록, 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b), 도편트를 함유한 저저항 영역(406a, 406b)이 형성된다. 또한, 도편트를 함유한 저저항 영역(406a, 406b)보다 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b)의 저항을 더 낮게 할 수 있다.

상술한 공정을 거쳐 본 실시형태의 트랜지스터(440)가 제작된다(도 2c 참조). 채널 길이 방향으로 채널 형성 영역(409)을 끼운 저저항 영역(404a, 404b), 저저항 영역(406a, 406b)을 포함한 산화물 반도체막(403)을 가짐으로써, 상기 트랜지스터(440)는 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고

속 응답이 가능하게 된다.

[0172] 저저항 영역(404a, 404b), 저저항 영역(406a, 406b)은 소스 영역 또는 드레인 영역으로서 기능시킬 수 있다. 저저항 영역(404a, 404b)을 형성함으로써, 저저항 영역(404a, 404b) 사이에 형성되는 채널 형성 영역(409)에 인가되는 전계를 완화시킬 수 있다. 또한, 저저항 영역(406a, 406b)에서 산화물 반도체막(403)과 소스 전극층(405a) 및 드레인 전극층(405b)을 전기적으로 접속시킴으로써, 산화물 반도체막(403)과, 소스 전극층(405a) 및 드레인 전극층(405b) 사이의 접촉 저항을 저감할 수 있다.

[0173] 본 실시형태에서는 금속 원소를 함유한 막(407) 위에 평탄화 절연막(415)을 형성한다. 또한, 금속 원소를 함유한 막(407) 및 평탄화 절연막(415)에 소스 전극층(405a), 드레인 전극층(405b)에 도달하는 개구를 형성하고, 개구에 소스 전극층(405a), 드레인 전극층(405b)과 전기적으로 접속되는 배선층(465a), 배선층(465b)을 형성한다(도 2d 참조).

[0174] 상술한 바와 같이 전기 특성이 우수한 상기 트랜지스터를 사용함으로써, 고성능 및 고신뢰성의 반도체 장치를 제공할 수 있다.

[0175] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0176] (실시형태 3)

[0177] 본 실시형태에서는 반도체 장치 및 반도체 장치의 제작 방법의 다른 일 형태를 도 4a 내지 도 4f를 사용하여 설명하기로 한다. 상기 실시형태 1이나 실시형태 2와 동일 부분 또는 같은 기능을 갖는 부분 및 공정은 상기 실시형태 1이나 실시형태 2와 마찬가지로 수행할 수 있고 반복 설명은 생략한다. 또한, 같은 개소의 자세한 설명은 생략한다.

[0178] 본 실시형태에서는 소스 전극층 및 드레인 전극층과 산화물 반도체막의 접속 구조가 상기 실시형태 1 및 실시형태 2와 상이한 트랜지스터의 제작 방법 예를 제시한다.

[0179] 도 4a 내지 도 4f는 본 실시형태의 트랜지스터(450)의 제작 방법의 일례를 도시한 것이다.

[0180] 우선, 기판(400) 위에 절연막(436)을 형성한다.

[0181] 다음에 절연막(436) 위에 소스 전극층 및 드레인 전극층(이것과 동일한 층으로 형성되는 배선을 포함함)이 되는 도전막을 형성한다.

[0182] 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고 선택적으로 에칭하여 소스 전극층(405a), 드레인 전극층(405b)을 형성한 후 레지스트 마스크를 제거한다.

[0183] 그리고 절연막(436), 소스 전극층(405a), 및 드레인 전극층(405b) 위에 산화물 반도체막(403)을 형성한다. 산화물 반도체막(403)을 덮도록 게이트 절연막(442)을 형성한다(도 4a 참조).

[0184] 게이트 전극층(401)을 게이트 절연막(442) 위에 형성한다.

[0185] 다음에 게이트 전극층(401)을 마스크로 하여 게이트 절연막(442)을 에칭하여, 산화물 반도체막(403)의 일부를 노출시킴으로써, 게이트 절연막(402)을 형성한다(도 4b 참조).

[0186] 다음에, 소스 전극층(405a), 드레인 전극층(405b), 산화물 반도체막(403), 게이트 절연막(402), 게이트 전극층(401) 위에 산화물 반도체막(403)의 일부와 접촉하는, 금속 원소를 함유한 막(417)을 형성한다(도 4c 참조).

[0187] 본 실시형태에서는 금속 원소를 함유한 막(417)으로서 두께가 10nm인 알루미늄막을 스퍼터링법에 의해 형성한다.

[0188] 다음에 게이트 절연막(402) 및 게이트 전극층(401)을 마스크로 하여, 산화물 반도체막(403)에 금속 원소를 함유한 막(417)을 통과하여 도편트(421)를 선택적으로 도입함으로써, 저저항 영역(414a, 414b)을 형성한다(도 4d 참조).

[0189] 본 실시형태에서는 도편트(421)로서 인을 사용하여 이온 주입법으로 산화물 반도체막(403)에 인 이온을 주입한다.

[0190] 저저항 영역에서의 도편트(421) 농도는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이상 $1 \times 10^{22} \text{ atoms/cm}^3$ 이하인 것이 바람직하다.

[0191] 또한 도편트(421) 도입 처리후, 열처리를 수행하여도 좋다. 가열 조건으로서는 온도를 300°C 이상 700°C 이하,

바람직하게는 300°C 이상 450°C 이하로 하여 산소 분위기하에서 1시간 동안 수행하는 것이 바람직하다. 또한, 질소 분위기하, 감압하, 대기(초건조 공기)하에서 열처리하여도 좋다.

[0192] 다음에 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)의 일부가 접촉한 상태에서 열처리한다. 열처리는 산소 분위기하에서 수행하는 것이 바람직하다. 또한 감압하, 질소 분위기하에서 수행할 수도 있다. 또한, 가열 온도는 100°C 이상 700°C 이하, 바람직하게는 200°C 이상 400°C 이하로 하면 좋다.

[0193] 예를 들어, 열처리 장치의 하나인 전기로에 기판을 도입하고, 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)에 산소 분위기하에서 300°C로 1시간의 열처리를 수행한다.

[0194] 열처리됨으로써, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)으로 금속 원소가 도입되어 저저항 영역(404a, 404b)이 형성된다. 따라서, 산화물 반도체막(403)에서 채널 형성 영역(409)을 끼우도록 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b)이 형성된다. 또한, 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b)은 저저항으로 할 수 있다.

[0195] 본 실시형태에서는 도편트로서 인을 사용하고 금속 원소로서 알루미늄을 사용하기 때문에, 저저항 영역(404a, 404b)은 인 및 알루미늄을 함유한다.

[0196] 또한, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)에 금속 원소를 도입하기 위한 열처리에 의해, 금속 원소를 함유한 막(417)은 금속 원소를 함유한 막(407)이 된다. 예를 들어, 금속 원소를 함유한 막(417)으로서 사용한 금속막은 금속 원소를 함유한 막(407)으로서 금속 산화물 절연막이 된다. 이러한 금속 산화물막은 절연막으로서 사용할 수 있다. 본 실시형태에서는 금속 원소를 함유한 막(417)으로서 알루미늄막을 사용하기 때문에, 열처리에 의해 산화알루미늄막이 된다. 산화알루미늄막은 금속 산화물 절연막이기 때문에, 절연막으로서 사용할 수 있다.

[0197] 상술한 공정을 거쳐 본 실시형태의 트랜지스터(450)가 제작된다(도 4e 참조). 상기 트랜지스터(450)는 채널 길이 방향으로 채널 형성 영역(409)을 끼운 저저항 영역(404a, 404b)을 포함한 산화물 반도체막(403)을 가짐으로써, 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하게 된다.

[0198] 저저항 영역(404a, 404b)은 소스 영역 또는 드레인 영역으로서 기능시킬 수 있다. 저저항 영역(404a, 404b)을 형성함으로써, 저저항 영역(404a, 404b) 사이에 형성되는 채널 형성 영역(409)에 인가되는 전계를 완화시킬 수 있다. 또한, 저저항 영역(404a, 404b)에서 산화물 반도체막(403)과 소스 전극층(405a) 및 드레인 전극층(405b)을 전기적으로 접속시킴으로써, 산화물 반도체막(403)과, 소스 전극층(405a) 및 드레인 전극층(405b) 사이의 접촉 저항을 저감할 수 있다.

[0199] 본 실시형태에서는 금속 원소를 함유한 막(407) 위에 평탄화 절연막(415)을 형성한다. 또한, 금속 원소를 함유한 막(407) 및 평탄화 절연막(415)에 소스 전극층(405a), 드레인 전극층(405b)에 도달하는 개구를 형성하고, 개구에 소스 전극층(405a), 드레인 전극층(405b)과 전기적으로 접속되는 배선층(465a), 배선층(465b)을 형성한다(도 4f 참조).

[0200] 상술한 바와 같이 전기 특성이 우수한 상기 트랜지스터를 사용함으로써, 고성능 및 고신뢰성의 반도체 장치를 제공할 수 있다.

[0201] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0202] (실시형태 4)

[0203] 본 실시형태에서는 반도체 장치 및 반도체 장치의 제작 방법의 다른 일 형태를 도 5a 내지 도 5d를 사용하여 설명하기로 한다. 상기 실시형태 1 내지 실시형태 3과 동일 부분 또는 같은 기능을 갖는 부분 및 공정은 상기 실시형태 1 내지 실시형태 3과 마찬가지로 수행할 수 있고 반복 설명은 생략한다. 또한, 같은 개소의 자세한 설명은 생략한다.

[0204] 본 실시형태에서는 개시하는 발명에 따른 반도체 장치의 제작 방법에 관해서, 산화물 반도체막으로 금속 원소를 도입하는 공정을 도편트 도입 공정보다 먼저 수행하는 예를 제시한다.

[0205] 도 5a 내지 도 5d는 본 실시형태의 트랜지스터(450)의 제작 방법의 일례를 도시한 것이다.

[0206] 도 5a는 도 4c와 대응하며, 절연막(436)이 형성된 절연 표면을 갖는 기판(400) 위에 소스 전극층(405a), 드레인 전극층(405b), 산화물 반도체막(403), 게이트 절연막(402), 게이트 전극층(401), 금속 원소를 함유한 막(417)이

형성된다.

- [0207] 본 실시형태에서는 금속 원소를 함유한 막(417)으로서 두께가 10nm인 알루미늄막을 스퍼터링법에 의해 형성한다.
- [0208] 다음에 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)의 일부가 접촉한 상태에서 열처리한다. 열처리는 산소 분위기하에서 수행하면 좋다.
- [0209] 예를 들어, 열처리 장치의 하나인 전기로에 기판을 도입하고, 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)에 산소 분위기하에서 300°C로 1시간의 열처리를 수행한다.
- [0210] 열처리됨으로써, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)으로 금속 원소가 도입되어 저저항 영역(426a, 426b)이 형성된다(도 5b 참조). 저저항 영역(426a, 426b)은 금속 원소를 함유한다.
- [0211] 또한, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)에 금속 원소를 도입하기 위한 열처리에 의해, 금속 원소를 함유한 막(417)은 금속 원소를 함유한 막(407)이 된다. 예를 들어, 금속 원소를 함유한 막(417)으로서 사용한 금속막은 금속 원소를 함유한 막(407)으로서 금속 산화물 절연막이 된다. 이러한 금속 산화물막은 절연막으로서 사용할 수 있다. 본 실시형태에서는 금속 원소를 함유한 막(417)으로서 알루미늄막을 사용하기 때문에, 열처리에 의해 산화알루미늄막이 된다. 산화알루미늄막은 금속 산화물 절연막이기 때문에, 절연막으로서 사용할 수 있다.
- [0212] 다음에 게이트 절연막(402) 및 게이트 전극층(401)을 마스크로 하여, 금속 원소를 함유한 막(407), 소스 전극층(405a), 및 드레인 전극층(405b)을 통과하여 산화물 반도체막(403)에 도편트(421)를 선택적으로 도입함으로써, 저저항 영역(404a, 404b)을 형성한다.
- [0213] 본 실시형태에서는 도편트(421)로서 인을 사용하며 이온 주입법으로 인 이온을 주입한다.
- [0214] 따라서, 산화물 반도체막(403)에서 채널 형성 영역(409)을 끼우도록 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b)이 형성된다. 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b)은 저저항으로 할 수 있다.
- [0215] 상술한 공정을 거쳐 본 실시형태의 트랜지스터(450)가 제작된다(도 5c 참조). 채널 길이 방향으로 채널 형성 영역(409)을 끼운 저저항 영역(404a, 404b)을 포함한 산화물 반도체막(403)을 가짐으로써, 상기 트랜지스터(450)는 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하게 된다.
- [0216] 저저항 영역(404a, 404b)은 소스 영역 또는 드레인 영역으로서 기능시킬 수 있다. 저저항 영역(404a, 404b)을 형성함으로써, 저저항 영역(404a, 404b) 사이에 형성되는 채널 형성 영역(409)에 인가되는 전계를 완화시킬 수 있다. 또한, 저저항 영역(404a, 404b)에서 산화물 반도체막(403)과 소스 전극층(405a) 및 드레인 전극층(405b)을 전기적으로 접속시킴으로써, 산화물 반도체막(403)과, 소스 전극층(405a) 및 드레인 전극층(405b) 사이의 접촉 저항을 저감할 수 있다.
- [0217] 본 실시형태에서는 금속 원소를 함유한 막(407) 위에 평탄화 절연막(415)을 형성한다. 또한, 금속 원소를 함유한 막(407) 및 평탄화 절연막(415)에 소스 전극층(405a), 드레인 전극층(405b)에 도달하는 개구를 형성하고, 개구에 소스 전극층(405a), 드레인 전극층(405b)과 전기적으로 접속되는 배선층(465a), 배선층(465b)을 형성한다(도 5d 참조).
- [0218] 상술한 바와 같이 전기 특성이 우수한 상기 트랜지스터를 사용함으로써, 고성능 및 고신뢰성의 반도체 장치를 제공할 수 있다.
- [0219] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0220] (실시형태 5)
- [0221] 본 실시형태에서는 반도체 장치 및 반도체 장치의 제작 방법의 다른 일 형태를 도 8a 내지 도 8f를 사용하여 설명하기로 한다. 상기 실시형태 1 내지 실시형태 4와 동일 부분 또는 같은 기능을 갖는 부분, 및 공정은 상기 실시형태 1 내지 실시형태 4와 마찬가지로 수행할 수 있고 반복 설명은 생략한다. 또한, 같은 개소의 자세한 설명은 생략한다.
- [0222] 본 실시형태에서는 하부 게이트 구조의 트랜지스터의 예를 제시한다. 도 8a 내지 도 8f에 도시한 트랜지스터(410)는 채널 보호형(채널 스톱형이라고도 함)이라고 불리는 하부 게이트 구조의 한가지이며, 역스태거형

(inverted staggered) 트랜지스터라고도 한다.

[0223] 도 8a 내지 도 8f에 트랜지스터(410)의 제작 방법의 일례를 도시하였다.

[0224] 우선, 절연 표면을 갖는 기판(400) 위에 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 게이트 전극층(401)을 형성한다.

[0225] 게이트 전극층(401) 위에 게이트 절연막(402)을 형성한다. 그리고 게이트 전극층(401), 및 게이트 절연막(402) 위에 산화물 반도체막(403)을 형성한다.

[0226] 게이트 전극층(401)과 중첩되는 산화물 반도체막(403) 위에 채널 보호막으로서 기능하는 절연막(427)을 형성한다(도 8a 참조).

[0227] 절연막(427)은 절연막(416)과 같은 재료 및 방법으로 형성하면 좋고, 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화질화알루미늄막, 산화하프늄막, 산화갈륨막, 질화실리콘막, 질화알루미늄막, 질화산화실리콘막, 또는 질화산화알루미늄막 등의 무기 절연막의 단층 또는 적층을 사용할 수 있다.

[0228] 산화물 반도체막(403)과 접촉하는 절연막(427)(절연막(427)이 적층 구조인 경우에는 산화물 반도체막(403)과 접촉하는 막)을 산소를 많이 함유한 상태로 하면, 산화물 반도체막(403)에 산소를 공급하는 공급원으로서 적합하게 기능시킬 수 있다.

[0229] 다음에, 게이트 전극층(401), 게이트 절연막(402), 산화물 반도체막(403), 절연막(427) 위에 산화물 반도체막(403)의 일부와 접촉하는, 금속 원소를 함유한 막(417)을 형성한다(도 8b 참조).

[0230] 본 실시형태에서는 금속 원소를 함유한 막(417)으로서 두께가 10nm인 알루미늄막을 스퍼터링법에 의해 형성한다.

[0231] 다음에 게이트 절연막(402) 및 게이트 전극층(401)을 마스크로 하여, 산화물 반도체막(403)에 금속 원소를 함유한 막(417)을 통과하여 도편트(421)를 선택적으로 도입함으로써, 저저항 영역(414a, 414b)을 형성한다(도 8c 참조).

[0232] 본 실시형태에서는 채널 보호막으로서 기능하는 절연막(427)을 도편트(421) 도입 공정에서의 마스크로서 이용하지만, 별도로 레지스트 마스크를 형성하고 도편트(421)를 선택적으로 도입하여도 좋다. 또한, 채널 보호막을 형성하지 않는 채널 에치형 트랜지스터 등의 경우에는 별도로 레지스트 마스크를 형성하고 도편트를 선택적으로 도입하면 좋다.

[0233] 본 실시형태에서는 도편트(421)로서 봉소를 사용하며 이온 주입법으로 산화물 반도체막(403)에 봉소 이온을 주입한다.

[0234] 저저항 영역에서의 도편트(421) 농도는 5×10^{18} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하인 것이 바람직하다.

[0235] 또한 도편트(421) 도입 처리후, 열처리를 수행하여도 좋다.

[0236] 다음에 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)의 일부가 접촉한 상태에서 열처리한다. 열처리는 산소 분위기하에서 수행하면 좋다.

[0237] 예를 들어, 열처리 장치의 하나인 전기로에 기판을 도입하고, 금속 원소를 함유한 막(417) 및 산화물 반도체막(403)에 산소 분위기하에서 300°C로 1시간의 열처리를 수행한다.

[0238] 열처리됨으로써, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)으로 금속 원소가 도입되어 저저항 영역(404a, 404b)이 형성된다. 따라서, 산화물 반도체막(403)에서 채널 형성 영역(409)을 끼우도록 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b)이 형성된다. 또한, 도편트 및 금속 원소를 함유한 저저항 영역(404a, 404b)은 저저항으로 할 수 있다.

[0239] 본 실시형태에서는 도편트로서 봉소를 사용하고, 금속 원소로서 알루미늄을 사용하기 때문에, 저저항 영역(404a, 404b)은 봉소 및 알루미늄을 함유한다.

[0240] 또한, 금속 원소를 함유한 막(417)으로부터 산화물 반도체막(403)에 금속 원소를 도입하기 위한 열처리에 의해, 금속 원소를 함유한 막(417)은 금속 원소를 함유한 막(407)이 된다(도 8d 참조).

[0241] 다음에 금속 원소를 함유한 막(407)을 제거하고, 저저항 영역(404a, 404b)과 접촉하도록 소스 전극층(405a), 드

레인 전극층(405b)을 형성한다. 또한, 금속 원소를 함유한 막(407)이 도전성을 갖는 경우에는 제거하지 않고 소스 전극층(405a), 드레인 전극층(405b)을 마스크로 하여 금속 원소를 함유한 막(407)을 예칭 가공한 것을 소스 전극층(405a), 드레인 전극층(405b)의 일부로서 사용하여도 좋다.

[0242] 상술한 공정을 거쳐 본 실시형태의 트랜지스터(410)가 제작된다(도 8e 참조). 채널 길이 방향으로 채널 형성 영역(409)을 끼운 저저항 영역(404a, 404b)을 포함한 산화물 반도체막(403)을 가짐으로써, 상기 트랜지스터(410)는 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하게 된다.

[0243] 저저항 영역(404a, 404b)은 소스 영역 또는 드레인 영역으로서 기능시킬 수 있다. 저저항 영역(404a, 404b)을 형성함으로써, 저저항 영역(404a, 404b) 사이에 형성되는 채널 형성 영역(409)에 인가되는 전계를 완화시킬 수 있다. 또한, 저저항 영역(404a, 404b)에서 산화물 반도체막(403)과 소스 전극층(405a) 및 드레인 전극층(405b)을 전기적으로 접속시킴으로써, 산화물 반도체막(403)과, 소스 전극층(405a) 및 드레인 전극층(405b) 사이의 접촉 저항을 저감할 수 있다.

[0244] 본 실시형태에서는 트랜지스터(410) 위에 보호막으로서 절연막(416)을 형성한다(도 8f 참조).

[0245] 상술한 바와 같이 전기 특성이 우수한 상기 트랜지스터를 사용함으로써, 고성능 및 고신뢰성의 반도체 장치를 제공할 수 있다.

[0246] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0247] (실시형태 6)

[0248] 본 실시형태에서는 반도체 장치의 제작 방법의 다른 일 형태를 설명하기로 한다. 상기 실시형태 1 내지 실시형태 5와 동일 부분 또는 같은 기능을 갖는 부분, 및 공정은 상기 실시형태 1 내지 실시형태 5와 마찬가지로 수행할 수 있고 반복 설명은 생략한다. 또한, 같은 개소의 자세한 설명은 생략한다.

[0249] 또한, 본 실시형태는 실시형태 1 내지 실시형태 5 중 어느 형태에서 제시한 트랜지스터(440, 445, 420a, 420b, 450, 410)에 적용할 수 있다.

[0250] 본 실시형태에서는 개시하는 발명에 따른 반도체 장치의 제작 방법에 관해서, 탈수화 또는 탈수소화 처리를 수행한 산화물 반도체막(403)에, 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 포함함)를 도입하여 막 내에 산소를 공급하는 예를 제시한다.

[0251] 탈수화 또는 탈수소화 처리에 의해, 산화물 반도체를 구성하는 주성분 재료인 산소도 동시에 이탈되어 감소될 우려가 있다. 산화물 반도체막(403)에서 산소가 이탈한 부분에는 산소 결손이 존재하고, 상기 산소 결손에 기인하여 트랜지스터의 전기적 특성 변동을 초래하는 도너 준위가 발생하게 된다.

[0252] 따라서, 탈수화 또는 탈수소화 처리를 수행한 산화물 반도체막(403)에 산소를 공급하는 것이 바람직하다. 산화물 반도체막(403)에 산소를 공급함으로써 막 내의 산소 결손을 보전할 수 있다. 상기 산화물 반도체막을 트랜지스터에 사용함으로써, 산소 결손에 기인한 트랜지스터의 임계값 전압 V_{th} 의 편차, 임계값 전압의 시프트 ΔV_{th} 를 저감할 수 있다. 또한, 임계값 전압을 양으로 시프트시켜, 트랜지스터를 노멀리 오프화시킬 수도 있다.

[0253] 또한, 본 실시형태에서는 산화물 반도체막(403)에 대한 산소 도입을 예로 들어 설명하지만, 산화물 반도체막(403)과 접촉하는 게이트 절연막(402), 게이트 절연막(442), 절연막(436), 금속 원소를 함유한 막(407), 절연막(416), 절연막(427) 등에 산소를 도입하여도 좋다. 산화물 반도체막(403)과 접촉하는 게이트 절연막(402), 게이트 절연막(442), 절연막(436), 금속 원소를 함유한 막(407), 절연막(416), 절연막(427)에 산소를 도입하여, 산소를 과잉으로 함유시킴으로써 산화물 반도체막(403)에 산소를 공급할 수 있다.

[0254] 산소의 도입 방법으로서 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

[0255] 산소 도입 공정은 산화물 반도체막(403)에 산소를 도입하는 경우에는 산화물 반도체막(403)에 직접 도입하여도 좋고, 게이트 절연막이나 절연막 등의 다른 막을 통과시켜 산화물 반도체막으로 도입하여도 좋다. 다른 막을 통과시켜 산소를 도입하는 경우에는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 이용하면 좋지만, 노출된 산화물 반도체막에 산소를 직접 도입하는 경우에는 플라즈마 처리 등도 이용할 수 있다.

[0256] 트랜지스터(440, 445, 420a, 420b, 450)에서는 소스 전극층(405a), 드레인 전극층(405b) 형성후, 게이트 절연

막(442) 또는 게이트 절연막(402) 형성후, 게이트 전극층(401) 형성후, 금속 원소를 함유한 막(417) 형성후, 금속 원소를 함유한 막(407) 형성후, 절연막(416) 형성후, 또는 평탄화 절연막(415) 형성후에, 노출된 산화물 반도체막(403)에 산소를 도입할 수 있다.

[0257] 또한, 트랜지스터(410)에서는 절연막(427) 형성후, 금속 원소를 함유한 막(417) 형성후, 금속 원소를 함유한 막(407) 형성후, 소스 전극층(405a)과 드레인 전극층(405b) 형성후, 또는 절연막(416) 형성후에, 노출된 산화물 반도체막(403)에 산소를 도입할 수 있다.

[0258] 이와 같이 산화물 반도체막에 대한 산소 도입은 탈수화 또는 탈수소화 처리를 수행한 후에 수행되면 좋고, 특별히 한정되지 않는다. 또한, 상기 탈수화 또는 탈수소화 처리를 수행한 산화물 반도체막에 대한 산소 도입은 복수회 수행하여도 좋다.

[0259] 예를 들어, 산소 도입 공정에 의해 도입된 산화물 반도체막(403)에서의 산소 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상 $5 \times 10^{21} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0260] 또한, 산화물 반도체에서 산소는 주된 성분 재료 중 하나이다. 이로써, 산화물 반도체막 내의 산소 농도를 SIMS(Secondary Ion Mass Spectrometry) 등의 방법을 이용하여, 정확하게 어림잡는 것은 어렵다. 즉 산화물 반도체막에 산소가 의도적으로 첨가된 것인지 아닌지를 판별하기 어렵다고 할 수 있다.

[0261] 그런데 산소에는 ^{17}O 나 ^{18}O 라는 동위체가 존재하고, 자연계에서 이들은 각각 산소 원자 전체의 0.037%, 0.204% 정도의 비율로 존재하는 것이 알려져 있다. 즉 산화물 반도체막 내에서의 이들 동위체의 농도는 SIMS 등의 방법에 의해 어림잡을 수 있을 정도가 되기 때문에, 이들의 농도를 측정함으로써 산화물 반도체막 내의 산소 농도를 더 정확하게 어림잡을 있는 경우가 있다. 따라서, 이들의 농도를 측정함으로써, 산화물 반도체막에 의도적으로 산소가 첨가된 것인지 아닌지를 판별하여도 좋다.

[0262] 또한, 본 실시형태와 같이, 산소를 산화물 반도체막에 직접 도입하는 경우에는 산화물 반도체막과 접촉하는 절연막을, 반드시 산소를 많이 함유한 막으로 할 필요는 없다. 물론, 산화물 반도체막과 접촉하는 절연막을 산소를 많이 함유한 막으로 할 뿐만 아니라 산소를 직접 산화물 반도체막에 더 많이 도입하는 등 복수의 산소 공급 방법을 수행하여도 좋다.

[0263] 도입된 산소가 다시 산화물 반도체막으로부터 이탈하지 않도록, 또한 수소, 물 등의 수소를 포함한 불순물이 산화물 반도체막으로 다시 혼입되지 않도록, 수소, 물 등의 수소를 포함한 불순물, 및 산소를 차단하는 효과(블록 효과)가 높은 막을 산화물 반도체막을 덮는 절연막으로서 형성하는 것이 바람직하다. 예를 들어, 수소, 수분 등의 불순물 및 산소의 양쪽 모두를 차단하는 효과(블록 효과)가 높은 산화알루미늄막 등을 사용하면 좋다.

[0264] 또한, 산화물 반도체막에 산소를 도입한 후, 가열 공정을 수행하는 것이 바람직하다.

[0265] 탈수화 또는 탈수소화 처리를 수행한 산화물 반도체막에 산소를 도입하여 막 내에 산소를 공급함으로써, 산화물 반도체막을 고순도화시키고 전기적으로 I형(진성)화할 수 있다.

[0266] 고순도화되고 전기적으로 I형(진성)화된 산화물 반도체막을 갖는 트랜지스터는 전기적 특성의 변동이 억제되어 전기적으로 안정적인 상태가 된다.

[0267] 상술한 바와 같이 안정된 전기적 특성을 갖는 산화물 반도체를 사용한 반도체 장치를 제공할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0268] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0269] (실시형태 7)

[0270] 실시형태 1 내지 실시형태 6 중 어느 형태에서 일례를 제시한 트랜지스터를 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를 화소부와 동일한 기판 위에 일체로 형성하여 시스템 온 패널을 형성할 수 있다.

[0271] 도 9a에서, 제 1 기판(4001) 위에 배치된 화소부(4002)를 둘러싸도록 셀재(4005)가 제공되고 제 2 기판(4006)으로 밀봉된다. 도 9a에서는 제 1 기판(4001) 위의 셀재(4005)에 의해 둘러싸인 영역과 상이한 영역에, 별도로 제공된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장된다. 또한, 별도로 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부

(4002)에 공급되는 각종 신호 및 전위는 FPC(Flexible Printed Circuit)(4018a, 4018b)로부터 공급된다.

[0272] 도 9b 및 도 9c에서, 제 1 기판(4001) 위에 배치된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 씰재(4005)가 제공된다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 제공된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 제 1 기판(4001)과 씰재(4005)와 제 2 기판(4006)에 의해 표시 소자와 함께 밀봉된다. 도 9b 및 도 9c에서는 제 1 기판(4001) 위의 씰재(4005)에 의해 둘러싸인 영역과 다른 영역에, 별도로 제공된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다. 도 9b 및 도 9c에서는 별도로 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.

[0273] 또한, 도 9b 및 도 9c에서는 신호선 구동 회로(4003)를 별도로 형성하고 제 1 기판(4001)에 실장하는 예를 도시 하였지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부분 또는 주사선 구동 회로의 일부분만을 별도로 형성하여 실장하여도 좋다.

[0274] 또한, 별도로 형성한 구동 회로의 접속 방법은 특별히 한정되는 것이 아니고, COG(Chip On Glass) 방법, 와이어 분당 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 9a는 COG 방법에 의해 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 실장하는 예이고, 도 9b는 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이고, 도 9c는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.

[0275] 또한, 표시 장치는 표시 소자가 밀봉된 상태인 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태인 모듈을 포함한다.

[0276] 또한, 본 명세서에서 말하는 표시 장치란 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 의미한다. 또한, 커넥터, 예를 들어 FPC 또는 TAB 테이프, 또는 TCP가 장착된 모듈, TAB 테이프나 TCP 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG 방식으로 IC(접적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함되는 것으로 한다.

[0277] 또한 제 1 기판 위에 제공된 화소부 및 주사선 구동 회로는 복수의 트랜지스터를 가지며, 실시형태 1 내지 실시 형태 6 중 어느 형태에서 일례를 제시한 트랜지스터를 적용할 수 있다.

[0278] 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.

[0279] 반도체 장치의 일 형태에 대해서 도 9a 내지 도 10b를 사용하여 설명하기로 한다. 도 10a 및 도 10b는 도 9a에 도시한 M-N 부분의 단면도에 상당한다.

[0280] 도 9a 내지 도 10b에 도시한 바와 같이 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 가지며, 접속 단자 전극(4015) 및 단자 전극(4016)은 이방성 도전막(4019)을 통하여 FPC(4018)가 갖는 단자와 전기적으로 접속된다.

[0281] 접속 단자 전극(4015)은 제 1 전극층(4030)과 동일한 도전막으로 형성되고, 단자 전극(4016)은 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로 형성된다.

[0282] 또한, 제 1 기판(4001) 위에 배치된 화소부(4002)와 주사선 구동 회로(4004)는 복수의 트랜지스터를 갖고, 도 9a 내지 도 10b에서는 화소부(4002)에 포함되는 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시한다. 도 10a에서는 트랜지스터(4010, 4011) 위에 절연막(4020)이 설치되고, 도 10b에서는 절연막(4021)도 설치된다. 또한, 절연막(4023)은 하지막으로서 기능하는 절연막이다.

[0283] 트랜지스터(4010), 트랜지스터(4011)로서는 실시형태 1 내지 실시형태 6 중 어느 형태에서 제시한 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 1에서 제시한 트랜지스터(440)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 제시한다.

[0284] 트랜지스터(4010) 및 트랜지스터(4011)는 채널 길이 방향으로 채널 형성 영역을 끼운 저저항 영역을 포함한 산화물 반도체막을 갖는 트랜지스터이다. 따라서, 트랜지스터(4010) 및 트랜지스터(4011)는 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하다. 또한, 미세화도 달성할 수 있다.

- [0285] 따라서, 도 9a 내지 도 10b에 도시한 본 실시형태의 반도체 장치로 함으로써, 고성능 및 고신뢰성의 반도체 장치를 제공할 수 있다.
- [0286] 화소부(4002)에 제공된 트랜지스터(4010)는 표시 소자와 전기적으로 접속되고 표시 패널을 구성한다. 표시 소자는 표시를 수행할 수 있으면 특별히 한정되지 않고 다양한 표시 소자를 사용할 수 있다.
- [0287] 도 10a에 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예를 도시하였다. 도 10a에서 표시 소자인 액정 소자(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 액정층(4008)을 협지하도록 배향막으로서 기능하는 절연막(4032, 4033)이 형성된다. 제 2 전극층(4031)은 제 2 기판(4006) 측에 형성되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정층(4008)을 개재하여 적층된 구조이다.
- [0288] 또한, 참조번호(4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 액정층(4008)의 두께(셀 캡)를 제어하기 위해서 형성된다. 또한 구형 스페이서를 사용하여도 좋다.
- [0289] 표시 소자로서 액정 소자를 사용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들의 액정 재료(액정 조성물)는 조건에 따라, 콜레스테릭상(cholesteric phase), 스메틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.
- [0290] 또한, 배향막을 사용하지 않는 블루상(blue phase)을 발현하는 액정 조성물을 액정층(4008)에 사용하여도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 계속해서 승온시키면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 액정 및 키랄제를 혼합시킨 액정 조성물을 사용하여 발현시킬 수 있다. 또한, 블루상이 발현되는 온도 범위를 넓히기 위해서 블루상을 발현하는 액정 조성물에 중합성 모노머 및 중합 개시제 등을 첨가하여 고분자 안정화시키는 처리를 수행하여 액정층을 형성할 수도 있다. 블루상을 발현하는 액정 조성물은 응답 속도가 짧고, 광학적 등방성이기 때문에 배향 처리가 필요없고 시야각 의존성도 작다. 또한, 배향막을 설치하지 않아도 되어서 러빙 처리도 필요없게 되기 때문에, 러빙 처리로 인한 정전 파괴를 방지할 수 있고, 제작 공정중의 액정 표시 장치의 불량이나 과손을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있게 된다. 산화물 반도체막이 사용되는 트랜지스터는 정전기의 영향으로 인해 트랜지스터의 전기적인 특성이 현저하게 변동되어 설계 범위를 일탈할 우려가 있다. 따라서 산화물 반도체막을 사용하는 트랜지스터를 갖는 액정 표시 장치에 블루상을 발현하는 액정 조성물을 사용하는 것은 더 효과적이다.
- [0291] 또한, 액정 재료의 고유 저항은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이고, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이고, 더 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에서의 고유 저항 값이란 20°C 에서 측정한 값으로 한다.
- [0292] 액정 표시 장치에 형성되는 유지 용량의 크기는 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정 기간 동안 전하를 유지할 수 있도록 설정된다. 유지 용량의 크기는 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 본 명세서에서 개시하는 산화물 반도체막을 갖는 트랜지스터를 이용함으로써, 각 화소에서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 갖는 유지 용량을 형성하면 충분하다.
- [0293] 본 명세서에 개시하는 산화물 반도체막이 사용된 트랜지스터는 오프 상태시의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고 전원이 온(on)된 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레쉬 동작의 빈도를 줄일 수 있기 때문에, 소비 전력을 억제하는 효과가 있다.
- [0294] 또한, 본 명세서에서 개시하는 산화물 반도체막을 사용한 트랜지스터는 높은 전계 효과 이동도가 얻어지기 때문에 고속 구동이 가능하다. 예를 들어, 이러한 고속 구동이 가능한 트랜지스터를 액정 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와, 구동 회로부에 사용하는 드라이버 트랜지스터를 동일 기판 위에 형성할 수 있다. 즉 별도로 구동 회로로서, 실리콘 웨이퍼 등으로 형성된 반도체 장치를 사용할 필요가 없기 때문에, 반도체 장치의 부품수를 삭감할 수 있다. 또한, 화소부에도 고속 구동이 가능한 트랜지스터를 사용함으로써, 고화질 화상을 제공할 수 있다. 따라서, 반도체 장치의 신뢰성도 향상시킬 수 있다.
- [0295] 액정 표시 장치에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다.
- [0296] 또한, 노멀리 블랙(normally black)형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표

시 장치로 하여도 좋다. 수직 배향 모드로서는 몇 개의 예를 들 수 있는데, 예를 들어, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 이용할 수 있다. 또한, VA형 액정 표시 장치에도 적용할 수 있다. VA형 액정 표시 장치란 액정 표시 패널의 액정 문자의 배열을 제어하는 방식 중의 1종류이다. VA형 액정 표시 장치는 전압이 인가되지 않을 때 액정 문자가 패널면에 수직인 방향을 향하는 방식이다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고 각각 다른 방향으로 문자를 배향하도록 구성되는 멀티 도메인화 또는 멀티 도메인 설계라는 방법을 이용할 수 있다.

[0297] 또한 표시 장치에서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등은 적절히 설치한다. 예를 들어, 편광 기판 및 위상차 기판에 의한 원 편광을 이용하여도 좋다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 이용하여도 좋다.

[0298] 또한, 화소부에서의 표시 방식은 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한 컬러 표시할 때, 화소에서 제어하는 색 요소는 RGB(R는 적색, G는 녹색, B는 청색을 나타냄)의 3색에 한정되지 않는다. 예를 들어, RGBW(W는 백색을 나타냄), 또는 RGB에 옐로우, 시안, 마젠타 등 중 1색 이상을 추가한 것을 들 수 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상이하여도 좋다. 다만, 개시하는 발명은 컬러 표시의 표시 장치에 한정되는 것이 아니고, 흑백 표시의 표시 장치에 적용할 수도 있다.

[0299] 또한, 표시 장치에 포함되는 표시 소자로서, 일렉트로루미네스цен스(electroluminescence)를 이용하는 발광 소자를 적용할 수 있다. 일렉트로루미네스цен스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 구별되고, 일반적으로는 발광 재료가 유기 화합물이라면 유기 EL 소자, 발광 재료가 무기 화합물이라면 무기 EL 소자라고 불린다.

[0300] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때 발광한다. 이러한 메커니즘을 가짐으로써, 상술한 바와 같은 발광 소자는 전류 여기형 발광 소자라고 불린다.

[0301] 무기 EL 소자는 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 내로 분산시킨 발광층을 갖고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층에 끼우고, 또 이것을 전극 사이에 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각 전자 전이(內殼電子轉移)를 이용하는 국재(局在)형 발광이다. 또한 여기서는, 발광 소자로서 유기 EL 소자를 사용한 경우에 대해서 설명한다.

[0302] 발광 소자는 발광을 추출하기 위해서 한 쌍의 전극 중 적어도 하나가 투광성을 가지면 좋다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 기판과는 반대측의 면으로부터 발광을 추출하는 상면 사출, 기판측의 면으로부터 발광을 추출하는 하면 사출, 기판측의 면 및 기판과는 반대측의 면 양쪽 모두로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 어느 사출 구조의 발광 소자이든 적용할 수 있다.

[0303] 표시 소자로서 발광 소자가 사용된 발광 장치의 예를 도 10b에 도시하였다. 표시 소자인 발광 소자(4513)는 화소부(4002)에 제공된 트랜지스터(4010)와 전기적으로 접속된다. 또한 도 10b에 도시된 발광 소자(4513)의 구성은 제 1 전극층(4030), 전계 발광층(4511), 제 2 전극층(4031)을 포함하는 적층 구조이지만, 이 구성에 한정되지 않는다. 발광 소자(4513)로부터 추출하는 빛의 방향 등에 따라, 발광 소자(4513)의 구성은 적절히 바꿀 수 있다.

[0304] 격벽(4510)은 유기 절연 재료, 무기 절연 재료를 사용하여 형성한다. 격벽(4510)은 특히 감광성 수지 재료를 사용하고, 제 1 전극층(4030) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0305] 전계 발광층(4511)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.

[0306] 발광 소자(4513)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제 2 전극층(4031) 및 격벽(4510) 위에 보호막을 형성하여도 좋다. 보호막으로서는 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다. 또한, 제 1 기판(4001), 제 2 기판(4006), 및 셀재(4005)에 의해 밀봉된 공간에 충전재(4514)가 제공되어 밀봉된다. 이와 같이 패널이 외기에 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패널을 패키징(밀봉)하는 것이 바람직하다.

[0307] 충전재(4514)로서는 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있

고 PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 예를 들어, 충전재로서 질소를 사용하면 좋다.

[0308] 또한 필요하다면, 발광 소자의 사출면에 편광판, 또는 원형 편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 파장판, $\lambda/2$ 파장판), 컬러 필터 등의 광학 필름을 적절히 설치하여도 좋다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 설치하여도 좋다. 예를 들어, 표면 요철에 따라 반사광을 확산시켜 눈부심을 저감할 수 있는 앤티글래어(anti-glare) 처리를 수행할 수 있다.

[0309] 또한, 표시 장치로서 전자 잉크를 구동시키는 전자 종이를 제공하는 것도 가능하다. 전자 종이는 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리며, 종이와 같이 읽기 쉽다는 장점, 다른 표시 장치에 비해 낮은 소비 전력이고 얇고 가벼운 형상으로 할 수 있다는 장점을 갖는다.

[0310] 전기 영동 표시 장치로서는 다양한 형태가 생각될 수 있는데, 양의 전하를 갖는 제 1 입자와 음의 전하를 갖는 제 2 입자를 포함하는 마이크로 캡슐 복수가 용매 또는 용질에 분산된 것이며, 마이크로 캡슐에 전계가 인가됨으로써, 마이크로 캡슐 내의 입자를 서로 반대 방향으로 이동시키고 한쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하고, 전계가 없는 경우에는 이동하지 않는다. 또한, 제 1 입자의 색과 제 2 입자의 색은 상이한 색(무색을 포함함)으로 한다.

[0311] 이와 같이, 전기 영동 표시 장치는 유전상수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다.

[0312] 상기 마이크로 캡슐을 용매 내에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 직물, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써 컬러 표시도 가능하다.

[0313] 또한, 마이크로 캡슐 내의 제 1 입자 및 제 2 입자로서는 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네선스 재료, 일렉트로크로믹 재료, 자기 영동 재료 중에서 선택된 1종류의 재료, 또는 이들의 복합 재료를 사용하면 좋다.

[0314] 또한, 전자 종이로서 트위스트 볼(twist ball) 표시 방식을 이용하는 표시 장치도 적용할 수 있다. 트위스트 볼 표시 방식이란 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 백색과 흑색으로 구분하여 착색된 구형 입자를 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시켜서 구형 입자의 방향을 제어함으로써, 표시를 수행하는 방법이다.

[0315] 또한, 도 9a 내지 도 10b에서, 제 1 기판(4001), 제 2 기판(4006)으로서는 유리 기판 이외에 가요성을 갖는 기판도 사용할 수 있고, 예를 들어 투광성을 갖는 플라스틱 기판 등을 사용할 수 있다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 투광성이 필요없다면 알루미늄이나 스테인리스 등의 금속 기판(금속 필름)을 사용하여도 좋다. 예를 들어, PVF 필름이나 폴리에스테르 필름에 알루미늄포일을 끼운 구조의 시트를 사용할 수도 있다.

[0316] 본 실시형태에서는 금속 원소를 함유한 막이 열처리되어 금속 산화물 절연막이 된 산화알루미늄막을 절연막(4020)으로서 사용한다.

[0317] 산화물 반도체막 위에 절연막(4020)으로서 형성된 산화알루미늄막은 수소, 수분 등의 불순물 및 산소의 양쪽 모두가 막을 투과하지 않도록 차단하는 효과(블록 효과)가 높다.

[0318] 따라서, 산화알루미늄막은 제작 공정중 및 제작후에, 변동 요인이 되는 수소, 수분 등의 불순물이 산화물 반도체막으로 흔입되거나 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막으로부터 방출되는 것을 방지하는 보호막으로서 기능한다.

[0319] 또한, 평탄화 절연막으로서 기능하는 절연막(4021)은 아크릴, 폴리이미드, 벤조사이클로부텐계 수지, 폴리아미드, 에폭시 등 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인봉소 유리) 등을 사용할 수 있다. 또한, 이를 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연막을 형성하여도 좋다.

[0320] 절연막(4021)의 형성 방법은 특별히 한정되지 않고 그 재료에 따라 스퍼터링법, SOG법, 스판코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼

코터, 나이프 코터 등을 이용할 수 있다.

[0321] 표시 장치는 광원 또는 표시 소자로부터의 빛을 투과시켜 표시를 수행한다. 따라서 빛이 투과하는 화소부에 형성되는 기판, 절연막, 도전막 등의 박막은 모두 가시광의 파장 영역의 빛에 대해 투광성을 갖는다.

[0322] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)에서는 추출하는 빛의 방향, 전극층이 제공되는 위치, 및 전극층의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.

[0323] 제 1 전극층(4030), 제 2 전극층(4031)은 산화텅스텐을 함유한 인듐 산화물, 산화텅스텐을 함유한 인듐아연 산화물, 산화티타늄을 함유한 인듐 산화물, 산화티타늄을 함유한 인듐주석 산화물, 인듐주석 산화물, 인듐아연 산화물, 산화실리콘이 첨가된 인듐주석 산화물, 그레핀 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0324] 또한, 제 1 전극층(4030), 제 2 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 상기 금속 질화물 중의 하나 또는 복수 종류를 사용하여 형성할 수 있다.

[0325] 또한, 제 1 전극층(4030), 제 2 전극층(4031)으로서, 도전성 고분자(도전성 중합체라고도 함)를 함유한 도전성 조성물을 사용하여 형성할 수 있다. 도전성 고분자로서는 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤 및 티오펜 중 2종 이상을 포함하는 공중합체 또는 그 유도체 등을 들 수 있다.

[0326] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로를 보호하기 위한 보호 회로를 설치하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성하는 것이 바람직하다.

[0327] 상술한 바와 같이 실시형태 1 내지 실시형태 6 중 어느 형태에서 제시한 트랜지스터를 적용함으로써, 다양한 기능을 갖는 반도체 장치를 제공할 수 있다.

[0328] (실시형태 8)

[0329] 실시형태 1 내지 실시형태 6 중 어느 형태에서 일례를 제시한 트랜지스터를 사용하여 대상물의 정보를 판독하는 이미지 센서 기능을 갖는 반도체 장치를 제작할 수 있다.

[0330] 이미지 센서 기능을 갖는 반도체 장치의 일례를 도 11a에 도시하였다. 도 11a는 포토센서의 등가 회로의 도면이고, 도 11b는 포토센서의 일부를 도시한 단면도이다.

[0331] 포토다이오드(602)는 한쪽 전극이 포토다이오드 리셋 신호선(658)에 전기적으로 접속되고, 다른 쪽 전극이 트랜지스터(640)의 게이트에 전기적으로 접속된다. 트랜지스터(640)는 소스 또는 드레인 중 하나가 포토센서 기준 신호선(672)에, 소스 또는 드레인 중 다른 하나가 트랜지스터(656)의 소스 또는 드레인 중 하나에 전기적으로 접속된다. 트랜지스터(656)는 게이트가 게이트 신호선(659)에, 소스 또는 드레인 중 다른 하나가 포토센서 출력 신호선(671)에 전기적으로 접속된다.

[0332] 또한, 본 명세서의 회로도에서, 산화물 반도체막이 사용된 트랜지스터로 명확하게 판명할 수 있도록, 산화물 반도체막이 사용된 트랜지스터의 기호에는 ‘OS’라고 기재하였다. 도 11a에서 트랜지스터(640), 트랜지스터(656)로서는 실시형태 1 내지 실시형태 6에서 제시한 트랜지스터를 적용할 수 있고, 산화물 반도체막이 사용된 트랜지스터이다. 본 실시형태에서는 실시형태 1에서 제시한 트랜지스터(440)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 제시한다.

[0333] 도 11b는 포토센서에서의 포토다이오드(602) 및 트랜지스터(640)의 단면도이며, 절연 표면을 갖는 기판(601)(TFT 기판) 위에, 센서로서 기능하는 포토다이오드(602) 및 트랜지스터(640)가 제공된다. 포토다이오드(602), 트랜지스터(640) 위에는 접착층(608)을 개재하여 기판(613)이 제공된다.

[0334] 트랜지스터(640) 위에는 절연막(631), 층간 절연막(633), 층간 절연막(634)이 제공된다. 포토다이오드(602)는 층간 절연막(633) 위에 형성되고, 층간 절연막(633) 위에 형성된 전극층(641)과 층간 절연막(634) 위에 형성된 전극층(642) 사이에 층간 절연막(633) 층으로부터 순차적으로 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)을 적층한 구조를 갖는다.

[0335] 전극층(641)은 층간 절연막(634)에 형성된 도전층(643)과 전기적으로 접속되고, 전극층(642)은 전극층(641)을

개재하여 도전층(645)과 전기적으로 접속된다. 도전층(645)은 트랜지스터(640)의 게이트 전극층과 전기적으로 접속되고, 포토다이오드(602)는 트랜지스터(640)와 전기적으로 접속된다.

[0336] 여기서는, 제 1 반도체막(606a)으로서 p형 도전형을 갖는 반도체막과, 제 2 반도체막(606b)으로서 고저항 반도체막(I형 반도체막), 제 3 반도체막(606c)으로서 n형 도전형을 갖는 반도체막을 적층하는 pin형 포토다이오드를 예시한다.

[0337] 제 1 반도체막(606a)은 p형 반도체막이며, p형을 부여하는 불순물 원소를 함유한 비정질 실리콘막으로 형성할 수 있다. 제 1 반도체막(606a)은 13족의 불순물 원소(예를 들어 붕소(B))를 함유한 반도체 재료 가스를 사용하는 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH₄)을 사용하면 좋다. 또는, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용하여도 좋다. 또한, 불순물 원소를 함유하지 않는 비정질 실리콘막을 형성한 후에 확산법이나 이온 주입법을 이용하여 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 비정질 실리콘막을 형성하는 방법으로서는 LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제 1 반도체막(606a)은 두께가 10nm 이상 50nm 이하가 되도록 형성하는 것이 바람직하다.

[0338] 제 2 반도체막(606b)은 I형 반도체막(진성 반도체막)이며, 비정질 실리콘막으로 형성한다. 제 2 반도체막(606b)으로서는 반도체 재료 가스를 사용하는 플라즈마 CVD법에 의해 비정질 실리콘막을 형성한다. 반도체 재료 가스로서는 실란(SiH₄)을 사용하면 좋다. 또는, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용하여도 좋다. 제 2 반도체막(606b)은 LPCVD법, 기상 성장법, 스퍼터링법 등에 의해 형성하여도 좋다. 제 2 반도체막(606b)은 두께가 200nm 이상 1000nm 이하가 되도록 형성하는 것이 바람직하다.

[0339] 제 3 반도체막(606c)은 n형 반도체막이며, n형을 부여하는 불순물 원소를 함유한 비정질 실리콘막으로 형성한다. 제 3 반도체막(606c)은 15족의 불순물 원소(예를 들어 인(P))를 함유한 반도체 재료 가스를 사용하는 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH₄)을 사용하면 좋다. 또는, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용하여도 좋다. 또한, 불순물 원소를 함유하지 않는 비정질 실리콘막을 형성한 후에 확산법이나 이온 주입법을 이용하여 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 비정질 실리콘막을 형성하는 방법으로서는 LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제 3 반도체막(606c)은 두께가 20nm 이상 200nm 이하가 되도록 형성하는 것이 바람직하다.

[0340] 또한, 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)은 비정질 반도체가 아니라 다결정 반도체를 사용하여 형성하여도 좋고, 미결정 반도체(세미 아모포스 반도체(Semi Amorphous Semiconductor:SA S))를 사용하여 형성하여도 좋다.

[0341] 미결정 반도체는 갑스 자유 에너지(Gibbs free energy)를 고려하면 비정질과 단결정의 중간적인 준안정 상태에 속하는 것이다. 즉 자유 에너지적으로 안정된 제 3 상태를 갖는 반도체이며, 단거리 질서를 갖고 격자 왜곡을 갖는다. 기둥 형상 또는 침 형상의 결정이 기판 표면에 대해 법선 방향으로 성장한다. 미결정 반도체의 대표적인 예인 미결정 실리콘은 라만 스펙트럼이 단결정 실리콘을 나타내는 520cm⁻¹보다 저파수 측으로 시프트하여 있다. 즉 단결정 실리콘을 나타내는 520cm⁻¹와 비정질 실리콘을 나타내는 480cm⁻¹ 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(メーグ링 본드)를 종단하기 위해서 수소 또는 할로겐을 적어도 1atomic% 이상 함유시킨다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 함유시켜 격자 왜곡을 더 촉진시킴으로써, 안정성이 증가되어 양호한 미결정 반도체막을 얻을 수 있다.

[0342] 이 미결정 반도체막은 주파수가 수십 MHz 내지 수백 MHz인 고주파 플라즈마 CVD법, 또는 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD장치에 의해 형성할 수 있다. 대표적으로는 SiH₄, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등의 실리콘이 함유된 화합물을 수소로 희석하여 형성할 수 있다. 또한, 실리콘을 함유한 화합물(예를 들어 수소화실리콘) 및 수소 외에, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종류 또는 복수 종류의 희가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다. 이 때, 실리콘을 함유한 화합물(예를 들어 수소화실리콘)에 대한 수소의 유량 비율을 5배 이상 200배 이하, 바람직하게는 50배 이상 150배 이하, 더 바람직하게는 100배로 한다. 또한, 실리콘을 함유한 기체 내에 CH₄, C₂H₆ 등의 탄화물 기체, GeH₄, GeF₄ 등의 게르마늄화 기체, F₂ 등을 혼입시켜도 좋다.

- [0343] 또한, 광전 효과로 발생한 정공의 이동도는 전자의 이동도에 비해 작기 때문에, pin형 포토다이오드는 p형 반도체막 층을 수광면으로 하는 것이 더 우수한 특성을 나타낸다. 여기서는 pin형 포토다이오드가 형성되어 있는 기판(601)의 면으로부터 포토다이오드(602)가 받는 빛을 전기 신호로 변환하는 예를 제시한다. 또한, 수광면으로 한 반도체막 층과 반대의 도전형을 갖는 반도체막 층으로부터의 광은 외란(外亂)광이 되기 때문에, 전극층으로서는 차광성을 갖는 도전막을 사용하면 좋다. 또한, n형 반도체막 층을 수광면으로서 사용할 수도 있다.
- [0344] 충간 절연막(633), 충간 절연막(634)으로서는 절연성 재료를 사용하고, 그 재료에 따라, 스퍼터링법, 플라즈마 CVD법, SOG법, 스판코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄법, 오프셋 인쇄법 등), 닉터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 이용하여 형성할 수 있다.
- [0345] 본 실시형태에서는 금속 원소를 함유한 막이 열처리되어 금속 산화물 절연막이 된 산화알루미늄막을 절연막(631)으로서 사용한다. 절연막(631)은 스퍼터링법이나 플라즈마 CVD법으로 형성할 수 있다.
- [0346] 산화물 반도체막 위에 절연막(631)으로서 제공된 산화알루미늄막은 수소, 수분 등의 불순물 및 산소의 양쪽 모두가 막을 투과하지 않도록 차단하는 효과(블록 효과)가 높다.
- [0347] 따라서, 산화알루미늄막은 제작 공정중 및 제작후에, 변동 요인이 되는 수소, 수분 등의 불순물이 산화물 반도체막으로 흔입되거나 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막으로부터 방출되는 것을 방지하는 보호막으로서 기능한다.
- [0348] 충간 절연막(633, 634)으로서는 표면 요철을 저감하기 위해서 평탄화 절연막으로서 기능하는 절연막이 바람직하다. 충간 절연막(633, 634)으로서는, 예를 들어 폴리아미드, 아크릴 수지, 벤조사이클로부텐계 수지, 폴리아미드, 에폭시 수지 등의 내열성을 갖는 유기 절연 재료를 사용할 수 있다. 또한, 상기 유기 절연 재료 이외에 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인봉소 유리) 등의 단층 또는 적층을 사용할 수 있다.
- [0349] 포토다이오드(602)에 입사되는 빛(622)을 검출함으로써, 피검출물의 정보를 판독할 수 있다. 또한 피검출물의 정보를 판독할 때, 백라이트 등의 광원을 사용할 수 있다.
- [0350] 상술한 바와 같이 채널 길이 방향으로 채널 형성 영역을 끼운 저저항 영역을 포함한 산화물 반도체막을 갖는 트랜지스터는 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하다. 또한 미세화도 달성할 수 있다. 따라서 상기 트랜지스터를 사용함으로써 고성능 및 고신뢰성의 반도체 장치를 제공할 수 있다.
- [0351] 본 실시형태는 다른 실시형태에서 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0352] (실시형태 9)
- [0353] 실시형태 1 내지 실시형태 6 중 어느 형태에서 일례를 제시한 트랜지스터는 복수의 트랜지스터를 적층하는 침적 회로를 갖는 반도체 장치에 적합하게 사용할 수 있다. 본 실시형태에서는 반도체 장치의 일례로서 기억 매체(메모리 소자)의 예를 제시한다.
- [0354] 본 실시형태에서는 단결정 반도체 기판에 제작된 제 1 트랜지스터인 트랜지스터(140)와, 절연막을 개재하여 트랜지스터(140)의 상방에 반도체막을 사용하여 제작된 제 2 트랜지스터인 트랜지스터(162)를 포함하는 반도체 장치를 제작한다. 실시형태 1 내지 실시형태 6 중의 어느 형태에서 일례로서 제시한 트랜지스터는 트랜지스터(162)에 적합하게 사용할 수 있다. 본 실시형태에서는 트랜지스터(162)로서 실시형태 1에서 제시한 트랜지스터(440)와 같은 구조를 갖는 트랜지스터를 사용하는 예를 제시한다.
- [0355] 적층하는 트랜지스터(140), 트랜지스터(162)의 반도체 재료 및 구조는 동일하여도 좋고 상이하여도 좋다. 본 실시형태에서는 기억 매체(메모리 소자)의 회로에 적합한 재료 및 구조의 트랜지스터를 각각 사용하는 예이다.
- [0356] 도 12a 내지 도 12c는 반도체 장치의 구성의 일례이다. 도 12a에는 반도체 장치의 단면을 도시하고 도 12b에는 반도체 장치의 평면을 도시하였다. 여기서, 도 12a는 도 12b의 C1-C2 및 D1-D2 부분의 단면에 상당한다. 또한, 도 12c에는 상기 반도체 장치를 메모리 소자로서 사용할 경우의 회로도의 일례를 도시하였다. 도 12a 및 도 12b에 도시한 반도체 장치는 하부에 제 1 반도체 재료가 사용된 트랜지스터(140)를 갖고, 상부에 제 2 반도체 재료가 사용된 트랜지스터(162)를 갖는다. 본 실시형태에서는 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료로 하고, 제 2 반도체 재료를 산화물 반도체로 한다. 산화물 반도체 이외의 반도체 재료로서는, 예를 들어, 실리콘, 게르마늄, 실리콘게르마늄, 탄화실리콘, 또는 갈륨비소 등을 사용할 수 있고, 단결정 반도체를

사용하는 것이 바람직하다. 상술한 재료 이외에 유기 반도체 재료 등을 사용하여도 좋다. 이러한 반도체 재료가 사용된 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체가 사용된 트랜지스터는 그 특성 때문에 장시간 동안 전하를 유지할 수 있다.

[0357] 도 12a 내지 도 12c에 도시한 반도체 장치의 제작 방법을 도 12a 내지 도 12c를 사용하여 설명한다.

[0358] 트랜지스터(140)는 반도체 재료(예를 들어 실리콘 등)를 함유한 기판(185)에 제공된 채널 형성 영역(116)과, 채널 형성 영역(116)을 끼우도록 제공된 불순물 영역(120)과, 불순물 영역(120)에 접촉하는 금속 화합물 영역(124)과, 채널 형성 영역(116) 위에 제공된 게이트 절연막(108)과, 게이트 절연막(108) 위에 제공된 게이트 전극(110)을 갖는다.

[0359] 반도체 재료를 함유한 기판(185)은 실리콘이나 탄화실리콘 등의 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 또한, 일반적으로 「SOI 기판」은 절연 표면 위에 실리콘 반도체막이 제공된 구성의 기판을 의미하지만, 본 명세서 등에서는 절연 표면 위에 실리콘 이외의 재료를 포함하는 반도체막이 제공된 구성의 기판도 포함한다. 즉 「SOI 기판」이 갖는 반도체막은 실리콘 반도체막에 한정되지 않는다. 또한 SOI 기판에는 유리 기판 등의 절연 기판 위에 절연막을 개재하여 반도체막이 제공된 구성을 갖는 것이 포함된다.

[0360] SOI 기판의 제작 방법으로서는 경면 연마 웨이퍼에 산소 이온을 주입한 후 고온으로 가열함으로써, 표면으로부터 일정한 깊이에 산화층을 형성함과 함께, 표면층에 발생한 결함을 소멸시켜서 제작하는 방법, 수소 이온을 조사함으로써 형성된 미소 보이드(microvoid)의 열처리에 의한 성장을 이용하여 반도체 기판을 벽개(劈開)하는 방법이나, 절연 표면 위의 결정 성장에 의해 단결정 반도체막을 형성하는 방법 등을 이용할 수 있다.

[0361] 예를 들어, 단결정 반도체 기판의 하나의 면으로부터 이온을 첨가하여, 단결정 반도체 기판의 하나의 면으로부터 일정한 깊이에 취약화(脆弱化)층을 형성하고, 단결정 반도체 기판의 하나의 면 위 또는 소자 기판 위 중 어느 하나에 절연막을 형성한다. 단결정 반도체 기판과 소자 기판이 절연막을 끼워서 중첩된 상태에서 취약화층에 균열을 발생시켜, 단결정 반도체 기판을 취약화층에서 분리하는 열처리를 수행하고, 단결정 반도체 기판으로부터 반도체막으로서 단결정 반도체막을 소자 기판 위에 형성한다. 상기 방법을 이용하여 제작된 SOI 기판도 적합하게 사용할 수 있다.

[0362] 기판(185) 위에는 트랜지스터(140)를 둘러싸도록 소자 분리 절연층(106)이 제공된다. 또한, 고집적화를 실현하기 위해서는 도 12a 내지 도 12c에 도시한 바와 같이 사이드월이 되는 측벽 절연층을 트랜지스터(140)가 갖지 않는 구성으로 하는 것이 바람직하다. 한편, 트랜지스터(140)의 특성을 중요시하는 경우에는 게이트 전극(110)의 측면에 사이드월이 되는 측벽 절연층을 제공하고, 불순물 농도가 상이한 영역을 포함한 불순물 영역(120)을 제공하여도 좋다.

[0363] 단결정 반도체 기판이 사용된 트랜지스터(140)는 고속 동작이 가능하다. 따라서, 상기 트랜지스터를 판독용 트랜지스터로서 사용함으로써 정보를 고속으로 판독할 수 있다. 트랜지스터(140)를 덜도록 2층의 절연막을 형성한다. 트랜지스터(162) 및 용량 소자(164) 형성 전의 처리로서, 상기 2층의 절연막에 CMP 처리를 수행하여, 평탄화된 절연막(128), 절연막(130)을 형성함과 동시에 게이트 전극(110)의 상면을 노출시킨다.

[0364] 절연막(128), 절연막(130)은 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화질화알루미늄막, 질화실리콘막, 질화알루미늄막, 질화산화실리콘막, 질화산화알루미늄막 등의 무기 절연막을 사용할 수 있다. 절연막(128), 절연막(130)은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 형성할 수 있다.

[0365] 또한, 폴리이미드, 아크릴 수지, 벤조사이클로부тен계 수지 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 유기 재료를 사용하는 경우, 스판코팅법, 인쇄법 등의 습식법에 의해 절연막(128), 절연막(130)을 형성하여도 좋다.

[0366] 또한, 절연막(130)에서, 반도체막과 접촉하는 막은 산화실리콘막을 사용한다.

[0367] 본 실시형태에서는 절연막(128)으로서 스퍼터링법에 의해 두께가 50nm인 산화질화실리콘막을 형성하고, 절연막(130)으로서 스퍼터링법에 의해 두께가 550nm인 산화실리콘막을 형성한다.

[0368] CMP 처리에 의해 충분히 평탄화된 절연막(130) 위에 반도체막을 형성한다. 본 실시형태에서는 In-Ga-Zn계 산화물 타깃을 사용하는 스퍼터링법에 의해 반도체막으로서 산화물 반도체막을 형성한다.

[0369] 다음에 산화물 반도체막을 선택적으로 예칭하여 삼 형상의 산화물 반도체막(144)을 형성한다. 산화물 반도체막

(144) 위에 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 형성한다.

[0370] 산화물 반도체막 위에 게이트 절연막(146), 게이트 전극층(148)을 형성한다. 게이트 전극층(148)은 도전층을 형성한 후에 상기 도전층을 선택적으로 에칭함으로써 형성할 수 있다. 게이트 절연막(146)은 게이트 전극층(148)을 마스크로 하여 절연막을 에칭함으로써 형성한다.

[0371] 게이트 절연막(146)으로서, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 질화산화알루미늄막, 산화하프늄막, 또는 산화갈륨막을 형성할 수 있다.

[0372] 게이트 전극(110), 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에 사용할 수 있는 도전층은 스퍼터링법을 비롯한 PVD법이나 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 또한, 도전층의 재료로서는 Al, Cr, Cu, Ta, Ti, Mo, W 중에서 선택된 원소나, 상술한 원소를 성분으로 함유한 합금 등을 사용할 수 있다. Mn, Mg, Zr, Be, Nd, Sc 중 어느 하나 또는 이들을 복수 조합한 재료를 사용하여도 좋다.

[0373] 도전층은 단층 구조이든 2층 이상을 적층한 구조이든 어느 구조라도 좋다. 예를 들어, 티타늄막이나 질화티타늄막의 단층 구조, 실리콘을 함유한 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층된 2층 구조, 질화티타늄막 위에 티타늄막이 적층된 2층 구조, 티타늄막과 알루미늄막과 티타늄막이 적층된 3층 구조 등을 들 수 있다. 또한, 도전층을 티타늄막이나 질화티타늄막의 단층 구조로 형성하는 경우에는 테이퍼 형상을 갖는 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)으로 가공하기 용이하다는 장점이 있다.

[0374] 다음에 산화물 반도체막(144), 게이트 절연막(146), 게이트 전극층(148) 위에 산화물 반도체막(144)의 일부와 접촉하는, 금속 원소를 함유한 막을 형성한다. 본 실시형태에서는 금속 원소를 함유한 막으로서 알루미늄막을 형성한다.

[0375] 금속 원소를 함유한 막을 통하여, 산화물 반도체막(144)에 도편트(본 실시형태에서는 봉소)를 도입하고, 도편트를 함유한 산화물 반도체막(144)과 금속 원소를 함유한 막을 접촉한 상태에서 열처리한다. 열처리됨으로써, 금속 원소를 함유한 막으로부터 산화물 반도체막(144)으로 금속 원소가 도입되어, 도편트 및 금속 원소를 함유한 저저항 영역이 산화물 반도체막(144)에 형성된다. 따라서, 채널 형성 영역을 끼우고, 도편트 및 금속 원소를 함유한 저저항 영역을 포함한 산화물 반도체막(144)을 갖는 트랜지스터(162)를 제작할 수 있다.

[0376] 상기 트랜지스터(162)는 채널 길이 방향으로 채널 형성 영역을 끼운 저저항 영역을 포함한 산화물 반도체막(144)을 가짐으로써, 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하게 된다.

[0377] 저저항 영역은 소스 영역 또는 드레인 영역으로서 기능시킬 수 있다. 저저항 영역을 형성함으로써, 저저항 영역 사이에 형성되는 채널 형성 영역에 인가되는 전계를 완화시킬 수 있다. 또한, 저저항 영역에서 산화물 반도체막(144)과 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b)을 각각 전기적으로 접속시킴으로써, 산화물 반도체막(144)과, 소스 전극 또는 드레인 전극(142a), 및 소스 전극 또는 드레인 전극(142b) 사이의 접촉 저항을 저감할 수 있다.

[0378] 또한, 금속 원소를 함유한 막으로부터 금속 원소를 도입하기 위한 열처리에 의해, 금속 원소를 함유한 막은 금속 원소를 함유한 막(150)이 된다. 예를 들어, 금속 원소를 함유한 막으로서 사용된 금속막은 금속 원소를 함유한 막(150)으로서 금속 산화물 절연막이 된다. 이러한 금속 산화물막은 절연막으로서 사용할 수 있다. 본 실시형태에서는 금속 원소를 함유한 막으로서 알루미늄막을 사용하기 때문에, 열처리에 의해 산화알루미늄막이 된다. 산화알루미늄막은 금속 산화물 절연막이기 때문에, 절연막으로서 사용할 수 있다.

[0379] 산화물 반도체막(144) 위에 금속 원소를 함유한 막(150)으로서 제공되는 산화알루미늄막은 수소, 수분 등의 불순물, 및 산소의 양쪽 모두가 막을 통과하지 않도록 차단하는 효과(블록 효과)가 높다.

[0380] 따라서, 산화알루미늄막은 제작 공정중 및 제작후에, 변동 요인이 되는 수소, 수분 등의 불순물이 산화물 반도체막(144)으로 흔입되거나 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막(144)으로부터 방출되는 것을 방지하는 보호막으로서 기능한다.

[0381] 또한, 금속 원소를 함유한 막(150)을 제거하거나 또는 금속 원소를 함유한 막(150) 위에 적층하여 별도로 절연막을 형성하여도 좋다.

[0382] 절연막으로서는 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 산화실리콘막, 질화실리콘막,

산화질화실리콘막, 질화산화실리콘막, 질화알루미늄막, 산화알루미늄막, 산화질화알루미늄막, 질화산화알루미늄막, 산화하프늄막, 또는 산화갈륨막을 사용할 수 있다.

[0383] 금속 원소를 함유한 막(150) 위이고 소스 전극 또는 드레인 전극(142a)과 중첩되는 영역에 전극층(153)을 형성한다.

[0384] 다음에 트랜지스터(162) 및 금속 원소를 함유한 막(150) 위에 절연막(152)을 형성한다. 절연막(152)은 스퍼터링법이나 CVD법 등을 이용하여 형성할 수 있다. 또한, 산화실리콘, 산화질화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄 등의 무기 절연 재료를 함유한 재료를 사용하여 형성할 수 있다.

[0385] 다음에, 게이트 절연막(146), 금속 원소를 함유한 막(150), 및 절연막(152)에 소스 전극 또는 드레인 전극(142b)에 도달하는 개구를 형성한다. 상기 개구는 마스크 등을 이용하여 선택적으로 에칭함으로써 형성한다.

[0386] 그 후, 상기 개구에 소스 전극 또는 드레인 전극(142b)에 접촉하는 배선(156)을 형성한다. 또한, 도 12a 내지 도 12c에는 소스 전극 또는 드레인 전극(142b)과 배선(156)의 접속 개소는 도시하지 않았다.

[0387] 배선(156)은 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 도전층을 형성한 후, 상기 도전층을 에칭 가공함으로써 형성된다. 또한, 도전층의 재료로서는 Al, Cr, Cu, Ta, Ti, Mo, W 중에서 선택된 원소나, 상술한 원소를 성분으로 함유한 합금 등을 사용할 수 있다. Mn, Mg, Zr, Be, Nd, Sc 중 어느 하나 또는 이들을 복수 조합한 재료를 사용할 수도 있다. 상세한 사항은 소스 전극 또는 드레인 전극(142a) 등의 경우와 마찬가지이다.

[0388] 상술한 공정을 거쳐 트랜지스터(162) 및 용량 소자(164)가 완성된다. 트랜지스터(162)는 고순도화되고, 산소 결손을 보전하는 산소를 과잉으로 함유한 산화물 반도체막(144)을 갖는 트랜지스터이다. 따라서, 트랜지스터(162)는 전기적 특성 변동이 억제되며 전기적으로 안정적이다. 용량 소자(164)는 소스 전극 또는 드레인 전극(142a), 및 전극층(153)으로 구성된다.

[0389] 용량이 필요없는 경우에는 용량 소자(164)를 제공하지 않는 구성으로 할 수도 있다.

[0390] 또한, 도 12c에는 상기 반도체 장치를 메모리 소자로서 사용한 경우의 회로도의 일례를 도시하였다. 도 12c에서 트랜지스터(162)의 소스 전극 및 드레인 전극 중 하나와, 용량 소자(164)의 전극 중 하나와, 트랜지스터(140)의 게이트 전극은 전기적으로 접속된다. 또한, 제 1 배선(1st Line: 소스라인이라고도 함)과 트랜지스터(140)의 소스 전극은 전기적으로 접속되고, 제 2 배선(2nd Line: 비트라인이라고도 함)과 트랜지스터(140)의 드레인 전극은 전기적으로 접속된다. 또한, 제 3 배선(3rd Line: 제 1 신호선이라고도 함)과 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 다른 하나는 전기적으로 접속되고, 제 4 배선(4th Line: 제 2 신호선이라고도 함)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속된다. 그리고, 제 5 배선(5th Line: 워드선이라고도 함)과 용량 소자(164)의 전극 중 다른 하나는 전기적으로 접속된다.

[0391] 산화물 반도체가 사용된 트랜지스터(162)는 오프 전류가 매우 작다는 특징을 갖기 때문에, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나와, 용량 소자(164)의 전극 중 하나와, 트랜지스터(140)의 게이트 전극이 전기적으로 접속된 노드(이하, 노드 FG)의 전위를 매우 장시간에 걸쳐 유지할 수 있다. 그리고, 용량 소자(164)를 가짐으로써, 노드 FG에 공급된 전하를 유지하기 용이하게 되고, 유지된 정보의 판독도 용이하게 된다.

[0392] 반도체 장치에 정보를 기억시키는 경우(기록 동작)에는 먼저 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이로써 제 3 배선의 전위가 노드 FG에 공급되어 노드 FG에 소정량의 전하가 축적된다. 여기서는 상이한 2개의 전위 레벨을 부여하는 전하(이하, Low 레벨 전하, High 레벨 전하라고 함) 중 어느 하나가 공급되는 것으로 한다. 이 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써 노드 FG가 부유 상태가 되기 때문에, 노드 FG는 그대로 소정의 전하가 유지된 상태이다. 상술한 바와 같이 하여 노드 FG에 소정량의 전하를 축적 및 유지시킴으로써, 메모리 셀에 정보를 기억시킬 수 있다.

[0393] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 노드 FG에 공급된 전하는 장시간에 걸쳐 유지된다. 따라서, 리프레쉬 동작이 필요없게 되거나, 또는 리프레쉬 동작의 빈도를 매우 낮게 할 수 있어, 소비 전력을 충분히 저감할 수 있다. 또한 전력이 공급되지 않는 경우라도, 기억된 내용을 장기간 동안 유지할 수 있다.

[0394] 기억된 정보를 판독하는 경우(판독 동작)에는 제 1 배선에 소정의 전위(정전위)를 인가한 상태에서, 제 5 배선에 적절한 전위(판독 전위)를 인가하면, 노드 FG에 유지된 전하량에 따라, 트랜지스터(140)는 상이한 상태가 된

다. 일반적으로 말해서, 트랜지스터(140)를 n채널형으로 하면, 노드 FG에 High 레벨 전하가 유지된 경우의 트랜지스터(140)의 외관상 임계값 $V_{th,H}$ 은 노드 FG에 Low 레벨 전하가 유지된 경우의 트랜지스터(140)의 외관상 임계값 $V_{th,L}$ 보다 낮기 때문이다. 여기서, 외관상 임계값이란 트랜지스터(140)를 「온 상태」로 하기 위해서 필요한 제 5 배선의 전위를 의미하는 것으로 한다. 따라서, 제 5 배선의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위 V_0 로 함으로써, 노드 FG에 유지된 전하를 판별할 수 있다. 예를 들어, 기록 동작에서, High 레벨 전하가 인가되어 있는 경우에는 제 5 배선의 전위가 $V_0 (> V_{th,H})$ 이 되면 트랜지스터(140)는 「온 상태」가 된다. Low 레벨 전하가 인가되어 있는 경우에는 제 5 배선의 전위가 $V_0 (< V_{th,L})$ 이 되더라도 트랜지스터(140)는 그대로 「오프 상태」를 유지한다. 이로써, 제 5 배선의 전위를 제어하여 트랜지스터(140)의 온 상태 또는 오프 상태를 판독(제 2 배선의 전위를 판독)함으로써, 기억된 정보를 판독할 수 있다.

[0395] 또한, 기억시킨 정보를 다른 정보로 바꾸는 경우에는 상기 기록 동작에 의해 소정량의 전하를 유지한 노드 FG에 새로운 전위를 공급함으로써, 노드 FG에 새로운 정보에 관한 전하를 유지시킨다. 구체적으로는, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여, 트랜지스터(162)를 온 상태로 한다. 이로써, 제 3 배선의 전위(새로운 정보에 관한 전위)가 노드 FG에 공급되어 노드 FG에 소정량의 전하가 축적된다. 이 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써, 노드 FG에는 새로운 정보에 관한 전하가 유지된 상태가 된다. 즉 노드 FG에 제 1 기록 동작에 의해 소정량의 전하가 유지된 상태에서, 제 1 기록 동작과 같은 동작(제 2 기록 동작)을 수행함으로써, 기억시킨 정보를 다른 정보로 바꿀 수 있다.

[0396] 본 실시형태에서 제시한 트랜지스터(162)는 본 명세서에 개시하는, 고순도화되고 산소를 과잉으로 함유한 산화물 반도체막을 산화물 반도체막(144)에 사용함으로써 트랜지스터(162)의 오프 전류를 충분히 저감할 수 있다. 그리고, 이러한 트랜지스터를 사용함으로써 매우 오랜 기간에 걸쳐 기억 내용을 유지할 수 있는 반도체 장치를 얻을 수 있다.

[0397] 상술한 바와 같이, 채널 길이 방향으로 채널 형성 영역을 끼운 저저항 영역을 포함한 산화물 반도체막을 갖는 트랜지스터는 오프 전류가 낮고 온 특성(예를 들어 온 전류 및 전계 효과 이동도)이 우수하여 고속 동작이나 고속 응답이 가능하다. 또한 미세화도 달성할 수 있다. 따라서 상기 트랜지스터를 사용함으로써 고성능 및 고신뢰성의 반도체 장치를 제공할 수 있다.

[0398] 본 실시형태에서 제시한 구성이나 방법 등은 다른 실시형태에서 제시하는 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.

[0399] (실시형태 10)

[0400] 본 명세서에 개시하는 반도체 장치는 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코(pachinko)기 등의 대형 게임기 등을 들 수 있다. 상기 실시형태 1 내지 실시형태 9에서 설명한 반도체 장치를 구비하는 전자 기기의 예에 대해서 설명한다.

[0401] 도 13a는 노트북 퍼스널 컴퓨터이며, 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등으로 구성된다. 실시형태 1 내지 실시형태 9 중 어느 형태에서 제시한 반도체 장치를 표시부(3003)에 적용함으로써, 고성능 및 고신뢰성의 노트북 퍼스널 컴퓨터를 실현할 수 있다.

[0402] 도 13b는 휴대 정보 단말(PDA)이며, 본체(3021)에는 표시부(3023)와 외부 인터페이스(3025)와 조작 버튼(3024) 등이 제공된다. 또한, 조작용 부속품으로서 스타일러스(stylus; 3022)가 있다. 실시형태 1 내지 실시형태 9 중 어느 형태에서 제시한 반도체 장치를 표시부(3023)에 적용함으로써, 보다 고성능 및 고신뢰성의 휴대 정보 단말(PDA)을 실현할 수 있다.

[0403] 도 13c는 전자 서적의 일례를 도시한 것이다. 예를 들어, 전자 서적은 하우징(2701) 및 하우징(2703)의 2개의 하우징으로 구성된다. 하우징(2701) 및 하우징(2703)은 축(軸)부(2711)에 의해 일체로 되어, 상기 축부(2711)를 축으로 하여 개폐(開閉) 동작을 수행할 수 있다. 이러한 구성으로 함으로써 종이 서적과 같이 동작할 수 있다.

[0404] 하우징(2701)에는 표시부(2705)가 내장되고, 하우징(2703)에는 표시부(2707)가 내장된다. 표시부(2705) 및 표

시부(2707)는 계속한 하나의 화면을 표시하는 구성으로 하여도 좋고, 상이한 화면을 표시하는 구성으로 하여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어 오른쪽 표시부(도 13c에서는 표시부(2705))에 글을 표시하고, 왼쪽 표시부(도 13c에서는 표시부(2707))에 화상을 표시할 수 있다. 실시형태 1 내지 실시형태 9 중 어느 형태에서 제시한 반도체 장치를 표시부(2705), 표시부(2707)에 적용함으로써, 고성능 및 고신뢰성의 전자 서적을 실현할 수 있다. 표시부(2705)로서 반투과형 또는 반사형 액정 표시 장치를 사용하는 경우, 비교적 밝은 환경에서의 사용도 예상되기 때문에, 태양 전지를 제공하고 태양 전지에 의한 발전 및 배터리에 의한 충전을 수행할 수 있게 하여도 좋다. 또한, 배터리로서 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등 장점이 있다.

[0405] 또한, 도 13c에는 하우징(2701)에 조작부 등을 구비한 예를 도시하였다. 예를 들어, 하우징(2701)에 전원(2721), 조작키(2723), 스피커(2725) 등이 구비된다. 조작키(2723)에 의해 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 하우징의 뒷면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비한 구성으로 하여도 좋다. 또한, 전자 서적은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0406] 또한, 전자 서적은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의해 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하여, 다운로드하는 구성으로 할 수도 있다.

[0407] 도 13d는 휴대 전화이며 하우징(2800) 및 하우징(2801)의 2개의 하우징으로 구성된다. 하우징(2801)에는 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등이 구비된다. 또한, 하우징(2800)에는 휴대 전화를 충전하는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등이 구비된다. 또한, 안테나는 하우징(2801) 내부에 내장된다. 실시형태 1 내지 실시형태 9 중 어느 형태에서 제시한 반도체 장치를 표시 패널(2802)에 적용함으로써, 고성능 및 고신뢰성의 휴대 전화를 실현할 수 있다.

[0408] 또한, 표시 패널(2802)은 터치 패널을 구비하며, 도 13d에는 영상 표시된 복수의 조작키(2805)를 점선으로 도시하였다. 또한, 태양 전지 셀(2810)에서 출력되는 전압을 각 회로에 필요한 전압으로 승압시키기 위한 승압 회로도 실장된다.

[0409] 표시 패널(2802)은 사용 형태에 따라 표시 방향이 적절히 변화한다. 또한, 표시 패널(2802)과 동일 면 위에 카메라용 렌즈(2807)를 구비하기 때문에 영상 전화가 가능하다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화에 한정되지 않고, 영상 전화, 녹음, 재생 등이 가능하다. 또한, 하우징(2800)과 하우징(2801)은 슬라이드시켜, 도 13d에 도시한 바와 같이 펼쳐진 상태로부터 접친 상태로 할 수 있고, 휴대하기 적합한 소형화가 가능하다.

[0410] 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입하여, 보다 대량의 데이터 보존 및 이동에 대응할 수 있다.

[0411] 또한, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이라도 좋다.

[0412] 도 13e는 디지털 비디오 카메라이며, 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부(B)(3055), 배터리(3056) 등으로 구성된다. 실시형태 1 내지 실시형태 9 중 어느 형태에서 제시한 반도체 장치를 표시부(A)(3057), 표시부(B)(3055)에 적용함으로써, 고성능 및 고신뢰성의 디지털 비디오 카메라를 실현할 수 있다.

[0413] 도 13f는 텔레비전 장치의 일례를 도시한 것이다. 텔레비전 장치는 하우징(9601)에 표시부(9603)가 내장된다. 표시부(9603)에 의해 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의해 하우징(9601)을 지탱한 구성을 도시하였다. 실시형태 1 내지 실시형태 9 중 어느 형태에서 제시한 반도체 장치를 표시부(9603)에 적용함으로써, 고성능 및 고신뢰성의 텔레비전 장치를 실현할 수 있다.

[0414] 텔레비전 장치는 하우징(9601)이 구비한 조작 스위치나, 별도로 제공된 리모트 컨트롤러에 의해 조작할 수 있다. 또한, 리모트 컨트롤러로부터 출력하는 정보를 표시하는 표시부를 상기 리모트 컨트롤러에 제공하는 구성으로 하여도 좋다.

[0415] 또한, 텔레비전 장치는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반적인 텔레비전 방송을 수신할 수 있고, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터

수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 할 수도 있다.

[0416]

본 실시형태는 다른 실시형태에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

[0417]

106: 소자 분리 절연층

108: 게이트 절연막

110: 게이트 전극

116: 채널 형성 영역

120: 불순물 영역

124: 금속 화합물 영역

128: 절연막

130: 절연막

140: 트랜지스터

142a: 소스 전극 또는 드레인 전극

142b: 소스 전극 또는 드레인 전극

144: 산화물 반도체막

146: 게이트 절연막

148: 게이트 전극층

150: 금속 원소를 함유한 막

152: 절연막

153: 전극층

156: 배선

162: 트랜지스터

164: 용량 소자

185: 기판

400: 기판

401: 게이트 전극층

402: 게이트 절연막

403: 산화물 반도체막

404a: 저저항 영역

404b: 저저항 영역

405a: 소스 전극층

405b: 드레인 전극층

406a: 저저항 영역

406b: 저저항 영역

406c: 저저항 영역

- 406d: 저저항 영역
- 407: 금속 원소를 함유한 막
- 409: 채널 형성 영역
- 410: 트랜지스터
- 412a: 측벽 절연층
- 412b: 측벽 절연층
- 414a: 저저항 영역
- 414b: 저저항 영역
- 415: 평탄화 절연막
- 416: 절연막
- 426a: 저저항 영역
- 426b: 저저항 영역
- 417: 금속 원소를 함유한 막
- 420a: 트랜지스터
- 420b: 트랜지스터
- 421: 도펀트
- 427: 절연막
- 436: 절연막
- 440: 트랜지스터
- 442: 게이트 절연막
- 445: 트랜지스터
- 450: 트랜지스터
- 465a: 배선층
- 465b: 배선층
- 601: 기판
- 602: 포토다이오드
- 606a: 반도체막
- 606b: 반도체막
- 606c: 반도체막
- 608: 접착층
- 613: 기판
- 631: 절연막
- 633: 층간 절연막
- 634: 층간 절연막
- 640: 트랜지스터
- 641: 전극층

- 642: 전극층
 643: 도전층
 645: 도전층
 656: 트랜지스터
 658: 포토다이오드 리셋 신호선
 659: 게이트 신호선
 671: 포토센서 출력 신호선
 672: 포토센서 기준 신호선
 2701: 하우징
 2703: 하우징
 2705: 표시부
 2707: 표시부
 2711: 측부
 2721: 전원
 2723: 조작키
 2725: 스피커
 2800: 하우징
 2801: 하우징
 2802: 표시 패널
 2803: 스피커
 2804: 마이크로폰
 2805: 조작키
 2806: 포인팅 디바이스
 2807: 카메라용 렌즈
 2808: 외부 접속 단자
 2810: 태양 전지 셀
 2811: 외부 메모리 슬롯
 3001: 본체
 3002: 하우징
 3003: 표시부
 3004: 키보드
 3021: 본체
 3022: 스타일러스(stylus)
 3023: 표시부
 3024: 조작 버튼
 3025: 외부 인터페이스

3051: 본체

3053: 접안부

3054: 조작 스위치

3056: 배터리

4001: 제 1 기판

4002: 화소부

4003: 신호선 구동 회로

4004: 주사선 구동 회로

4005: 셀재

4006: 제 2 기판

4008: 액정층

4010: 트랜지스터

4011: 트랜지스터

4013: 액정 소자

4015: 접속 단자 전극

4016: 단자 전극

4018: FPC

4019: 이방성 도전막

4020: 절연막

4021: 절연막

4023: 절연막

4030: 제 1 전극층

4031: 제 2 전극층

4032: 절연막

4033: 절연막

4510: 격벽

4511: 전계 발광층

4513: 발광 소자

4514: 충전재

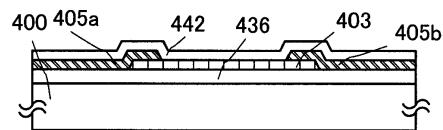
9601: 하우징

9603: 표시부

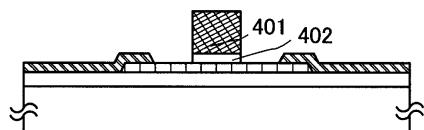
9605: 스탠드

도면

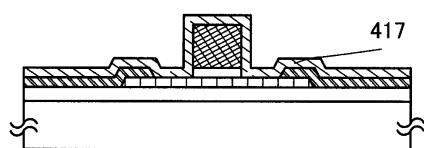
도면1a



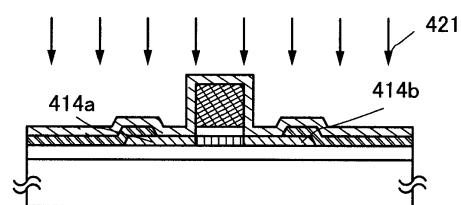
도면1b



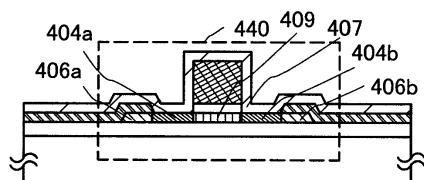
도면1c



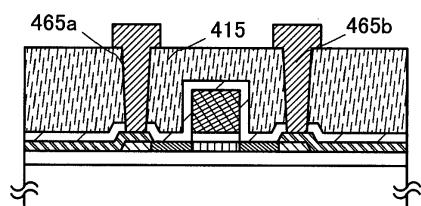
도면1d



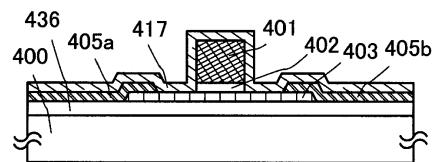
도면1e



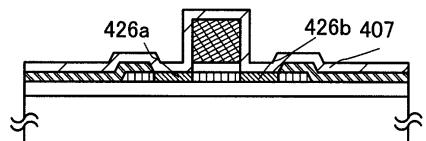
도면1f



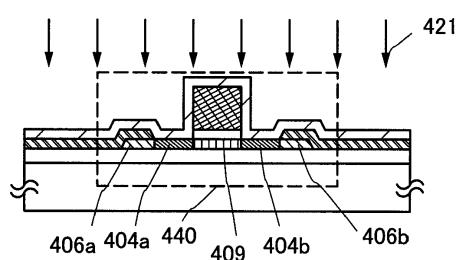
도면2a



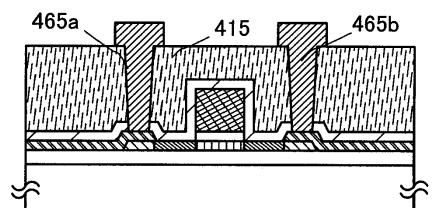
도면2b



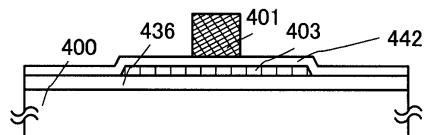
도면2c



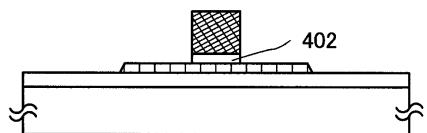
도면2d



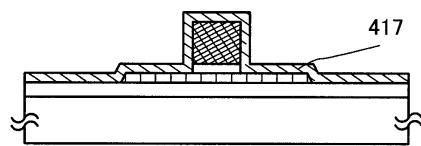
도면3a



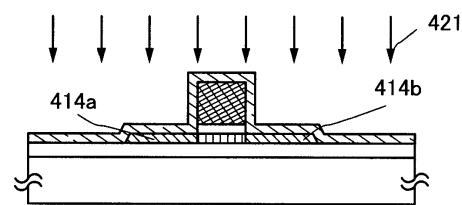
도면3b



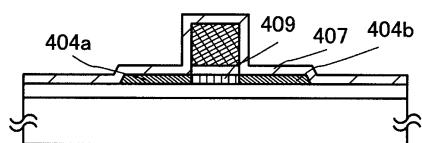
도면3c



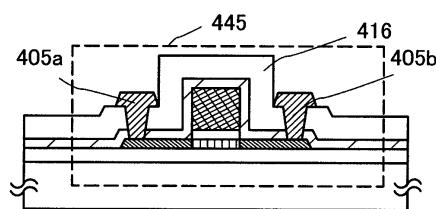
도면3d



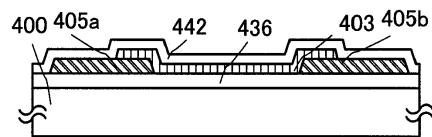
도면3e



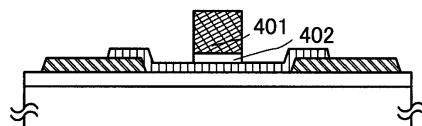
도면3f



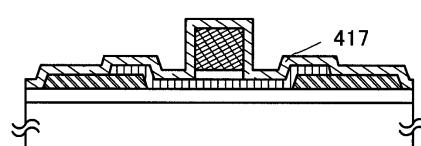
도면4a



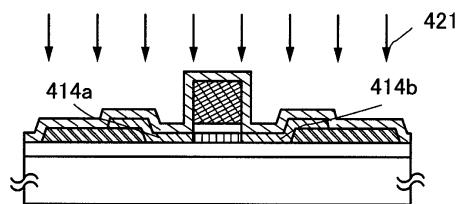
도면4b



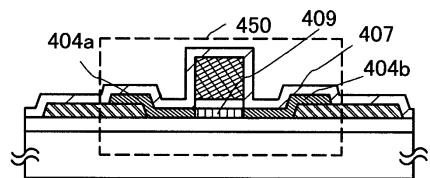
도면4c



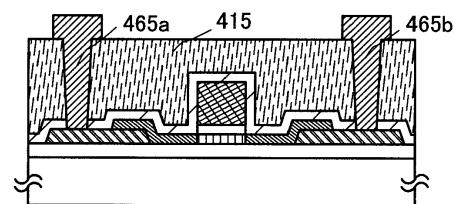
도면4d



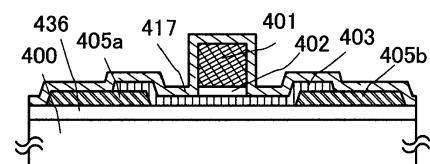
도면4e



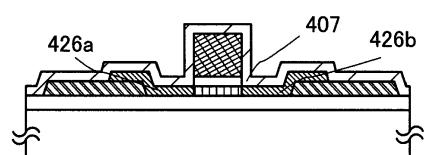
도면4f



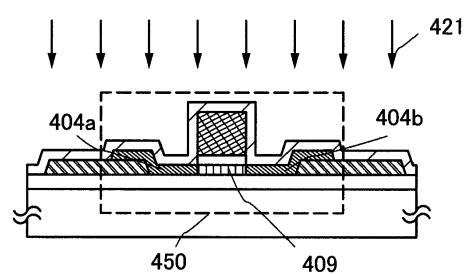
도면5a



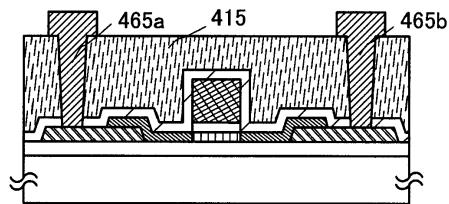
도면5b



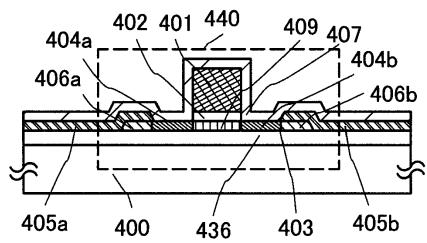
도면5c



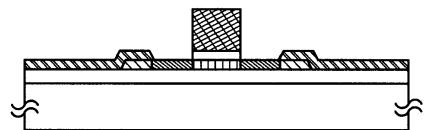
도면5d



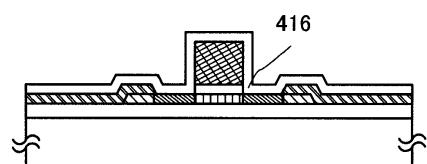
도면6a



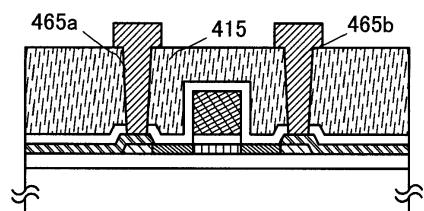
도면6b



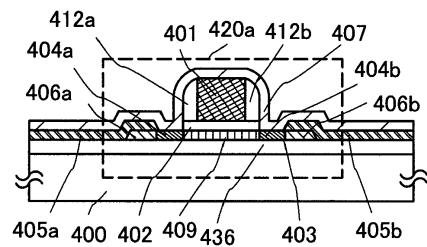
도면6c



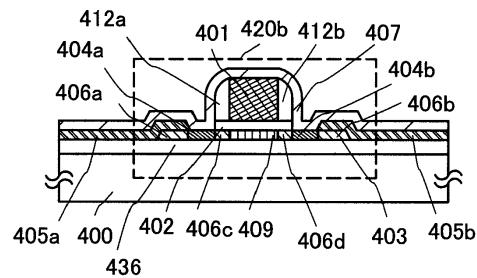
도면6d



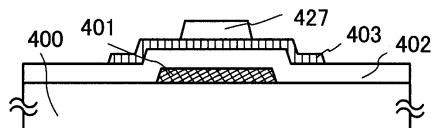
도면7a



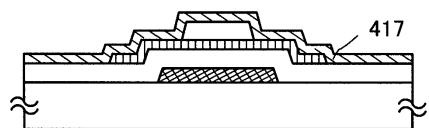
도면7b



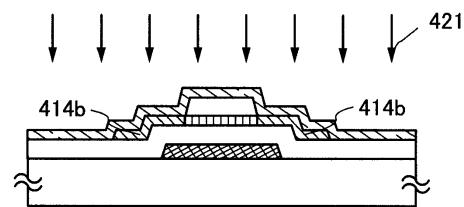
도면8a



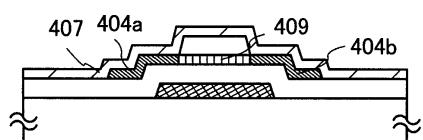
도면8b



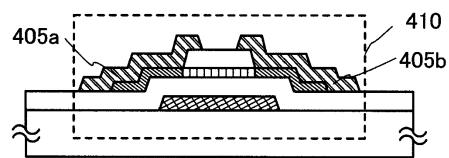
도면8c



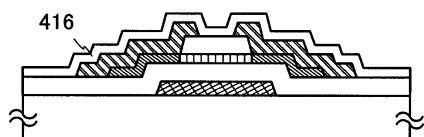
도면8d



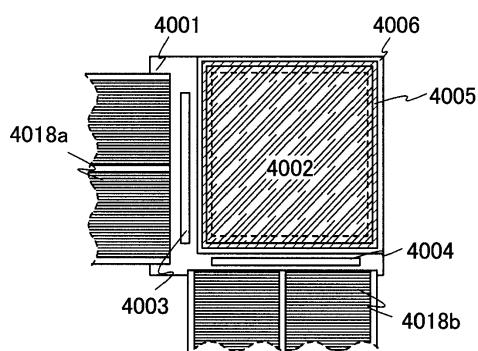
도면8e



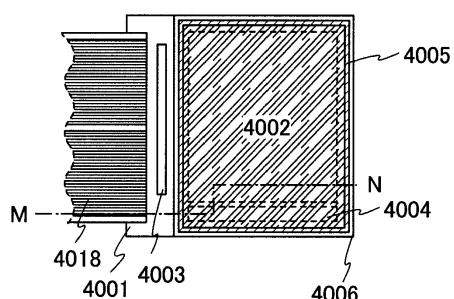
도면8f



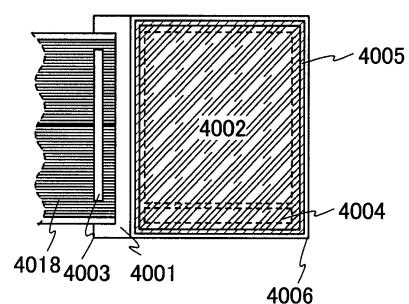
도면9a



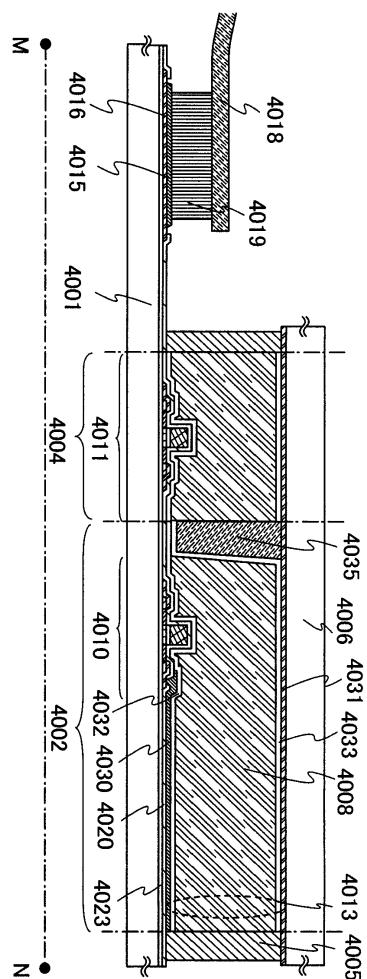
도면9b



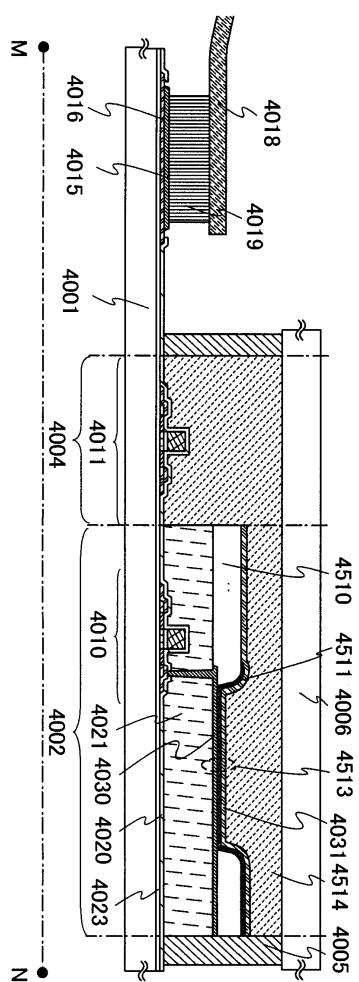
도면9c



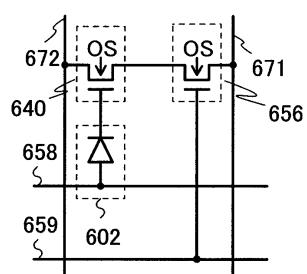
도면10a



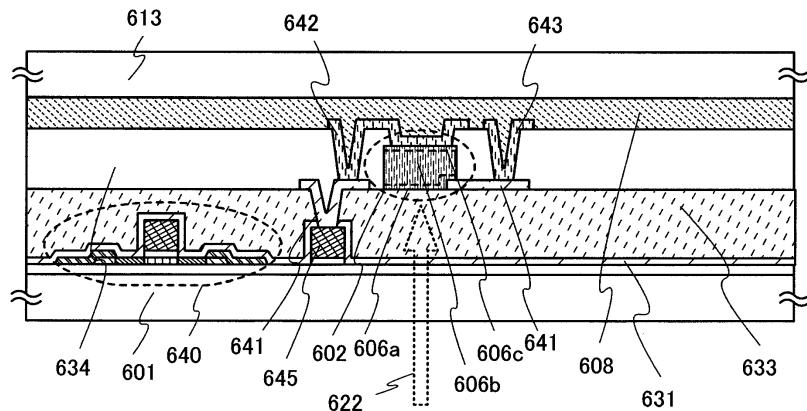
도면10b



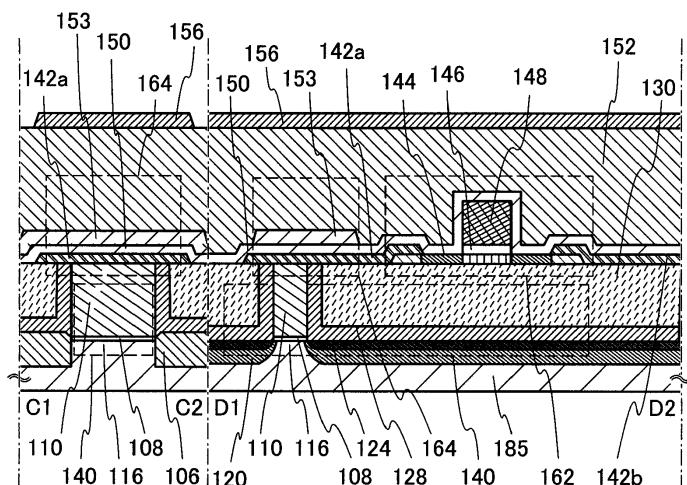
도면11a



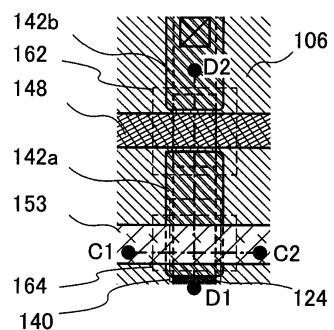
도면11b



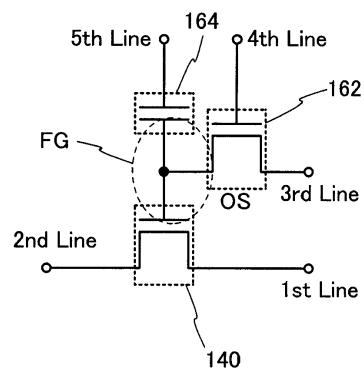
도면12a



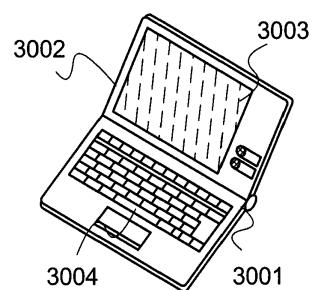
도면12b



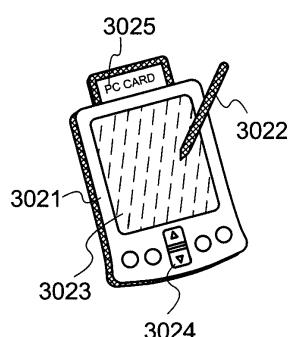
도면12c



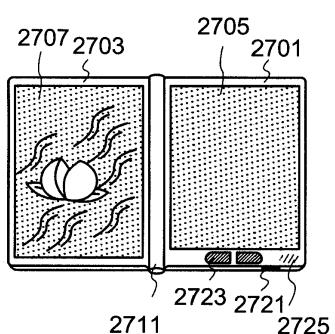
도면13a



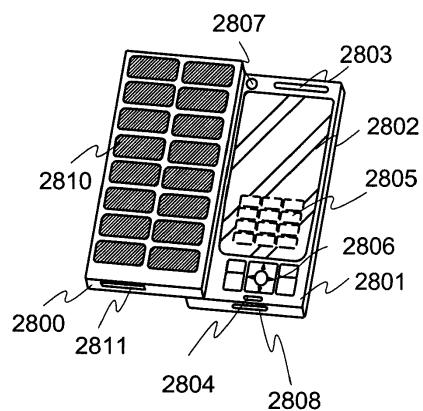
도면13b



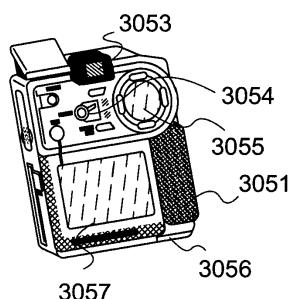
도면13c



도면13d



도면13e



도면13f

