

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3792363号
(P3792363)

(45) 発行日 平成18年7月5日(2006.7.5)

(24) 登録日 平成18年4月14日(2006.4.14)

(51) Int. Cl.

H03M 1/14 (2006.01)

F I

H03M 1/14

A

請求項の数 5 (全 11 頁)

(21) 出願番号	特願平9-237318	(73) 特許権者	000005223
(22) 出願日	平成9年9月2日(1997.9.2)		富士通株式会社
(65) 公開番号	特開平11-88171		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成11年3月30日(1999.3.30)	(74) 代理人	100108187
審査請求日	平成16年3月15日(2004.3.15)		弁理士 横山 淳一
		(74) 代理人	100068755
			弁理士 恩田 博宣
		(72) 発明者	山本 紳一
			愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		審査官	柳下 勝幸

最終頁に続く

(54) 【発明の名称】 A/D変換器

(57) 【特許請求の範囲】

【請求項1】

アナログ入力信号をサンプリングし、上位ビット側のデジタル信号を生成する上位側の変換部と、

アナログ入力信号をサンプリングし、前記上位側の変換部の処理結果に基づいて下位ビット側のデジタル信号を生成する下位側の変換部と、

前記各変換部が生成したデジタル信号を合成しアナログ入力信号をデジタル出力信号とする出力部と

を備えたA/D変換器であって、

前記下位側の変換部は前記上位側の変換部がサンプリングを終了するまでの間にサンプリングを開始し、かつ前記上位側の変換部のデジタル信号を生成する動作中にサンプリングを終了することを特徴とするA/D変換器。

【請求項2】

アナログ入力信号をサンプリングし、サンプリングしたアナログ入力信号と基準電圧とを比較判定して上位ビット側のデジタル信号を生成する上位側の変換部と、

アナログ入力信号をサンプリングし、前記上位側の変換部の比較判定結果に基づいて下位側基準電圧を設定し、サンプリングしたアナログ入力信号と該下位側基準電圧とを比較判定して下位ビット側のデジタル信号を生成する下位側の変換部と、

前記各変換部が生成したデジタル信号を合成しアナログ入力信号をデジタル出力信号とする出力部と

10

20

を備えた A / D 変換器であって、

前記下位側の変換部は、前記上位側の変換部がサンプリングを終了するまでの間にサンプリングを開始し、かつ前記上位側の変換部の比較判定動作中にサンプリングを終了することを特徴とする A / D 変換器。

【請求項 3】

アナログ入力信号をサンプリングし、サンプリングしたアナログ入力信号と基準電圧とを比較判定して上位ビット側のデジタル信号を生成する上位側の変換部と、

アナログ入力信号をサンプリングし、サンプリングしたアナログ入力信号と前記上位ビット側のデジタル信号を再びアナログ信号にした値と前記上位側の変換部の比較判定結果とに基づいて、下位ビット側のデジタル信号を生成する下位側の変換部と、

前記各変換部が生成したデジタル信号を合成しアナログ入力信号をデジタル出力信号とする出力部と

を備えた A / D 変換器であって、

前記下位側の変換部は、前記上位側の変換部がサンプリングを終了するまでの間にサンプリングを開始し、かつ前記上位側の変換部の比較判定動作中にサンプリングを終了することを特徴とする A / D 変換器。

【請求項 4】

前記下位側の変換部は、

前記上位ビット側のデジタル信号が示す電位の範囲を拡大した範囲から下位ビット側のデジタル信号を生成することを特徴とする請求項 1 又は請求項 3 のいずれか 1 項に記載の A / D 変換器。

【請求項 5】

前記下位側の変換部は、

前記上位ビット側のデジタル信号が示す電位を拡大した値を前記下位側基準電圧として設定することを特徴とする請求項 2 に記載の A / D 変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アナログ信号をデジタル信号に変換する A / D 変換器に関するものである。

【0002】

近年の半導体集積回路装置は、益々高集積化及び高速化が進められている。そして、該装置には A / D 変換器を搭載するものがある。このような A / D 変換器としては、並列型に対して回路面積を小さくすることができる直並列型のものがあり、その A / D 変換器においても、変換速度を向上させることが要求されている。

【0003】

【従来の技術】

従来の 4 ビットの直並列型の A / D 変換器は、上位側変換部及び下位側変換部を備えている。上位側変換部は、サンプルホールド回路（以下、S / H 回路という）及び上位 2 ビット用の並列型の A / D 変換回路から構成されている。下位側変換部は、S / H 回路及び下位 2 ビット用の並列型の A / D 変換回路から構成されている。

【0004】

上位側及び下位側変換部の両 S / H 回路には、制御部から同一のサンプリングパルス信号が入力される。すると、両 S / H 回路は、図 8 に示すように、該サンプリングパルス信号に基づいたサンプリング時間で同時にアナログ入力信号の瞬時値をサンプリングする。従って、両 S / H 回路は、同一の瞬時値をホールドする。

【0005】

両 S / H 回路がホールド状態となると、上位 2 ビット用の A / D 変換回路が動作し、上位 2 ビットの粗判定（上位側判定）を行なう。即ち、上位側変換部は S / H 回路がホールドした瞬時値と比較基準電圧を 4 等分した 3 段階の電位とをそれぞれ比較し、その比較結果に基づく信号を出力部及び下位側変換部に出力する。

10

20

30

40

50

【 0 0 0 6 】

下位側変換部は、上位側変換部の比較結果に基づく信号が入力されると、その信号に基づいて比較基準電圧を設定し、下位 2 ビット用の A / D 変換回路にて下位 2 ビットの密判定（下位側判定）を行なう。即ち、下位側変換部は S / H 回路がホールドした瞬時値と、上位側変換部の比較結果に基づいて設定した比較基準電圧を 4 等分した 3 段階の電位とをそれぞれ比較し、その比較結果に基づく信号を出力部に出力する。

【 0 0 0 7 】

出力部は、上位側変換部の比較結果に基づく信号と下位側変換部の比較結果に基づく信号が入力されると、両信号を合成し 4 ビットのデジタル信号を生成して出力する。

【 0 0 0 8 】

【 発明が解決しようとする課題 】

前記 A / D 変換器において、変換速度を高速化するためにはサンプリング時間を短くすることが効果的である。

【 0 0 0 9 】

しかしながら、S / H 回路で必要とするサンプリング時間は、アナログ信号を出力する外部回路の出力インピーダンスと、S / H 回路の入力インピーダンスとの値に応じて決まる。従って、外部回路の出力インピーダンスが高い場合にサンプリング時間を短くすると、S / H 回路のコンデンサにサンプリングされる電圧がアナログ信号の瞬時値に達する前にサンプリング動作が終了され、正確な瞬時値をサンプリングできなくなる。この場合、A / D 変換器の変換速度を維持させるためには、外部回路にドライバー回路を付加する必要があり、外部回路の面積が増大してしまうとともに、コストが増加するという問題がある。

【 0 0 1 0 】

又、前記 A / D 変換器では、外部回路にドライバー回路を付加しサンプリング時間を短くして変換速度を向上させても、上位側変換部の上位 2 ビット用の A / D 変換回路が動作中は、下位側変換部の動作が停止しているため、変換速度に限界がある。

【 0 0 1 1 】

この発明の目的は、A / D 変換器の回路構成を変更することなく、入力インピーダンスを実質的に上昇させることにより、アナログ信号出力回路の回路面積の縮小、あるいはサンプリング時間の短縮による A / D 変換速度の向上を図り得る A / D 変換器を提供することにある。

【 0 0 1 2 】

【 課題を解決するための手段 】

図 1 は請求項 1 に記載した発明の原理説明図である。すなわち、A / D 変換器は上位側の変換部 1 と下位側の（精密）変換部 2 と出力部 3 を備える。上位側の変換部 1 は、アナログ入力信号をサンプリングし、上位ビット側のデジタル信号を生成する。

【 0 0 1 3 】

下位側の（精密）変換部 2 は、上位側の変換部 1 がサンプリングを終了するまでの間にサンプリングを開始し、かつ上位側の変換部 1 のデジタル信号を生成する動作中にサンプリングを終了する。そして、そのサンプリングしたアナログ入力信号と上位側の変換部の処理結果に基づいて下位ビット側のデジタル信号を生成する。出力部 3 は、両変換部 1 , 2 が生成したデジタル信号を合成しデジタル出力信号を生成する。

【 0 0 1 4 】

請求項 2 では、アナログ入力信号をサンプリングし、サンプリングしたアナログ入力信号と基準電圧とを比較判定して上位ビット側のデジタル信号を生成する上位側の変換部と、アナログ入力信号をサンプリングし、前記上位側の変換部の比較判定結果に基づいて下位側基準電圧を設定し、サンプリングしたアナログ入力信号と該下位側基準電圧とを比較判定して下位ビット側のデジタル信号を生成する下位側の変換部と、前記各変換部が生成したデジタル信号を合成しアナログ入力信号をデジタル出力信号とする出力部とを備えた A / D 変換器であって、前記下位側の変換部は、前記上位側の変換部がサンプリングを終

10

20

30

40

50

了するまでの間にサンプリングを開始し、かつ前記上位側の変換部の比較判定動作中にサンプリングを終了することを要旨としている。

【0015】

請求項3では、アナログ入力信号をサンプリングし、サンプリングしたアナログ入力信号と基準電圧とを比較判定して上位ビット側のデジタル信号を生成する上位側の変換部と、アナログ入力信号をサンプリングし、サンプリングしたアナログ入力信号と前記上位ビット側のデジタル信号を再びアナログ信号にした値と前記上位側の変換部の比較判定結果とに基づいて、下位ビット側のデジタル信号を生成する下位側の変換部と、前記各変換部が生成したデジタル信号を合成しアナログ入力信号をデジタル出力信号とする出力部とを備えたA/D変換器であって、前記下位側の変換部は、前記上位側の変換部がサンプリングを終了するまでの間にサンプリングを開始し、かつ前記上位側の変換部の比較判定動作中にサンプリングを終了することを要旨としている。

10

【0016】

請求項4では、前記下位側の変換部は、前記上位ビット側のデジタル信号が示す電位の範囲を拡大した範囲から下位ビット側のデジタル信号を生成することを要旨としている。

【0017】

請求項5では、前記下位側の変換部は、前記上位ビット側のデジタル信号が示す電位を拡大した値を前記下位側基準電圧として設定することを要旨としている。

【0018】

請求項1に記載の発明によれば、上位側の変換部1では、アナログ入力信号がサンプリングされ、上位ビット側のデジタル信号が生成される。下位側の(精密)変換部2では、上位側の変換部1のデジタル信号を生成する動作中にサンプリングする動作が行なわれ、アナログ入力信号がサンプリングされる。そして、そのサンプリングしたアナログ入力信号と上位側の変換部の処理結果に基づいて下位ビット側のデジタル信号が生成される。出力部3では、両変換部1, 2が生成したデジタル信号が合成されデジタル出力信号が生成される。

20

【0019】

請求項2に記載の発明によれば、上位側の変換部では、アナログ入力信号がサンプリングされ、サンプリングしたアナログ入力信号と基準電圧とが比較判定されて上位ビット側のデジタル信号が生成される。下位側の変換部では、上位側の変換部の比較判定動作中にサンプリングする動作が行なわれ、アナログ入力信号がサンプリングされる。又、上位側の変換部の比較判定結果に基づいて下位側基準電圧が設定される。そして、サンプリングしたアナログ入力信号と下位側基準電圧とが比較判定されて下位ビット側のデジタル信号が生成される。出力部では、両変換部が生成したデジタル信号が合成されデジタル出力信号が生成される。

30

【0020】

請求項3に記載の発明によれば、上位側の変換部では、アナログ入力信号がサンプリングされ、サンプリングしたアナログ入力信号と基準電圧とが比較判定されて上位ビット側のデジタル信号が生成される。下位側の変換部では、上位側の変換部の比較判定動作中にサンプリングする動作が継続され、アナログ入力信号がサンプリングされる。又、そのサンプリングしたアナログ入力信号と前記上位ビット側のデジタル信号を再びアナログ信号にした値と前記上位側の変換部の比較判定結果とに基づいて、下位ビット側のデジタル信号が生成される。出力部では、両変換部が生成したデジタル信号が合成されデジタル出力信号が生成される。

40

【0021】

請求項4に記載の発明によれば、前記下位側の変換部では、前記上位ビット側のデジタル信号が示す電位の範囲を拡大した範囲から下位ビット側のデジタル信号が生成される。

【0022】

請求項5に記載の発明によれば、前記下位側の変換部では、前記上位ビット側のデジタル信号が示す電位を拡大した値が前記下位側基準電圧として設定される。

50

【 0 0 2 3 】

【 発明の実施の形態 】

以下、本発明を 4 ビットの A / D 変換器に具体化した一実施の形態を図 2 ~ 図 6 に従って説明する。

【 0 0 2 4 】

図 2 は、A / D 変換器のブロック図を示す。A / D 変換器は、上位側変換部 1、精密変換部としての下位側変換部 2、制御部 3 及び出力部 4 から構成されている。

【 0 0 2 5 】

上位側変換部 1 は、図 3 に示すように、抵抗ラダーを構成する直列に接続された 4 つの抵抗 $R_1 \sim R_4$ を備えている。抵抗 $R_1 \sim R_4$ は同一抵抗値である。抵抗 R_1 側の端部には高電位側の基準電圧 V_{ref1} が供給され、抵抗 R_4 側の端部には低電位側の基準電圧 V_{ref2} が供給される。

10

【 0 0 2 6 】

従って、前記抵抗 $R_1 \sim R_4$ 間の各ノード $N_1 \sim N_3$ では、基準電圧 V_{ref1} と同 V_{ref2} の電位差を 4 等分した電位が生成される。

上位側サンプルホールド回路（以下、上位側 S / H 回路という）5 には、アナログ入力信号 V_{in} が入力される。上位側 S / H 回路 5 は、制御部 3 から出力されるサンプリングパルス信号 S_1 に基づいてアナログ入力信号 V_{in} の瞬時値をサンプリングする。詳述すると、サンプリングパルス信号 S_1 の立ち上がりに基づいて上位側 S / H 回路 5 に備えられるコンデンサの充電又は放電動作を開始し、同パルス信号 S_1 のパルス幅に基づいた時間だけ充電又は放電動作を行なう。

20

【 0 0 2 7 】

上位側 S / H 回路 5 はサンプリングパルス信号 S_1 が立ち下ると、前記サンプリングした瞬時値をホールドする。

従って、3 個の比較器 6 a ~ 6 c の一方の入力端子には上位側 S / H 回路 5 がサンプリングした瞬時値が入力される。

【 0 0 2 8 】

前記比較器 6 a の他方の入力端子はノード N_1 に接続され、前記比較器 6 b の他方の入力端子はノード N_2 に接続され、前記比較器 6 c の他方の入力端子はノード N_3 に接続されている。

30

【 0 0 2 9 】

従って、比較器 6 a ~ 6 c はアナログ入力信号 V_{in} をサンプリングした瞬時値と基準電圧 V_{ref1} と同 V_{ref2} の電位差を 4 等分した電位とをそれぞれ比較して、その比較結果信号を上位側エンコーダ部 7 に出力する。

【 0 0 3 0 】

上位側エンコーダ部 7 は比較器 6 a ~ 6 c の比較結果信号に基づいて、上位側 2 ビットのデジタル信号 D_{a4} , D_{a3} を出力部 4 に出力する。又、上位側データ出力回路は比較器 6 a ~ 6 c の比較結果信号に基づいて、下位側変換部 2 の比較基準電圧を設定するための基準電圧設定信号 C を下位側変換部 2 に出力する。

【 0 0 3 1 】

下位側変換部 2 は、図 4 に示すように、抵抗ラダーを構成する直列に接続された 8 つの抵抗 $R_5 \sim R_{12}$ を備えている。抵抗 $R_5 \sim R_{12}$ は同一抵抗値である。

40

【 0 0 3 2 】

抵抗 R_5 側の端部には上位側変換部 1 の基準電圧設定信号 C に基づいて設定される高電位側の基準電圧 V_{ref3} が供給され、抵抗 R_{12} 側の端部には同様に設定される低電位側の基準電圧 V_{ref4} が供給される。

【 0 0 3 3 】

従って、前記抵抗 $R_5 \sim R_{12}$ 間の各ノード $N_4 \sim N_{10}$ では、基準電圧 V_{ref3} と同 V_{ref4} の電位差を 8 等分した電位が生成される。

基準電圧 V_{ref3} , V_{ref4} は、例えば図 5 に示すように、上位側変換部 1 のデジタル信号 D

50

a 4 , D a 3 が「 1 0 」となる場合、ノード N 1 とノード N 2 の電位差を高電位側及び低電位側に 1 . 5 倍ずつ拡大した値に設定される。

【 0 0 3 4 】

下位側サンプルホールド回路（以下、下位側 S / H 回路という）8 には、アナログ入力信号 V in が入力される。下位側 S / H 回路 8 は、制御部 3 から出力されるサンプリングパルス信号 S 2 に基づいてアナログ入力信号 V in の瞬時値をサンプリングする。詳述すると、サンプリングパルス信号 S 2 の立ち上がりに基づいて下位側 S / H 回路 8 に備えられるコンデンサの充電又は放電動作を開始し、同パルス信号 S 2 のパルス幅に基づいた時間だけ充電又は放電動作を行なう。

【 0 0 3 5 】

下位側 S / H 回路 8 はサンプリングパルス信号 S 2 が立ち下がると、前記サンプリングした瞬時値をホールドする。

従って、7 個の比較器 9 a ~ 9 g の一方の入力端子には下位側 S / H 回路 8 がサンプリングした瞬時値が入力される。

【 0 0 3 6 】

前記比較器 9 a ~ 9 g の他方の入力端子はそれぞれ前記ノード N 4 ~ N 1 0 に接続されている。

従って、比較器 9 a ~ 9 g はアナログ入力信号 V in をサンプリングした瞬時値と基準電圧 V ref3 と同 V ref4 の電位差を 8 等分した電位とをそれぞれ比較して、その比較結果信号を下位側エンコーダ部 1 0 に出力する。

【 0 0 3 7 】

下位側エンコーダ部 1 0 は比較器 9 a ~ 9 g の比較結果信号に基づいて、下位側 3 ビットのデジタル信号 D b 3 ~ D b 1 を出力部 4 に出力する。

出力部 4 は、上位側変換部 1 のデジタル信号 D a 4 , D a 3 及び、下位側変換部 2 のデジタル信号 D b 3 ~ D b 1 が入力されると、両デジタル信号 D a 4 , D a 3 , D b 3 ~ D b 1 を加算して 4 ビットのデータを求める。尚、この場合、最上位ビットから 2 番目のデジタル信号 D a 3 及びデジタル信号 D b 3 のみオーバーラップしている数値なので、その最上位ビットから 2 番目のビット以上の数値について 2 進数の加算を行えばよいことになる。

【 0 0 3 8 】

ここで、基準電圧 V ref4 は、デジタル信号 D a 4 , D a 3 が示す電位の範囲を低電位側に 1 . 5 倍ずつ拡大した値に設定されるため、下位側変換部 2 から出力されるデジタル信号 D b 3 ~ D b 1 は、上位側 2 ビットのデジタル信号 D a 4 , D a 3 から「 0 0 1 0 」を減算した値が基準値「 0 0 0 」となる数値である。従って、デジタル信号 D a 4 , D a 3 , D b 3 ~ D b 1 を加算した 4 ビットのデータは、デジタル出力信号 D 4 ~ D 1 に「 0 0 1 0 」を余分に加算した値となる。

【 0 0 3 9 】

従って、出力部 4 は、前記求めた 4 ビットのデータから「 0 0 1 0 」を減算して 4 ビットのデジタル出力信号 D 4 ~ D 1 を生成し出力する。

次に、上記のような A / D 変換器の動作を図 6 に従って説明する。

【 0 0 4 0 】

上位側及び下位側変換部 1 , 2 の両 S / H 回路 5 , 8 には、制御部 3 から同時に立ち上がるサンプリングパルス信号が入力される。上位側変換部 1 の S / H 回路 5 は、従来と同様のサンプリング時間でアナログ入力信号 V in の瞬時値をサンプリングし、ホールドする。すると、上位側変換部 1 は、上位側 2 ビットのデジタル信号 D a 4 , D a 3 の粗判定（上位側判定）を行なう。

【 0 0 4 1 】

下位側変換部 2 の S / H 回路 8 は、上位側変換部 1 の上位側判定中もサンプリング動作を継続し、従来より長いサンプリング時間でアナログ入力信号 V in の瞬時値をサンプリングし、ホールドする。詳述すると、制御部 3 から出力されるサンプリングパルス信号 S 2 は

10

20

30

40

50

上位側判定の終了時に立ち下がり、S / H回路 8 は上位側判定の終了時までサンプリング動作を行なう。

【0042】

すると、下位側変換部 2 は、下位側 3 ビットのデジタル信号 D b 3 ~ D b 1 の密判定（下位側判定）を行なう。

ここで、下位側変換部 2 の S / H回路 8 は、上位側判定の終了時までサンプリング動作を行なっているため、アナログ入力信号 V inの瞬時値を精密にサンプリングする。従って、下位側変換部 2 は密判定（下位側判定）を精度良く行なうことができる。

【0043】

出力部 4 はデジタル信号 D a 4 , D a 3 , D b 3 ~ D b 1 が入力されると、4 ビットのデ 10
ジタル出力信号 D 4 ~ D 1 を生成し出力する。

上記のように構成された A / D 変換器では、次に示す作用効果を得ることができる。

【0044】

（1）本実施の形態では、上位側変換部 1 の S / H回路 5 は従来と同様のサンプリング時間
でアナログ入力信号 V inの瞬時値をサンプリングし、下位側変換部 2 の S / H回路 8 は
上位側変換部 1 が上位側判定を行なっているときもサンプリング動作を継続するようにし
た。従って、アナログ入力信号 V inを出力する外部回路の出力インピーダンスが高い場合
等でも、下位側変換部 2 の S / H回路 8 はアナログ入力信号 V inの瞬時値を精密にサン
プリングすることができる。従って、下位側変換部 2 は密判定（下位側判定）を精度良く行
なうことができる。その結果、この A / D 変換器では、入力インピーダンスを実質的に高 20
くすることができるので、アナログ入力信号 V inを出力する外部回路の出力インピーダン
スが高い場合等に、外部回路にドライバ回路を付加しなくても、変換速度を低下させる
ことなく、変換精度を向上させることができる。

【0045】

（2）本実施の形態では、基準電圧 V ref3 , V ref4は、デジタル信号 D a 4 , D a 3 が示
す電位の範囲を高電位側及び低電位側に 1 . 5 倍に拡大した値に設定した。従って、下位
側変換部 2 のデジタル信号 D b 3 ~ D b 1 は、上位側 2 ビットのデジタル信号 D a 4 , D
a 3 から「0010」を減算した値から、上位側 2 ビットのデジタル信号 D a 4 , D a 3
から「0010」を加算した値までの範囲の密判定結果を示す信号となる。その結果、デ
ジタル信号 D a 4 , D a 3 の補正をしながら正確な 4 ビットのデジタル出力信号 D 4 ~ D 30
1 を生成することができる。

【0046】

上記実施の形態は以下のように変更して実施してもよい。

図 7 に示すように、上位側変換部 1 の S / H回路 5 は、従来より短いサンプリング時間
でサンプリングし、下位側変換部 2 の S / H回路 8 は、上位側変換部 1 の上位側判定中も
サンプリング動作を継続し、従来と同様のサンプリング時間でサンプリングするようにし
てもよい。そして、アナログ入力信号 V inを出力する外部回路の出力インピーダンスが高
い場合等には、外部回路にドライバ回路を付加する。このようにすると、下位側変換部
2 の S / H回路 8 はアナログ入力信号 V inの瞬時値を精密にサンプリングすることができ
る。従って、下位側変換部 2 は密判定（下位側判定）を精度良く行なうことができる。そ 40
して、上位側変換部 1 のサンプリング時間を従来より短くしたため、上位側判定及び下位
側判定も従来より速く終了し、4 ビットのデジタル出力信号 D 4 ~ D 1 を従来より速く生
成することができる。

【0047】

上記実施の形態では、S / H回路 8 は上位側判定の終了時までサンプリング動作を行な
うとしたが、アナログ入力信号 V inの瞬時値を精密にサンプリングすることができるまで
サンプリング動作を行なえば、上位側判定の終了時までサンプリング動作を行なわなくて
もよい。

【0048】

上記実施の形態では、上位側及び下位側変換部 1 , 2 の 2 つの変換部を備えたものとし 50

たが、例えば上位側、中位側及び下位側変換部の3つの変換部を備えたもの等、いくつの変換部を備えたものであってもよい。この場合、例えば、最上位側の変換部のみサンプリング時間を短くし、下位側の変換部は最上位側の比較判定動作時にもサンプリング動作を継続する等、少なくとも1つの下位側の変換部が上位側の変換部の比較判定動作時もサンプリングするようにすればよい。

【0049】

基準電圧 V_{ref3} 、 V_{ref4} は、デジタル信号 D_{a4} 、 D_{a3} が示す電位の範囲を高電位側及び低電位側に1.25倍に拡大した値、高電位側にのみ1.5倍拡大した値等、上位側のデジタルデータ信号 D_{a4} 、 D_{a3} の補正を必要とする方向に必要な値まで拡大して変更してもよい。また、拡大しなくてもよい。

10

【0050】

上記実施の形態では、上位側変換部1の比較判定結果に基づいて基準電圧 V_{ref3} 、 V_{ref4} を設定し、下位側判定を行なうA/D変換器としたが、変換部を2つ以上もつ他の種のA/D変換器に実施してもよい。

【0051】

例えば、下位側変換部は、上位側変換部で生成されたデジタル信号を再びアナログ化し、下位側S/H回路がサンプリングしたアナログ信号の瞬時値から再びアナログ化した信号を比較器にて減算し、その減算したアナログ信号を基準電圧と比較し下位側のデジタル信号とするA/D変換器に実施してもよい。この場合も上記実施の形態と同様に、上位側変換部の上位側判定時に下位側S/H回路のサンプリング動作を継続させるようにすれば、上記実施の形態と同様の効果を得ることができる。

20

【0052】

上記実施の形態では、4ビットのA/D変換器に具体化した但、例えば8ビット、16ビット等、何ビットのA/D変換器に具体化してもよい。

【0053】

【発明の効果】

以上詳述したように本発明によれば、A/D変換器の回路構成を変更することなく、入力インピーダンスを実質的に上昇させることにより、アナログ信号出力回路の回路面積の縮少、あるいはサンプリング時間の短縮によるA/D変換速度の向上を図り得るA/D変換器を提供することができる。

30

【図面の簡単な説明】

【図1】本発明の原理説明図。

【図2】本実施の形態のA/D変換器のブロック図。

【図3】本実施の形態における上位側変換部を示す回路図。

【図4】本実施の形態における下位側変換部を示す回路図。

【図5】下位側変換部における基準電圧を説明するための説明図。

【図6】本実施の形態の動作タイミングを説明するためのタイミング図。

【図7】別例の動作タイミングを説明するためのタイミング図。

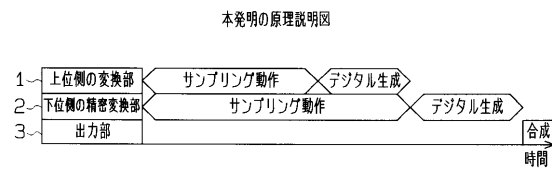
【図8】従来の動作タイミングを説明するためのタイミング図。

【符号の説明】

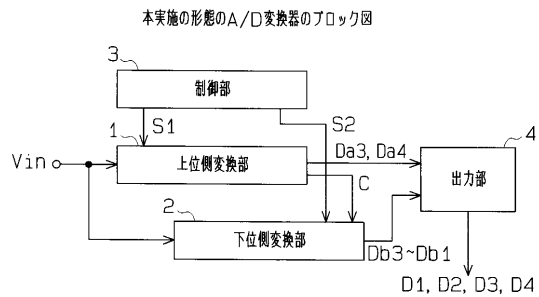
40

- 1 上位側の変換部（上位側変換部）
- 2 下位側の精密変換部（下位側変換部）
- 3 出力部

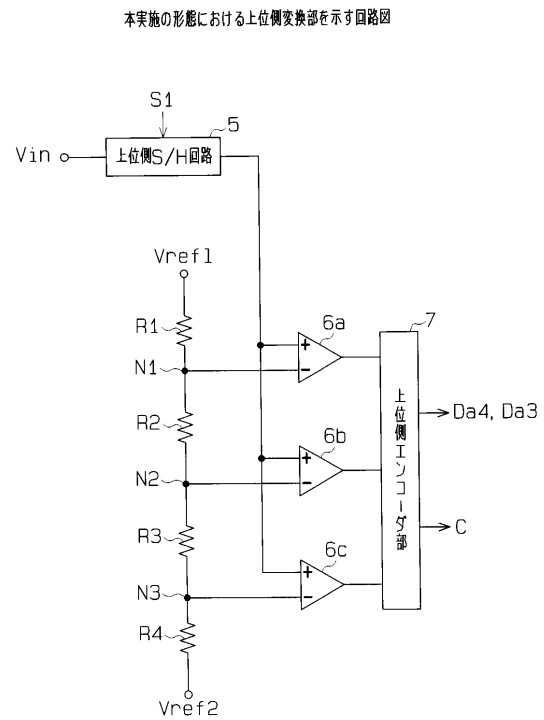
【図 1】



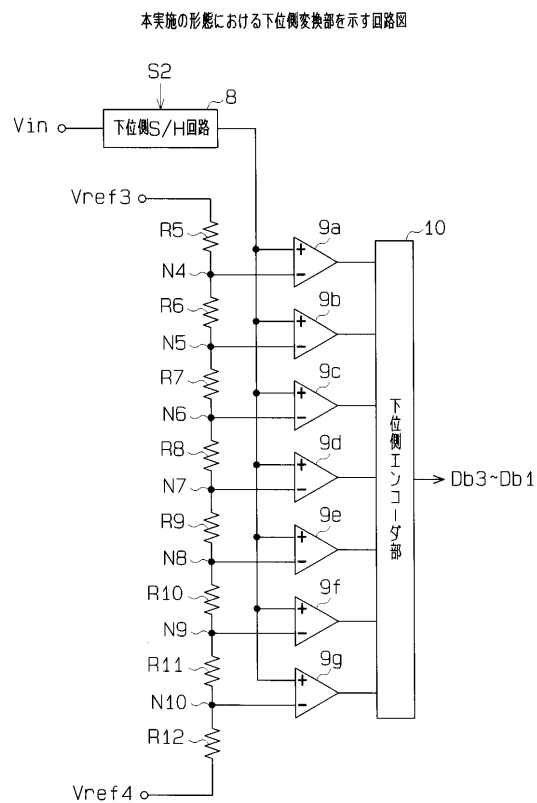
【図 2】



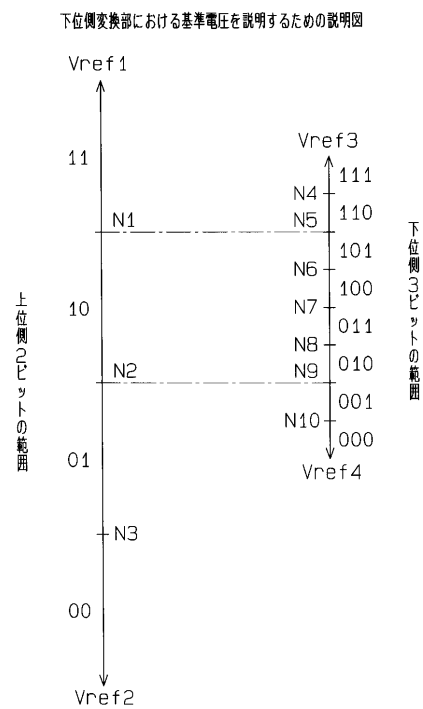
【図 3】



【図 4】

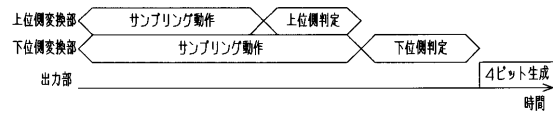


【図 5】



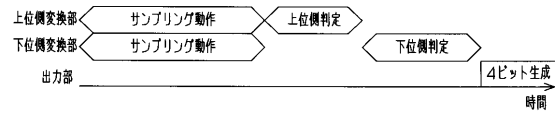
【図 6】

本実施の形態の動作タイミングを説明するためのタイミング図



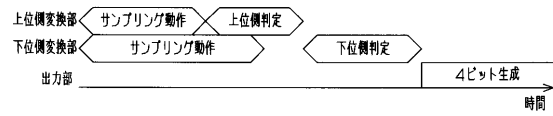
【図 8】

従来動作タイミングを説明するためのタイミング図



【図 7】

別例の動作タイミングを説明するためのタイミング図



フロントページの続き

- (56)参考文献 特開平2 - 94816 (JP, A)
特開平6 - 291660 (JP, A)
特開平7 - 7425 (JP, A)
特開平2 - 94816 (JP, A)
特開平6 - 132824 (JP, A)
特開平4 - 129424 (JP, A)

- (58)調査した分野(Int.Cl., DB名)

H03M1/00-1/88