



(12) 发明专利

(10) 授权公告号 CN 101310386 B

(45) 授权公告日 2013. 03. 06

(21) 申请号 200580015351. 9

H01L 27/12(2006. 01)

(22) 申请日 2005. 06. 20

(56) 对比文件

(30) 优先权数据

10/872,605 2004. 06. 21 US

US 20050116290 A1, 2005. 06. 02, 0054-0058
段, 图 10.

(85) PCT申请进入国家阶段日

2006. 11. 13

YANG M ET AL. HIGH PERFORMANCE
CMOS FABRICATED ON HYBRID SUBSTRATE
WITH DIFFERENT CRYSTAL ORIENTATIONS.
《IEEE, INTERNATIONAL ELECTRON
DEVICES MEETING 2003. IEDM. TECHNICAL
DIGEST.》. IEEE, 2003, PAGES 453-456.

(86) PCT申请的申请数据

PCT/US2005/021674 2005. 06. 20

(87) PCT申请的公布数据

W02005/124871 EN 2005. 12. 29

审查员 唐跃强

(73) 专利权人 微软公司

地址 美国华盛顿州

(72) 发明人 B · B · 多里斯 M · 艾昂

E · J · 诺瓦克 杨敏

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 张欣

(51) Int. Cl.

H01L 27/01(2006. 01)

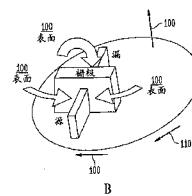
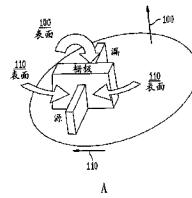
权利要求书 3 页 说明书 8 页 附图 5 页

(54) 发明名称

用于高迁移率平面和多栅极 MOSFET 的混合
衬底技术

(57) 摘要

一种混合衬底，其具有高迁移率表面以用于
平面和 / 或多栅极金属氧化物半导体场效应晶体
管 (MOSFET)。混合衬底具有优先用于 n- 型器件
的第一表面部分，和优先用于 p- 型器件的第二表
面部分。由于混合衬底的每个半导体层中的适当
表面和晶片平面取向，器件的所有栅极都取向在
相同方向，且所有沟道都位于高迁移率表面上。本
发明还提供制造混合衬底的方法以及在其上集成
至少一个平面或多栅极 MOSFET 的方法。



1. 一种混合衬底, 其在其表面上具有高迁移率结晶取向, 所述混合衬底包括:

所述表面, 其包括第二半导体层和再生长半导体层, 其中所述第二半导体层具有第二结晶取向, 而所述再生长半导体层具有不同于第二结晶取向的第一结晶取向;

衬层或者隔层, 其隔离至少所述第二半导体层和所述再生长半导体层;

绝缘层, 其位于所述第二半导体层的下面; 以及

位于所述绝缘层和所述再生长半导体层的下面的第一半导体层, 其中所述第一半导体层与再生长半导体层接触、且具有与再生长半导体层相同的结晶取向, 而所述第一半导体层和所述第二半导体层每个都包括相互对准的晶片平面。

2. 根据权利要求 1 的混合衬底, 其中所述第一半导体层和所述第二半导体材料包括 Si、SiC、SiGe、SiGeC、Ge、Ge 合金、GaAs、InAs、InP、绝缘体上硅 (SOI) 层或者其它 III/V 和 II/VII 化合物半导体。

3. 根据权利要求 2 的混合衬底, 其中所述第一半导体层和所述第二半导体层包括 Si。

4. 根据权利要求 1 的混合衬底, 其中所述第一半导体层包括 Si, 且所述第一结晶取向为 (110), 所述晶片平面在 <110> 方向, 并且所述第二半导体层包括 Si, 且所述第二结晶取向为 (100), 所述晶片平面在 <100> 方向。

5. 根据权利要求 1 的混合衬底, 其中所述第一半导体层包括 Si, 且所述第一结晶取向为 (100), 所述晶片平面在 <100> 方向, 并且所述第二半导体层包括 Si, 且所述第二结晶取向为 (110), 所述晶片平面在 <110> 方向。

6. 根据权利要求 1 的混合衬底, 其中所述再生长半导体层包括含 Si 半导体。

7. 根据权利要求 6 的混合衬底, 其中所述含 Si 半导体包括 Si、应变 Si、SiC、SiGeC 或者其组合。

8. 根据权利要求 1 的混合衬底, 其中所述再生长半导体层包括 Si, 且结晶取向为 (100)。

9. 根据权利要求 1 的混合衬底, 其中所述再生长半导体层包括 Si, 且结晶取向为 (110)。

10. 根据权利要求 1 的混合衬底, 其中所述衬层或者隔层包括氧化物、氮化物、氧氮化物或者其任意组合。

11. 根据权利要求 1 的混合衬底, 其中所述绝缘层包括氧化物、氮化物、氧氮化物或者其组合。

12. 根据权利要求 1 的混合衬底, 还包括在所述第二半导体层或者所述再生长半导体层中至少一个中的埋层氧化物区域。

13. 根据权利要求 1 的混合衬底, 其中所述表面包括至少两个器件区域。

14. 根据权利要求 1 的混合衬底, 其中所述表面包括 (100) 结晶取向和 (110) 结晶取向。

15. 根据权利要求 14 的混合衬底, 其中所述 (100) 结晶取向的所述表面包括 n- 型平面或多栅极 MOSFET 器件, 以及所述 (110) 结晶取向的所述表面包括 p- 型平面或多栅极 MOSFET 器件。

16. 一种高迁移率结构, 包括:

混合衬底, 其包括: 混合衬底的表面, 其包括第二半导体层和再生长半导体层, 其中所

述第二半导体层具有第二结晶取向，而所述再生长半导体层具有不同于第二结晶取向的第一结晶取向；衬层或者隔层，其隔离至少所述第二半导体层和所述再生长半导体层；绝缘层，其位于所述第二半导体层的下面；位于所述绝缘层和所述再生长半导体层的下面的第一半导体层，其中所述第一半导体层与所述再生长半导体层接触、且具有与所述再生长半导体层相同的结晶取向；以及

至少一个平面或多栅极 MOSFET 器件，其同时位于所述第二半导体层和所述再生长半导体层上，其中所述器件具有这样的栅极，所述栅极的取向在相同方向、且位于用于所述 MOSFET 器件的表面上，其中所述 MOSFET 器件的所有沟道都在高迁移率表面上。

17. 根据权利要求 16 的结构，其中所述第一半导体层和所述第二半导体材料包括 Si、SiC、SiGe、SiGeC、Ge、Ge 合金、GaAs、InAs、InP、绝缘体上硅 (SOI) 层或者其它 III/V 和 II/VI 化合物半导体。

18. 根据权利要求 17 的结构，其中所述第一半导体层和所述第二半导体层包括 Si。

19. 根据权利要求 16 的结构，其中所述第一半导体层包括 Si，且所述第一结晶取向为 (110)，所述晶片平面在 <110> 方向，并且所述第二半导体层包括 Si，且第二结晶取向为 (100)，晶片平面在 <100> 方向。

20. 根据权利要求 16 的结构，其中所述第一半导体层包括 Si，且所述第一结晶取向为 (100)，所述晶片平面在 <100> 方向，并且所述第二半导体层包括 Si，且所述第二结晶取向为 (110)，晶片平面在 <110> 方向。

21. 根据权利要求 16 的结构，其中所述再生长半导体层包括含 Si 半导体。

22. 根据权利要求 21 的结构，其中所述含 Si 半导体包括 Si、应变 Si、SiC、SiGeC 或者其组合。

23. 根据权利要求 16 的结构，其中所述再生长半导体层包括 Si，且结晶取向为 (100)。

24. 根据权利要求 16 的结构，其中所述再生长半导体层包括 Si，且结晶取向为 (110)。

25. 根据权利要求 16 的结构，其中所述衬层或者隔层包括氧化物、氮化物、氧氮化物或者其任意组合。

26. 根据权利要求 16 的结构，其中所述绝缘层包括氧化物、氮化物、氧氮化物或者其组合。

27. 根据权利要求 16 的结构，还包括在所述第二半导体层或者所述再生长半导体层中至少一个中的埋层氧化物区域。

28. 根据权利要求 16 的结构，其中所述混合衬底的表面包括至少两个器件区域。

29. 根据权利要求 16 的结构，其中所述混合衬底的表面包括 (100) 结晶取向和 (110) 结晶取向。

30. 根据权利要求 29 的结构，其中所述 (100) 结晶取向的所述表面包括 n- 型平面或多栅极 MOSFET 器件，以及所述 (110) 结晶取向的所述表面包括 p- 型平面或多栅极 MOSFET 器件。

31. 一种形成混合衬底的方法，其通过以下步骤实现：

形成一种结构，所述结构包括具有第一晶片平面的第一结晶取向的第一半导体层、和具有第二晶片平面的第二结晶取向的第二半导体层，其通过绝缘层隔离，

其中所述第一结晶取向不同于第二结晶取向，且所述第二半导体层位于所述第一半导

体层的上面,且在每个半导体层上的晶片平面具有与表面相同的结晶方向;保护所述结构的第一部分,以限定第一器件区域,而剩下所述结构的第二部分未受保护,所述结构的未保护部分限定第二器件区域;

蚀刻所述结构的未保护部分,以暴露所述第一半导体层的表面;

在所述第一半导体层的所述暴露表面上再生长半导体材料,所述半导体材料具有的结晶取向与第一结晶取向相同;

平面化所述含半导体材料的结构,使得所述第二半导体层的上表面基本与所述半导体材料的上表面相平。

32. 根据权利要求 31 的方法,其中所述形成结构包括层转化工艺。

33. 根据权利要求 32 的方法,其中所述层转化工艺包括使两个晶片相互紧密接触,并加热所述接触晶片。

34. 根据权利要求 33 的方法,其中所述加热在惰性气体环境中进行。

35. 根据权利要求 33 的方法,其中所述加热在 200 °C 至 1050 °C 进行 2 至 20 小时的时间。

36. 根据权利要求 31 的方法,其中在所述保护步骤之前,在所述结构的上面形成衬垫叠层。

37. 根据权利要求 31 的方法,其中所述保护步骤包括光刻和蚀刻。

38. 根据权利要求 31 的方法,其中所述再生长步骤包括选择性外延生长方法。

39. 根据权利要求 31 的方法,还包括在开口中的侧壁上形成衬层或者隔层,所述开口在所述蚀刻所述结构的未保护部分期间形成。

40. 根据权利要求 31 的方法,其中所述平面化包括化学机械抛光或者研磨。

41. 根据权利要求 31 的方法,还包括在所述第二半导体层和所述再生长半导体材料上形成至少一个平面或多栅极 MOSFET。

42. 根据权利要求 41 的方法,其中在具有 (100) 结晶取向的表面上形成 n- 型 MOSFET,且在具有 (110) 结晶取向的表面上形成 p- 型 MOSFET。

43. 一种形成高迁移率半导体结构的方法,包括:

提供混合衬底,所述混合衬底包括:包括第二半导体层和再生长半导体层的表面层,其中所述第二半导体层具有第二结晶取向,而所述再生长半导体层具有不同于第二结晶取向的第一结晶取向;衬层或者隔层,其隔离至少所述第二半导体层和所述再生长半导体层;绝缘层,其位于所述第二半导体层的下面;第一半导体层,其位于所述绝缘层和所述再生长半导体层的下面,其中所述第一半导体层与所述再生长半导体层接触、且具有与所述再生长半导体层相同的结晶取向;以及在所述第二半导体层和所述再生长半导体层上形成至少一个平面或多栅极 MOSFET,其中所述至少一个平面或多栅极 MOSFET 具有取向相同的沟道和栅极、且位于用于所述 MOSFET 的表面上,其中所述 MOSFET 器件的所有沟道都在高迁移率表面上。

用于高迁移率平面和多栅极 MOSFET 的混合衬底技术

技术领域

[0001] 本发明涉及互补金属氧化物半导体 (CMOS) 器件技术, 尤其涉及 CMOS 结构和用于高性能 CMOS 应用的工艺。尤其是, 本发明提供具有高迁移率表面的混合结构, 用于平面和多栅极金属氧化物半导体场效应晶体管 (MOSFET)。

背景技术

[0002] CMOS 器件性能可以通过减少栅极长度和 / 或增加载流子迁移率来改善。为了减少栅极长度, 器件结构必须具有良好的静电完整性。公知的是, 单栅极超薄体 MOSFET 和例如 FinFET 和三栅极结构的多栅极 MOSFET 相比于常规体 CMOS 器件具有更好的静电特性。

[0003] 美国公开 2004 0266076A1 公开了在同一晶片上集成平面超薄体 SOIMOSFET 和 FinFET 器件的工艺。根据该公开, 通过包括以下步骤的方法制造所述结构: 提供 SOI 结构, 其包括至少位于埋层绝缘层上的顶部半导体层, 所述顶部半导体层具有至少一个位于结构的 FinFET 区域中的构图硬掩模和至少一个位于结构的 FET 区域中的构图硬掩模; 保护 FET 区域, 并且修整 FinFET 区域中的至少一个构图硬掩模; 蚀刻没有受到硬掩模保护的顶部半导体的暴露部分, 停止在埋层绝缘层, 所述蚀刻限定 FinFET 有源器件区域和 FET 有源器件区域, 所述 FinFET 有源器件区域垂直于 FET 有源器件区域; 保护 FinFET 有源器件区域, 并细化 FET 有源器件区域, 使得 FET 器件区域的高度低于 FinFET 有源器件区域的高度; 在 FinFET 有源器件区域的每个暴露垂直表面上形成栅极介质, 同时在 FET 器件区域的暴露水平表面上形成栅极介质; 以及在栅极介质的每个暴露表面上形成构图栅极电极。

[0004] 本申请中使用的所有术语“超薄”表示约小于等于 30nm。本申请所使用术语“三栅极”表示包括鳍片的三个导电沟道、一个顶部表面以及两个垂直表面的三栅极器件。本发明所使用术语“FinFET”表示双栅极器件, 其包括高但是薄的垂直沟道区域。

[0005] 本领域已知, 载流子迁移率取决于表面取向。例如, 电子已知具有对 (100) 表面取向的高迁移率, 而空穴已知具有对 (110) 表面取向的高迁移率。也就是说, (100) 表面上的空穴迁移率值是该结晶取向上的相应的电子空穴迁移率的 1/4-1/2。美国公开 20040256700A1 公开这样的方法, 其中在相同晶片上集成这两个表面, 从而在高迁移率表面上形成平面 MOSFET。也就是说, 在 (100) 表面上形成 nFET 并在 (110) 表面上形成 pFET。根据该公开, 通过晶片接合两个结晶取向不同的晶片、掩蔽、通过一个晶片蚀刻到另一个晶片以暴露其表面、以及再生长具有相同结晶取向的半导体材料作为暴露表面, 提供了具有晶体取向不同的表面的混合衬底。

[0006] 当在对准晶片平面 (wafer flat) 平行于 <110> 方向的标准 (100) 晶片上形成三栅极时, 如果栅极取向为平行于晶片平面, 则形成沟道的混合表面取向。参考例如图 1A。该三栅极器件结构不能对 n- 型或者 p- 型 MOSFET 提供最佳的迁移率。最佳的 n- 型三栅极 FET 可以通过如下获得, 在标准 (100) 晶片上制造 n- 型三栅极 FET, 所述标准 (100) 晶片的对准晶片平面平行于 <110> 方向, 且栅极取向为与对准晶片平面成 45 度。参考例如图 1B。可选的是, 最佳的 n- 型三栅极 FET 可以通过如下获得, 在 (100) 晶片上制造 n- 型三栅极 FET, 使

得对准晶片平面平行于<100>方向，并且栅极取向平行于晶片平面。参考例如图 1C。最佳的 p- 型三栅极 FET 可以通过如下获得，在(110) 晶片上制造 p- 型三栅极 FET，使得对准晶片平面平行于<110>方向，且栅极取向平行于对准晶片平面。参考例如图 D。

[0007] 目前，可以在(100) 表面取向晶片上以 45 度角布局 n- 型 FinFET 和 p- 型 FinFET，以获得高迁移率 nFET 和 pFET，然而，使用目前的光刻技术，该布局不是优选的。而且，该方法不能同时提供高迁移率平面 / 多栅极 nFET 和 pFET。取而代之的是，希望提供一种方法，其中 nFET 和 pFET 器件的栅极取向在相同方向，并且 nFET 和 pFET 的所有沟道都在高迁移率表面上。目前还没有可以达到该要求的现有技术。

[0008] 因此，需要衬底结构和其制造方法以制造平面和 / 或者多栅极 MOSFET，例如 FinFET 和三栅极 MOSFET，其中所有沟道都取向在高迁移率表面上，并且栅极在相同方向。

发明内容

[0009] 本发明提供一种混合衬底，其具有上表面，所述上表面具有结晶取向不同的区域，从而平面和 / 或多栅极 MOSFET 的所有沟道和栅极都取向相同的方向，其中 n- 型器件位于增强这种器件性能的表面取向上，并且 p- 型器件位于增强这种器件性能的表面取向上。也就是说，本发明提供混合衬底，其具有结晶取向不同的上表面，其中集成平面和 / 或多栅极 MOSFET，从而其位于高迁移率表面上。通常，将 n- 型器件形成在(100) 半导体表面上以优化器件性能，而将 p- 型器件形成在(110) 半导体表面上以优化器件性能。

[0010] 混合衬底具有不同的结晶取向，其中所有各器件的沟道和栅极可以取向为相同的方向，所述混合衬底可以都是 SOI 类的，或者可选的是，一个表面可以是体类的，而另一个表面可以是 SOI 类的。

[0011] 本发明更宽泛的方面提供在其表面具有高迁移率结晶取向的混合衬底，其包括：

[0012] 包括第二半导体层和再生长半导体层的表面，其中所述第二半导体层具有第二结晶取向，且再生长半导体层具有不同于第二结晶取向的第一结晶取向；

[0013] 衬层或者隔层，其隔离至少所述第二半导体层和所述再生长半导体层；

[0014] 位于所述第二半导体层下面的绝缘层；以及

[0015] 位于所述绝缘层和所述再生长半导体层下面的第一半导体层，其中所述第一半导体层与再生长半导体层接触，具有与再生长半导体层相同的结晶取向，并且所述第一半导体层和所述第二半导体层每个包括相互对准的晶片平面。

[0016] 除了上述混合衬底，本发明还涉及高迁移率结构，包括：

[0017] 混合衬底，其具有包括第二半导体层和再生长半导体层的表面，其中所述第二半导体层具有第二结晶取向，并且再生长半导体层具有不同于第二结晶取向的第一结晶取向；衬层或者隔层，其隔离至少所述第二半导体层和所述再生长半导体层；位于所述第二半导体层下面的绝缘层；位于所述绝缘层和所述再生长半导体层下面的第一半导体层，其中所述第一半导体层与再生长半导体层接触，且具有与再生长半导体层相同的结晶取向；以及

[0018] 在所述第二半导体层和所述再生长半导体层上的平面或多栅极 MOSFET 器件，其中所述器件具有取向相同的沟道和栅极，并且位于优化所述 MOSFET 器件的表面上。

[0019] 本发明还提供形成上述混合衬底的方法以及在混合衬底上集成平面和 / 或多栅

极 MOSFET 的方法。

[0020] 通过以下步骤提供混合衬底：

[0021] 形成一种结构，包括：具有第一晶片平面的第一结晶取向的第一半导体层、以及具有第二晶片平面的第二结晶取向的第二半导体层，其通过绝缘层隔离，其中所述第一结晶取向不同于第二结晶取向，且第二半导体层位于所述第一半导体层的上面，以及每个半导体层上的晶片平面与表面具有相同的结晶方向；

[0022] 保护结构的第一部分以限定第一器件区域，而剩下结构的未保护的第二部分，所述结构的未保护部分限定第二器件区域；

[0023] 蚀刻结构的所述未保护部分以暴露第一半导体层的表面；

[0024] 再生长位于第一半导体层的所述暴露表面上的半导体材料，所述半导体材料的结晶取向与第一结晶取向相同；以及

[0025] 平面化含半导体材料的结构，使得第二半导体层的上表面与半导体材料的上表面基本相平。

[0026] 对于晶片平面平行于<110>方向的标准(100)晶片，将晶片旋转45度使得晶片平面以45度与晶片平面平行于<110>方向的(110)晶片对准。可选的是，将晶片平面平行于<100>方向的(100)晶片与晶片平面平行于<110>方向的(110)晶片对准。

[0027] 在本发明的一些实施例中，通过在所述平面化步骤后进行离子注入和退火而形成埋层氧化物区域。

[0028] 然后在第二和再生长半导体材料的上表面上形成平面和/或多栅极MOSFET。特别是，提供形成高迁移率半导体结构的方法，包括：

[0029] 提供具有包括第二半导体层和再生长半导体层的表面的混合衬底，其中所述第二半导体层具有第二结晶取向，且再生长半导体层具有不同于第二结晶取向的第一结晶取向；衬层或者隔层，其隔离至少所述第二半导体层和所述再生长半导体层；绝缘层，其位于所述第二半导体层的下面；第一半导体层，其位于所述绝缘层和所述再生长半导体层的下面，其中所述第一半导体层与再生长半导体层接触，且具有与再生长半导体层相同的结晶取向；以及

[0030] 在所述第二半导体层和所述再生长半导体层上形成平面或多栅极MOSFET，其中所述平面或多栅极MOSFET具有取向相同的沟道和栅极，并且位于优先用于所述MOSFET的表面上。

附图说明

[0031] 图1A-1D示意示出在标准半导体晶片上制造的三栅极结构；

[0032] 图2A-2I示意示出（通过截面图）本发明用于制造具有高迁移率表面的混合衬底的工艺步骤，在所述表面上形成有平面和/或多栅极MOSFET；

[0033] 图3A-3B示意示出（通过3-D侧视图）可以用于本发明的初始衬底；

[0034] 图4示意示出（通过俯视图）在本发明的混合衬底上制造平面和/或多栅极MOSFET后形成的结构；

具体实施方式

[0035] 本发明提供用于高迁移率平面和 / 或多栅极 MOSFET 的混合衬底和形成混合衬底及其上的器件的方法，下面将通过参考本申请附图详细描述。

[0036] 图 2A 示出本发明使用的初始衬底。如图所示，本发明的初始衬底 10 包括第一（即，底部）半导体层 12、绝缘层 14、以及第二（即，顶部）半导体层 16。初始衬底还可以包括位于第一（即，底部）半导体层下面的可选半导体层（未示出）。在该可选初始衬底中，另一个绝缘层隔离第一（即，底部）半导体层和可选半导体层。

[0037] 第一半导体层 12 由包括例如如下的任何半导体材料构成：Si、SiC、SiGe、SiGeC、Ge、Ge 合金、GaAs、InAs、InP 以及其它 III/V 或者 II/VI 化合物半导体。第一半导体层 12 还可以包括预制 SOI 衬底的绝缘体上硅（SOI）层或者分层半导体，例如，Si/SiGe。第一半导体层 12 还具有的特征在于，具有可以为 (100) 或者 (110) 的第一结晶取向。当第一半导体层 12 具有 (110) 取向时，提供在 <110> 方向的对准晶片平面。当第一半导体层 12 具有 (100) 晶体取向时，提供在 <100> 方向的对准晶片平面。第一半导体层可以是应变层、非应变层或者可以包括应变 / 非应变层组合。在优选实施例中，第一半导体层 12 是含 Si 衬底，其具有 (110) 取向，并且晶片平面在 <110> 方向。使用本领域技术人员熟知的标准技术在半导体层中形成晶片平面。

[0038] 第一半导体层 12 的厚度可以根据用于形成如图 2A 所示的衬底的初始晶片而变化。然而，第一半导体层 12 通常具有约 5nm 至约 200 μm 的厚度，从约 5 至约 100nm 的厚度更优选。

[0039] 位于第一半导体层 12 和第二半导体层 16 之间的绝缘层 14 可以是氧化物、氮化物、氧氮化物或者其任意组合。优选，绝缘层 14 是氧化物。绝缘层 14 的厚度可以根据用于形成图 2A 中的衬底的初始晶片而变化。然而，绝缘层 14 通常具有约 1 至约 500nm 的厚度，约 5 至约 100nm 的厚度更优选。

[0040] 第二半导体层 16 由包括例如如下的任何半导体材料构成：Si、SiC、SiGe、SiGeC、Ge、Ge 合金、GaAs、InAs、InP 以及其它 III/V 或者 II/VI 化合物半导体。第一半导体层 16 还可以包括预制 SOI 衬底的绝缘体上硅（SOI）层或者分层半导体，例如，Si/SiGe。第二半导体层 16 可以包括与第一半导体层 12 相同的半导体材料，不同的是，第二半导体层 16 具有与第一半导体层 12 不同的第二结晶取向。从而，第二半导体层 16 具有可以是 (100) 或者 (110) 的第二结晶取向，其不同于第一半导体层 12 的结晶取向。

[0041] 当第一半导体层 12 具有 (110) 取向时，第二半导体层 16 将具有 (100) 取向。同样，当第一半导体层 12 具有 (100) 晶体取向时，第二半导体层 16 具有 (110) 结晶取向。第二半导体层 16 可以是应变层、非应变层或者可以包括应变 / 非应变层组合。优选，第二半导体层 16 是含 Si 层，其具有 (100) 晶体取向，且对准晶片平面在 <100> 方向。

[0042] 第二半导体层 16 的厚度可以根据用于形成图 2A 所示的衬底的初始晶片而变化。然而，第二半导体层 16 通常具有约 5 至约 500nm 的厚度，约 5 至约 100nm 的厚度更优选。

[0043] 通过层转化 (layer transfer) 工艺获得图 2A 所示的衬底 10，在所述工艺中使用两个晶片和热接合。特别是，通过如下进行层转化：将两个晶片相互紧密接触，可选地对接触的晶片施加外部力，以及然后在可以接合两个晶片的条件下加热两个接触的晶片。

[0044] 根据本发明，一个晶片包括至少第一半导体层 12，而另一个晶片包括至少第二半导体层 16。另外，至少一个晶片包括变成图 2A 所示的绝缘层 14 的绝缘层。在一些实施例

中,两个晶片都可以包括绝缘层。在本发明中,通过半导体 / 绝缘接合或者绝缘 / 绝缘接合实现层转化。可以使用体半导体晶片、SOI 晶片或者体和 SOI 组合。在一些实施例中,一个用于层转化的晶片包括注入区域,例如氢注入区域,其可以用于在层转化工艺中分离至少一个晶片的部分。

[0045] 上述接触步骤不同于常规用于层转化的接触步骤之处在于,包括第二半导体层 16 的晶片从标准晶片配置(标准(100)晶片配置,具有平行于<110>方向的晶片平面)旋转 45 度。该旋转确保第二半导体层 16 的对准晶片平面以适当旋转与第一半导体层的对准晶片平面对准。参考例如图 3A。可选的是,(100)晶片的晶片平面位于平行于<100>的方向、且与晶片平面平行于<110>方向(110)的晶片对准。参考例如图 3B。该步骤可以确保在该混合衬底上制造的、包括平面和多栅极 FET 的 MOSFET 具有总是位于高迁移率面上的沟道。

[0046] 可以在存在或不存在外部力的情况下进行层转化中的加热步骤。通常在惰性环境中、以约 200°C 至约 1050°C 进行约 2 至约 20 小时的加热步骤。更优选的是,在约 200°C 至约 400°C 的温度下进行接合。术语“惰性环境”表示不与任何半导体晶片反应的气氛。惰性环境的示意实例包括,例如,He、Ar、N₂、Xe、Kr、或者其混合物。用于接合的优选环境为 N₂。

[0047] 在层转化工艺之后,可以使用平面化工艺(未示出)以从一个半导体晶片除去一些材料。当在层转化工艺中使用两个 SOI 晶片时尤其使用平面化步骤。

[0048] 然后,在图 2A 所示第二半导体层 16 上形成包括至少一个绝缘材料的衬垫叠层 18i,从而提供图 2B 所示的结构。衬垫叠层 18 可以由氧化物、氮化物、氧氮化物或者其任意组合构成。在一个实施例中,例如,衬垫叠层 18 可以是在 SiO₂ 层上形成的 Si₃N₄ 层。通过沉积工艺和/或者热生长工艺形成衬垫叠层 18。沉积工艺包括,例如,化学气相沉积(CVD)、等离子体 - 增强化学气相沉积(PECVD)、原子层沉积、化学溶液沉积以及其它类似沉积工艺。热生长工艺包括氧化、氮化、氧氮化或者其组合。在上述优选衬垫叠层 18 中,通过氧化工艺形成 SiO₂ 层,以及通过沉积形成 Si₃N₄。

[0049] 衬垫叠层 18 可以具有根据使用的绝缘材料的类型以及叠层中的绝缘层数目而变化的厚度。优选,为了说明的目的,衬垫叠层 18 具有约 1 至约 200nm 的厚度,更通常为约 5 至约 50nm 的厚度。

[0050] 然后在图 2B 所示结构的预定部分形成掩模(未示出),从而保护结构的第一部分,而剩下结构的第二部分未受保护。结构的保护部分限定第一器件区域 22,而结构的未保护部分限定第二器件区域 24。例如图 2C 中示出各器件区域

[0051] 在本发明的一个实施例中,通过首先对结构的整个表面施加光致抗蚀剂掩模,而在衬垫叠层 18 的预定部分形成掩模。在施加的光致抗蚀剂掩模后,通过光刻构图掩模,包括将光致抗蚀剂暴露到辐射图形和使用抗蚀剂显影剂显影图形的步骤。可选的是,当衬垫叠层 18 包括多个绝缘体且其中其上层是氮化物或者氧氮化物时,上层充当掩模,用于限定不同的器件区域。在该实施例中,通过光刻和蚀刻构图衬垫叠层 18 的上部氮化物或者氧氮化物层。在一些情况下,可以在限定第二器件区域之后除去衬垫叠层 18 的上部氮化物或者氧氮化物层。

[0052] 在对图 2B 所示结构提供掩模(未示出)之后,对结构施加一个或者多个蚀刻步骤,从而暴露下面的第一半导体层 12 的表面。例如,图 2C 示出在进行一个或者多个蚀刻步骤、且去除掩模之后形成的所获结构。特别是,本发明这里使用的一个或者多个蚀刻步骤除

去了衬垫叠层 18 的未保护部分、以及下面的第二半导体层 16 部分和隔离第一半导体层 12 与第二半导体层 16 的绝缘层 14 部分。

[0053] 可以使用单个蚀刻工艺或者多个蚀刻步骤进行蚀刻。本发明这里使用的蚀刻可以包括例如反应离子蚀刻、离子束蚀刻、等离子体蚀刻或者激光蚀刻的干蚀刻工艺、其中使用化学蚀刻剂的湿蚀刻工艺、或者其任意组合。在本发明优选实施例中，使用反应离子蚀刻 (RIE) 来选择性地除去衬垫叠层 18 的未保护部分、第二半导体器件区域 24 中的第二半导体层 16 和绝缘层 14。注意，蚀刻步骤提供具有侧壁 21 的开口 20。尽管示出结构具有一个开口，本发明还设想其它结构，其中形成多个这样的开口。在该实施例，可以形成多个第二器件区域和多个第一器件区域。

[0054] 在蚀刻之后，使用常规抗蚀剂剥离工艺从结构除去掩模，然后在暴露侧壁 21 上形成衬层或者隔层 26。通过沉积和蚀刻形成衬层或者隔层 26。衬层或者隔层 26 包括例如如下的绝缘材料：氧化物，氮化物，氧氮化物或者其任意组合。图 2D 示出在开口 20 每个侧壁 21 上的形成的包括衬层或隔层 26 的结构。

[0055] 在形成衬层或者隔层 26 之后，在第一半导体层 12 的暴露表面上形成半导体材料 28。根据本发明，半导体材料 28 具有与第一半导体层 12 的结晶取向相同的结晶取向。例如，在图 2E 中示出了所获结构。

[0056] 半导体材料 28 可以包括任意含 Si 半导体，例如 Si、应变 Si、SiGe、SiC、SiGeC 或者其组合，其可以使用选择性外延生长方法形成。在一些优选实施例中，半导体材料 28 由 Si 构成。在其它优选实施例中，半导体材料是位于弛豫 SiGe 合金层上的应变 Si 层。在本发明中，半导体材料 28 可以称为再生长半导体材料或者层。

[0057] 然后，对图 2E 所示结构进行例如化学机械抛光 (CMP) 或者研磨的平面化工艺，从而半导体材料 28 的上表面基本与衬垫叠层 18 的上表面相平。例如图 2F 示出在进行第一平面化工艺之后形成的所获结构。

[0058] 在第一平面化步骤之后，进行第二平面化步骤以提供图 2G 所示的平面结构。在图 2G 所示的结构中，第二平面化工艺从结构除去衬垫叠层 18。在图 2G 所示的结构中，再生长半导体材料 28 具有与第二半导体层 16 的上表面共面的上表面。因此，这些平面化步骤暴露有源器件区域 22、24，其中可以形成平面和 / 或多栅极 MOSFET。

[0059] 图 2H 示出可选的、且高度优选的本发明步骤，其中将氧离子 30 注入结构中，从而在结构中形成氧离子充裕的注入区域 32。通过氧离子剂量为约 10^{15} 至约 5×10^{17} 原子 / cm^2 的离子注入进行可选注入。在本发明中使用的离子剂量应该足以形成这样的注入区域 32，其具有充分的氧离子浓度，所述氧离子在随后的高温退火步骤中可以转换成埋层氧化物区域。通常在第二半导体层 16 和再生长半导体层 28 中都形成注入区域 32。在一些实施例中，可以使用掩蔽离子注入工艺，从而将氧离子注入第二半导体层 16 或者再生长半导体层 28。后一实施例可以提供用于在结构中提供选择性埋层氧化物区域 34 的方法。尽管描述且示出了氧离子，但是可以使用其它离子形成离子注入充裕区域以随后转换成埋层绝缘区域。

[0060] 图 2I 示出在进行高温退火步骤之后形成的结构。在图 2I 所示的结构中，标号 34 表示形成的埋层氧化物区域。注意，具有埋层氧化物区域 34 确保了器件区域 22 和 24 是 SOI 类的。高温退火步骤可以在惰性环境中进行，所述惰性环境例如为 He、Ar、N₂、Xe、Kr、Ne 或

者其混合物，或者在氧化环境中进行，其包括至少一种含氧气体，例如， O_2 、 NO 、 N_2O 、臭氧、空气，或者其它含氧环境。可选的是，用于高温退火步骤的环境可以包括含氧气体和惰性气体的混合物。当环境包括含氧气体，埋层氧化物区域 34 可以包括热氧化物区域、以及表面氧化物，其通常从结构的暴露表面上剥离。

[0061] 用于形成埋层氧化物区域 34 的高温退火步骤在约 1000°C 至约 1400°C、更优选为约 1200°C 至约 1300°C 的温度进行。退火步骤可以进行通常在约 60 至约 3000 分钟范围内的可变时间。退火步骤可以在单个目标温度进行、或者使用不同升温和保温温度和时间的不同升温和保温循环。退火步骤可以是快速热退火 (RTA)、激光退火，或者这里还可以设想其它能源例如电子束。可选的是，可以使用炉内退火。当使用炉内退火时，退火时间优选大于 RTA 的退火时间。

[0062] 应该注意，图 2G 或者图 2I 所示混合衬底可以用于本发明中。图 2I 所示混合衬底优于图 2G 所示混合衬底，因为相比于图 2G，器件都是 SOI 类的，且最上部器件区域包括超薄半导体层 16 或者 28。

[0063] 图 4 示出了在本发明的混合衬底上制造平面和 / 或多栅极 MOSFET，例如三栅极 MOSFET 和 / 或 FinFET 之后形成的所获结构。在图 4 中，标号 50 表示每个器件的栅极且标号 52 表示平面和 / 或多栅极器件。根据本发明，在具有 (100) 表面取向的半导体表面 (16, 28) 上形成 n- 器件，并在具有 (110) 表面取向半导体表面 (16, 28) 上形成 p- 器件。而且，nFET 和 pFET 的栅极都取向至相同的方向。制备混合取向衬底，使得 n- 器件的栅极取向至 <100> 方向，从而所有沟道都在 (100) 表面上（在鳍片顶部和两侧上），且使得 p- 器件的栅极取向至 <110> 方向，从而所有沟道都在 (110) 表面上（在鳍片顶部和两侧上）。利用该工艺，可以制造高迁移率器件，使得所有器件沟道都在高迁移率面上且栅极都取向在相同方向。使用本领域技术人员熟知的技术制造平面和 / 或多栅极 MOSFET。

[0064] 例如，可以使用在美国公开 2004 0266076A1 中公开的工艺制造各器件。这里可以使用的在所述公开中描述的工艺包括：提供至少一个位于混合衬底的 FinFET 区域中的构图硬掩模和至少一个位于混合衬底的三栅极区域中的构图硬掩模；保护三栅极区域，并修整至少一个在所述 FinFET 区域中的构图硬掩模；蚀刻顶部半导体层 16、28 的未受硬掩模保护的暴露部分，且停止至埋层绝缘 14 或者埋层氧化物区域 34 的上表面，所述蚀刻限定 FinFET 有源器件区域和三栅极有源器件区域，所述 FinFET 有源器件区域垂直于三栅极有源器件区域；保护 FinFET 有源器件区域并薄化三栅极有源器件区域，使得三栅极器件区域的高度小于 FinFET 有源器件区域的高度；在 FinFET 有源器件区域的每个暴露垂直表面上形成栅极介质，而在三栅极器件区域的暴露水平表面上形成栅极介质；以及在栅极介质的每个暴露表面上形成构图栅极电极。

[0065] 在 FinFET 和三栅极器件区域中的各材料和组成也是熟知的，因此这里未提供对其的详细讨论。例如，每个器件包括的栅极介质可以包括氧化物、氮化物、氧氮化物或者其任意组合。优选，栅极介质是氧化物，例如但不限于 SiO_2 、 Al_2O_3 、钙钛矿氧化物、或者其它类似氧化物。栅极介质可以使用热氧化、氮化、或者氧氮化工艺形成。注意，FinFET 有源器件包括在半导体层即 16 或 38 的一层的暴露垂直表面上形成的两种栅极介质，而多栅极器件可以适当地具有多种栅极介质。

[0066] 栅极导体还存在于每种类型的器件中。栅极导体可以使用常规沉积工艺形成，例

如化学气相沉积 (CVD)、等离子体辅助 CVD、蒸发、溅射、化学溶液沉积、或者原子层沉积。栅极导体可以包括多晶硅、例如 W 的单质金属、含一个或者多个单质金属的合金、硅化物、或者其叠层组合，例如多晶硅 /W 或者硅化物。

[0067] 已经描述了衬底结构和其制造方法，以制造平面和 / 或多栅极 MOSFET，例如 FinFET 和三栅极 MOSFET，其中所有的沟道都取向在高迁移率表面上，且栅极具有相同方向。

[0068] 可以在形成栅极之前或之后进行各种注入，包括例如阱注入、源 / 漏延伸注入、晕圈注入、源 / 漏扩散注入、栅极注入等。而且，本发明的结构还可以包括通过常规方法形成的抬升 / 源漏区域。其它工艺例如，BEOL (后段) 工艺，也可以用于本发明中。

[0069] 尽管本发明具体示出和描述了优选实施例，但是本领域技术人员可以理解，在不偏离本发明精神和范围下，可以进行形式和细节上的前述和其它变化。因此，本发明旨在不限于所述和示出的具体形式和细节，而是落入所附权利要求书的范围内。

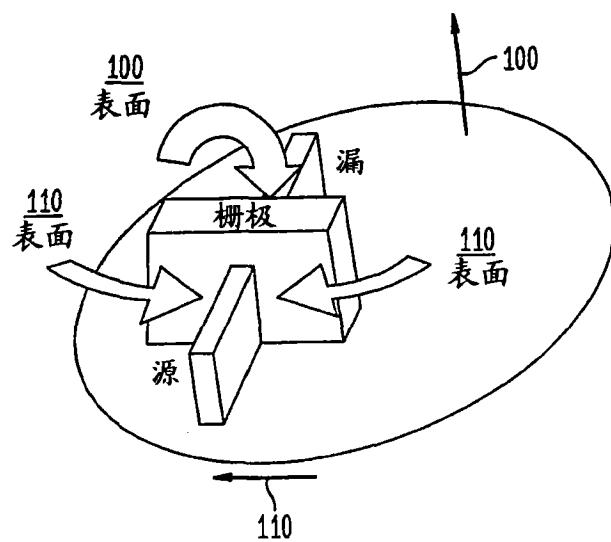


图 1A
(现有技术)

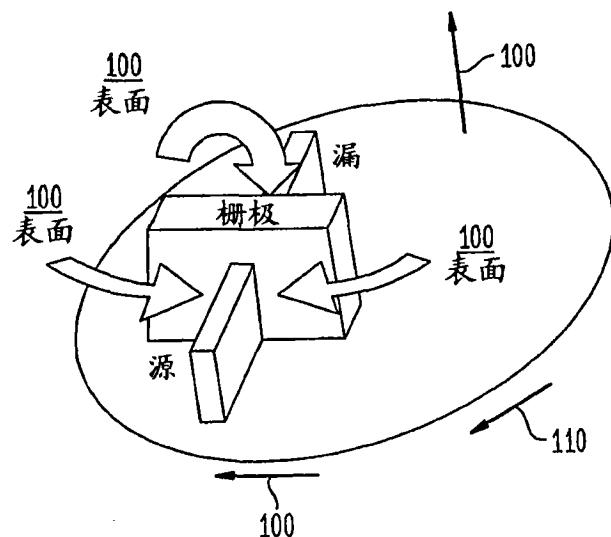


图 1B
(现有技术)

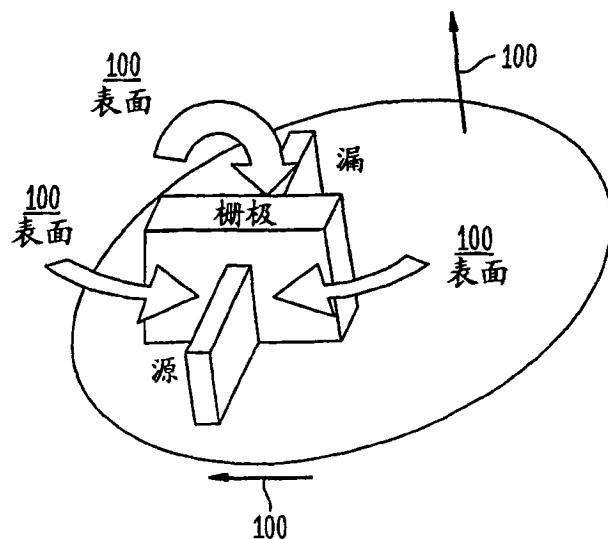


图 1C
(现有技术)

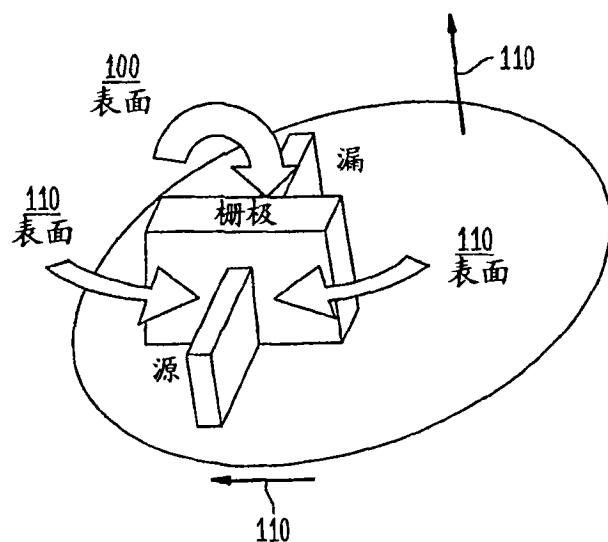


图 1D
(现有技术)

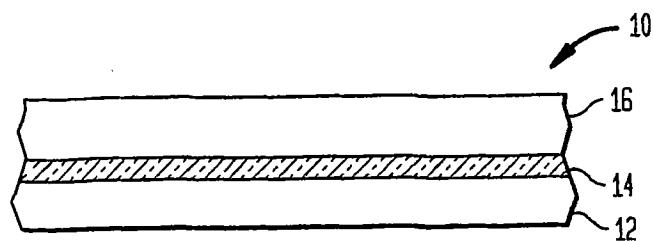


图 2A

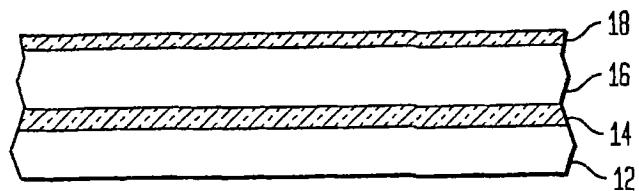


图 2B

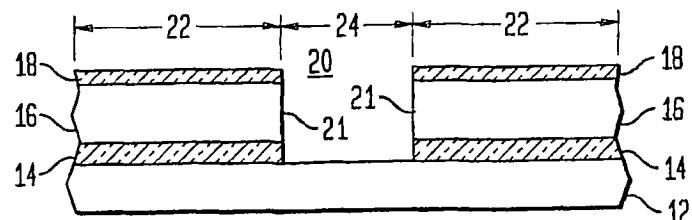


图 2C

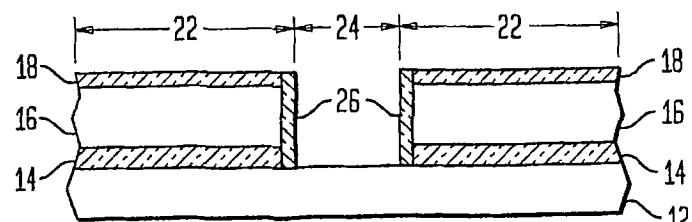


图 2D

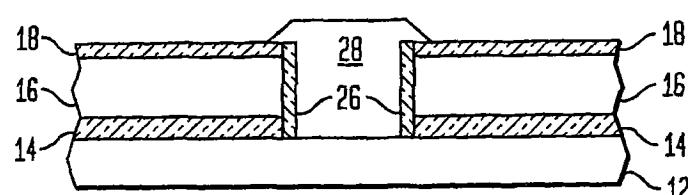


图 2E

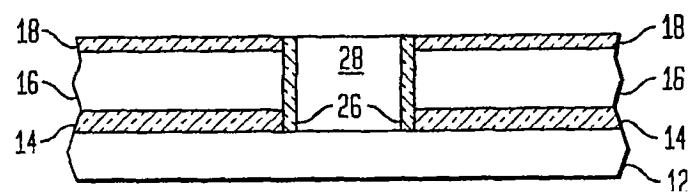


图 2F

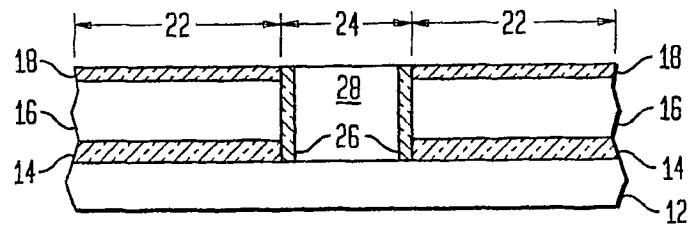


图 2G

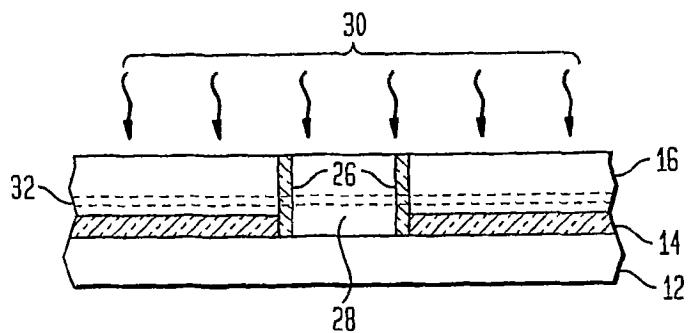


图 2H

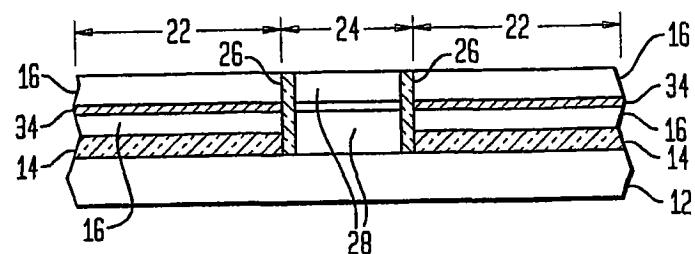


图 2I

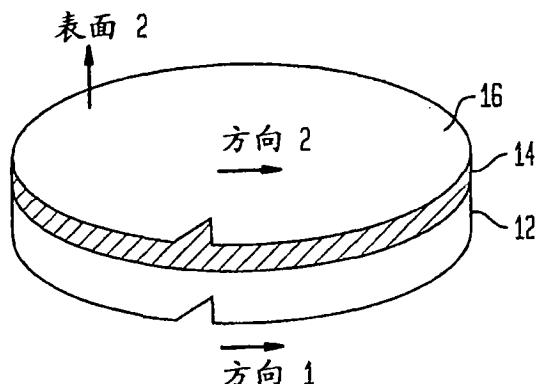


图 3A

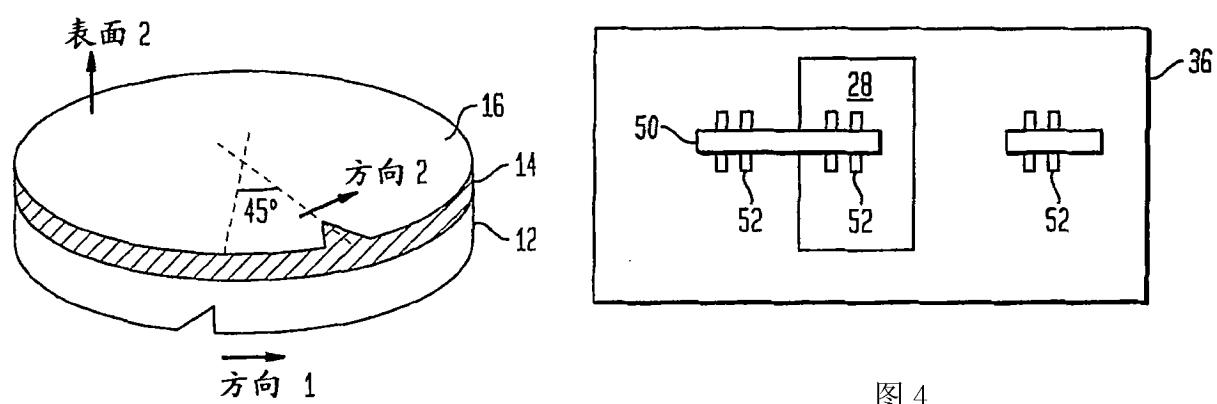


图 4

图 3B