

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 10 月 6 日(06.10.2011)

(10) 国際公開番号
WO 2011/122058 A1

PCT

- (51) 国際特許分類:
H01S 5/026 (2006.01)
- (21) 国際出願番号: PCT/JP2011/050326
- (22) 国際出願日: 2011 年 1 月 12 日(12.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-074204 2010 年 3 月 29 日(29.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 奥村 滋一 (OKUMURA, Shigekazu) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 江川 満 (EKAWA, Mitsuru) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 苫米地 秀一 (TOMABECHI, Shuichi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 植竹 理人 (UE-

TAKE, Ayahito) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

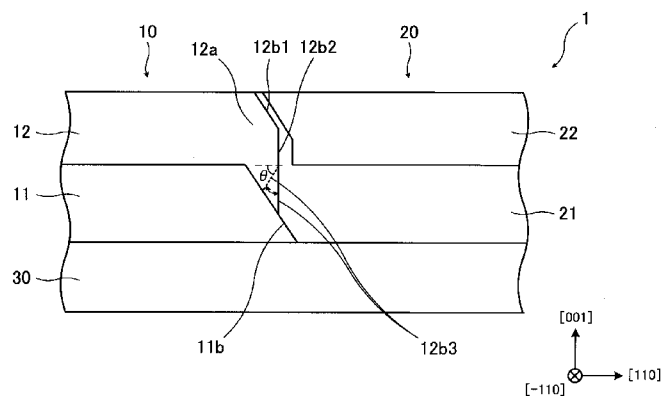
- (74) 代理人: 服部 毅巖 (HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: OPTICAL SEMICONDUCTOR INTEGRATED ELEMENT AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 光半導体集積素子及びその製造方法

[図1]



(57) Abstract: In order to increase the reliability and performance of an optical semiconductor integrated element, the disclosed optical semiconductor integrated element (1) includes: a first optical semiconductor element (10) formed above the (001) surface of a substrate (30); and a second optical semiconductor element (20) formed optically connected with the first optical semiconductor element (10) above the (001) surface of the substrate (30) and in the [110] direction of the first optical semiconductor element (10). The first optical semiconductor element (10) includes: a first core layer (11); and a first cladding layer (12) that is formed above the first core layer (11) and that has a crystal plane of which the angle (θ) formed with the (001) surface is between 55° and 90° inclusive at the side by the second optical semiconductor element (20).

(57) 要約:

[続葉有]

WO 2011/122058 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

光半導体集積素子の信頼性及び性能の向上を図る。 光半導体集積素子 (1) は、基板 (30) の (001) 面上方に形成された第 1 光半導体素子 (10) と、基板 (30) の (001) 面上方で、第 1 光半導体素子 (10) の [110] 方向に、第 1 光半導体素子 (10) と光学的に接続されて形成された第 2 光半導体素子 (20) とを含む。第 1 光半導体素子 (10) は、第 1 コア層 (11) と、第 1 コア層 (11) 上方に形成され、第 2 光半導体素子 (20) 側の側面に、(001) 面となす角度 θ が 55° 以上 90° 以下の結晶面を有する第 1 クラッド層 (12) とを含む。

明 細 書

発明の名称： 光半導体集積素子及びその製造方法

技術分野

[0001] 本発明は、光半導体集積素子及びその製造方法に関する。

背景技術

[0002] 光ファイバ通信において、複数の光半導体素子を単一基板上に集積した光半導体集積素子は、光モジュールの小型化の観点から有効である。

従来、このように複数の光半導体素子を単一基板上に集積する手法の１つとして、基板上に一の光半導体素子構造を成長した後、その一部を除去し、その除去した部分に他の光半導体素子構造を選択的に再成長する、バットジョイント（Butt Joint：ＢＪ）成長法が知られている。

先行技術文献

特許文献

- [0003] 特許文献１：特開２００２－３１４１９２号公報
特許文献２：特開２００８－０５３５０１号公報
特許文献３：特開２００２－２１７４４６号公報
特許文献４：特開２００１－１８９５２３号公報
特許文献５：特開２００７－２０１０７２号公報
特許文献６：特開２００４－２７３９９３号公報
特許文献７：特開２００２－３２４９３６号公報
特許文献８：特開２００２－２４３９４６号公報
特許文献９：特開２００３－１７４２２４号公報

発明の概要

発明が解決しようとする課題

- [0004] 上記のようなＢＪ成長法では、各光半導体素子の独立設計が可能であるという利点がある。しかし、ＢＪ成長法を用いて形成される光半導体集積素子には、光半導体素子間の接合部（ＢＪ部）に発生する結晶欠陥或いは異常成

長により、光半導体集積素子の信頼性が低下したり、初期特性が劣化したりするといった問題が生じる場合があった。

課題を解決するための手段

[0005] 本発明の一観点によれば、基板の（００１）面上方に形成された第１光半導体素子と、前記基板の（００１）面上方で、前記第１光半導体素子の〔１１０〕方向に、前記第１光半導体素子と光学的に接続されて形成された第２光半導体素子と、を含み、前記第１光半導体素子は、第１コア層と、前記第１コア層上方に形成され、前記第２光半導体素子側の側面に、（００１）面となす角度が５５°以上９０°以下の第１結晶面を有する第１クラッド層を含む光半導体集積素子が提供される。

発明の効果

[0006] 開示の光半導体集積素子によれば、光半導体素子間の結晶欠陥、異常成長が抑えられ、その信頼性及び性能の向上が図られる。

本発明の上記及び他の目的、特徴及び利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

- [0007] [図１]光半導体集積素子の構成例を示す図である。
- [図２]光半導体集積素子の形成方法の一例を示す図である。
- [図３]半導体再成長工程の要部断面模式図（その１）である。
- [図４]半導体再成長工程の要部断面模式図（その２）である。
- [図５]半導体再成長工程の要部断面模式図（その３）である。
- [図６]光半導体集積素子の別の構成例を示す図である。
- [図７]第１実施例に係る第１半導体成長工程の要部断面模式図である。
- [図８]第１実施例に係る第１エッチング工程の要部断面模式図である。
- [図９]第１実施例に係る第２エッチング工程の要部断面模式図である。
- [図１０]第１実施例に係る第３エッチング工程の要部断面模式図である。
- [図１１]第１実施例に係る熱処理工程の要部断面模式図である。

[図12] 第1実施例に係る第2半導体成長工程の要部断面模式図である。

[図13] 第1実施例に係る第3半導体成長工程の要部断面模式図である。

[図14] 第1実施例に係る埋め込み層形成工程の要部断面模式図である。

[図15] 第1実施例に係る光半導体集積素子の要部断面模式図である。

[図16] 第2実施例に係る第1半導体成長工程の要部断面模式図である。

[図17] 第2実施例に係る第1エッチング工程の要部断面模式図である。

[図18] 第2実施例に係る第2エッチング工程の要部断面模式図である。

[図19] 第2実施例に係る第3エッチング工程の要部断面模式図である。

[図20] 第2実施例に係る熱処理工程の要部断面模式図である。

[図21] 第2実施例に係る第2半導体成長工程の要部断面模式図である。

[図22] 第2実施例に係る光半導体集積素子の要部断面模式図である。

[図23] 第2実施例に係る熱処理工程の別例の要部断面模式図である。

[図24] 別形態の光半導体集積素子の構成例を示す図である。

[図25] 光半導体モジュールの構成例を示す図である。

発明を実施するための形態

[0008] 図1は光半導体集積素子の構成例を示す図である。尚、図1には、光半導体集積素子の一例の要部断面を模式的に図示している。

図1に示す光半導体集積素子1は、(001)面を有する基板30上方に形成された第1光半導体素子10及び第2光半導体素子20を有している。

[0009] 第1光半導体素子10は、基板30の(001)面上方に形成された、光導波路を含む第1コア層11と、第1コア層11上方に形成された第1クラッド層12とを含んでいる。第2光半導体素子20は、基板30の(001)面上方に形成された、光導波路を含む第2コア層21と、第2コア層21上方に形成された第2クラッド層22とを含んでいる。

[0010] 第1光半導体素子10及び第2光半導体素子20は、半導体材料を用いて形成され、また、基板30上方において[110]方向に並んで形成されている。第1光半導体素子10及び第2光半導体素子20は、基板30に第1光半導体素子10の第1コア層11及び第1クラッド層12の成長後に、第

第2光半導体素子20の第2コア層21及び第2クラッド層22を再成長する、BJ成長法を用いて形成することができる。

[0011] 上記のような光半導体集積素子1において、第1光半導体素子10の第1コア層11は、第2光半導体素子20と対向する端面11bが、傾斜して形成されている。第1コア層11は、第2光半導体素子20側に、A面方位を有する端面11bを有している。端面11bは、例えば、(111)A面である。

[0012] 第1コア層11上方に形成される第1クラッド層12は、この図1の例では、端部12aが、第1コア層11の端面11bの一部を覆った状態で形成されている。ここでは説明の便宜上、第1クラッド層12の端部12a表面を、上部端面12b1、中部端面12b2、下部端面12b3の3領域に分ける。

[0013] 第1クラッド層12の上部端面12b1は、A面方位を有し、例えば、(111)A面である。上部端面12b1に連なる中部端面12b2は、(001)面となす角度が 90° である、(110)面である。中部端面12b2に連なる下部端面12b3は、(001)面となす角度 θ が 55° 以上 90° 以下($55^\circ \leq \theta \leq 90^\circ$)の範囲にある結晶面である。尚、図1中、実線で示した下部端面12b3は、 $\theta = 90^\circ$ の場合を表しており、この場合、下部端面12b3は、中部端面12b2と同じく(110)面となる。また、 $\theta = 55^\circ$ の場合、下部端面12b3は、(111)B面となる。 $55^\circ \leq \theta < 90^\circ$ の範囲では、下部端面12b3は、B面方位を有する結晶面となる。

[0014] このような構成を有する第1光半導体素子10の[110]方向に、第2光半導体素子20が形成されている。図1には、第2光半導体素子20の第2コア層21が、第1光半導体素子10の第1コア層11及び第1クラッド層12の側面を覆うように形成され、第1クラッド層12と第2クラッド層22の間に第2コア層21の一部が挟まれている場合を例示している。

[0015] 尚、上記のような光半導体集積素子1の基板30には、例えば、n型イン

ジウムリン（InP）基板を用いることができる。第1光半導体素子10の第1コア層11には、例えば、アルミニウムガリウムインジウムヒ素（AlGaInAs）を用いることができる。第1光半導体素子10の第1クラッド層12には、p型InPを用いることができる。第2光半導体素子20の第2コア層21には、AlGaInAs、又はガリウムインジウムヒ素リン（GaInAsP）を用いることができる。第2光半導体素子20の第2クラッド層22には、p型InPを用いることができる。

[0016] 図1に示すような光半導体集積素子1は、例えば、次のような方法で形成される。

図2は光半導体集積素子の形成方法の一例を示す図である。図2（A）は半導体成長工程の一例の要部断面模式図、図2（B）はサイドエッチング工程の一例の要部断面模式図、図2（C）は熱処理工程の一例の要部断面模式図である。

[0017] まず、図2（A）に示すように、基板30上方の、第1光半導体素子領域AR1、及び第2光半導体素子領域AR2の双方に、第1光半導体素子10の第1コア層11及び第1クラッド層12を成長する。第1コア層11及び第1クラッド層12は、例えば、有機金属気相成長（Metal Organic Vapor Phase Epitaxy：MOVPE）法により成長することができる。

[0018] そして、図2（A）に示したように、第1光半導体素子領域AR1を覆う誘電体マスク40を形成する。第1光半導体素子領域AR1の〔110〕方向の領域を、第2光半導体素子領域AR2として誘電体マスク40から露出させる。

[0019] 次に、図2（B）に示すように、誘電体マスク40をマスクにしてエッチングを行い、第2光半導体素子領域AR2に成長されている第1コア層11及び第1クラッド層12を除去する。

[0020] 第1コア層11及び第1クラッド層12の除去は、例えば、ウェットエッチングで、又はドライエッチング後にウェットエッチングすることで、行うことができる。ウェットエッチングにより、第1コア層11及び第1クラッド層12を除去する。

ド層 12 のサイドエッチングを進行させる。ウェットエッチングでは、例えば、まず第 1 クラッド層 12 を選択的にエッチング（サイドエッチング）し、次いで第 1 コア層 11 を選択的にエッチング（サイドエッチング）する。第 1 コア層 11、第 1 クラッド層 12 のサイドエッチング量 S_1 、 S_2 はそれぞれ、第 1 コア層 11 及び第 1 クラッド層 12 の材質、エッチャントの種類、エッチング時間等、エッチング条件によって制御することができる。

[0021] このようなサイドエッチングにより、図 2（B）に示したように、第 1 クラッド層 12、第 1 コア層 11 の端部 12 a、11 a に、A 面方位を有する端面 12 b、11 b をそれぞれ表出させる。例えば、第 1 クラッド層 12 の端面 12 b に（111）A 面を表出させ、第 1 コア層 11 の端面 11 b にも（111）A 面を表出させる。

[0022] サイドエッチング後は、熱処理を行う。熱処理は、例えば、第 2 光半導体素子領域 AR2 に第 2 コア層 21 を成長する際の、その成長を開始するまでの間の昇温過程及び温度保持過程の加熱により行うことができる。また、第 2 コア層 21 の成長とは別に熱処理を行っておき、その熱処理後、第 2 コア層 21 の成長（昇温から成長）を行うようにしてもよい。

[0023] 尚、第 1 コア層 11 及び第 1 クラッド層 12 として III-V 族化合物半導体を成長している場合には、熱処理の際、V 族元素を含む雰囲気で熱処理を行うことが望ましい。これは、V 族元素の方が III 族元素に比べて蒸気圧が高いため、III-V 族化合物半導体からの V 族元素の消失を抑えるためである。例えば、第 1 コア層 11 に AlGaInAs、第 1 クラッド層 12 に InP を用いている場合には、ホスフィン（ PH_3 ）雰囲気で熱処理を行う。

[0024] サイドエッチング後に熱処理を行うことで、図 2（C）に示すように、第 1 クラッド層 12 の端部 12 a にマストランスポートを生じさせる。

第 1 クラッド層 12 の端部 12 a は、熱処理前のサイドエッチングにより、端面 12 b が A 面を表出させるように傾斜しており、更に、第 1 コア層 11 もサイドエッチングされているために、端部 12 a の下側が空間になっている。即ち、熱処理前、第 1 クラッド層 12 の端部 12 a は、第 1 コア層 1

1から底のように突出した形状になっている。

[0025] このような形状の端部12aは、加熱が行われた際、熱的に不安定な状態になり易く、より安定な状態となるように、端部12aでは第1コア層11の端面11b側にマストランスポートが生じる。マストランスポートが生じることで、図2(C)に示したように、端部12a先端の角が消え、端面12b（上部端面12b1）のほかに、(110)面の中部端面12b2、及び(001)面とのなす角度が θ の下部端面12b3が生成されるようになる。

[0026] マストランスポート量は、熱処理時の条件、例えば、温度、時間によって制御することができる。よりマストランスポート量が多くなり易い熱処理条件とするのに伴い、図2(C)に矢印で示すようにして次第に端部12aの形状が変化していき、中部端面12b2に(110)面が表出すると共に、下部端面12b3の角度 θ が大きくなっていく。下部端面12b3の角度 θ が 90° になると、下部端面12b3は中部端面12b2と同じく(110)面となり、それ以上のマストランスポートの進行は抑制されるようになる。

[0027] このようなサイドエッチング後の熱処理におけるマストランスポート量を制御し、下部端面12b3の角度 θ を、 $55^\circ \leq \theta \leq 90^\circ$ の範囲に制御する。下部端面12b3の角度 θ をこのように制御することで、続く第2光半導体素子20の形成（再成長）時に、第1光半導体素子10と第2光半導体素子20との接合部（BJ部）に結晶欠陥等の不具合が生じるのを効果的に抑制することが可能になる。

[0028] ここで、第2光半導体素子20の形成（再成長）について、図3から図5を参照して説明する。図3は $\theta = 90^\circ$ である時の半導体再成長工程の要部断面模式図、図4は $\theta = 70^\circ$ である時の半導体再成長工程の要部断面模式図、図5は $\theta = 40^\circ$ である時の半導体再成長工程の要部断面模式図である。

[0029] 上記熱処理後に得られる図3、図4又は図5の各状態からそれぞれ、第2

光半導体素子領域AR2に、第2コア層21の成長、及び第2クラッド層22の成長が行われる。第2コア層21及び第2クラッド層22は、例えば、MOVPE法により成長することができる。

[0030] まず、図5に示したように、マストランスポートにより形成された下部端面12b3の(001)面となす角度 θ が 40° であった時の、第2コア層21及び第2クラッド層22の成長について述べる。

[0031] 第2コア層21の成長において、第2コア層21は、第2光半導体素子領域AR2では、基板30の上方に向かって成長すると共に、第1光半導体素子10の側面にも成長する。即ち、第1コア層11の端面11b、及び第1クラッド層12の上部端面12b1、中部端面12b2、下部端面12b3にも第2コア層21が成長する。その際、この図5の下部端面12b3のように、 40° といった比較的角度 θ の小さいB面が表出している場合には、第1光半導体素子10と第2光半導体素子20のBJ部に積層欠陥50が発生し得る。この積層欠陥50は、B面の下部端面12b3に沿って成長する第2コア層21の成長面が、第1コア層11のA面の端面11bに沿って成長する第2コア層21の成長面と衝突することによって発生すると考えられる。

[0032] このような積層欠陥50が発生している状態で、第2コア層21に続き、第2クラッド層22を成長すると、その第2クラッド層22内にも積層欠陥50が発生してしまう場合がある。

[0033] 第1光半導体素子10と第2光半導体素子20のBJ部に、このような積層欠陥50が発生してしまうと、得られる光半導体集積素子1の信頼性が低下してしまう可能性がある。

[0034] また、この図5に示したような状態から第2コア層21及び第2クラッド層22の成長を行った時には、第1光半導体素子10と第2光半導体素子20のBJ部に、異常成長が発生してしまうこともある。このような異常成長は、第1光半導体素子10と第2光半導体素子20のBJ部の膜厚増大を引き起こし、その結果、BJ部の屈折率変化を招き、光出力等の初期特性を劣

化させる可能性がある。

[0035] 一方、B面が形成されない図3のような場合、及びB面が形成されていてもその角度 θ が比較的大きい図4のような場合には、上記のような積層欠陥50や異常成長が発生し難くなる。

[0036] 図3に示したように、マストランスポートを十分に進行させ、第1クラッド層12の中部端面12b2及び下部端面12b3がいずれも(110)面となっている場合には、第2コア層21成長時におけるその成長面同士の衝突が抑えられる。即ち、中部端面12b2及び下部端面12b3の(110)面に沿って成長する第2コア層21の成長面と、第1コア層11のA面の端面11bに沿って成長する第2コア層21の成長面との衝突が抑えられ、上記のような積層欠陥50の発生が抑えられる。従って、続いて成長する第2クラッド層22も、積層欠陥50の発生を抑えて成長することができる。更に、この図3に示したような状態からの第2コア層21及び第2クラッド層22の成長では、異常成長の発生も抑えられる。

[0037] また、図4に示したように、B面の下部端面12b3が形成されていても、 70° といった比較的角度 θ の大きいB面である場合には、上記のような積層欠陥50の発生が抑えられる。B面の下部端面12b3に沿って成長する第2コア層21の成長面と、第1コア層11のA面の端面11bに沿って成長する第2コア層21の成長面との衝突は発生するものの、積層欠陥50の発生にまでは至り難いと言える。従って、続いて成長する第2クラッド層22も、積層欠陥50の発生を抑えて成長することができる。更に、この図4に示したような状態からの第2コア層21及び第2クラッド層22の成長では、異常成長の発生も抑えられる。

[0038] 第1光半導体素子10と第2光半導体素子20のBJ部における積層欠陥等の不具合は、下部端面12b3の(001)面となす角度 θ に依存して発生する。詳細な実験から、下部端面12b3の角度 θ が、 $55^\circ \leq \theta \leq 90^\circ$ の範囲である時には、第1光半導体素子10と第2光半導体素子20のBJ部における不具合の発生が抑えられることがわかった。BJ成長法で先に

成長する第1光半導体素子10側の第1クラッド層12の下部端面12b3を所定の角度 θ としておき、それから第2光半導体素子20の再成長を行うことで、信頼性の高い、高性能の光半導体集積素子1が実現可能になる。

[0039] 尚、以上の説明では、第1光半導体素子10側の第1クラッド層12の端部12aが、第1コア層11の端面11bの一部を覆っている場合を例にしたが、第1クラッド層12の端部12aで第1コア層11の端面11b全体を覆うようにしてもよい。

[0040] 図6は光半導体集積素子の別の構成例を示す図である。尚、図6には、光半導体集積素子の一例の要部断面を模式的に図示している。

図6に示す光半導体集積素子1aは、第1光半導体素子10側の第1コア層11の端面11b全体が、第1クラッド層12の端部12aで覆われた構造を有している。その他の構成は、ここでは上記光半導体集積素子1と同様としている。

[0041] 第1クラッド層12の端部12aは、A面の上部端面12b1と、(110)面の中部端面12b2及び下部端面12b3（即ち上記の角度 θ が90°）とを有している。

このような端部12aを形成する際は、例えば、第1光半導体素子10形成時のサイドエッチングで、第1コア層11のサイドエッチング量S1を、第1クラッド層12のサイドエッチング量S2に対し、上記の図2（B）の場合に比べて大きくする。このようにすると、その後の熱処理の際、端部12aでより多くのマストランスポートが進行し、マストランスポート後の端部12aで第1コア層11の端面11b全体を覆った構造を得ることが可能になる。

[0042] このような構造とすることにより、続いて行われる第2光半導体素子20の第2コア層21の再成長時、更には第2クラッド層22の再成長時にも、成長面同士の衝突、異常生長が抑えられ、信頼性の高い、高性能の光半導体集積素子1aが実現可能になる。

[0043] 尚、以上の説明において、図2（B）の工程では、第1クラッド層12の

サイドエッチングを行うようにしたが、第1クラッド層12のサイドエッチングは、必ずしも行うことを要しない。第1クラッド層12のサイドエッチングを行わなくとも、第1コア層11のサイドエッチングが行われていれば、その後の熱処理によって第1クラッド層12のマストランスポートは発生する。このマストランスポートの結果、第1クラッド層12の中部端面12b2が(110)面で、下部端面12b3が $55^{\circ} \leq \theta \leq 90^{\circ}$ の範囲の結晶面となれば、第2光半導体素子20側の再成長時にも積層欠陥等の不具合の発生を抑えることが可能である。

[0044] 以上述べたような光半導体集積素子1, 1aの形成において、積層欠陥等の不具合が抑えられたBJ接合は、例えば、第1クラッド層12及び第1コア層11の選択的ウェットエッチングにより形成することができる。その場合、第1クラッド層12及び第1コア層11の側面或いは底部のエッチング形状について、高い再現性を得ることが可能になる。

[0045] また、第1クラッド層12のマストランスポートを引き起こすための熱処理は、例えば、第2コア層21を成長する際のMOVPE装置のリアクタ内で行うことができ、当該熱処理に続けて第2コア層21を成長することができる。その場合、工程数を増加させることなく、積層欠陥等の不具合が抑えられたBJ接合を得ることが可能になる。

[0046] 以下、光半導体集積素子について、より具体的に説明する。

まず、第1実施例について説明する。

ここでは、レーザ（光半導体素子）及び変調器（光半導体素子）が集積された変調器集積型レーザ（光半導体集積素子）を例にして説明する。以下、このような変調器集積型レーザを、その形成工程を追って説明していく。

[0047] 図7は第1実施例に係る第1半導体成長工程の要部断面模式図である。

まず、 $n\text{-InP}$ (001) 基板101上に、レーザを構成する半導体層を形成する。半導体層は、MOVPE法を用いて成長することができる。

[0048] ここでは、まず、 $n\text{-InP}$ (001) 基板101上に、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ の $n\text{-InP}$ バッファ層102を成長する。次いで、 $n\text{-I}$

n Pバッファ層 102 上に、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 、組成波長が $1.1 \mu\text{m}$ 、厚さが 100 nm の n-InGaAsP 層 103 を成長する。その後、n-InGaAsP 層 103 上には、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さが 10 nm の n-InP キャップ層を成長する。そして、レジスト塗布、電子線ビーム露光、現像、及びエッチングを行い、レーザ領域 AR11 の n-InGaAsP 層 103 に、ピッチが 200 nm の回折格子 103a を形成する。続いて、形成した回折格子 103a の熱変形が起こらない温度領域において、回折格子 103a を埋める、厚さが 100 nm の n-InP スペース層 104 を成長する。

[0049] 次いで、組成波長が $1.1 \mu\text{m}$ 、厚さが 50 nm の AlGaInAs 光閉じ込め層 (SCH 層) 105A を成長する。続いて、組成波長が $1.1 \mu\text{m}$ 、厚さが 10 nm の AlGaInAs バリア層 105B と、組成波長が $1.45 \mu\text{m}$ 、厚さが 5 nm の AlGaInAs 井戸層 105C の成長を繰り返し (例えば合計 10 周期)、AlGaInAs 多重量子井戸層を形成する。更に、組成波長が $1.1 \mu\text{m}$ 、厚さが 50 nm の AlGaInAs 光閉じ込め層 105A を成長する。これにより、AlGaInAs コア層 105 を形成する。

[0050] 次いで、AlGaInAs コア層 105 上に、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さが 150 nm の p-InP クラッド層 106 を成長する。

図 8 は第 1 実施例に係る第 1 エッチング工程の要部断面模式図である。

[0051] 図 7 に示したように各半導体層を形成した後は、レーザ領域 AR11 に誘電体マスク 107 を形成する。誘電体マスク 107 は、 $[110]$ 方向に延在する、幅が $20 \mu\text{m}$ 、長さが $300 \mu\text{m}$ のパターン形状とし、 $[110]$ 方向に $600 \mu\text{m}$ 間隔で形成する。誘電体マスク 107 は、例えば、酸化シリコン (SiO_2) で形成する。

[0052] 次いで、誘電体マスク 107 をマスクにして変調器領域 AR12 のドライエッチングを行う。ここでは、変調器領域 AR12 の p-InP クラッド層 106 と AlGaInAs コア層 105 を、AlGaInAs コア層 105

の途中まで、例えば約280nmの深さまで、エッチングを行う。

[0053] 図9は第1実施例に係る第2エッチング工程の要部断面模式図である。

図8に示したようなエッチング後は、p-InPクラッド層106のウェットエッチングを行う。p-InPクラッド層106は、臭素(Br)系エッチャントを用いて、選択的にエッチングする。このエッチングにより、p-InPクラッド層106の端部106aのサイドエッチング量S12が100nm程度となるように、p-InPクラッド層106をサイドエッチングする。この時、p-InPクラッド層106の端面106bは、(111)A面が表出した状態となる。

[0054] また、このようなサイドエッチングの結果、p-InPクラッド層106の上には、誘電体マスク107の庇が形成される。この誘電体マスク107の庇は、後述する変調器を構成する半導体層の成長時に、半導体が誘電体マスク107上まで這い上がって成長してしまうのを抑える役割を果たす。

[0055] 図10は第1実施例に係る第3エッチング工程の要部断面模式図である。

p-InPクラッド層106のサイドエッチング後は、AlGaInAsコア層105のウェットエッチングを行う。AlGaInAsコア層105は、希硫酸と過酸化水素水の混合溶液をエッチャントに用いて、選択的にエッチングする。このエッチングにより、AlGaInAsコア層105の端部105aのサイドエッチング量S11が120nm程度となるように、AlGaInAsコア層105をサイドエッチングする。この時、AlGaInAsコア層105の端面105bは、(111)A面が表出した状態となる。

[0056] また、このエッチングにより、変調器領域AR12には、AlGaInAsコア層105下のn-InPスペーサ層104が表出する。AlGaInAsコア層105のウェットエッチング条件を適切に設定することにより、n-InPスペーサ層104のエッチングを抑えて、所定のサイドエッチング量S11で、AlGaInAsコア層105を選択的にエッチングすることができる。

[0057] 図11は第1実施例に係る熱処理工程の要部断面模式図である。

p-InPクラッド層106及びAlGaInAsコア層105のウェットエッチング後は、熱処理を行い、p-InPクラッド層106の端部106aのマストランスポートを生じさせる。

[0058] 例えば、ウェットエッチングが終了した基板を、MOVPE装置のリアクタ内にセットし、 PH_3 雰囲気下で 690°C まで昇温する。この時、p-InPクラッド層106の端部106aには、InPのマストランスポートにより、例えば、図11に示したように、(111)A面が上部に残り、それより下部には(001)面となす角度が 90° の(110)面が表出する。AlGaInAsコア層105は、その端面105bの上部が、p-InPクラッド層106のマストランスポート後の端部106aで覆われ、それより下部は(111)A面が表出した状態に残る。AlGaInAsコア層105の端面105bに連なって、p-InPクラッド層106側面の(110)面が形成される。

[0059] p-InPクラッド層106のこのような側面形状は、上記のサイドエッチング量S11, S12を適切に設定し(図9, 図10)、熱処理で十分なマストランスポートを生じさせることにより(図11)、得ることができる。

[0060] 図12は第1実施例に係る第2半導体成長工程の要部断面模式図である。

熱処理によりp-InPクラッド層106の端部106aにマストランスポートを生じさせた後は、変調器領域AR12に、レーザ領域AR11側と同様に、AlGaInAsコア層108及びp-InPクラッド層109を成長する。

[0061] AlGaInAsコア層108としては、まず、組成波長が $1.2\mu\text{m}$ 、厚さが 50nm のAlGaInAs光閉じ込め層を成長する。続いて、組成波長が $1.2\mu\text{m}$ 、厚さが 5nm のAlGaInAsバリア層と、組成波長が $1.35\mu\text{m}$ 、厚さが 10nm のAlGaInAs井戸層の成長を繰り返し(例えば合計10周期)、AlGaInAs多重量子井戸層を形成する。

更に、組成波長が $1.2\mu\text{m}$ 、厚さが 50nm の AlGaInAs 光閉じ込め層を成長する。

[0062] p-InP クラッド層109としては、キャリア濃度が $5 \times 10^{17}\text{cm}^{-3}$ 、厚さが 150nm の p-InP 層を成長する。

AlGaInAs コア層108の成長時には、レーザ領域AR11側の側面に表出している結晶面を(111)A面及び(110)面としているため、成長面同士の衝突を回避し、積層欠陥等の発生を抑えることができる。また、それにより、積層欠陥等の発生が抑えられた p-InP クラッド層109を形成することができる。

[0063] 尚、前述のように誘電体マスク107を庇としておくことにより、 AlGaInAs コア層108及び p-InP クラッド層109を、誘電体マスク107より下の領域に成長させることができるようになる。

[0064] AlGaInAs コア層108及び p-InP クラッド層109の成長は、 p-InP クラッド層106の端部106aにマストランスポートを生じさせる熱処理に続けて、同じMOVPE装置で、行うことができる。その際、熱処理は、 AlGaInAs コア層108の成長を開始する前(原料導入前)の昇温工程、温度保持工程と兼ねることができる。それにより、 p-InP クラッド層106の端部106aを図11に示したような形状とするにあたって工数が増加するのを抑えることができる。

[0065] 以上の図7から図12に示した工程により、 n-InP (001)基板101上に、レーザの基本構造と、変調器の基本構造とを、[110]方向に並べて、光学的に接続された状態で、接合した構造(BJ構造)が得られる。

[0066] 図13は第1実施例に係る第3半導体成長工程の要部断面模式図である。

図7から図12に示したようにしてレーザ及び変調器の各基本構造を形成した後は、まず、誘電体マスク107を除去し、更に所定の半導体層の成長を行う。

[0067] ここでは、誘電体マスク107除去後の基板上に、まず、キャリア濃度が

$1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1.5 \mu\text{m}$ の p-InP クラッド層 110 を成長する。次いで、キャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $0.5 \mu\text{m}$ の p-InGaAs コンタクト層 111 を成長する。

[0068] 図 14 は第 1 実施例に係る埋め込み層形成工程の要部断面模式図である。尚、図 14 には、レーザ領域 AR11 を [110] 方向に見た時の断面を模式的に図示している。

p-InP クラッド層 110 及び p-InGaAs コンタクト層 111 の形成後は、埋め込み層 112 を形成する。

[0069] 埋め込み層 112 の形成では、まず、レーザ及び変調器の両基本構造に対応する領域（レーザ領域 AR11 及び変調器領域 AR12）を覆うように [110] 方向に延在する、幅が $1.5 \mu\text{m}$ のマスク 113 を形成する。尚、便宜上、ここでは図示を省略するが、マスク 113 は、ストライプ状に複数形成してもよい。

[0070] マスク 113 の形成後は、ドライエッチングを行って n-InP (001) 基板 101 に達する溝 114 を形成し、高さが $3 \mu\text{m}$ のメサ 115 を形成する。そして、そのメサ 115 の両脇を、鉄 (Fe) をドーピングした InP 層により埋め込み、図 14 に示したような埋め込み層 112 を形成する。

[0071] 図 15 は第 1 実施例に係る光半導体集積素子の要部断面模式図である。

埋め込み層 112 の形成後には、p-InGaAs コンタクト層 111 をレーザ 116 側と変調器 117 側に分離し、各 p-InGaAs コンタクト層 111 上に p 側電極 118 を形成する。或いは、p-InGaAs コンタクト層 111 の上に p 側電極 118 を形成し、その後、p 側電極 118 及び p-InGaAs コンタクト層 111 を分離する。n-InP (001) 基板 101 の裏面には、n 側電極 119 を形成する。その後、レーザ 116 と変調器 117 の端（光の進行方向の長さが $600 \mu\text{m}$ となる位置）でへき開し、両端面に無反射膜 120 を形成する。これにより、図 15 に示したような変調器集積型レーザ 100 が形成される。

[0072] 尚、図 14 に示した工程において、マスク 113 を複数ストライプ状に形

成し、メサ115を複数ストライプ状に形成して、各メサ115間に埋め込み層112を形成している場合には、上記へき開により、変調器集積型レーザ100のアレイが得られる。この場合は、そのへき開後の両端面に無反射膜120を形成した後、そのアレイを所定数の変調器集積型レーザ100を含むチップに更にへき開すればよい。

[0073] 次に、第2実施例について説明する。

ここでは、分布帰還型 (Distributed FeedBack : DFB) レーザ (光半導体素子) 及び分布ブラッグ反射器 (Distributed Bragg Reflector : DBR) (光半導体素子) が集積された分布反射型 (Distributed Reflector : DR) レーザ (光半導体集積素子) を例にして説明する。以下、このようなDRレーザを、その形成工程を追って説明していく。

[0074] 図16は第2実施例に係る第1半導体成長工程の要部断面模式図である。

まず、 $n\text{-InP}$ (001) 基板201上に、DFBレーザを構成する半導体層を形成する。半導体層は、MOVPE法を用いて成長することができる。

[0075] ここでは、まず、 $n\text{-InP}$ (001) 基板201上に、成長温度630℃で、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さが300nmの $n\text{-InP}$ バッファ層202を成長する。そして、レジスト塗布、電子線ビーム露光、現像、及びエッチングを行い、DFBレーザ領域AR21及びDBR領域AR22の $n\text{-InP}$ バッファ層202に、ピッチが200nm、深さが50nmの回折格子202aを形成する。その後、再び成長温度630℃まで昇温して、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 、組成波長が $1.1 \mu\text{m}$ の $n\text{-InGaAsP}$ 層203を成長し、 $n\text{-InP}$ バッファ層202に形成した回折格子202aを埋める。次いで、 $n\text{-InGaAsP}$ 層203上に、厚さが20nmの $n\text{-InP}$ スペーサ層204を成長する。

[0076] 次いで、組成波長が $1.1 \mu\text{m}$ 、厚さが30nmの AlGaInAs 光閉じ込め層205Aを成長する。続いて、組成波長が $1.1 \mu\text{m}$ 、厚さが10nmの AlGaInAs バリア層205Bと、組成波長が $1.1 \mu\text{m}$ 、厚さ

が5 nmのAlGaInAs井戸層205Cの成長を繰り返し（例えば合計5周期）、AlGaInAs多重量子井戸層を形成する。更に、組成波長が1.1 μm 、厚さが30 nmのAlGaInAs光閉じ込め層205Aを成長する。これにより、AlGaInAsコア層205を形成する。

[0077] 次いで、AlGaInAsコア層205上に、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 、厚さが200 nmのp-InPクラッド層206を成長する。

図17は第2実施例に係る第1エッチング工程の要部断面模式図である。

[0078] 図16に示したように各半導体層を形成した後は、DFBレーザ領域AR21に、SiO₂等の誘電体マスク207を形成する。誘電体マスク207は、[110]方向に延在する、幅が20 μm 、長さが300 μm のパターン形状とし、[110]方向に100 μm 間隔で形成する。

[0079] 次いで、誘電体マスク207をマスクにしてDBR領域AR22のドライエッチングを行う。ここでは、DBR領域AR22のp-InPクラッド層206とAlGaInAsコア層205を、AlGaInAsコア層205の途中まで、例えば約270 nmの深さまで、エッチングを行う。

[0080] 図18は第2実施例に係る第2エッチング工程の要部断面模式図である。

図17に示したようなエッチング後は、p-InPクラッド層206のウェットエッチングを行う。p-InPクラッド層206は、Br系エッチャントを用いて、選択的にエッチングする。このエッチングにより、p-InPクラッド層206の端部206aのサイドエッチング量S22が130 nm程度となるように、p-InPクラッド層206をサイドエッチングする。この時、p-InPクラッド層206の端面206bは、(111)A面が表出した状態となる。

[0081] また、このようなサイドエッチングの結果、p-InPクラッド層206の上には、誘電体マスク207の庇が形成され、それにより、後に成長される半導体の誘電体マスク207上への這い上がりが抑えられるようになる。

[0082] 図19は第2実施例に係る第3エッチング工程の要部断面模式図である。

p-InPクラッド層206のサイドエッチング後は、AlGaInAs

コア層205のウェットエッチングを行う。AlGaInAsコア層205は、希硫酸と過酸化水素水の混合溶液をエッチャントに用いて、選択的にエッチングする。このエッチングにより、AlGaInAsコア層205の端部205aのサイドエッチング量S21が400nm程度となるように、AlGaInAsコア層205をサイドエッチングする。この時、AlGaInAsコア層205の端面205bは、(111)A面が表出した状態となる。

[0083] DBR領域AR22には、AlGaInAsコア層205下のn-InPスペーサ層204が表出する。AlGaInAsコア層205のウェットエッチング条件を適切に設定することにより、n-InPスペーサ層204のエッチングを抑えて、所定のサイドエッチング量S21で、AlGaInAsコア層205を選択的にエッチングすることができる。

[0084] 図20は第2実施例に係る熱処理工程の要部断面模式図である。

p-InPクラッド層206及びAlGaInAsコア層205のウェットエッチング後は、熱処理を行い、p-InPクラッド層206の端部206aのマストランスポートを生じさせる。

[0085] 例えば、ウェットエッチングが終了した基板を、MOVPE装置のリアクタ内にセットし、 PH_3 雰囲気下で690℃まで昇温する。この時、p-InPクラッド層206の端部206aには、InPのマストランスポートにより、例えば、図20に示したように、(111)A面が上部に残り、それより下部には(001)面となす角度が90°の(110)面が表出する。AlGaInAsコア層205は、その端面205bの(111)A面が全て、p-InPクラッド層206のマストランスポート後の端部206aで覆われる。

[0086] p-InPクラッド層206のこのような側面形状は、上記サイドエッチングの段階でp-InPクラッド層206のAlGaInAsコア層205からの突出量を比較的大きくし、熱処理で十分なマストランスポートを生じさせることにより、得ることができる。

[0087] 図21は第2実施例に係る第2半導体成長工程の要部断面模式図である。

熱処理によりp-InPクラッド層206の端部206aにマストランスポートを生じさせた後は、DBR領域AR22に、組成波長が $1.2\mu\text{m}$ 、厚さが 145nm のAlGaInAs導波路層208、及びノンドープのi-InPクラッド層209を成長する。

[0088] AlGaInAs導波路層208の成長時には、DFBレーザ領域AR21側の側面に表出している結晶面を(111)A面及び(110)面としているため、成長面同士の衝突を回避し、積層欠陥等の発生を抑えることができる。また、それにより、積層欠陥等の発生が抑えられたi-InPクラッド層209を形成することができる。

[0089] 尚、その際、誘電体マスク207により、AlGaInAs導波路層208及びi-InPクラッド層209を、誘電体マスク207より下の領域に成長させることができるようになっている。

[0090] また、上記したp-InPクラッド層206の端部206aにマストランスポートを生じさせる熱処理は、AlGaInAs導波路層208の成長を開始する前(原料導入前)の昇温工程、温度保持工程と兼ねることができる。

[0091] 以上の図16から図21に示した工程により、n-InP(001)基板101上に、DFBレーザの基本構造と、DBRの基本構造とを、[110]方向に並べて、光学的に接続された状態で、接合した構造(BJ構造)が得られる。

[0092] 図22は第2実施例に係る光半導体集積素子の要部断面模式図である。

図16から図21に示したようにしてDFBレーザ及びDBRの各基本構造を形成した後は、誘電体マスク207を除去し、まず、キャリア濃度が $1 \times 10^{18}\text{cm}^{-3}$ 、厚さが $1.5\mu\text{m}$ のp-InPクラッド層210を成長する。次いで、キャリア濃度が $1 \times 10^{19}\text{cm}^{-3}$ 、厚さが $0.5\mu\text{m}$ のp-InGaAsコンタクト層211を成長する。

[0093] そして、上記第1実施例と同様に、DFBレーザ及びDBRの両基本構造

に対応する領域を覆うように〔110〕方向に延在する、幅が $1.5\mu\text{m}$ のマスクを1つ又は複数ストライプ状に形成し、ドライエッチングを行って、高さが $3\mu\text{m}$ のメサを形成する。メサの両脇は、FeをドーピングしたInP層により埋め込む。

[0094] その後は、p-InGaAsコンタクト層111をDFBレーザ216側に残すパターンニングと、p側電極218及びn側電極219の形成を行う。次いで、DFBレーザ216とDBR217の端（光の進行方向の長さが $200\mu\text{m}$ となる位置）でへき開し、両端面に無反射膜220を形成する。これにより、図22に示したようなDRレーザ200が形成される。

[0095] 尚、上記へき開により、複数のDRレーザ200を含むアレイが得られる場合は、そのへき開後の両端面に無反射膜220を形成した後、そのアレイを所定数のDRレーザ200を含むチップに更にへき開すればよい。

[0096] また、上記の例では、AlGaInAs導波路層208を形成するようにしたが、AlGaInAs導波路層208に替えて、GaInAsP導波路層を形成してもよい。

以上、第1実施例及び第2実施例について説明した。

[0097] 尚、上記の第1実施例及び第2実施例では、図11及び図20に示したように、p-InPクラッド層106、206の端部106a、206aの上部に（111）A面が残り、下部には（001）面となす角度が 90° の（110）面が形成される場合を例示した。このほか、p-InPクラッド層106、206の側面には、（110）面に加えて、（001）面となす角度が 55° 以上 90° 未満の結晶面が存在していてもよい。

[0098] 一例として、上記の第2実施例に係る熱処理工程の別例の要部断面模式図を図23に示す。

サイドエッチングを施した後の熱処理により、InPのマストランスポートを発生させ、p-InPクラッド層206の側面形状を、この図23に示すような形状とすることもできる。即ち、この図23の例では、InPのマストランスポートにより、上部端面206b1に（111）A面が残り、中

部端面 206b2 に (110) 面が形成されている。そして、下部端面 206b3 には、(001) 面となす角度 θ が $55^\circ \leq \theta < 90^\circ$ の範囲の結晶面が形成されている。

[0099] 熱処理後にこのような結晶面が存在していても、前述のように、続く再成長 (BJ 成長) 時の成長面同士の衝突を抑えることができるため、BJ 部における積層欠陥等の不具合の発生を抑えることができる。

[0100] 尚、上記の第 1 実施例でも同様であり、p-InP クラッド層 106 の熱処理後の側面形状を、上部端面に (111) A 面、中部端面に (110) 面、下部端面に (001) 面となす角度 θ が $55^\circ \leq \theta < 90^\circ$ の範囲の結晶面が存在する形状とすることもできる。それにより、BJ 部における積層欠陥等の不具合の発生を抑えることができる。

[0101] また、上記の第 1 実施例及び第 2 実施例では、1 つの光半導体集積素子につき 2 つの機能素子を [110] 方向に並べて接合した BJ 構造を例示した。即ち、1 つの光半導体集積素子について 1 つの BJ 部が存在する場合を例示した。このほか、上記の手法は、1 つの光半導体集積素子に複数の BJ 部が存在するような場合にも、同様に適用可能である。

[0102] 一例として、そのような場合の光半導体集積素子の構成例を図 24 に示す。

図 24 には、光半導体集積素子として DR レーザ 200a を例示しており、この DR レーザ 200a では、1 つの DFB レーザ 216 を挟んだ両側にそれぞれ DBR 217 が形成されている。即ち、DFB レーザ 216 の入射端、出射端にそれぞれ、DBR 217 が形成されている。これら 3 つの素子、即ち、DBR 217、DR レーザ 200a、DBR 217 は、[110] 方向に並んで形成されている。

[0103] このような DR レーザ 200a は、上記の第 2 実施例の例に従って形成することができる。例えば、図 17 から図 19 に示したエッチング工程において、DFB レーザ領域 AR21 を [110] 方向で挟む DBR 領域 AR22 のエッチングを行う。そして、図 20 に示した工程において、熱処理により

、そのDFBレーザ領域AR21の[110]方向の両側面を、所定の結晶面が存在する形状にする。その後、DBR領域AR22の再成長を行う。以降は、上記の第2実施例の場合と同様にして、p-InPクラッド層210、p-InGaAsコンタクト層211、p側電極218、n側電極219、無反射膜220を形成すればよい。

[0104] この図24に示すDRレーザ200aのように、2つのBJ部（DFBレーザ216の両側）が存在するような場合にも、上記手法を用いることにより、BJ部における積層欠陥等の不具合の発生を抑えることができる。

[0105] また、上記の第1実施例及び第2実施例では、多重量子井戸層を含むAlGaInAsコア層105、205を形成する場合を例示したが、このほか、バルク構造、量子細線構造、量子ドット構造を用いたコア層を適用することも可能である。

[0106] また、上記の第1実施例及び第2実施例では、n-InP（001）基板101、201を用いる場合を例示したが、このほか、p型基板、半絶縁性（Semi-Insulating：SI）基板を適用することも可能である。尚、このようなp型基板、SI基板を適用する場合にあっては、コア層の下に設けるn層にキャリアが供給可能なように、当該n層の構造や電極の配置等が任意に変更される。

[0107] また、上記の第1実施例及び第2実施例で述べたような光半導体集積素子を、他の素子と組み合わせることにより、光半導体モジュールを形成することが可能である。

一例として、上記の第2実施例で述べたDRレーザ200を用いた光半導体モジュールを図25に示す。

[0108] この図25に示す光半導体モジュール300では、DRレーザ200が、リードピン301を有する同軸型のパッケージ302に搭載されている。また、バックモニタ用の受光素子303が、DRレーザ200の後端面側に設置されている。各リードピン301は、DRレーザ200又は受光素子303に、接続されている。

- [0109] DRレーザ200に接続されたリードピン301は、DFBレーザを駆動する電気信号源に接続される。一方、受光素子303に接続されたリードピン301は、DRレーザ200の出力を監視するモニタ装置に接続される。
- [0110] DRレーザ200及び受光素子303は、レンズ304が設けられたキャップ305で覆われている。レンズ304は、DRレーザ200の前端面から出射されたレーザ光（信号光）を集光して、その先に設けられる光ファイバに入射させる、光出力ポートとして機能する。
- [0111] 尚、上記の光半導体モジュール300では、DRレーザ200の温度を調整する熱電冷却素子を備えていない。これは、DRレーザ200がAlGaInAs系の活性層を有することから、このDRレーザ200が広い温度範囲に亘って縦単一モードでレーザ発振するためである。
- [0112] ここでは、DRレーザを搭載した光半導体モジュールを例示したが、変調器集積型レーザ等、種々の光半導体集積素子を、他の素子と組み合わせ、それぞれの用途に応じた形態の光半導体モジュールを形成することが可能である。
- [0113] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成及び応用例に限定されるものではなく、対応するすべての変形例及び均等物は、添付の請求項及びその均等物による本発明の範囲とみなされる。

符号の説明

- [0114] 1, 1a 光半導体集積素子
10 第1光半導体素子
11 第1コア層
12 第1クラッド層
11a, 12a, 105a, 106a, 205a, 206a 端部
11b, 12b, 105b, 106b, 205b, 206b 端面
12b1, 206b1 上部端面
12b2, 206b2 中部端面

1 2 b 3, 2 0 6 b 3 下部端面

2 0 第2光半導体素子

2 1 第2コア層

2 2 第2クラッド層

3 0 基板

4 0, 1 0 7, 2 0 7 誘電体マスク

5 0 積層欠陥

1 0 0 変調器集積型レーザ

1 0 1, 2 0 1 n-InP(001)基板

1 0 2, 2 0 2 n-InPバッファ層

1 0 3, 2 0 3 n-InGaAsP層

1 0 3 a, 2 0 2 a 回折格子

1 0 4, 2 0 4 n-InPスペーサ層

1 0 5, 1 0 8, 2 0 5 AlGaInAsコア層

1 0 5 A, 2 0 5 A AlGaInAs光閉じ込め層

1 0 5 B, 2 0 5 B AlGaInAsバリア層

1 0 5 C, 2 0 5 C AlGaInAs井戸層

1 0 6, 1 0 9, 1 1 0, 2 0 6, 2 1 0 p-InPクラッド層

1 1 1, 2 1 1 p-InGaAsコンタクト層

1 1 2 埋め込み層

1 1 3 マスク

1 1 4 溝

1 1 5 メサ

1 1 6 レーザ

1 1 7 変調器

1 1 8, 2 1 8 p側電極

1 1 9, 2 1 9 n側電極

1 2 0, 2 2 0 無反射膜

200, 200a DRレーザ
208 AlGaInAs 導波路層
209 i-InP クラッド層
216 DFBレーザ
217 DBR
300 光半導体モジュール
301 リードピン
302 パッケージ
303 受光素子
304 レンズ
305 キャップ
AR1 第1光半導体素子領域
AR2 第2光半導体素子領域
AR11 レーザ領域
AR12 変調器領域
AR21 DFBレーザ領域
AR22 DBR領域
S1, S2, S11, S12, S21, S22 サイドエッチング量
 θ 角度

請求の範囲

- [請求項1] 基板の（001）面上方に形成された第1光半導体素子と、
前記基板の（001）面上方で、前記第1光半導体素子の〔110〕方向に、前記第1光半導体素子と光学的に接続されて形成された第2光半導体素子と、
を含み、
前記第1光半導体素子は、第1コア層と、前記第1コア層上方に形成され、前記第2光半導体素子側の側面に、（001）面となす角度が55°以上90°以下の第1結晶面を有する第1クラッド層とを含むことを特徴とする光半導体集積素子。
- [請求項2] 前記第1結晶面は、少なくとも（110）面を含むことを特徴とする請求の範囲第1項記載の光半導体集積素子。
- [請求項3] 前記第1結晶面は、（110）面と、（001）面となす角度が55°以上90°未満のB面方位の結晶面とを含むことを特徴とする請求の範囲第1項記載の光半導体集積素子。
- [請求項4] 前記第1コア層は、前記第2光半導体素子側の側面に、A面方位の第2結晶面を有することを特徴とする請求の範囲第1項記載の光半導体集積素子。
- [請求項5] 前記第1クラッド層の前記第2光半導体素子側の端部は、前記第1コア層の前記第2光半導体素子側の側面の一部を覆っていることを特徴とする請求の範囲第1項記載の光半導体集積素子。
- [請求項6] 前記第1クラッド層の前記第2光半導体素子側の端部は、前記第1コア層の前記第2光半導体素子側の側面の全体を覆っていることを特徴とする請求の範囲第1項記載の光半導体集積素子。
- [請求項7] 前記第2光半導体素子は、前記第1コア層と光学的に接続された第2コア層と、前記第2コア層上方に形成された第2クラッド層とを含み、
前記第1クラッド層と前記第2クラッド層との間に、前記第2コア

層の一部が形成されていることを特徴とする請求の範囲第1項記載の光半導体集積素子。

[請求項8] 前記基板は、I n P基板であり、
前記第1コア層は、Al, Ga, In, Asを含み、前記第1クラッド層は、In, Pを含むことを特徴とする請求の範囲第1項記載の光半導体集積素子。

[請求項9] 前記第2コア層は、Ga, In, AsとAl又はPとを含み、前記第2クラッド層は、In, Pを含むことを特徴とする請求の範囲第7項記載の光半導体集積素子。

[請求項10] 基板の(001)面上方に第1コア層を形成する工程と、
前記第1コア層上方に第1クラッド層を形成する工程と、
第1領域に形成された前記第1コア層及び前記第1クラッド層を残し、前記第1領域の[110]方向にある第2領域に形成された前記第1コア層及び前記第1クラッド層をエッチングする工程と、
前記第1領域に残る前記第1クラッド層の前記第2領域側の側面に、(001)面となす角度が55°以上90°以下の第1結晶面を形成する工程と、
前記第2領域に半導体層を形成する工程と、
を含むことを特徴とする光半導体集積素子の製造方法。

[請求項11] 前記第1結晶面を形成する工程は、前記第1領域に残る前記第1クラッド層の熱処理を行う工程を含むことを特徴とする請求の範囲第10項記載の光半導体集積素子の製造方法。

[請求項12] 前記熱処理により、前記第1領域に残る前記第1クラッド層の前記第2領域側の側面に、少なくとも(110)面を表出させることを特徴とする請求の範囲第11項記載の光半導体集積素子の製造方法。

[請求項13] 前記第2領域に形成された前記第1コア層及び前記第1クラッド層をエッチングする工程は、前記第1コア層及び前記第1クラッド層をそれぞれ前記第1領域側にサイドエッチングする工程を含むことを特

徴とする請求の範囲第 10 項記載の光半導体集積素子の製造方法。

[請求項14]

前記半導体層を形成する工程は、

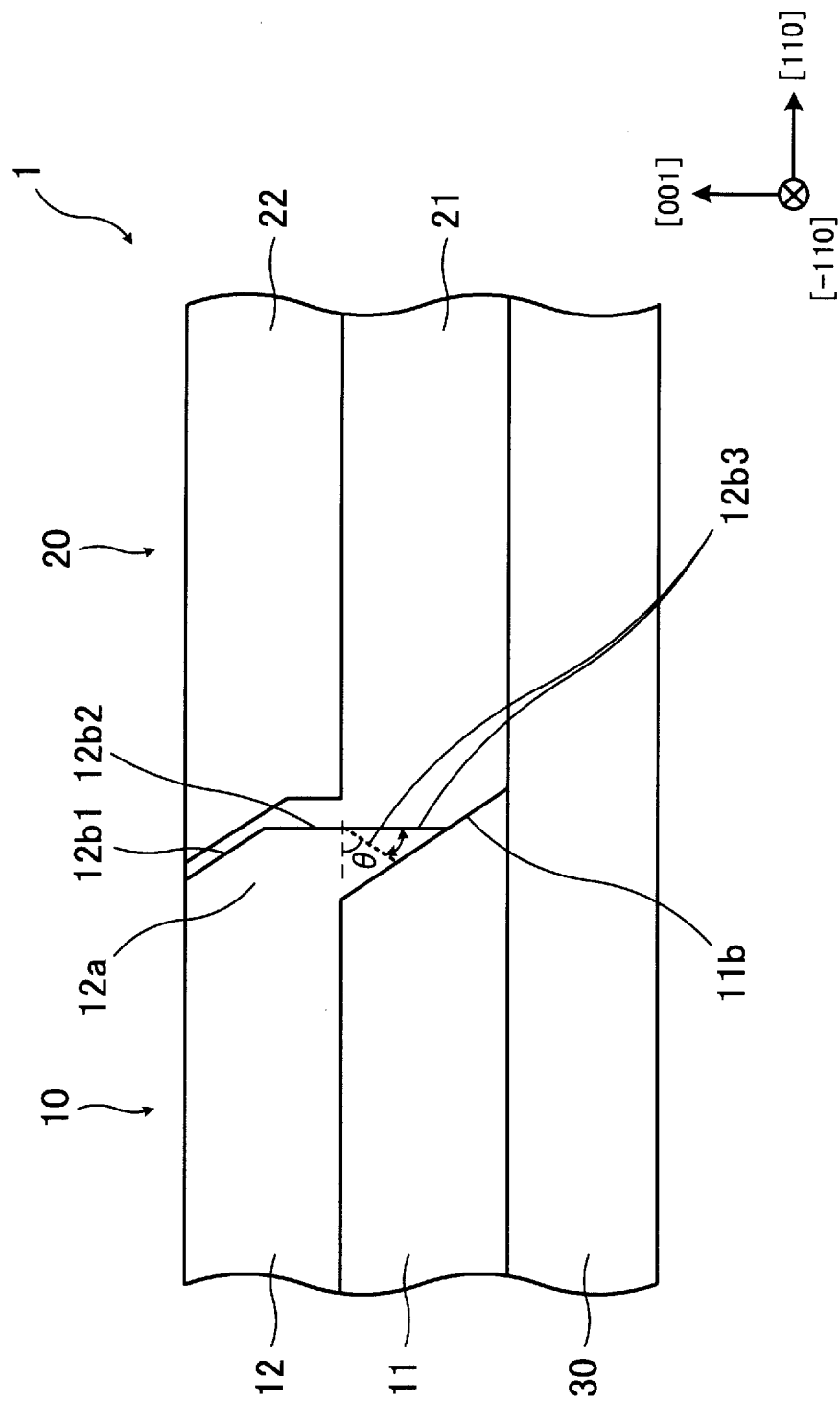
前記第 1 コア層と光学的に接続された第 2 コア層を形成する工程と

、

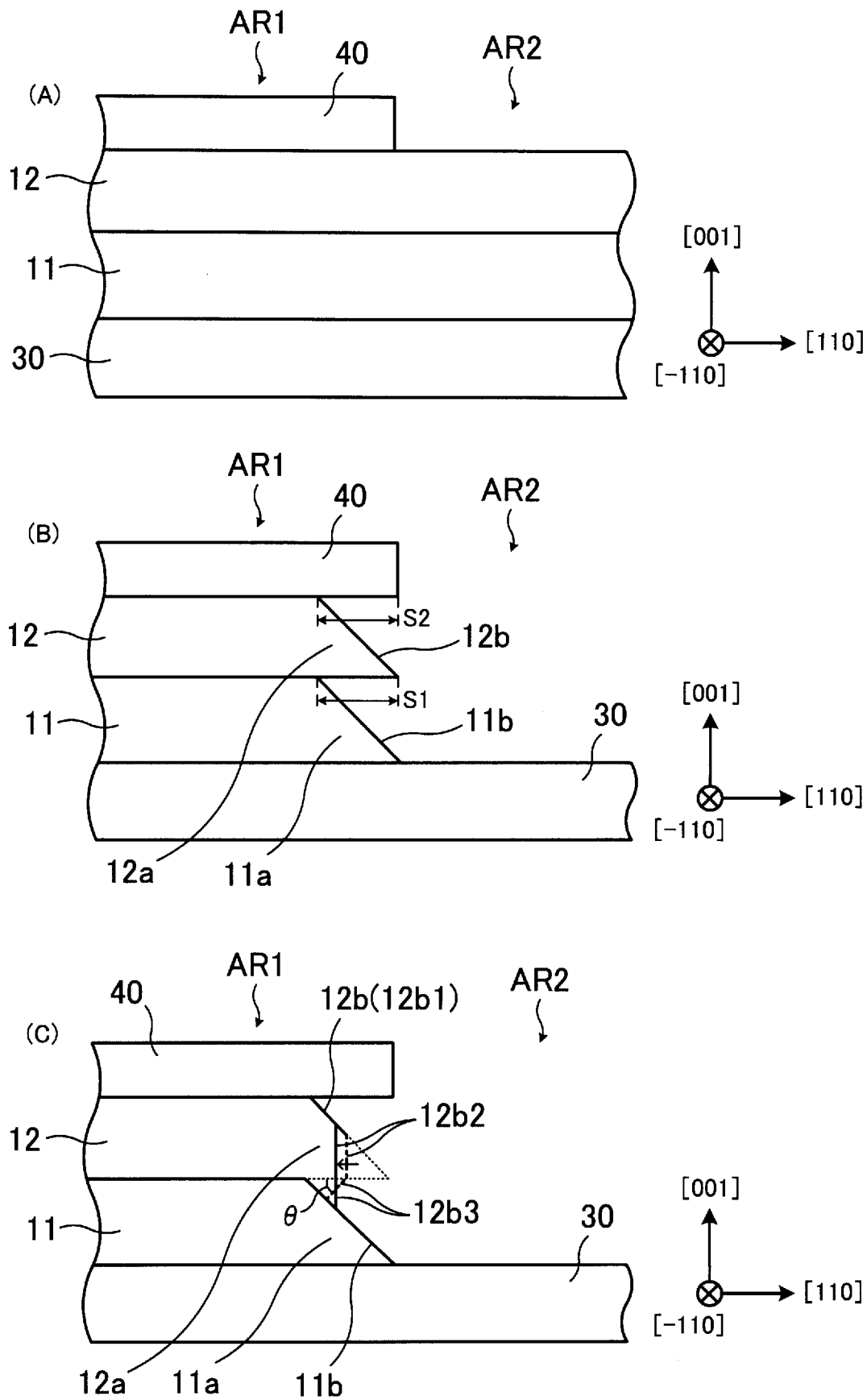
前記第 2 コア層上方に第 2 クラッド層を形成する工程と、

を含むことを特徴とする請求の範囲第 10 項記載の光半導体集積素子の製造方法。

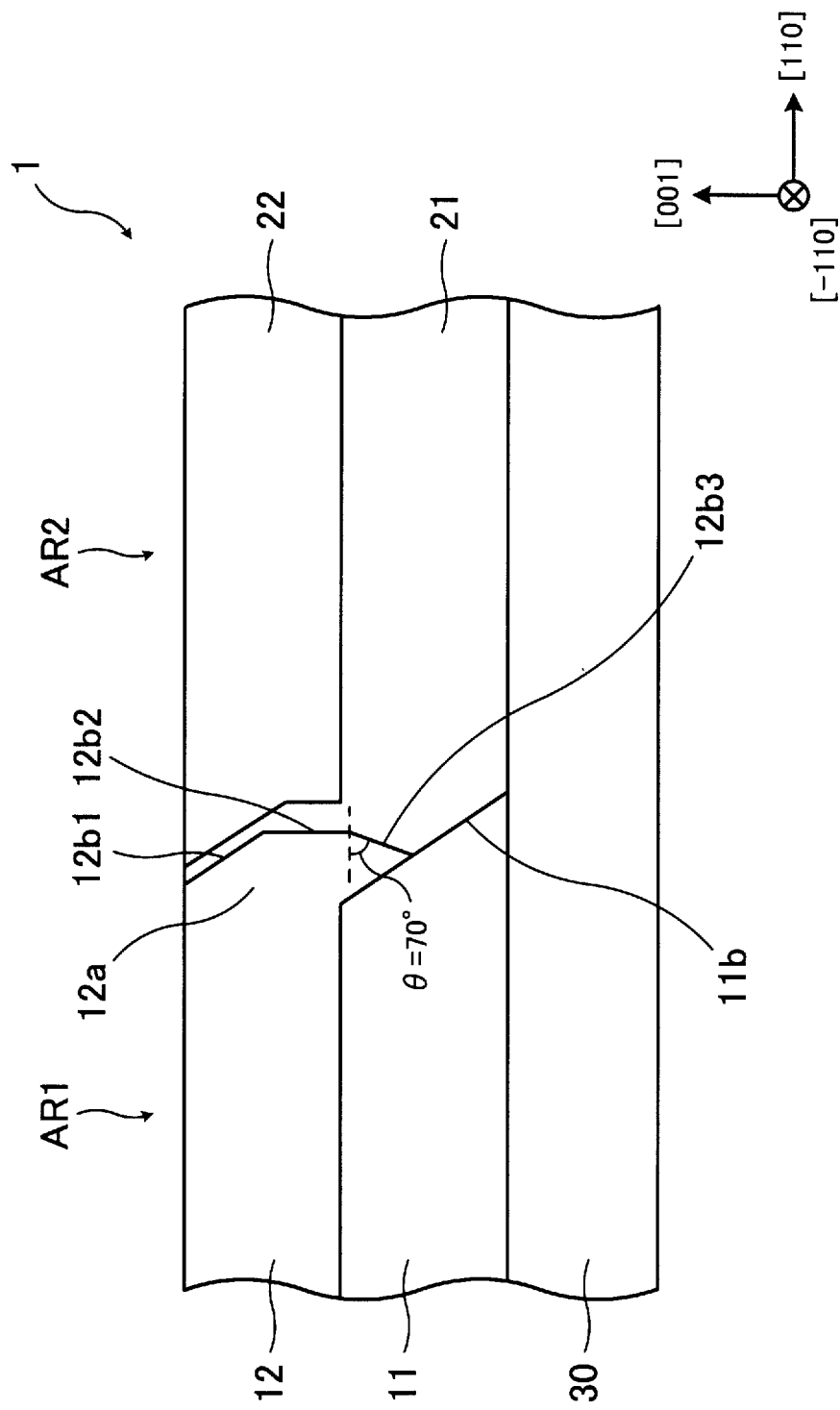
[図1]



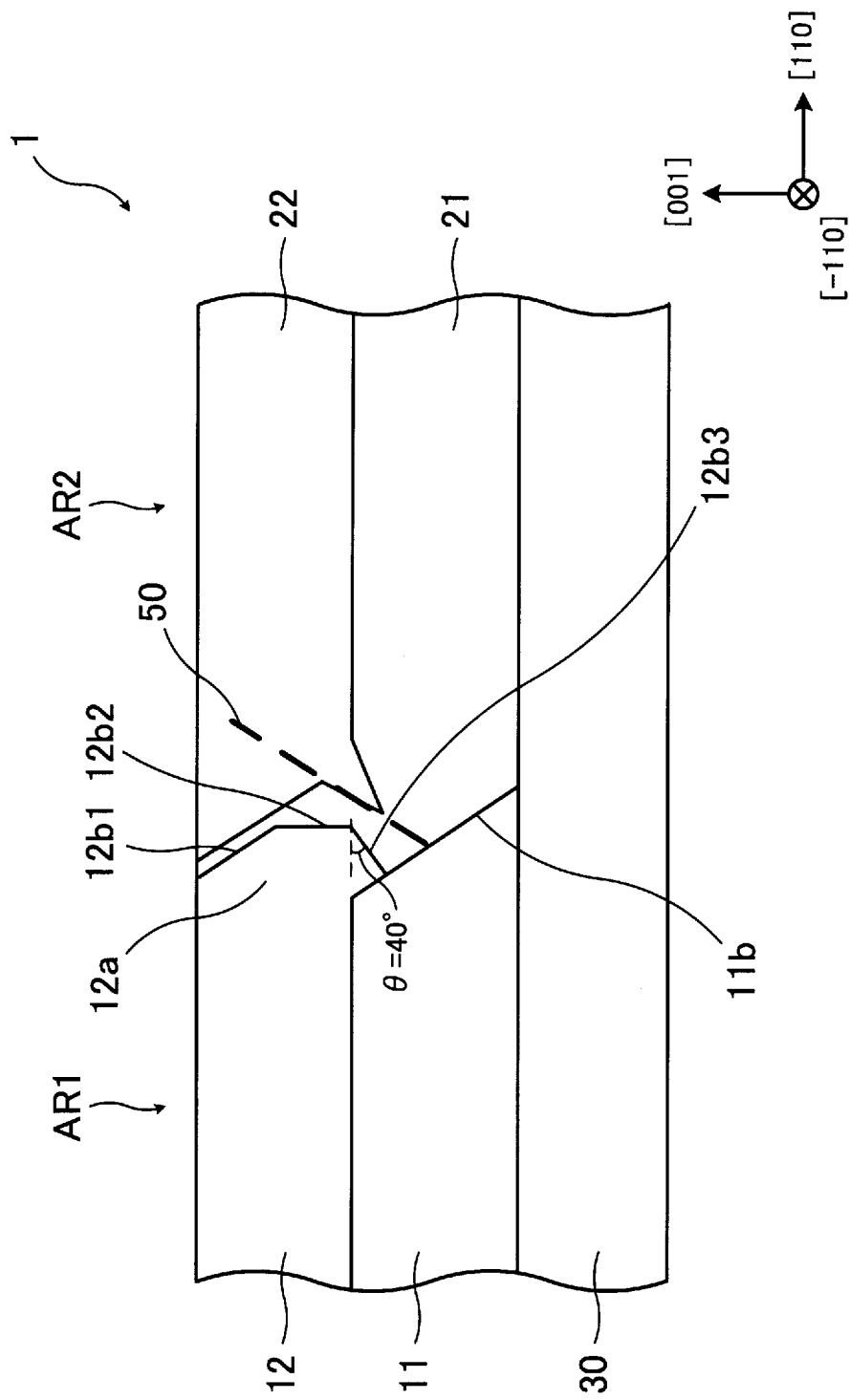
[図2]



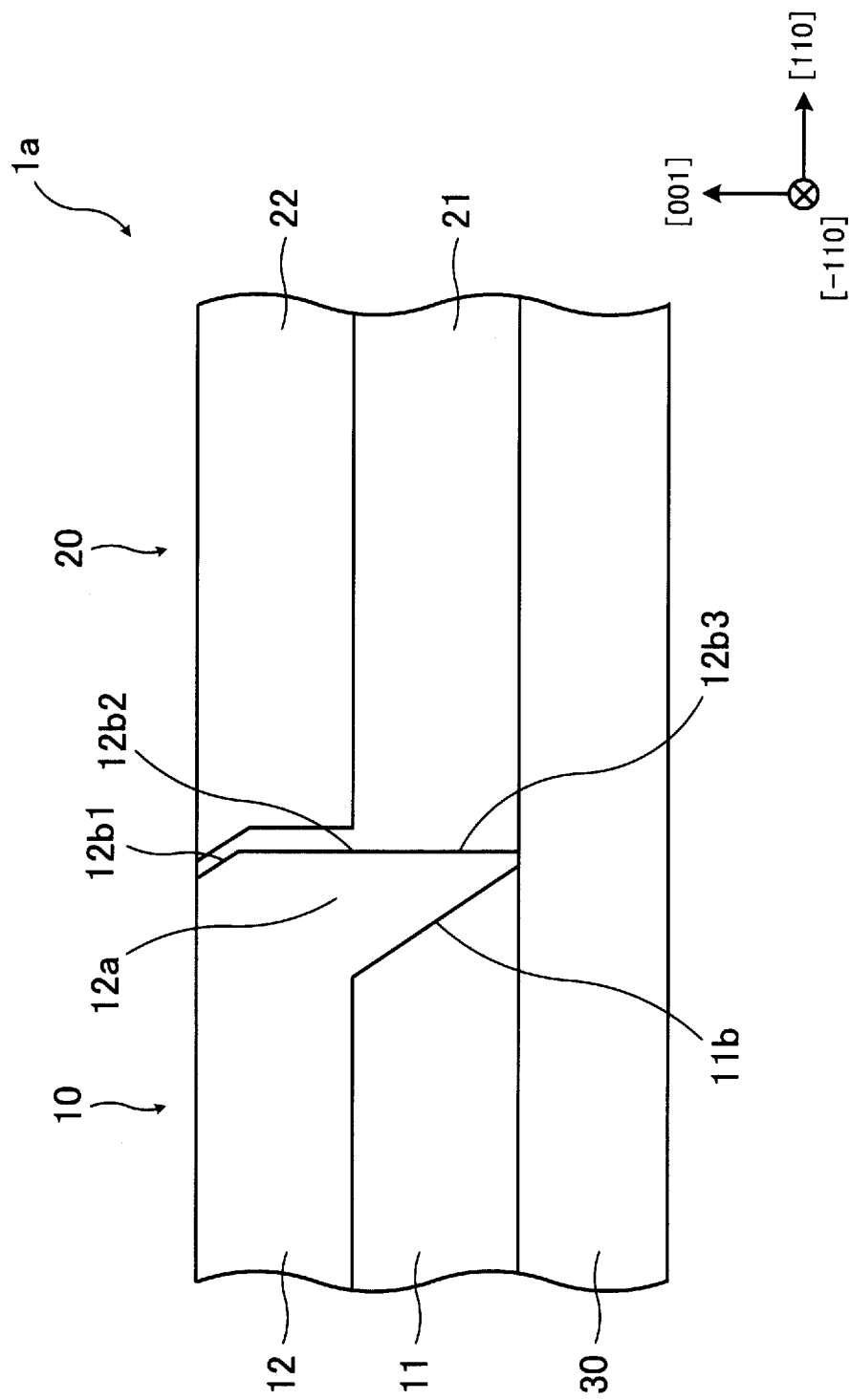
[図4]



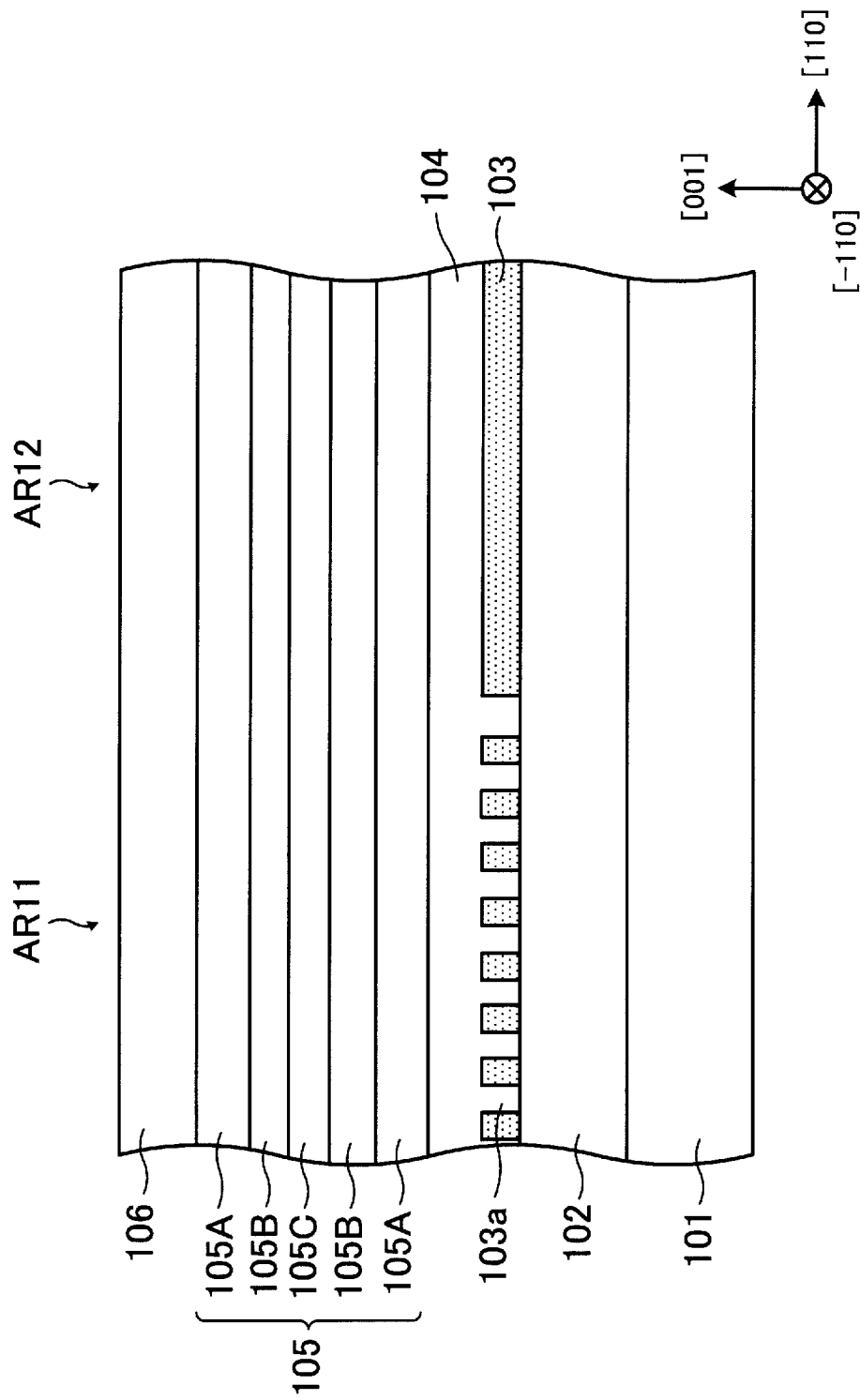
[図5]



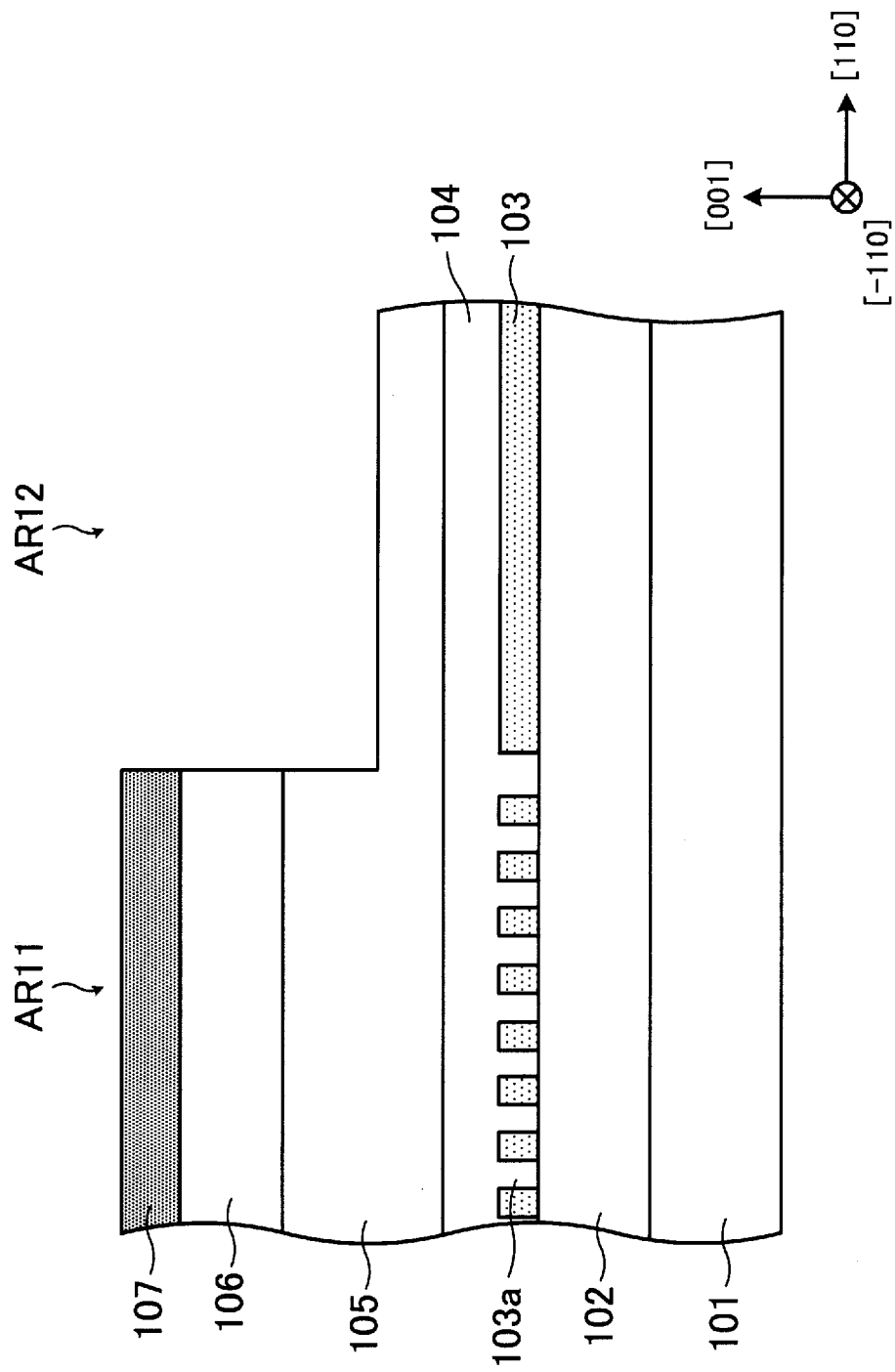
[図6]



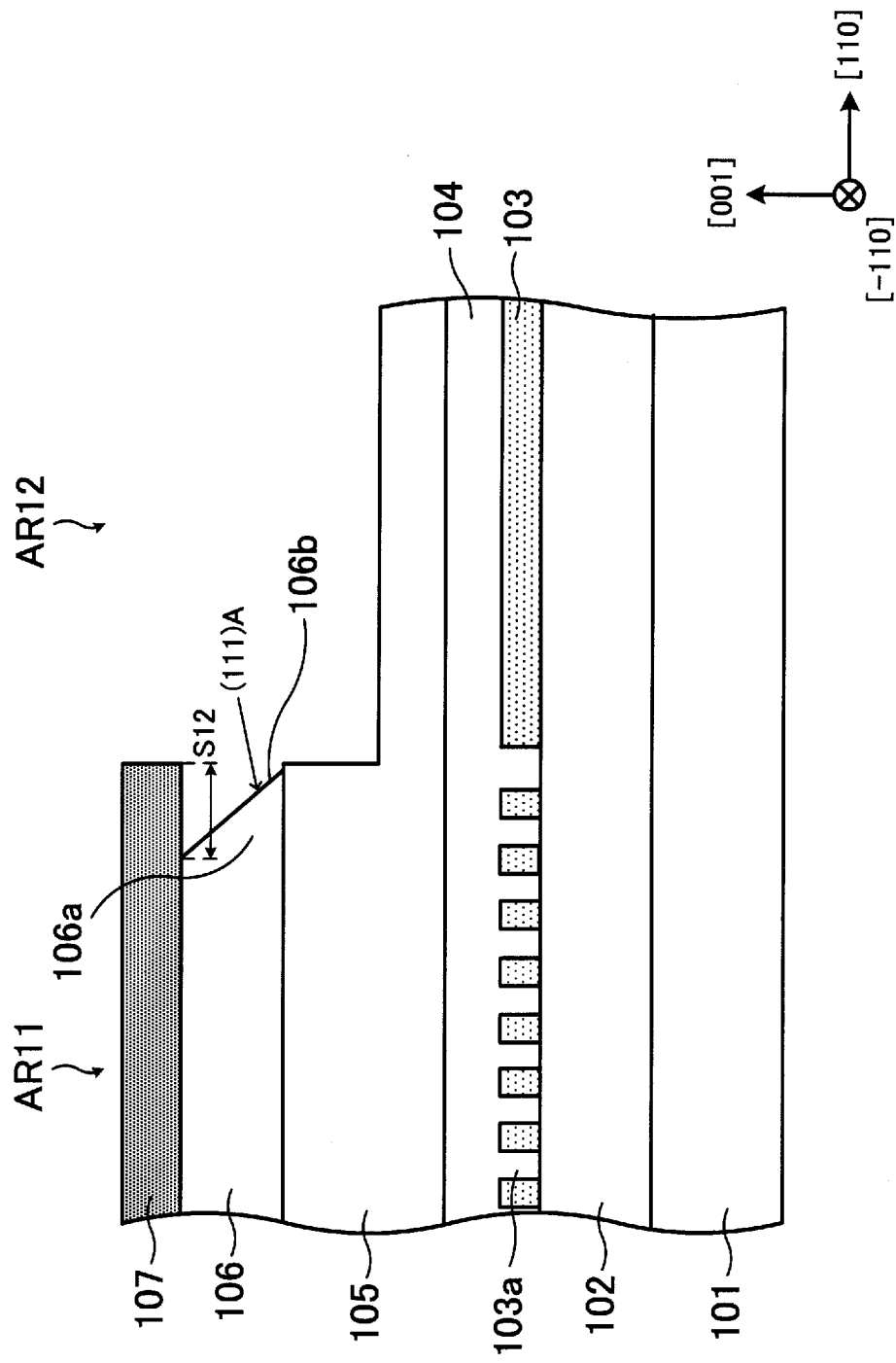
[図7]



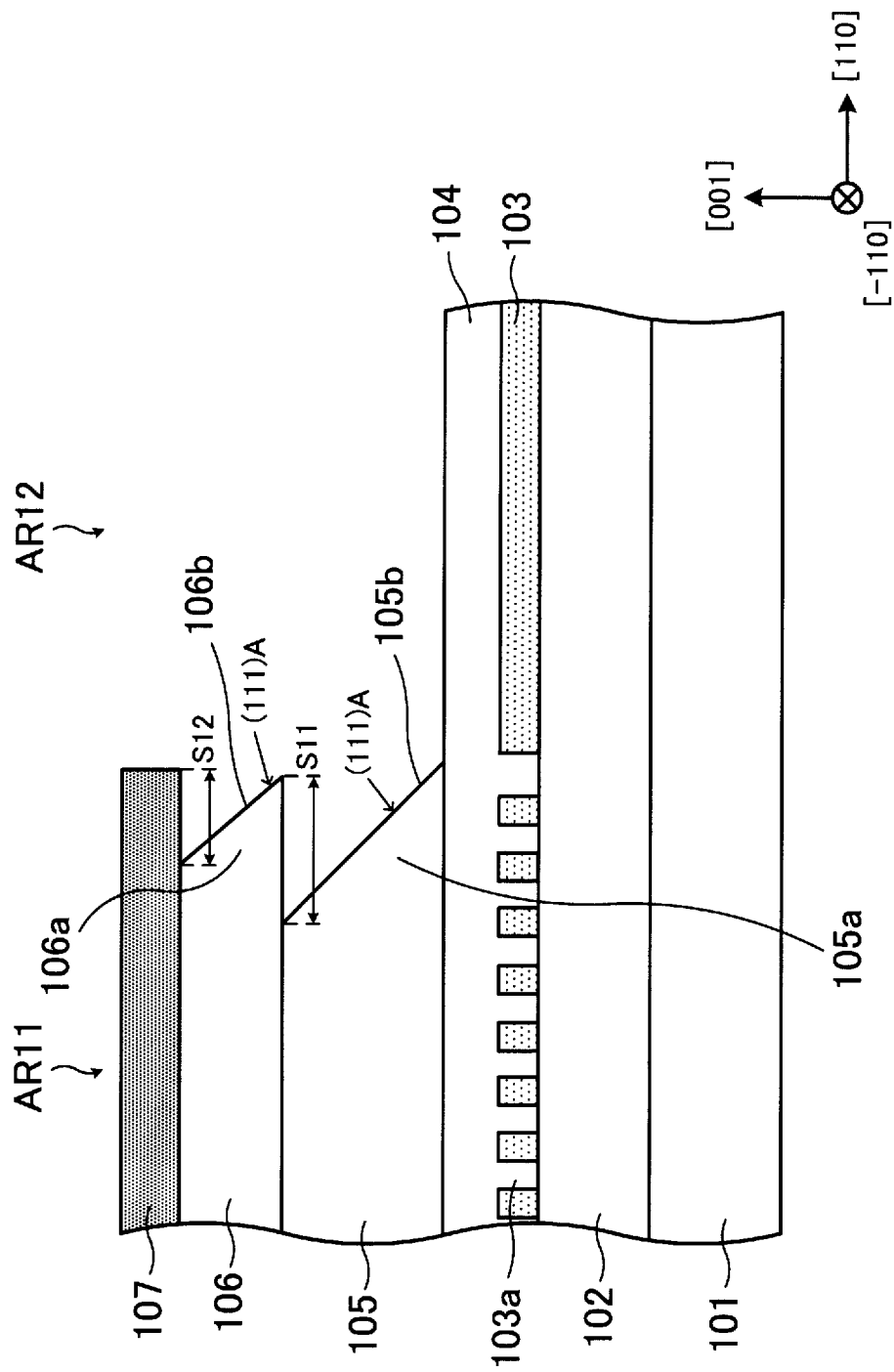
[図8]



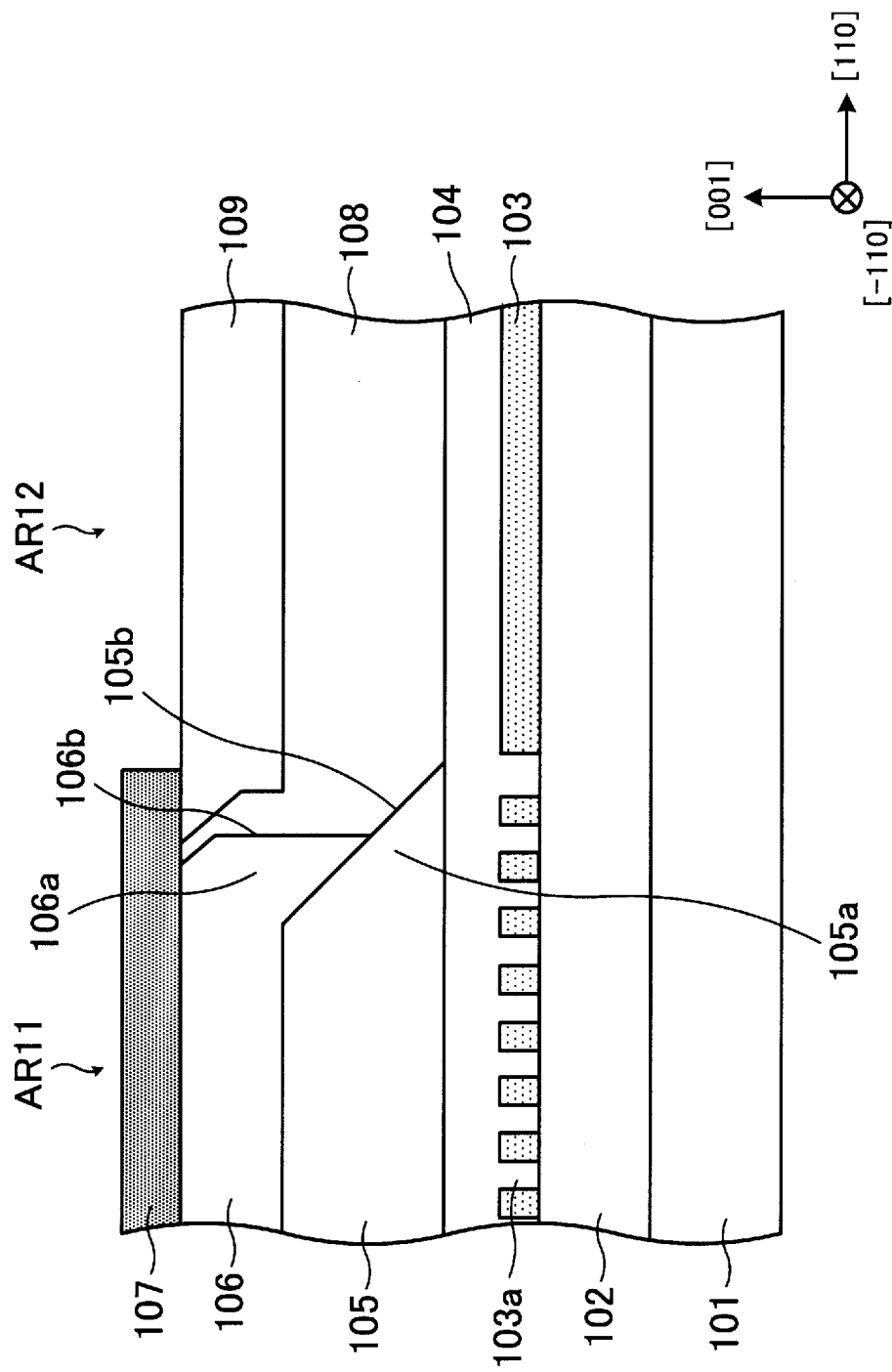
[図9]



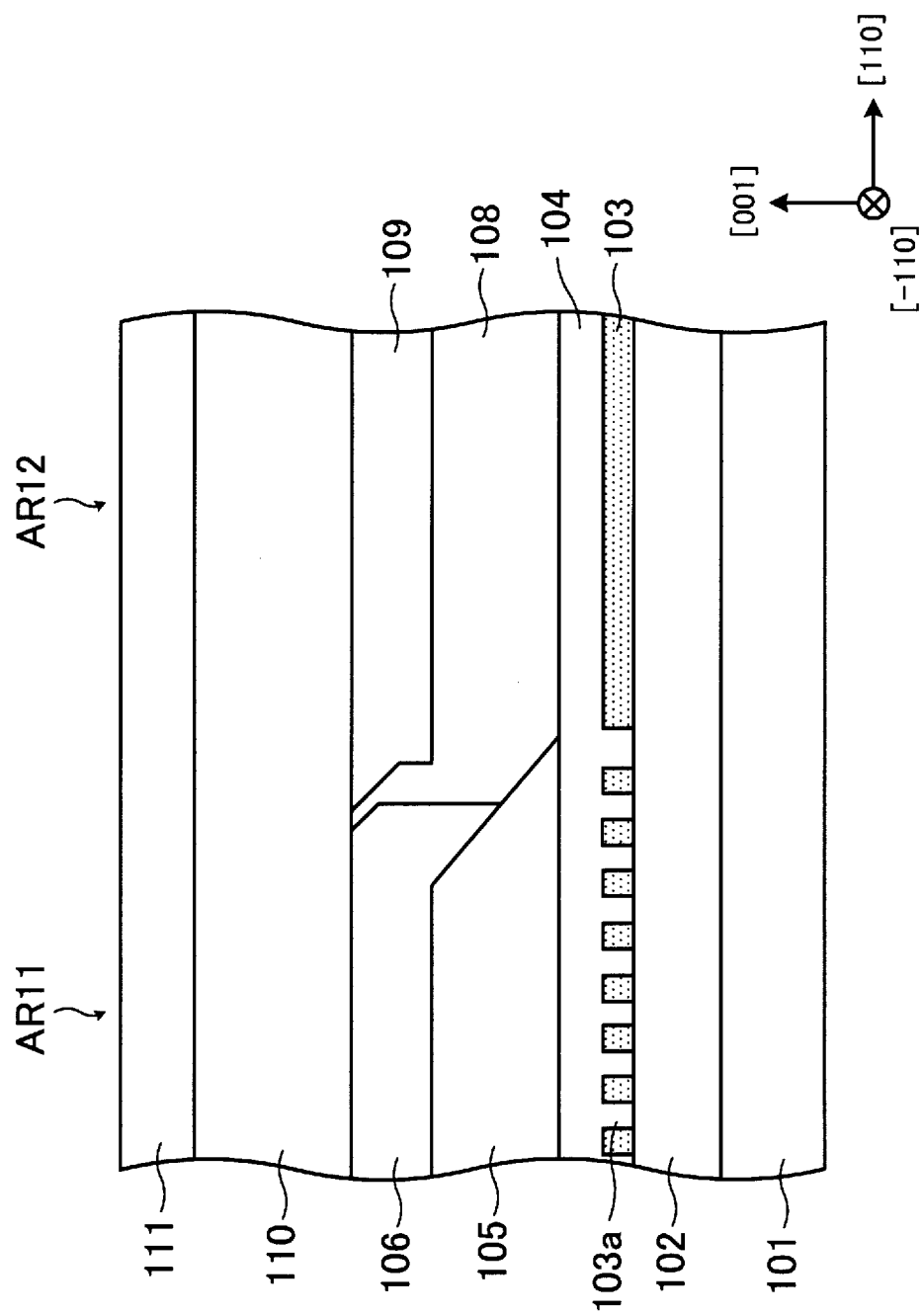
[図10]



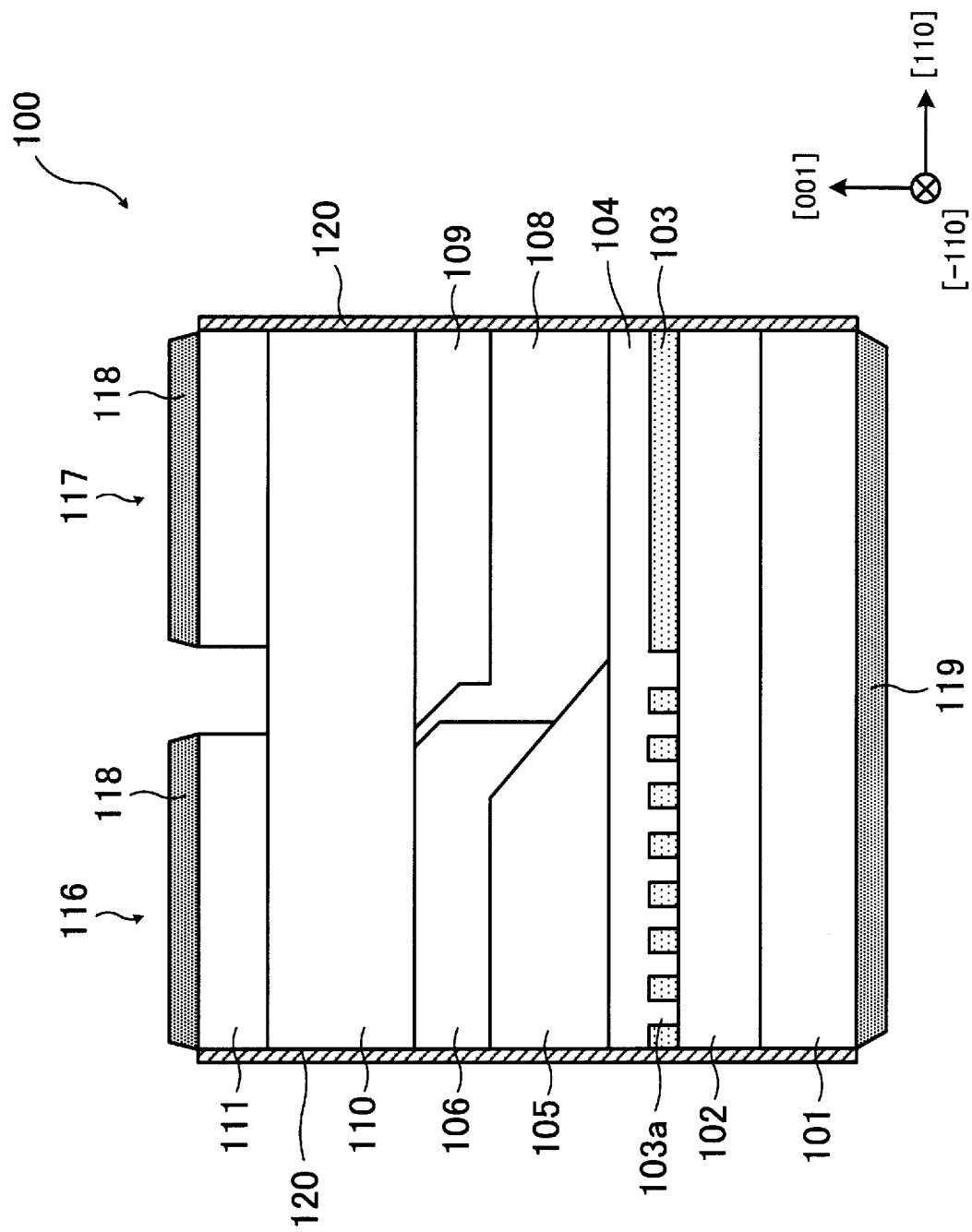
[図12]



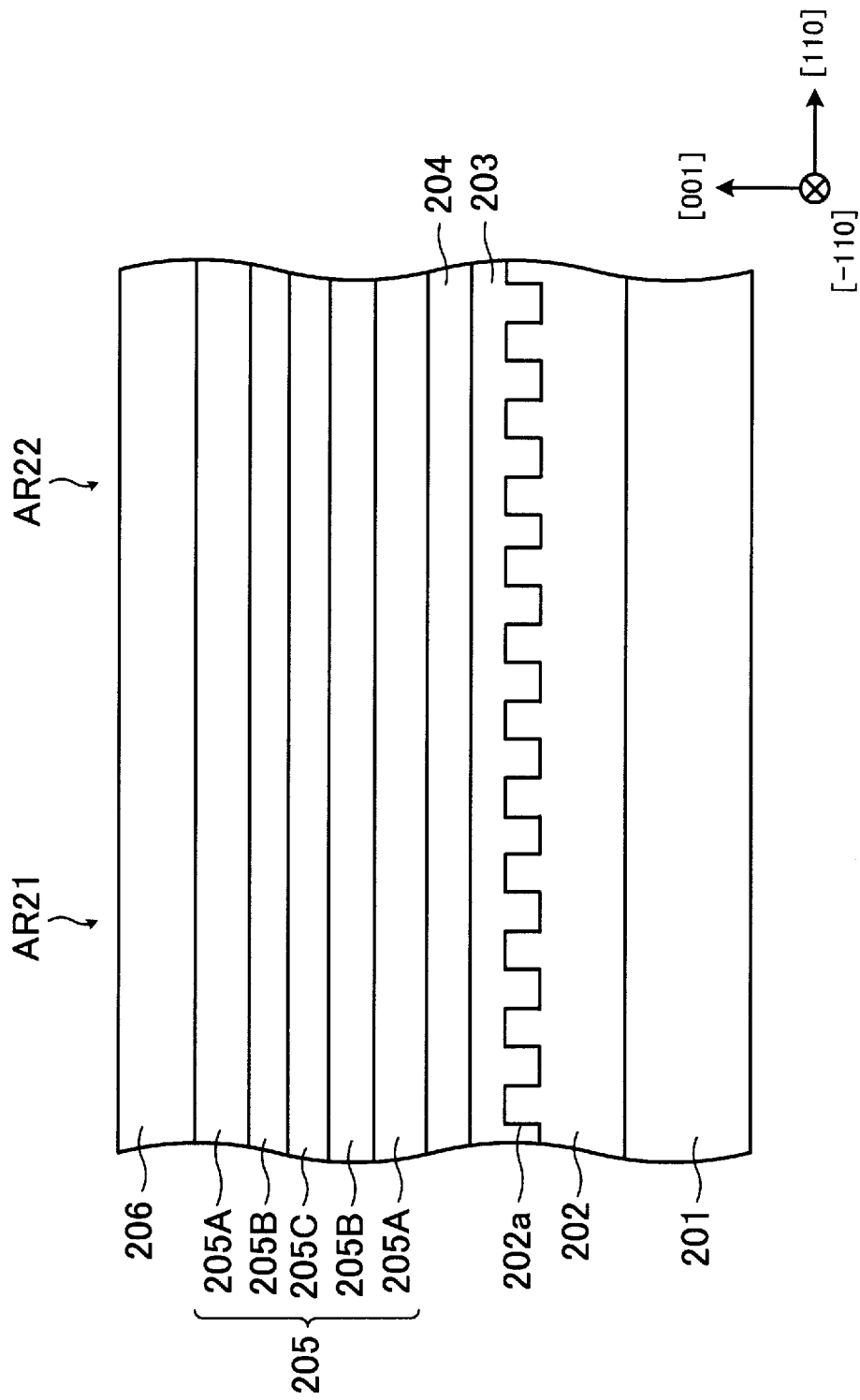
[図13]



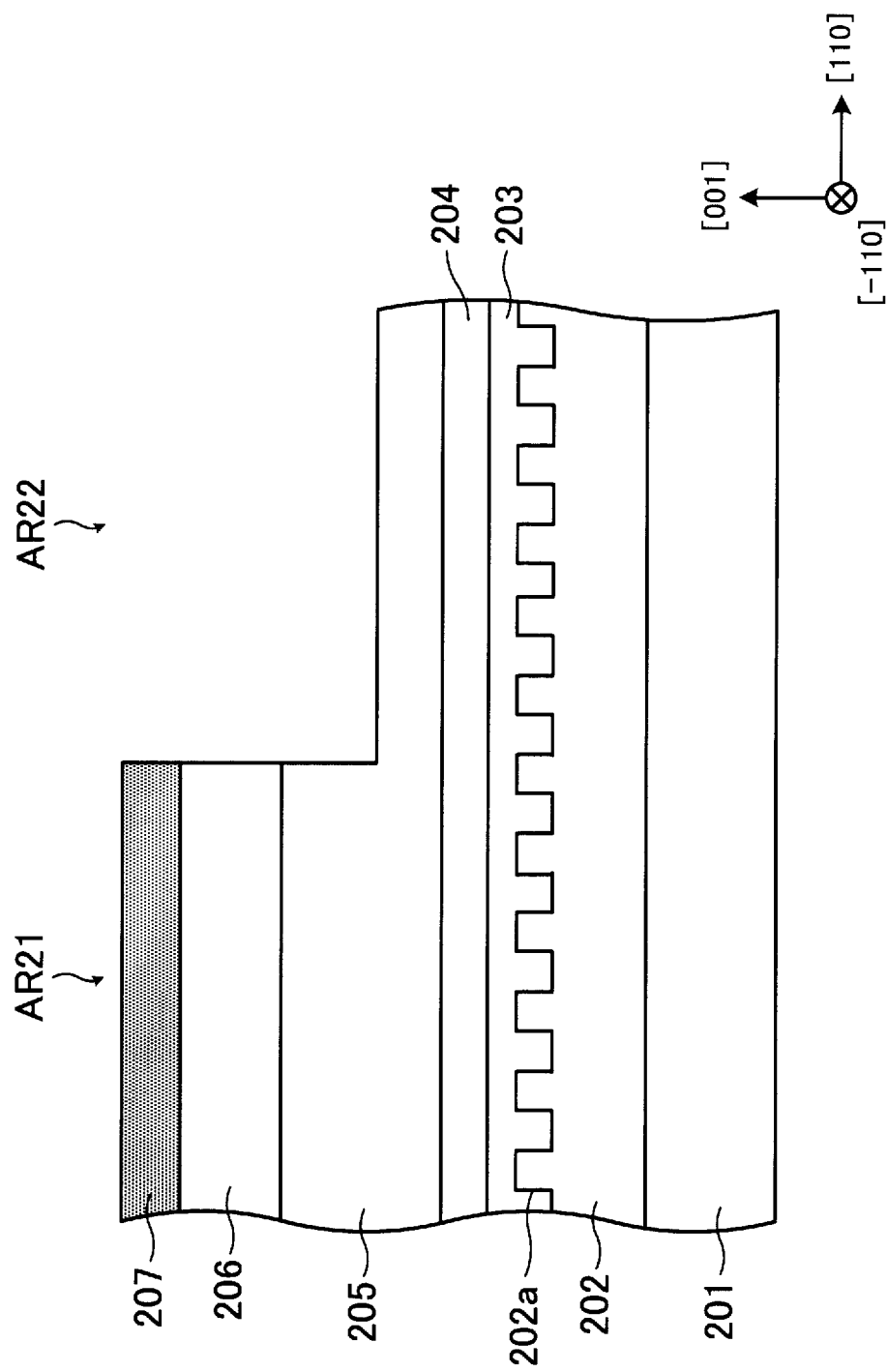
[図15]



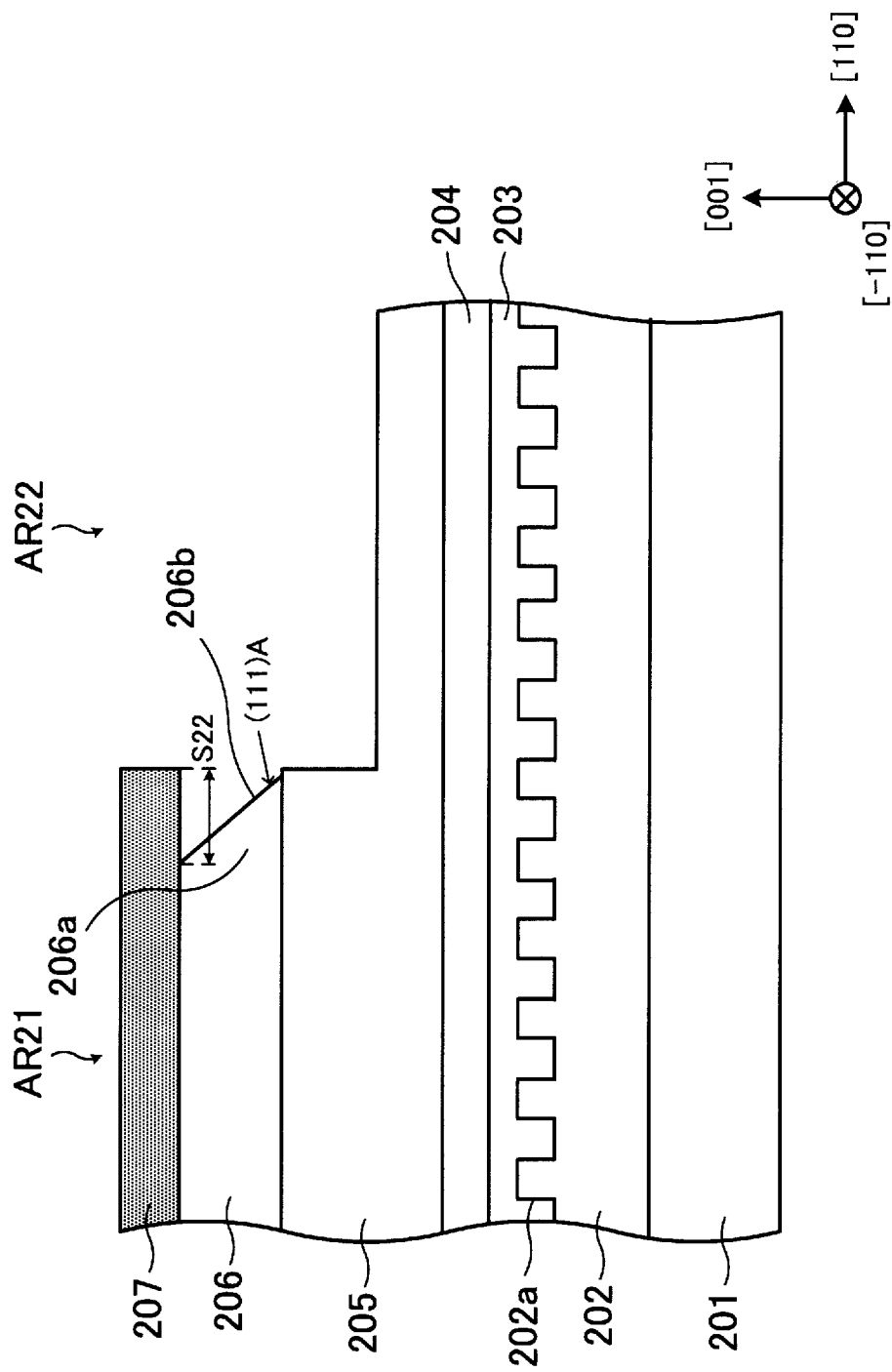
[図16]



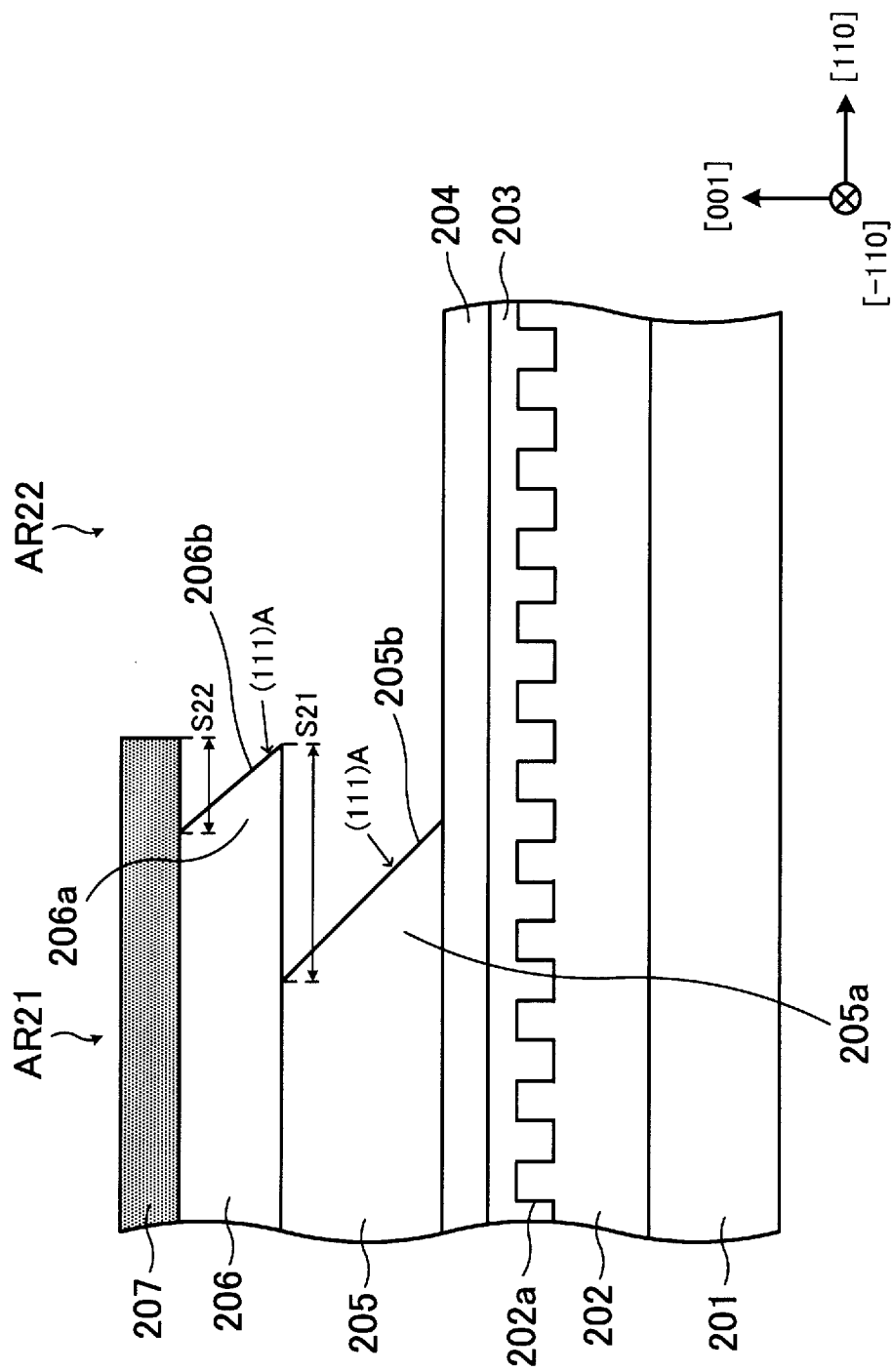
[図17]



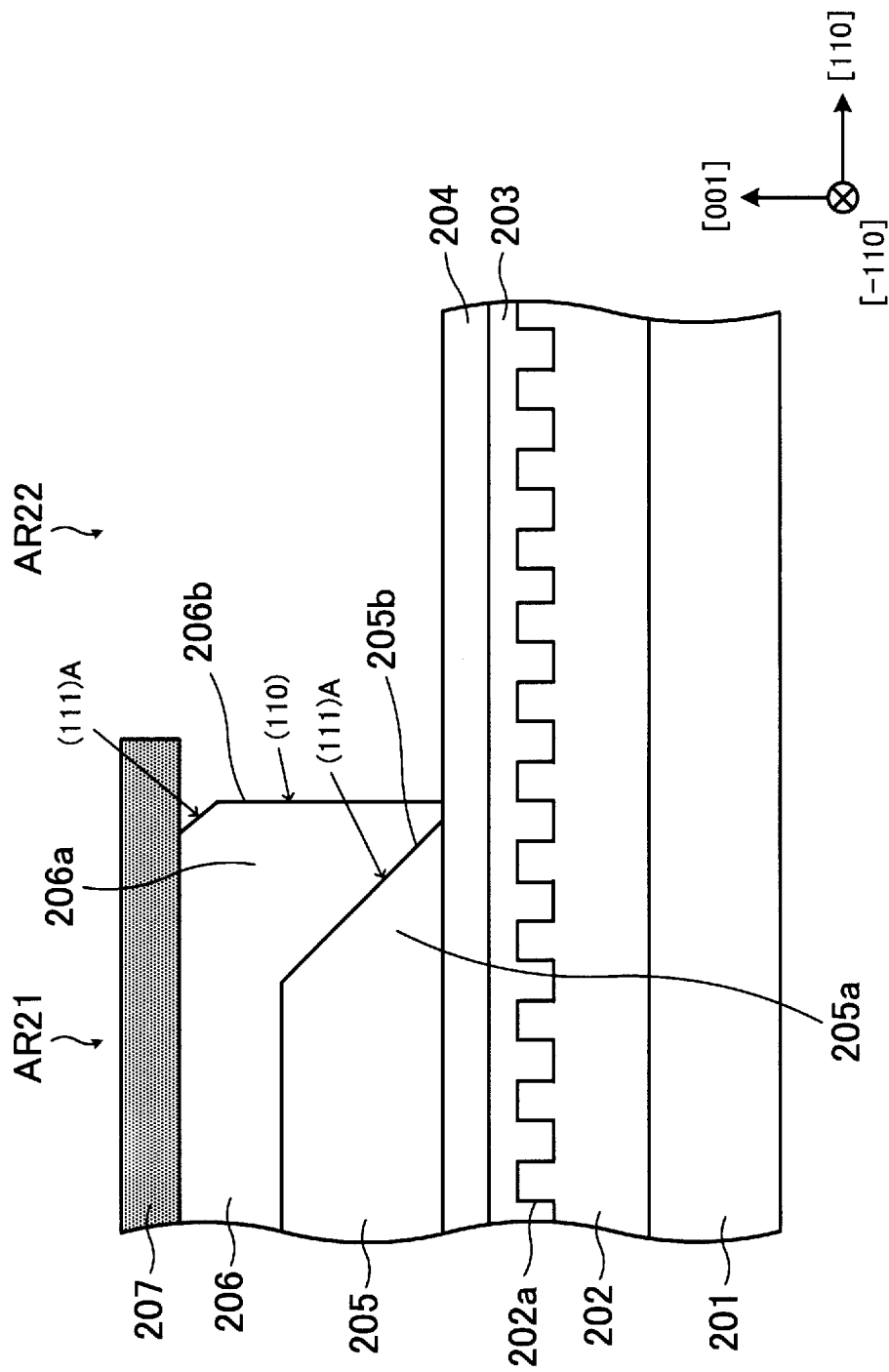
[図18]



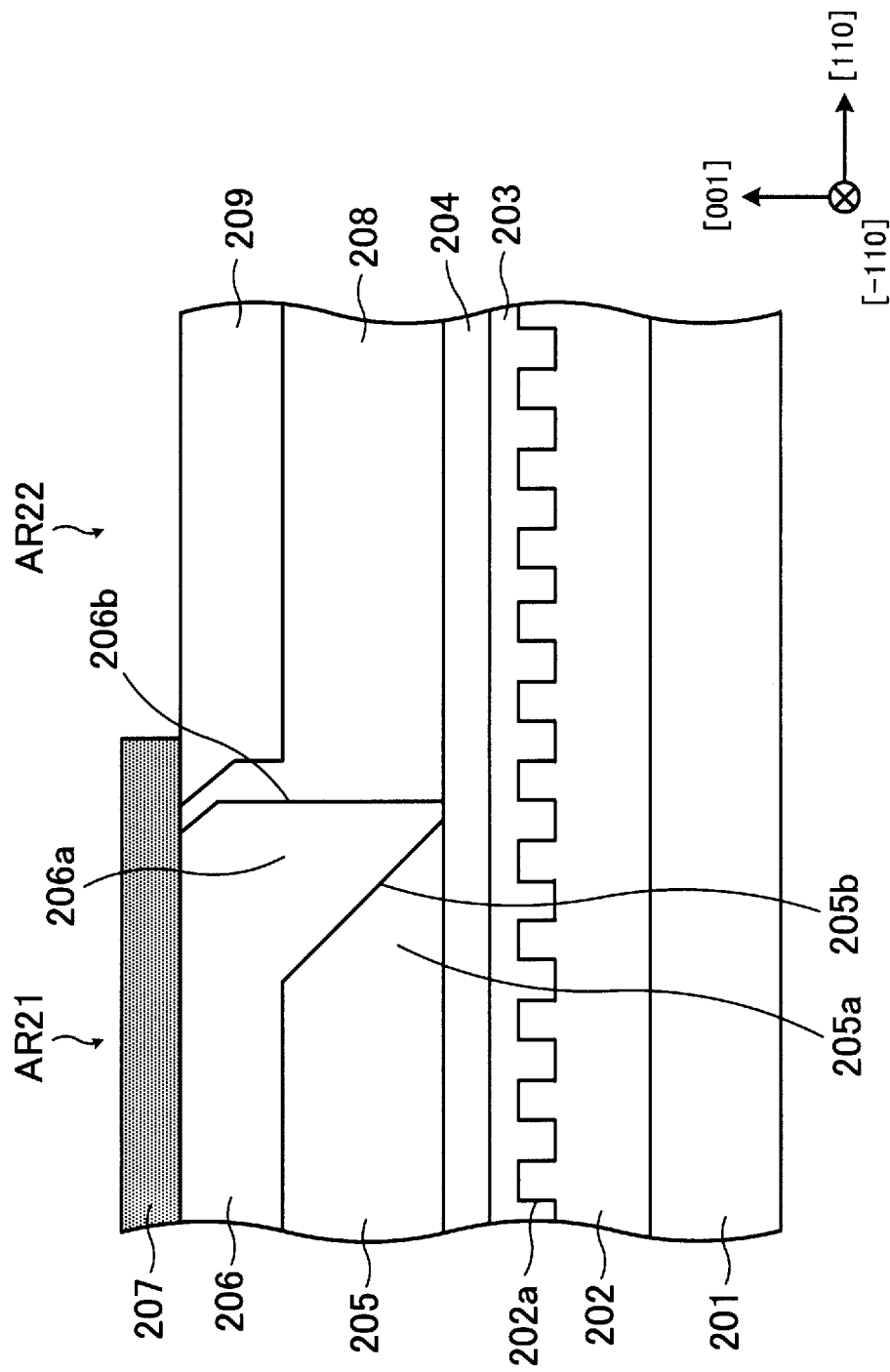
[図19]



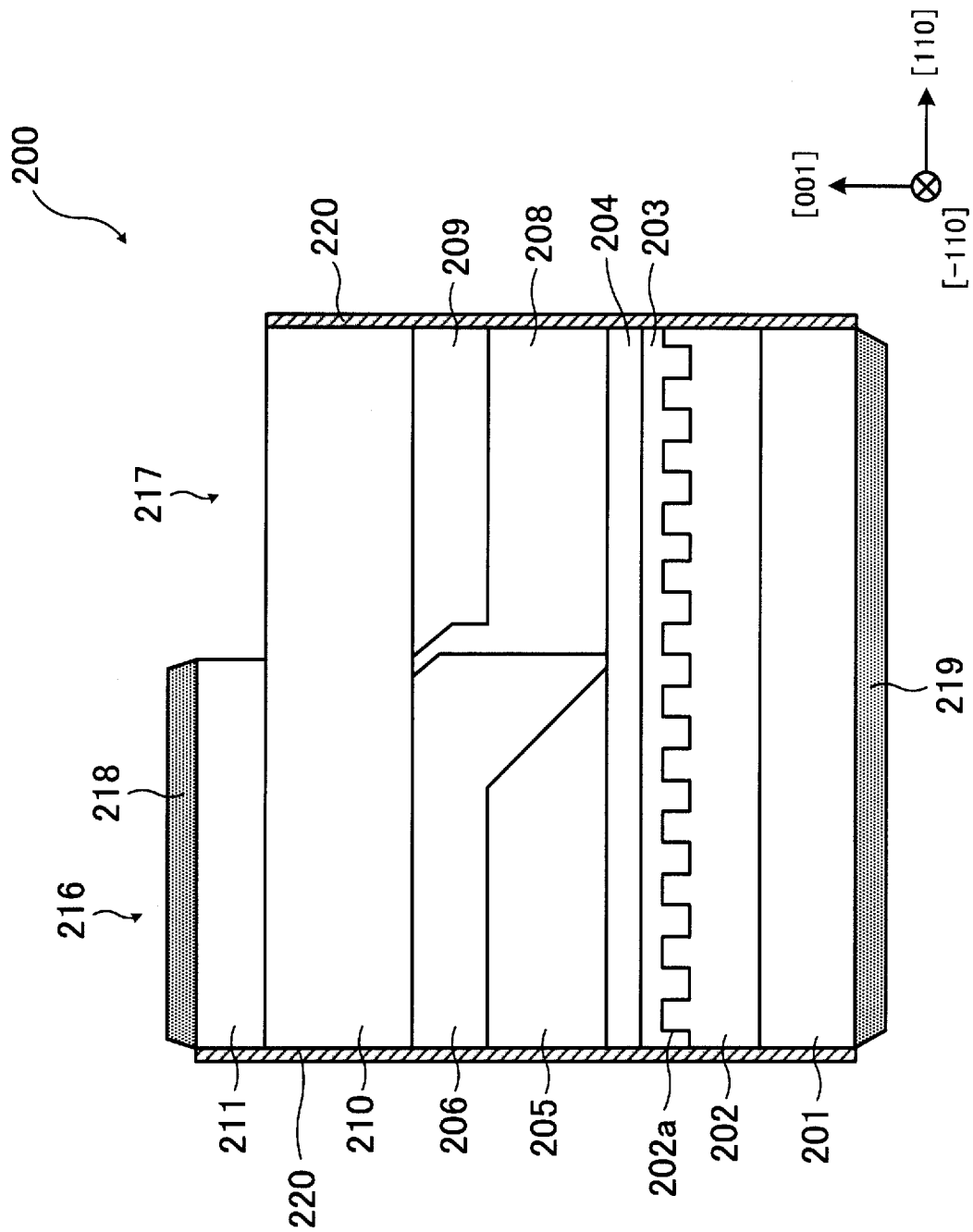
[図20]



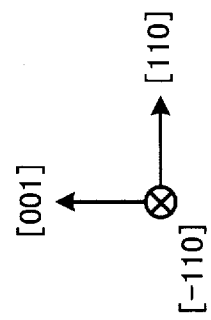
[図21]



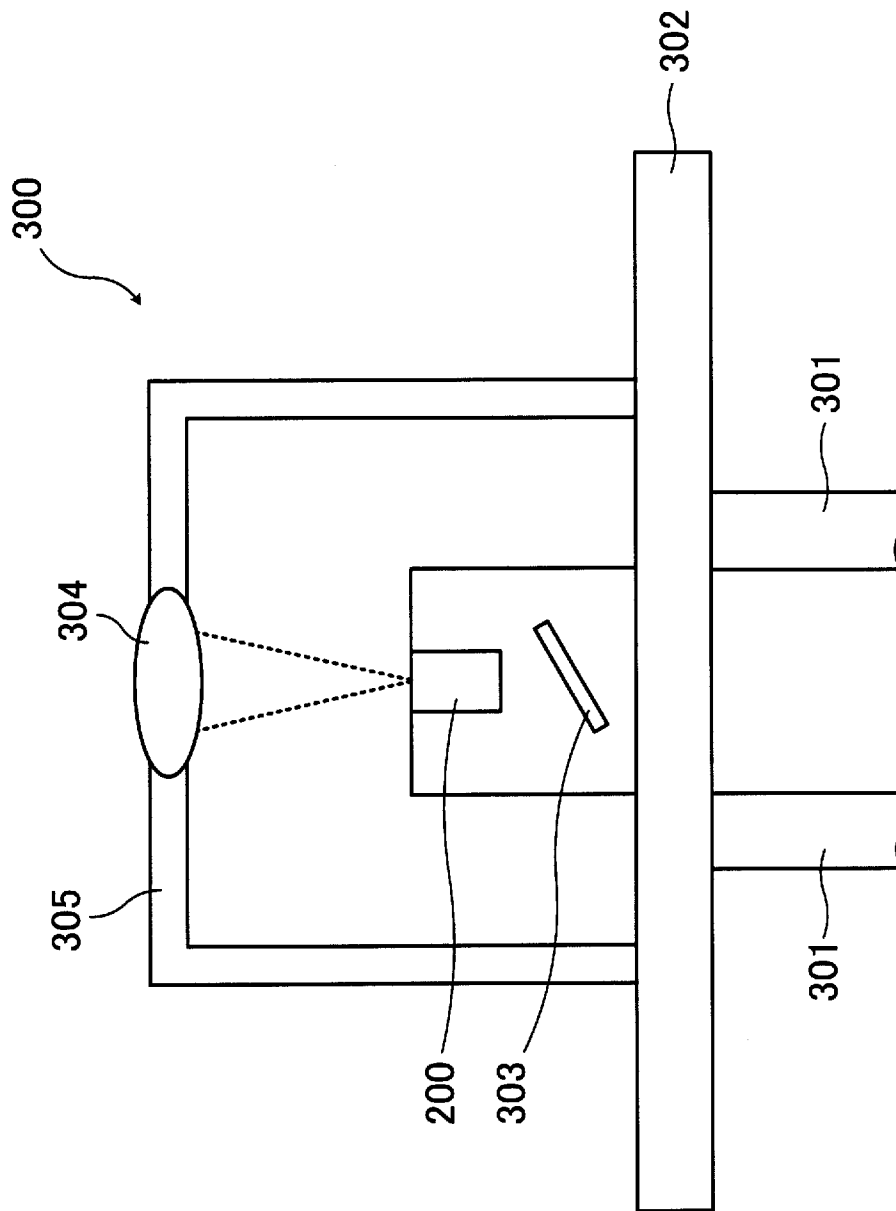
[図22]



200a



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050326

A. CLASSIFICATION OF SUBJECT MATTER

H01S5/026(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-10284 A (Fujitsu Ltd.), 14 January 2010 (14.01.2010), entire text; all drawings (Family: none)	1-5, 8, 10-14
X	JP 2008-71906 A (Fujitsu Ltd.), 27 March 2008 (27.03.2008), entire text; all drawings (Family: none)	1, 2, 10, 14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
04 April, 2011 (04.04.11)

Date of mailing of the international search report
12 April, 2011 (12.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050326

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions in claims 1, 2, 10, 14 cannot be considered to be novel in the light of the inventions described in the documents 1, 2, and does not have a special technical feature. Furthermore, the inventions in claims 3 - 5, 8, 11 - 13 cannot be considered to be novel in the light of the invention described in the document 1 cited in this international search report, and does not have a special technical feature.

(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 5, 8, 10 - 14

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050326

Continuation of Box No.III of continuation of first sheet (2)

As a result of judging special technical features with respect to the inventions in claims 1 - 14 at the time of issuance of the order for payment of additional fees, it is considered that the following three inventions are involved. Meanwhile, the inventions in claims 1 - 5, 8, 10 - 14 having no special technical feature is classified into invention 1.

(Invention 1) the inventions in claims 1 - 5, 8, 10 - 14

(Invention 2) the invention in claim 6

(Invention 3) the inventions in claims 7, 9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01S5/026 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01S5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-10284 A (富士通株式会社) 2010.01.14, 全文, 全図 (ファミリーなし)	1-5, 8, 10-14
X	JP 2008-71906 A (富士通株式会社) 2008.03.27, 全文, 全図 (ファミリーなし)	1, 2, 10, 14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 4 . 2 0 1 1

国際調査報告の発送日

1 2 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

百瀬 正之

2 K

4 0 8 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1、2、10、14に係る発明は、国際調査報告で引用された文献1、2に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。また、請求項3-5、8、11-13に係る発明は、国際調査報告で引用された文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。そこで、請求項1-14に係る発明について手数料の追加納付命令時点での特別な技術的特徴を判断すると、以下に示す3つの発明が含まれるものと認められる。なお、特別な技術的特徴を有しない請求項1-5、8、10-14に係る発明は、発明1に区分する。（発明1）請求項1-5、8、10-14に係る発明（発明2）請求項6に係る発明（発明3）請求項7、9に係る発明

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項1-5、8、10-14

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。