

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5797896号
(P5797896)

(45) 発行日 平成27年10月21日(2015.10.21)

(24) 登録日 平成27年8月28日(2015.8.28)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 641C
G02F 1/133 (2006.01)	G09G 3/20 641E
G02F 1/1368 (2006.01)	G09G 3/20 641K
H01L 29/786 (2006.01)	G02F 1/133 575
請求項の数 2 (全 28 頁) 最終頁に続く	

(21) 出願番号	特願2010-284286 (P2010-284286)	(73) 特許権者	000153878
(22) 出願日	平成22年12月21日(2010.12.21)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-150322 (P2011-150322A)		神奈川県厚木市長谷398番地
(43) 公開日	平成23年8月4日(2011.8.4)	(72) 発明者	小山 潤
審査請求日	平成25年12月18日(2013.12.18)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-292630 (P2009-292630)		半導体エネルギー研究所内
(32) 優先日	平成21年12月24日(2009.12.24)		
(33) 優先権主張国	日本国(JP)	審査官	小野 健二

最終頁に続く

(54) 【発明の名称】 表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

トランジスタ及び液晶素子を有する画素がマトリクス状に配置された画素部と、
 前記トランジスタのゲートに電氣的に接続されたゲートドライバと、
 前記トランジスタのソース又はドレインに電氣的に接続されたソースドライバと、
 前記ソースドライバに信号を出力するデータ処理回路とを有し、
 前記データ処理回路は、入力されるmビットのデジタルデータのうち、nビット(m、
 nは共に正の整数、かつ $m > n$)を電圧階調に用い、 $(m - n)$ ビットを時間階調に用い

、
 前記トランジスタは、酸化物半導体、ソース電極、ドレイン電極、及びゲート電極を有

10

し、
 前記酸化物半導体は、インジウムと、ガリウムと、亜鉛とを有し、

前記酸化物半導体は、窒素雰囲気において400 以上750 以下で第1の加熱処理
 が行われ、

前記第1の加熱処理の後に連続して、前記酸化物半導体は、酸素雰囲気において第2の
 加熱処理が行われ、

前記第2の加熱処理後に、前記酸化物半導体上に前記ソース電極及び前記ドレイン電極
 を形成し、

前記ソース電極及び前記ドレイン電極上にゲート絶縁層を形成し、

前記ゲート絶縁層上に前記ゲート電極を形成し、

20

前記ゲート電極形成後、酸素雰囲気において、200 以上400 以下で第3の加熱処理を行うことを特徴とする表示装置の作製方法。

【請求項2】

トランジスタ及び液晶素子を有する画素がマトリクス状に配置された画素部と、
前記トランジスタのゲートに電氣的に接続されたゲートドライバと、
前記トランジスタのソース又はドレインに電氣的に接続されたソースドライバと、
前記ソースドライバに信号を出力するデータ処理回路とを有し、
前記データ処理回路は、入力される m ビットのデジタルデータのうち、 n ビット(m 、 n は共に正の整数、かつ $m > n$)を電圧階調に用い、 $(m - n)$ ビットを時間階調に用い、

10

前記トランジスタは、酸化物半導体、ソース電極、ドレイン電極、及びゲート電極を有し、

前記酸化物半導体は、インジウムと、ガリウムと、亜鉛とを有し、

前記酸化物半導体は、窒素雰囲気において、400 以上750 以下で第1の加熱処理が行われ、

前記第1の加熱処理の後に連続して、前記酸化物半導体は、酸素雰囲気において第2の加熱処理が行われ、

前記第2の加熱処理後に、前記酸化物半導体上に前記ソース電極及び前記ドレイン電極を形成し、

前記ソース電極及び前記ドレイン電極を形成後、前記酸化物半導体の表面にプラズマ処理を行い、

20

前記プラズマ処理後、前記ソース電極及び前記ドレイン電極上にゲート絶縁層を形成し、

前記ゲート絶縁層上に前記ゲート電極を形成し、

前記ゲート電極形成後、酸素雰囲気において、200 以上400 以下で第3の加熱処理を行うことを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

技術分野は、表示装置及びその駆動方法に関する。特に、多階調表示を実現できる表示装置に関する。また、当該表示装置を具備する電子機器に関する。

30

【背景技術】

【0002】

表示装置は、アモルファスシリコンまたはポリシリコンを用いたトランジスタで駆動するタイプが主流である。しかし、これらの表示装置は、トランジスタのオフ電流の影響により、多階調表示を実現することが困難であった。

【0003】

表示装置における画素の一例として、トランジスタ5001、液晶素子5002および容量素子5003を備える画素5000を図15に示す。トランジスタ5001は、アモルファスシリコントランジスタまたはポリシリコントランジスタである。画素5000において、トランジスタ5001より液晶素子5002および容量素子5003に対して、画像データを書き込むことによって、液晶素子5002に電界が与えられ画像表示を行うことが可能となる。

40

【0004】

しかし、トランジスタ5001に存在するオフ電流によって、液晶素子5002及び容量素子5003に蓄えられた電荷は放電し、それに伴い画素の電圧も変動してしまう。

【0005】

画素5000において、トランジスタ5001のオフ電流 i 、容量素子5003の保持容量 C 、電圧変動 V 及び保持時間 T は、 $CV = iT$ の関係を満たす。したがって、トランジスタ5001のオフ電流を 0.1 pA (p は 10^{-12} を表す)、容量素子5003の

50

静電容量を 0.1 pF 、1 フレーム期間を 16.6 ms とすると、1 フレーム期間中の画素の電圧変動 V を次のように求めることができる。

$$0.1 [\text{pF}] \times V = 0.1 [\text{pA}] \times 16.6 [\text{ms}]$$

$$V = 16.6 [\text{mV}]$$

【0006】

この表示装置が $256 (= 2^8)$ 階調であり、かつ、画素における液晶素子の最大駆動電圧が 5 V であるとする。この場合、1 階調分の階調電圧は約 20 mV である。つまり、先の計算により求めた画素の電圧変動 $V = 16.6 \text{ mV}$ は、およそ 1 階調分の階調電圧の変動に相当する。

【0007】

10

また、表示装置が $1024 (= 2^{10})$ 階調であるとする。この場合、1 階調分の階調電圧は約 5 mV である。したがって、画素の電圧変動 $V = 16.6 \text{ mV}$ は、およそ 4 階調分の階調電圧の変動に相当し、オフ電流による電圧変動の影響を無視することはできない。

【0008】

特許文献 1 では、ポリシリコントランジスタを用いた表示装置が提案されている。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開平 8 - 110530 号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0010】

従来の表示装置では、トランジスタのオフ電流による画素の電圧変動が大きいため、多階調表示を実現することが困難であった。

【0011】

この問題に鑑み、本発明の一態様は、画素の電圧変動を低減することにより、多階調表示を実現することを目的の一とする。

【0012】

また、本発明の一態様は、画素を駆動する回路を複雑にすることなく、多階調表示を実現することを目的の一とする。

30

【課題を解決するための手段】

【0013】

本発明の一態様は、酸化物半導体を用いたトランジスタがスイッチ素子として画素に配置された表示装置である。そして、酸化物半導体は真性又は実質的に真性であり、トランジスタの単位チャネル幅あたりのオフ電流が $100 \text{ aA} / \mu\text{m}$ 以下 (a は 10^{-18} を表す)、好ましくは $1 \text{ aA} / \mu\text{m}$ 以下、さらに好ましくは $1 \text{ zA} / \mu\text{m}$ 以下 (z は 10^{-21} を表す) であることを特徴としている。なお、本明細書においては、「真性」とは、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満である半導体の状態を指し、「実質的に真性」とは、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 以上 $1 \times 10^{14} / \text{cm}^3$ 未満である半導体の状態を指すものとする。

40

【0014】

すなわち、本発明の一態様は、上述した $CV = iT$ の関係を考慮し、画素の電圧変動 V を低減するために、オフ電流 i の低減を行うものである。

【0015】

また、本発明の一態様は、入力される m ビットのデジタルデータのうち、 n ビットのデジタルデータは電圧階調によって階調を表現し、残りの $(m - n)$ ビットのデジタルデータは時間階調によって階調を表現する表示装置である。すなわち、 n ビットを処理するソースドライバにより、 m ビットの階調表示を実現し得るものである。なお、 m 、 n はともに正の整数であり、かつ $m > n$ とする。

50

【発明の効果】

【0016】

本発明の一態様は、トランジスタのオフ電流を低減して画素の電圧変動を低減することで、多階調表示を実現できる。

【0017】

また、本発明の一態様は、データ処理の方法として、電圧階調と時間階調とを組み合わせることで、ソースドライバを複雑にすることなく、多階調表示を実現できる。

【図面の簡単な説明】

【0018】

【図1】表示装置の一例を示す図。

10

【図2】表示装置の一例を示す図。

【図3】階調電圧を示す図。

【図4】データ処理の一例を示す図。

【図5】データ処理の一例を示す図。

【図6】トランジスタの構造及びその作製方法の一例を示す図。

【図7】トランジスタの構造及びその作製方法の一例を示す図。

【図8】トランジスタの構造及びその作製方法の一例を示す図。

【図9】トランジスタの構造及びその作製方法の一例を示す図。

【図10】トランジスタの構造及びその作製方法の一例を示す図。

【図11】電子機器の一例を示す図。

20

【図12】電子機器の一例を示す図。

【図13】データ処理の一例を示す図。

【図14】トランジスタの電気特性を示す図。

【図15】表示装置の一例を示す図。

【発明を実施するための形態】

【0019】

以下、開示される発明の実施の形態について、図面を用いて説明する。ただし、発明は以下の説明に限定されず、その発明の趣旨およびその範囲から逸脱することなく、その態様および詳細をさまざまに変更し得ることは当業者であれば容易に理解される。したがって、発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0020】

(実施の形態1)

まず、本実施の形態の表示装置の構成について、図1を用いて説明する。表示装置は表示部100を有する。ここで、表示素子として液晶素子を示すが、EL素子又は電気泳動素子等を用いてもよい。

【0021】

表示部100は、画素部101、ゲートドライバ102、及びソースドライバ103を有する。画素部101には、トランジスタ104、液晶素子105、及び容量素子108を有する画素がマトリクス状に配置されている。なお、ゲートドライバ102及びソースドライバ103は、画素部101と同一基板上に一体形成されていてもよいし、別々に形成されていてもよい。

40

【0022】

そして、トランジスタ104のゲートは、配線106(ゲート線ともいう)を介してゲートドライバ102に電氣的に接続され、トランジスタ104のソース又はドレインの一方は、配線107(ソース線ともいう)を介してソースドライバ103に電氣的に接続され、他方は液晶素子105及び容量素子108に電氣的に接続されている。

【0023】

トランジスタ104は、液晶素子105と配線107とを導通させるためのスイッチ素子として機能する。また、容量素子108は、液晶素子105に印加された電圧を一定期間保持する機能を有する。

50

【 0 0 2 4 】

各画素において、トランジスタ 1 0 4 のオフ電流 i 、容量素子 1 0 8 の保持容量 C 、電圧変動 V 及び保持時間 T は $C V = i T$ の関係を満たすため、トランジスタ 1 0 4 のオフ電流 i を低減することで、トランジスタ 1 0 4 がオフ状態での電圧変動 V を低減することができる。

【 0 0 2 5 】

本実施の形態では、トランジスタ 1 0 4 を、酸化物半導体を用いて形成することを特徴としている。特に、真性又は実質的に真性な酸化物半導体を用いることで、トランジスタ 1 0 4 のオフ電流は、室温において、単位チャネル幅 (W) あたり、 $100 \text{ aA} / \mu\text{m}$ 以下、好ましくは $1 \text{ aA} / \mu\text{m}$ 以下、さらに好ましくは $10 \text{ zA} / \mu\text{m}$ 以下とすることができる。

10

【 0 0 2 6 】

例えば、トランジスタ 1 0 4 のオフ電流を 1 aA 、容量素子 1 0 8 の静電容量を 0.1 pF 、1 フレーム期間を 16.6 ms とすると、上記の関係式から、トランジスタ 1 0 4 のオフ電流による画素の電圧変動 V を次のように求めることができる。

$$0.1 [\text{pF}] \times V = 1 [\text{aA}] \times 16.6 [\text{ms}]$$

$$V = 16.6 \times 10^{-5} \text{ mV}$$

【 0 0 2 7 】

ここで、この表示装置が 256 階調であり、かつ、画素における液晶素子の最大駆動電圧が 5 V である場合を考える。この場合、1 階調分の階調電圧は約 20 mV である。つまり、ここで求めた画素の電圧変動 $V = 16.6 \times 10^{-5} \text{ mV}$ は、1 階調分の階調電圧である 20 mV に対してはるかに小さい値である。更に高い階調を表示する場合でも電圧変動が表示に影響を及ぼさない。

20

【 0 0 2 8 】

すなわち、トランジスタ 1 0 4 のオフ電流による画素の電圧変動は、実質的にゼロとみなすことができる。

【 0 0 2 9 】

なお、トランジスタ 1 0 4 のオフ電流による画素の電圧変動を実質的にゼロとしたため、液晶素子 1 0 5 のリーク電流による画素の電圧変動を考慮する。一般的な液晶素子のリーク電流は 1 fA (f は 10^{-15} を表す) 程度であるため、同様に計算すると、電圧変動 $V = 0.166 \text{ mV}$ となる。理論上、表示装置が約 30000 階調に達すると電圧変動が表示に影響を及ぼすが、人間の視感能力を考慮すると問題なく表示を行うことができる。したがって、通常の液晶素子では、そのリーク電流は問題とはならない。

30

【 0 0 3 0 】

以上のように、真性又は実質的に真性な酸化物半導体を用いたチャネル領域を有するトランジスタを画素に設けることで、トランジスタのオフ電流による画素の電圧変動を防ぐことができ、画素の階調特性を向上させることが可能である。

【 0 0 3 1 】

次に、本実施の形態における酸化物半導体を用いたトランジスタの特徴について、詳細に説明する。

40

【 0 0 3 2 】

本実施の形態におけるトランジスタに用いる酸化物半導体は、酸化物半導体を用いたトランジスタの電気特性に悪影響を与える不純物が極めて少ないレベルにまで低減されたものであって、高純度化されたものであることが好ましい。電気特性に悪影響を与える不純物の代表例としては、水素が挙げられる。水素は、酸化物半導体中でキャリアの供与体 (ドナー) となり得る不純物であり、酸化物半導体中に水素が多量に含まれていると、酸化物半導体が N 型化されてしまう。そして、 N 型化した酸化物半導体を用いたトランジスタは、オン・オフ比を十分にとることができない。したがって、本明細書における「高純度の酸化物半導体」は、酸化物半導体における水素が極力低減されているものであって、真性又は実質的に真性な半導体を指す。高純度の酸化物半導体の一例としては、キャリア濃

50

度が $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6.0 \times 10^{10} / \text{cm}^3$ 未満である酸化物半導体が挙げられる。高純度の酸化物半導体を用いたトランジスタは、シリコンを用いた半導体を有するトランジスタ等と比較して、オフ電流が非常に小さいという特徴を有している。また、本実施の形態においては、高純度の酸化物半導体を用いたトランジスタは、nチャネル型のトランジスタであるものとして以下説明する。

【0033】

このように、酸化物半導体に含まれる水素を徹底的に除去することにより得られる高純度の酸化物半導体を用いたトランジスタのチャネル形成領域に用いることで、オフ電流値が極めて小さいトランジスタを提供できる。評価用素子 (TEGとも呼ぶ) を作製し、得られたオフ電流の測定結果について、以下に説明する。

【0034】

TEGには、 $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ (膜厚 $d : 30 \text{nm}$) のトランジスタを200個並列に接続して作製された $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ のトランジスタを設けた。その初期特性を図14に示す。トランジスタの初期特性を測定するため、基板温度を室温とし、ソース・ドレイン間電圧 (以下、ドレイン電圧または V_D という) を 10V とし、ソース・ゲート間電圧 (ゲート電圧または V_G という) を $-20 \text{V} \sim +20 \text{V}$ まで変化させたときのソース・ドレイン電流 (以下、ドレイン電流または I_D という) の変化特性、すなわち $V_G - I_D$ 特性を測定した。ここでは、 $V_G - I_D$ 特性の測定結果を、 V_G が $-20 \text{V} \sim +5 \text{V}$ までの範囲で示している。

【0035】

図14に示すように、チャネル幅 W が $10000 \mu\text{m}$ のトランジスタは、 V_D が 1V 及び 10V のいずれにおいても、オフ電流は $1 \times 10^{-13} \text{A}$ 以下となっており、測定機 (半導体パラメータ・アナライザ、Agilent 4156C; Agilent社製) の分解能 (100fA) 以下となっている。このオフ電流値は、チャネル幅 $1 \mu\text{m}$ に換算すると、 $10 \text{aA} / \mu\text{m}$ に相当する。

【0036】

なお、本明細書においてオフ電流 (リーク電流ともいう) とは、nチャネル型のトランジスタでしきい値 V_{th} が正である場合、室温において -20V 以上 -5V 以下の範囲の任意のゲート電圧を印加したときにトランジスタのソース・ドレイン間を流れる電流のことを指す。なお、室温は、 15 度以上 25 度以下とする。本明細書に開示する酸化物半導体を用いたトランジスタは、室温において、単位チャネル幅 (W) あたりの電流値が $100 \text{aA} / \mu\text{m}$ 以下、好ましくは $1 \text{aA} / \mu\text{m}$ 以下、さらに好ましくは $10 \text{zA} / \mu\text{m}$ 以下である。

【0037】

なお、オフ電流とドレイン電圧との値が分かればオームの法則からトランジスタがオフ状態のときの抵抗値 (オフ抵抗 R) を算出することができ、チャネル形成領域の断面積 A とチャネル長 L が分かれば $R = RA / L$ の式 (R はオフ抵抗を表す) からオフ抵抗率を算出することもできる。図14から求められたオフ抵抗率は、 $1 \times 10^9 \cdot \text{m}$ 以上 (または $1 \times 10^{10} \cdot \text{m}$ 以上) であった。ここで、断面積 A は、チャネル形成領域の膜厚を d とし、チャネル幅を W とするとき、 $A = dW$ から算出することができる。なお、一般的に半導体と絶縁体の抵抗率の境界は約 $1 \times 10^5 \cdot \text{m}$ である。すなわち、本発明の一態様に係る真性又は実質的に真性な酸化物半導体を用いたトランジスタは、オフ状態において絶縁体と同等の抵抗率を示すものである。このことから、該トランジスタは、スイッチ素子として異質な効果を有することが理解される。

【0038】

また、酸化物半導体のエネルギーギャップは、 2eV 以上、好ましくは 2.5eV 以上、より好ましくは 3eV 以上である。

【0039】

また、高純度の酸化物半導体を用いたトランジスタは温度特性が良好である。代表的に

10

20

30

40

50

は、-25 から150 までの温度範囲におけるトランジスタの電流電圧特性において、オン電流、オフ電流、電界効果移動度、S 値、及びしきい値電圧の変動がほとんどなく、温度による電流電圧特性の劣化がほとんど見られない。

【0040】

次に、酸化物半導体を用いたトランジスタのホットキャリア劣化について説明する。

【0041】

ホットキャリア劣化とは、高速に加速された電子がドレイン近傍のチャネルからゲート絶縁膜中に注入されて固定電荷となることや、高速に加速された電子がゲート絶縁膜界面にトラップ準位を形成することにより、しきい電圧の変動やゲートリーク電流の発生等のトランジスタ特性の劣化が生じることである。ホットキャリア劣化の要因としては、チャネルホットエレクトロン注入（CHE 注入）とドレインアバランシェホットキャリア注入（DAHC 注入）がある。

10

【0042】

シリコンはバンドギャップが1.12 eV と小さいため、アバランシェ降伏によって雪崩的に電子が発生しやすく、ゲート絶縁膜への障壁を越えられるほど高速に加速される電子数が増加する。一方、本実施の形態で示す酸化物半導体は、バンドギャップが3.15 eV と広いため、アバランシェ降伏が生じにくく、シリコンと比べてホットキャリア劣化の耐性が高い。

【0043】

なお、高耐圧材料の一つであるシリコンカーバイドのバンドギャップと酸化物半導体のバンドギャップは同等であるが、酸化物半導体の方が、移動度が2桁程小さいため、電子が加速されにくく、また、酸化物半導体として、インジウム（In）もしくは亜鉛（Zn）を含むものを用い、ゲート絶縁膜として酸化シリコンを用いた場合には、当該酸化物半導体と酸化シリコン間の障壁が、シリコンカーバイド、窒化ガリウム、シリコンよりも大きいため、酸化膜に注入される電子が極めて少ないため、シリコンカーバイド、窒化ガリウム、シリコンよりホットキャリア劣化が生じにくく、ドレイン耐圧が高いといえる。このため、チャネルとして機能する酸化物半導体と、ソース電極及びドレイン電極との間に、意図的に低濃度不純物領域を形成する必要が無く、トランジスタ構造が極めて簡単になり、製造工程数を低減できる。

20

【0044】

以上のように、酸化物半導体を用いたトランジスタはドレイン耐圧が高く、具体的には100V以上、好ましくは500V以上、好ましくは1kV以上のドレイン耐圧を有することが可能である。

30

【0045】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0046】

（実施の形態2）

本実施の形態では、多階調表示を行うための構成の一例について説明する。

【0047】

多階調表示を行う能力は、ソースドライバにおけるデジタルデータからアナログデータ（階調電圧）への変換能力に大きく依存している。

40

【0048】

一般的に、ソースドライバにおいて、2ビットのデジタルデータを処理するソースドライバであれば $2^2 = 4$ 階調の表示を行うことができ、8ビットならば $2^8 = 256$ 階調表示を行うことができ、またmビットならば 2^m 階調の表示を行うことができる。

【0049】

しかしながら、ソースドライバの能力を上げるためには、ソースドライバの回路構成が複雑になり、かつレイアウト面積が大きくなる。

【0050】

そこで、本実施の形態では、ソースドライバを複雑にすることなく、多階調表示を行う

50

構成について説明する。

【 0 0 5 1 】

本実施の形態では、入力される m ビットのデジタルデータのうち、 n ビットのデジタルデータは電圧階調によって階調を表現し、残りの $(m - n)$ ビットのデジタルデータは時間階調によって階調を表現する。このようにすることで、 n ビット分の電圧階調を行うソースドライバにおいて、 m ビット分の階調を表示することが可能となり、ソースドライバを複雑にすることなく、多階調表示を行うことができる。なお、 m 、 n はともに正の整数であり、かつ $m > n$ とする。

【 0 0 5 2 】

以下に、電圧階調と時間階調とを組み合わせる構成の一例について説明する。ここでは、4 ビット ($m = 4$) のデジタルデータが入力され、そのうち2 ビットのデジタルデータ ($n = 2$) を電圧階調に用い、2 ビットのデジタルデータ ($m - n = 2$) を時間階調に用いる場合について説明する。ただし、 m 及び n は限定されない。

【 0 0 5 3 】

まず、本実施の形態の表示装置の構成について、図2を用いて説明する。表示装置は、表示部100及びデータ処理回路200を有する。

【 0 0 5 4 】

表示部100は、図1と同様であるため説明を省略する。

【 0 0 5 5 】

データ処理回路200は、入力される4ビットのデジタルデータのうち2ビット分のデジタルデータを用いて、電圧階調に用いられる2ビットのデジタルデータを生成する。そして、4ビットのデジタルデータのうち残りの2ビット分の情報を時間階調によって表現する。そして、電圧階調と時間階調とを組み合わせた信号(例えば、デジタルデータ)をソースドライバに出力する。

【 0 0 5 6 】

ここで、本実施の形態における表示装置の階調表示について、図3を用いて説明する。入力されるデジタルデータは4ビットであり、16階調の情報を有している。電圧レベル V_L はソースドライバに入力される最低の電圧レベルであり、また、電圧レベル V_H はソースドライバに入力される最高の電圧レベルである。

【 0 0 5 7 】

本実施の形態においては、2ビットのデジタルデータが電圧階調に用いられるため、電圧レベル V_H と電圧レベル V_L の間に、隣り合う電圧レベルがほぼ等しくなるように3つの電圧レベルを設定し、4階調の電圧レベルを表現する。その隣り合う電圧レベルの差をとし、 $\Delta V = (V_H - V_L) / 4$ とする。

【 0 0 5 8 】

よって、ソースドライバが出力する電圧レベルは、デジタルデータが(00)の時は V_L となり、デジタルデータが(01)の時は $V_L + \Delta V$ となり、デジタルデータが(10)の時は $V_L + 2\Delta V$ となり、デジタルデータが(11)の時は $V_L + 3\Delta V$ となる。

【 0 0 5 9 】

このように、ソースドライバが出力できる電圧レベルは、 V_L 、 $(V_L + \Delta V)$ 、 $(V_L + 2\Delta V)$ 、および $(V_L + 3\Delta V)$ の4通りである。すなわち、 m ビットのデジタルデータのうち n ビット分のデジタルデータを電圧階調に用いる場合、ソースドライバが出力できる電圧レベルは、 2^n 通りである。

【 0 0 6 0 】

そこで、本実施の形態では、表示装置が表示可能な階調数を増加させるため、電圧階調に時間階調を組み合わせる手法を用いる。以下に、本実施の形態における時間階調の方法を説明する。

【 0 0 6 1 】

まず、本実施の形態の表示装置は、1ライン分の画素を同時に駆動する、いわゆる線順次駆動を行う。言い換えると、1ライン分の画素に同時にアナログ階調電圧を書き込む。

10

20

30

40

50

画素部中の全ての画素にアナログ階調電圧を書き込む周期を 1 フレーム期間と呼ぶ。

【 0 0 6 2 】

そして、1 フレーム期間を複数に期間（サブフレーム期間と呼ぶ）に分割する。そして、各サブフレーム期間において、線順次駆動を行い、全ての画素にアナログ階調電圧を書き込む。各サブフレーム期間において書き込まれたアナログ階調電圧の平均値をとり、当該平均値の電圧レベルで階調表示を行う。本実施の形態では、1 フレーム期間を 4 つのサブフレーム期間（第 1 ～ 第 4 のサブフレーム期間）に分割する。

【 0 0 6 3 】

すなわち、2 ビット分を時間階調に用いることで、2 ビット分のデジタルデータにより電圧レベルの差をほぼ 4 等分し、階調数を増加させることができる。このため、 m ビットのデジタルデータのうち $(m - n)$ ビット分のデジタルデータを時間階調に用いる場合、1 フレーム期間を $2^{m - n}$ 個のサブフレーム期間に分割する。

10

【 0 0 6 4 】

そして、電圧階調に時間階調を組み合わせることで、 V_L 、 $V_L + \frac{1}{4}$ 、 $V_L + \frac{2}{4}$ 、 $V_L + \frac{3}{4}$ 、 $V_L + \frac{4}{4}$ 、 $V_L + \frac{5}{4}$ 、 $V_L + \frac{6}{4}$ 、 $V_L + \frac{7}{4}$ 、 $V_L + \frac{8}{4}$ 、 $V_L + \frac{9}{4}$ 、 $V_L + \frac{10}{4}$ 、 $V_L + \frac{11}{4}$ 、 $V_L + \frac{12}{4}$ の電圧レベルに相当する表示を実現することができる（図 3 参照）。

【 0 0 6 5 】

以下に、電圧階調と時間階調とを組み合わせるデータ処理を行う方法の一例を示す。

【 0 0 6 6 】

図 2 において、データ処理回路 200 にデジタルデータ 201 が入力される。本実施の形態において、4 ビットのデジタルデータ 201 は (1001) とする。入力されたデジタルデータ 201 は、メモリ 211 に書き込まれる。

20

【 0 0 6 7 】

そして、メモリ 211 からデジタルデータ 201 を読み出し、上位 2 ビットの (10) をデジタルデータ 202 としてメモリ 212 に書き込み、上位 2 ビットの第 1 ビット目に 1 を足した (11) をデジタルデータ 203 としてメモリ 213 に書き込む。

【 0 0 6 8 】

そして、1 フレーム期間を 4 分割し、4 つのサブフレーム期間（第 1 のサブフレーム期間 231、第 2 のサブフレーム期間 232、第 3 のサブフレーム期間 233、及び第 4 のサブフレーム期間 234）におけるデジタルデータを、下位 2 ビットから決定する。下位 2 ビットのデジタルデータが (01) の時、デジタルデータ 202 がメモリ 212 から 3 回読み出され、デジタルデータ 203 がメモリ 213 から 1 回読み出され、デジタルデータ 202 及びデジタルデータ 203 はスイッチ 220 を介して表示部 100 のソースドライバ 103 に出力される。デジタルデータ 202 及びデジタルデータ 203 はメモリ 212 とメモリ 213 から合計 4 回読み出される。

30

【 0 0 6 9 】

ここで、デジタルデータ 203 の読み出し回数は、下位 2 ビットの数値により決定される。すなわち、(00) は 0 回、(01) は 1 回、(10) は 2 回、(11) は 3 回となる。この例では、(01) であるのでデジタルデータ 203 は 1 回読み出し、残りの 3 回はデジタルデータ 202 を読み出す。

40

【 0 0 7 0 】

そして、例えば、第 1 のサブフレーム期間 231、第 2 のサブフレーム期間 232、及び第 3 のサブフレーム期間 233 にデジタルデータ 202 が出力され、第 4 のサブフレーム期間 234 にデジタルデータ 203 が出力される。この場合、第 1 ～ 第 4 のサブフレーム期間におけるデジタルデータは、順に (10)、(10)、(10)、(11) となる。これらをソースドライバに入力する（図 4 参照）。なお、この順序は限定されない。

【 0 0 7 1 】

ソースドライバは、第 1 ～ 第 4 のサブフレーム期間のそれぞれにおいて、デジタルデータ (10)、(10)、(10)、及び (11) に応じたアナログ階調電圧である (V_L

50

+ 2)、($V_L + 2$)、($V_L + 2$)、及び ($V_L + 3$) を所定の画素に入力する。当該画素は、それらの平均値 240 である ($V_L + 9 / 4$) の電圧レベルで階調表示を行う (図 4、図 5 参照)。

【 0 0 7 2 】

また、(0 0 0 0) ~ (1 1 1 1) のいずれのデジタルデータ 2 0 1 が入力される場合についても、同様の処理を行い、階調表示を行うことができる (図 4 参照)。

【 0 0 7 3 】

なお、入力されたデジタルデータ 2 0 1 の上位ビットのデジタルデータが (1 1) のように、全て 1 である場合は、図 1 3 に示すように、サブフレーム期間において画素に V_H を入力するようにしてもよい。 V_H を用いることでさらに階調数を増やすことができる。したがって、 m ビットのデジタルデータのうち n ビット分のデジタルデータを電圧階調に用いる場合、ソースドライバが出力できる電圧レベルは、最大で ($2^n + 1$) 通り (($2^n + 1$) 通り以下) である。

【 0 0 7 4 】

このように、電圧階調と時間階調とを組み合わせることで、2 ビットを処理するソースドライバにおいて 4 ビット相当の階調表示を行うことができる。すなわち、ソースドライバを複雑にすることなく、多階調表示を行うことが可能となる。したがって、本実施の形態に示すデータ処理回路は、入力された m ビットのデジタルデータうち n ビット分のデジタルデータに基づいて、($2^n + 1$) 通りの電圧レベルから、ソースドライバに出力される 2 つの電圧レベルを選択し、また、1 画素、1 フレーム期間用に $2^m - n$ 個のデジタルデータをソースドライバに出力する。ここで、 $2^m - n$ 個のデジタルデータにはそれぞれ当該選択された 2 つの電圧レベルに対応した 2 つのデジタルデータのいずれかが選択される。

【 0 0 7 5 】

しかしながら、本実施の形態のデータ処理により多階調化を行っても、トランジスタのオフ電流が大きいために画素の階調特性が低い場合は、所望の階調表示を行うことは難しい。その場合、実施の形態 1 で示した酸化物半導体を用いたトランジスタで画素を構成することで、階調特性が向上するため、データ処理にて生成した電圧レベルでの表示が可能となる。

【 0 0 7 6 】

また、本実施の形態のデータ処理を行う際、画素への書き込み時間が長くなると動作速度が遅くなる場合がある。本実施の形態のように 1 フレーム期間を 4 分割した場合、書き込み時間を 4 倍にすることが求められる。その際、酸化物半導体を用いたトランジスタは、移動度が $100 \text{ cm}^2 / \text{Vs}$ 以上であるので、書き込み時間を短縮することができる。

【 0 0 7 7 】

すなわち、実施の形態 1 と本実施の形態とを組み合わせることは極めて有効であり、多階調表示及び高速動作を実現することができる。

【 0 0 7 8 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【 0 0 7 9 】

(実施の形態 3)

本実施の形態では、半導体装置の構造及びその作製方法の一例について説明する。

【 0 0 8 0 】

図 6 (A) に、半導体装置の平面構造の一例を示す。また、図 6 (B) は、半導体装置の断面構造の一例であり、図 6 (A) の線 C 1 - C 2 における断面を示す。半導体装置は、トランジスタ 4 1 0 を有している。

【 0 0 8 1 】

トランジスタ 4 1 0 は、トップゲート構造の薄膜トランジスタであり、酸化物半導体層 4 1 2、第 1 の電極 (ソース電極及びドレイン電極の一方) 4 1 5 a、第 2 の電極 (ソース電極及びドレイン電極の他方) 4 1 5 b、ゲート絶縁層 4 0 2、及びゲート電極 4 1 1

10

20

30

40

50

を有している。

【0082】

なお、トランジスタ410はシングルゲート構造のトランジスタを示しているが、マルチゲート構造のトランジスタとしてもよい。

【0083】

次に、図7(A)乃至(E)を用いながら、トランジスタ410を作製する工程について説明する。

【0084】

まず、基板400上に下地膜となる絶縁層407を形成する。

【0085】

基板400は、少なくとも後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いるとよい。

【0086】

基板400の具体例としては、ガラス基板、結晶化ガラス基板、セラミック基板、石英基板、サファイア基板、プラスチック基板等が挙げられる。また、ガラス基板の具体的な材料例としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスが挙げられる。

【0087】

絶縁層407としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層等の酸化物絶縁層を単層又は積層して用いることができる。

【0088】

絶縁層407の形成方法としては、プラズマCVD法、スパッタリング法等を用いることができる。特に、スパッタリング法を用いることで、絶縁層407中の水素、水、水酸基又は水酸化物(これらを水素等という)を低減することができる。

【0089】

本実施の形態においては、絶縁層407として、スパッタリング法により酸化シリコン層を成膜する。スパッタガスは、酸素及びアルゴンの混合ガス、又は酸素等を用いることができる。また、スパッタガスは、水素等が除去され、かつ高純度の酸素を含んでいることが好ましい。また、ターゲットは、シリコン又は石英(好ましくは合成石英)を用いることができる。なお、成膜時の基板400は、室温でもよく、加熱されていてもよい。

【0090】

絶縁層407の成膜条件の一例としては、ターゲットを石英とし、基板温度108、基板400とターゲット間の距離(T-S間距離ともいう)を60mm、圧力0.4Pa、高周波電源1.5kW、スパッタガスを酸素及びアルゴンの混合ガス(酸素流量25sccm:アルゴン流量25sccm=1:1)とする。なお、絶縁層407の膜厚は100nmとする。

【0091】

スパッタガスは、水素等がppmレベル、好ましくはppbレベルの濃度まで除去された高純度ガスを用いる。

【0092】

また、成膜室内の残留水分を除去することにより、絶縁層407に水素等が含まれないようにすることが好ましい。

【0093】

成膜室内の残留水分を除去するためには、吸着型の真空ポンプを用いればよい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることができる。特に、クライオポンプは、成膜室から水素等を排気する効果が高い。そのため、絶縁層407中の水素等を極力低減することができる。また、排気手段として、ターボポンプにコールドトラップを組み合わせて使用することが好ましい。

10

20

30

40

50

【 0 0 9 4 】

スパッタリング法にはスパッタ用電源に高周波電源を用いる R F スパッタリング法、直流電源を用いる D C スパッタリング法があり、さらにパルスのバイアスを与えるパルス D C スパッタリング法がある。R F スパッタリング法は主に絶縁膜を成膜する場合に用いられ、D C スパッタリング法は主に金属膜を成膜する場合に用いられる。

【 0 0 9 5 】

また、多元スパッタ装置を用いてもよい。多元スパッタ装置は、材料が異なる複数のターゲットを設置可能であり、同一の成膜室において、複数のターゲットを同時又は別々にスパッタリングすることができる。例えば、同時にスパッタリングすることで、複数の材料からなる膜を形成することができる。また、別々にスパッタリングすることで、材料が異なる複数の膜を積層することができる。

10

【 0 0 9 6 】

また、マグネトロンスパッタリング法を用いるスパッタ装置を用いてもよい。当該スパッタ装置は、成膜室内部に磁石機構を備えている。また、E C R スパッタリング法を用いるスパッタ装置を用いてもよい。当該スパッタ装置は、マイクロ波を用いて発生させたプラズマを用いる。

【 0 0 9 7 】

また、成膜方法としてリアクティブスパッタリング法を用いてもよい。当該スパッタリング法は、成膜中にターゲットとスパッタガスとを化学反応させ、それらの化合物薄膜を形成する方法である。また、バイアススパッタリング法を用いてもよい。当該スパッタリング法は、成膜中に基板にも電圧をかける方法である。

20

【 0 0 9 8 】

また、絶縁層 4 0 7 として、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウムなどの窒化物絶縁層の単層又は積層を用いてもよい。また、当該窒化物絶縁層と上記酸化物絶縁層とを積層した構造としてもよい。

【 0 0 9 9 】

窒化物絶縁層と酸化物絶縁層との積層は、例えば以下の方法で形成する。まず、成膜室に高純度窒素を含むスパッタガスを導入し、シリコンターゲットを用いて窒化シリコン層を成膜する。その後、スパッタガスを高純度酸素を含むものに切り替えて、酸化シリコン層を成膜する。なお、上述したように、成膜室内の残留水分を除去しつつ窒化シリコン層や酸化シリコン層を成膜することが好ましい。また、成膜時に基板を加熱してもよい。

30

【 0 1 0 0 】

次に、絶縁層 4 0 7 上に酸化物半導体層をスパッタリング法により形成する。

【 0 1 0 1 】

酸化物半導体層中に水素等が極力含まれないようにすることが好ましい。そのため、成膜の前処理として、絶縁層 4 0 7 が形成された基板 4 0 0 を予備加熱し、基板 4 0 0 に吸着した水素等を脱離し排気することが好ましい。なお、予備加熱は、スパッタリング装置の予備加熱室で行えばよい。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。ただし、予備加熱は省略してもよい。

【 0 1 0 2 】

また、成膜の前処理として、アルゴンガスを導入してプラズマを発生させ、絶縁層 4 0 7 の表面に付着しているゴミを除去することも好ましい。この工程を、逆スパッタと呼ぶ。逆スパッタとは、ターゲット側に電圧を印加せず、アルゴン雰囲気下で基板側に高周波電源を用いて電圧を印加することによってプラズマを生成し、絶縁層 4 0 7 の表面を改質する方法である。なお、アルゴンに代えて窒素、ヘリウム、酸素等を用いてもよい。

40

【 0 1 0 3 】

酸化物半導体層のターゲットとしては、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol %]、すなわち、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom %] のターゲットを用いることができる。また、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom %]

50

、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom%] の組成比を有するターゲットを用いることもできる。また、 SiO_2 を 2 重量% 以上 10 重量% 以下含むターゲットを用いることもできる。ターゲットにおける金属酸化物の充填率は 90% 以上 100% 以下、好ましくは 95% 以上 99.9% 以下である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体層 412 を緻密な膜とすることができる。

【0104】

なお、酸化物半導体層の成膜の際は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス及び酸素混合雰囲気下とすればよい。ここで、酸化物半導体層を成膜する際に用いるスパッタガスは、水素等が ppm レベル、好ましくは ppb レベルの濃度まで除去された高純度ガスを用いる。

10

【0105】

また、成膜室内の残留水分を除去することにより、酸化物半導体層中に水素等が含まれないようにすることが好ましい。上述したように、クライオポンプを用いて成膜室内の水素等を排気することで、酸化物半導体層中の水素等を極力低減することができる。また、成膜時の基板は、室温でもよく、400 未満の温度に加熱してもよい。なお、成膜室を減圧状態に保持することが好ましい。

【0106】

酸化物半導体層の成膜条件の一例としては、ターゲットの組成比を $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol%] とし、基板温度を室温、T-S 間距離を 110 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、スパッタガスを酸素及びアルゴンの混合ガス（酸素流量 15 sccm：アルゴン流量 30 sccm）とする。なお、パルス直流 (DC) 電源を用いることで、ゴミの発生を低減する効果や、膜厚分布を均一にする効果を奏する。酸化物半導体層の膜厚は、2 nm 以上 200 nm 以下（好ましくは 5 nm 以上 30 nm 以下）とする。なお、適用する酸化物半導体の材料により適切な厚みは異なるため、材料に応じて適宜厚みを選択すればよい。

20

【0107】

以上では、酸化物半導体層として、インジウムとガリウムと亜鉛と酸素とを含む化合物層 ($\text{In}-\text{Ga}-\text{Zn}-\text{O}$ とともいう) を用いたが、その他にも、 $\text{In}-\text{Sn}-\text{Ga}-\text{Zn}-\text{O}$ 、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 、 $\text{In}-\text{Al}-\text{Zn}-\text{O}$ 、 $\text{Sn}-\text{Ga}-\text{Zn}-\text{O}$ 、 $\text{Al}-\text{Ga}-\text{Zn}-\text{O}$ 、 $\text{Sn}-\text{Al}-\text{Zn}-\text{O}$ 、 $\text{In}-\text{Zn}-\text{O}$ 、 $\text{Sn}-\text{Zn}-\text{O}$ 、 $\text{Al}-\text{Zn}-\text{O}$ 、 $\text{Zn}-\text{Mg}-\text{O}$ 、 $\text{Sn}-\text{Mg}-\text{O}$ 、 $\text{In}-\text{Mg}-\text{O}$ 、 $\text{In}-\text{O}$ 、 $\text{Sn}-\text{O}$ 、 $\text{Zn}-\text{O}$ などを用いることができる。また、上記酸化物半導体層は Si を含んでいてもよい。また、これらの酸化物半導体層は、非晶質であってもよいし、結晶質であってもよい。または、非単結晶であってもよいし、単結晶であってもよい。

30

【0108】

また、酸化物半導体層として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される化合物層を用いることもできる。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素である。例えば、M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co が挙げられる。

【0109】

次に、酸化物半導体層を第 1 のフォトリソグラフィ法を介してエッチングして、島状の酸化物半導体層 412 に加工する（図 7 (A) 参照）。なお、加工に用いるレジストをインクジェット法で形成してもよい。レジストをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減することができる。

40

【0110】

また、レジストを多階調フォトマスクを用いて形成してもよい。多階調フォトマスクは、多段階の光量（光強度）で露光を行うことが可能なマスクである。多階調フォトマスクを用いることで、フォトマスク数を削減することができる。

【0111】

なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでも

50

よく、両方を用いてもよい。

【0112】

ドライエッチングを行う場合、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

【0113】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素、塩化硼素、塩化珪素、四塩化炭素など)が好ましいが、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素、弗化硫黄、弗化窒素、トリフルオロメタンなど)、臭化水素、酸素、またはこれらのガスにヘリウムやアルゴンなどの希ガスを添加したガス等を用いることもできる。

【0114】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素:28重量%アンモニア:水=5:2:2)などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。エッチングの条件(エッチング液、エッチング時間、温度等)については、酸化物半導体の材料に合わせて適宜調節すればよい。

【0115】

また、ウェットエッチングを行う場合、エッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれる材料(例えば、インジウム等のレアメタル)を回収して再利用することにより、資源を有効活用することができる。

【0116】

本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体層を島状の酸化物半導体層412に加工する。

【0117】

次に、酸化物半導体層412に第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行う。この第1の加熱処理によって酸化物半導体層412から水素等を除去することができる。

【0118】

なお、加熱処理装置は電気炉に限らず、発熱体(例えば抵抗発熱体等)からの熱伝導または熱輻射によって加熱を行う装置を用いてもよい。例えば、GRTA(Gas Rapid Thermal Annealing)装置、LRTA(Lamp Rapid Thermal Annealing)装置等のRTA(Rapid Thermal Annealing)装置を用いることができる。

【0119】

LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により加熱を行う装置である。

【0120】

GRTA装置は、高温のガスを用いて加熱を行う装置である。ガスとしては、不活性ガス(代表的には、アルゴン等の希ガス)または窒素ガスを用いることができる。

【0121】

例えば、GRTA装置を用いて第1の加熱処理を行う場合、基板を高温(例えば650~700)の不活性ガス中において数分間加熱した後、該不活性ガス中から取り出せ

10

20

30

40

50

ばよい。GRTA装置を用いることにより、短時間での高温加熱処理が可能となる。

【0122】

第1の加熱処理の際の雰囲気には、水素等が含まれないようにすることが好ましい。または、加熱処理装置内に導入する窒素、ヘリウム、ネオン、アルゴン等のガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0123】

なお、第1の加熱処理の条件、または酸化物半導体層412の材料によっては、第1の加熱処理により島状の酸化物半導体層412が結晶化し、微結晶化または多結晶化する場合もある。

10

【0124】

例えば、結晶化率が80%以上の微結晶の酸化物半導体層412となる場合もある。ただし、第1の加熱処理を行っても島状の酸化物半導体層412が結晶化せず、非晶質の酸化物半導体層412となる場合もある。また、非晶質の酸化物半導体層の中に微結晶部(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体層412となる場合もある。

【0125】

また、第1の加熱処理は、島状に加工する前の酸化物半導体層に対して行ってもよい。この場合、第1の加熱処理後に、第1のフォトリソグラフィ工程を行い、島状に加工する。

20

【0126】

なお、第1の加熱処理は、後の工程で行っても良い。例えば、酸化物半導体層412上にソース電極及びドレイン電極を形成した後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0127】

第1の加熱処理は、酸化物半導体層412中から水素等を除去することを主な目的としているが、この第1の加熱処理の際に酸化物半導体層412中に酸素欠損が生じてしまうおそれがある。このため、第1の加熱処理の後に、過剰な酸化処理を行うことが好ましい。過剰な酸化処理の具体例としては、第1の加熱処理の後に連続して、酸素雰囲気または窒素及び酸素を含む雰囲気(たとえば、窒素：酸素の体積比=4：1)での加熱処理を行う方法が挙げられる。また、酸素雰囲気下でのプラズマ処理を行う方法を用いることもできる。

30

【0128】

以上のように、第1の加熱処理により、酸化物半導体層から水素等を除去することができる。すなわち、第1の加熱処理は、酸化物半導体層に対する脱水化、脱水素化の効果を奏する。

【0129】

次に、絶縁層407及び酸化物半導体層412上に、導電膜を形成する。

【0130】

導電膜は、スパッタリング法や真空蒸着法により形成すればよい。導電膜の材料としては、Al、Cu、Cr、Ta、Ti、Mo、W、Yなどの金属材料、該金属材料を成分とする合金材料、導電性を有する金属酸化物等が挙げられる。また、例えば、ヒロックやウィスカの発生を防止するためにSi、Ti、Ta、W、Mo、Cr、Nd、Sc、Yなどの元素が添加されたAl材料を用いてもよく、この場合、耐熱性を向上させることができる。導電性を有する金属酸化物としては、酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ合金(ITO)、酸化インジウム酸化亜鉛合金(IZO)または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

40

【0131】

また、導電膜は、単層構造としてもよいし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層した2

50

層構造、チタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を積層した3層構造が挙げられる。また、Al、Cuなどの金属層と、Cr、Ta、Ti、Mo、Wなどの高融点金属層とが積層された構成としてもよい。

【0132】

本実施の形態では導電膜としてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0133】

次に、第2のフォトリソグラフィ工程により導電膜上にレジストを形成し、選択的にエッチングを行って第1の電極415a及び第2の電極415bを形成した後、レジストを除去する(図7(B)参照)。

10

【0134】

第1の電極415aはソース電極及びドレイン電極の一方として機能し、第2の電極415bはソース電極及びドレイン電極の他方として機能する。ここで、第1の電極415a及び第2の電極415bの端部がテーパとなるようにエッチングすると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

【0135】

なお、第1の電極415a、第2の電極415bを形成するためのレジストをインクジェット法で形成してもよい。レジストをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。多階調フォトマスクを用いても良い。

【0136】

また、導電膜のエッチングの際に、酸化物半導体層412が除去されないようにする必要がある。

20

【0137】

例えば、酸化物半導体層412としてIn-Ga-Zn-Oを用い、導電膜としてチタンを用い、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。そうすることで、エッチングレートの差により、酸化物半導体層412の除去を防ぐことができる。

【0138】

なお、エッチングの条件を調整することで、酸化物半導体層412の一部をエッチングし、溝部(凹部)を有する酸化物半導体層とすることもできる。例えば、チャネルエッチ構造の薄膜トランジスタとすることができる。

30

【0139】

また、レジストを形成する際の露光には、KrFレーザ光、またはArFレーザ光などを用いればよい。また、超紫外線(波長:数nm~数10nm)を用いることで、露光の際の解像度を高く且つ焦点深度を大きくでき、微細な加工を行うことができる。

【0140】

ここで、図6(B)のように、作製されるトランジスタ410のチャネル長は、2つの電極(第1の電極415aと第2の電極415b)の間隔に応じて決定される。そのため、チャネル長を短くする場合(例えば10nm以上1000nm未満)、上記超紫外線で露光を行い2つの電極を形成することが好ましい。チャネル長を短くすることで、トランジスタの高速動作、オフ電流値の低減、又は低消費電力化を図ることができる。

40

【0141】

なお、第1の電極415a、第2の電極415bを形成した後、一酸化窒素、窒素、またはアルゴンなどのガスを用いたプラズマ処理によって、露出している酸化物半導体層412の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0142】

次に、絶縁層407、酸化物半導体層412、第1の電極415a、第2の電極415b上にゲート絶縁層402を形成する(図7(C)参照)。

【0143】

50

ゲート絶縁層 402 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層又は積層して形成することができる。

【0144】

ゲート絶縁層 402 を形成する際は、水素等が含まれないようにすることが好ましい。このため、上述したようなスパッタリング法を用いて、ゲート絶縁層 402 を成膜することが好ましい。本実施の形態では、膜厚 100 nm の酸化シリコン層を形成する。なお、成膜を行う前に、上述したような予備加熱を行うことが好ましい。

【0145】

ゲート絶縁層 402 の成膜条件の一例としては、ターゲットを石英とし、圧力 0.4 Pa、高周波電源 1.5 kW、スパッタガスを酸素及びアルゴンの混合ガス（酸素流量 25 sccm：アルゴン流量 25 sccm = 1：1）とする。

【0146】

次に、第 3 のフォトリソグラフィ工程によりレジストを形成し、選択的にエッチングを行ってゲート絶縁層 402 の一部を除去することにより、第 1 の電極 415 a、第 2 の電極 415 b に達する開口 421 a、421 b を形成する（図 7（D）参照）。なお、レジストをインクジェット法で形成する場合、フォトマスクを使用しないため、製造コストを低減できる。

【0147】

次に、ゲート絶縁層 402、及び開口 421 a、421 b 上に導電膜を形成した後、第 4 のフォトリソグラフィ工程を介してゲート電極 411、第 1 の配線層 414 a、第 2 の配線層 414 b を形成する。

【0148】

ゲート電極 411、第 1 の配線層 414 a、第 2 の配線層 414 b は、Mo、Ti、Cr、Ta、W、Al、Cu、Nd、Sc 等の金属材料、又はこれらを主成分とする合金材料を用いて、単層又は積層して形成することができる。

【0149】

ゲート電極 411、第 1 の配線層 414 a、及び第 2 の配線層 414 b の 2 層構造の具体例としては、アルミニウム層上にモリブデン層が積層された構造、銅層上にモリブデン層が積層された構造、銅層上に窒化チタン層若しくは窒化タンタル層が積層された構造、または窒化チタン層上にモリブデン層が積層された構造が挙げられる。

【0150】

また、3 層構造の具体例としては、タングステン層（または窒化タングステン層）と、アルミニウム及びシリコンの合金層（またはアルミニウム及びチタンの合金層）と、窒化チタン層（またはチタン層）とが積層された構造が挙げられる。なお、透光性を有する導電膜を用いてゲート電極を形成することもできる。透光性を有する導電膜の具体例としては、透光性を有する導電性酸化物が挙げられる。

【0151】

本実施の形態ではゲート電極 411、第 1 の配線層 414 a、第 2 の配線層 414 b としてスパッタリング法により形成した膜厚 150 nm のチタン膜を用いる。

【0152】

次に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行う。本実施の形態では、窒素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理により、酸化物半導体層 412 中の水素等をより低減し、高純度化することができる。

【0153】

また、第 2 の加熱処理の後、大気中、100 以上 200 以下、1 時間以上 30 時間以下で加熱処理を行ってもよい。ここでの加熱処理は、一定の加熱温度を保持して加熱してもよいし、室温から 100 以上 200 の加熱温度への昇温と、該加熱温度から室温までの降温を複数回繰り返して行ってもよい。

10

20

30

40

50

【 0 1 5 4 】

以上の工程により、トランジスタ 4 1 0 を形成することができる（図 7（E）参照）。トランジスタ 4 1 0 は、実施の形態 1 で説明したトランジスタに適用することができる。

【 0 1 5 5 】

なお、トランジスタ 4 1 0 上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。また、上記第 2 の加熱処理は、当該保護絶縁層や平坦化絶縁層を設ける工程の後に行ってよい。

【 0 1 5 6 】

保護絶縁層としては、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層又は積層して形成することができる。

10

【 0 1 5 7 】

また、平坦化絶縁層としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low - k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることもできる。また、これらの材料で形成される絶縁膜を複数積層させることで平坦化絶縁層を形成してもよい。

【 0 1 5 8 】

ここで、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si - O - Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）を用いても良い。また、有機基はフルオロ基を有していても良い。

20

【 0 1 5 9 】

平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG 法、スピコート法、ディップ法、スプレー塗布法、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）などの方法や、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の器具を用いることができる。

【 0 1 6 0 】

以上のように、真性又は実質的に真性な酸化物半導体を用いた半導体装置を作製することができる。

【 0 1 6 1 】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

30

【 0 1 6 2 】

（実施の形態 4）

本実施の形態では、半導体装置の構造及びその作製方法の一例について説明する。

【 0 1 6 3 】

図 8（E）に、半導体装置の断面構造の一例を示す。半導体装置は、トランジスタ 3 9 0 を有している。

【 0 1 6 4 】

トランジスタ 3 9 0 は、ボトムゲート構造であり、ゲート電極 3 9 1、ゲート絶縁層 3 9 7、酸化物半導体層 3 9 9、第 1 の電極 3 9 5 a、及び第 2 の電極 3 9 5 b を有する。

40

【 0 1 6 5 】

このトランジスタ 3 9 0 を、実施の形態 1 で説明したトランジスタ等に用いることができる。なお、マルチゲート構造のトランジスタとしてもよい。

【 0 1 6 6 】

以下、図 8（A）乃至（E）を用い、基板 3 9 4 上にトランジスタ 3 9 0 を作製する方法について説明する。

【 0 1 6 7 】

まず、基板 3 9 4 上にゲート電極 3 9 1 を形成する。基板 3 9 4 の材料等は、実施の形態 3 と同様である。また、ゲート電極 3 9 1 の材料や成膜方法等についても、実施の形態 3 と同様である。

50

【 0 1 6 8 】

なお、基板 3 9 4 とゲート電極 3 9 1 との間に、下地膜となる絶縁膜（例えば酸化珪素膜又は窒化珪素膜等）を設けてもよい。

【 0 1 6 9 】

次に、ゲート電極 3 9 1 上にゲート絶縁層 3 9 7 を形成する。ゲート絶縁層 3 9 7 の材料や成膜方法等は、実施の形態 3 で説明したゲート絶縁層 4 0 2 と同様である。

【 0 1 7 0 】

次に、ゲート絶縁層 3 9 7 上に、酸化物半導体層 3 9 3 を形成する（図 8（A）参照）。その後、フォトリソグラフィ法を介して島状の酸化物半導体層 3 9 9 を形成する（図 8（B）参照）。なお、酸化物半導体層 3 9 9 の材料や成膜方法等は、実施の形態 3 で説明した酸化物半導体層 4 1 2 と同様である。

10

【 0 1 7 1 】

ここで、酸化物半導体層 3 9 9 に対し、実施の形態 3 と同様に、第 1 の加熱処理を行うことが好ましい。

【 0 1 7 2 】

次に、ゲート絶縁層 3 9 7 及び酸化物半導体層 3 9 9 上に、第 1 の電極 3 9 5 a 及び第 2 の電極 3 9 5 b を形成する（図 8（C）参照）。第 1 の電極 3 9 5 a 及び第 2 の電極 3 9 5 b の材料や成膜方法等は、実施の形態 3 で説明した第 1 の電極 4 1 5 a 及び第 2 の電極 4 1 5 b と同様である。

【 0 1 7 3 】

20

以上の工程により、トランジスタ 3 9 0 を作製することができる。トランジスタ 3 9 0 は、実施の形態 1 で説明したトランジスタに適用することができる。

【 0 1 7 4 】

なお、酸化物半導体層 3 9 9、第 1 の電極 3 9 5 a、及び第 2 の電極 3 9 5 b に接する保護絶縁層 3 9 6 を形成してもよい（図 8（D）参照。）。

【 0 1 7 5 】

保護絶縁層 3 9 6 としては、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化窒化アルミニウム層、又は酸化アルミニウム層などの酸化物絶縁層を単層又は積層して形成することができる。本実施の形態では、保護絶縁層 3 9 6 として、酸化物半導体層 3 9 9、第 1 の電極 3 9 5 a、及び第 2 の電極 3 9 5 b が形成された基板 3 9 4 を室温状態のまま、または 1 0 0 未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入し、シリコン半導体のターゲットを用いて、酸化シリコン層を成膜する。

30

【 0 1 7 6 】

次に、第 2 の加熱処理を行ってもよい。第 2 の加熱処理は、不活性ガス（例えば窒素）又は酸素雰囲気下、2 0 0 以上 4 0 0 以下（好ましくは 2 5 0 以上 3 5 0 以下）で行えばよい。本実施の形態では、窒素雰囲気下で、2 5 0 、1 時間の加熱を行う。

【 0 1 7 7 】

第 2 の加熱処理を行うことで、酸化物半導体層 3 9 9 中の水素等を保護絶縁層 3 9 6 に拡散させ、酸化物半導体 3 9 9 中の水素等をより低減することができる。

40

【 0 1 7 8 】

また、保護絶縁層 3 9 6 上に絶縁層 3 9 8 を設けてもよい。絶縁層 3 9 8 として、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを単層又は積層して形成することができる。

【 0 1 7 9 】

なお、保護絶縁層 3 9 6 及び絶縁層 3 9 8 の成膜時に、酸化物半導体層 3 9 9 に水素等が含まれないようにすることが好ましい。そのため、実施の形態 3 で説明したように、クライオポンプを用いて成膜室内の水素等を排気することで、酸化物半導体層 3 9 9 中の水素等を極力低減することができる。

【 0 1 8 0 】

50

以上のように、真性又は実質的に真性な酸化物半導体を用いた半導体装置を作製することができる。

【0181】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0182】

(実施の形態5)

本実施の形態では、半導体装置の構造及びその作製方法の一例について説明する。

【0183】

図9(D)に、半導体装置の断面構造の一例を示す。半導体装置は、トランジスタ360を有している。

【0184】

トランジスタ360は、ボトムゲート構造であり、ゲート電極361、ゲート絶縁層322、酸化物半導体層362、酸化物絶縁層366、第1の電極365a、及び第2の電極365bを有する。

【0185】

実施の形態4と異なる点は、酸化物半導体層362のチャネル形成領域363上に、酸化物絶縁層366が形成されている点である。このようなトランジスタを、チャネル保護型(チャネルストップ型ともいう)と呼ぶ。

【0186】

以下、図9(A)乃至(D)を用い、基板320上にトランジスタ360を作製する方法について説明する。酸化物半導体層332を形成する工程(図9(A)参照)までは、実施の形態4と同様である。なお、実施の形態4と同様に、第1の加熱処理を行い、酸化物半導体層332中の水素等を低減することが好ましい。

【0187】

次に、酸化物半導体層332上に、酸化物絶縁層366を形成する(図9(B)参照)。

【0188】

酸化物絶縁層366としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを、単層又は積層して形成することができる。本実施の形態では、膜厚200nmの酸化シリコン層を、スパッタリング法を用いて成膜する。

【0189】

酸化物絶縁層366の成膜条件の一例としては、ターゲットをシリコンとし、基板温度を室温以上300℃以下、スパッタガスを酸素及び窒素の混合ガスとする。なお、ターゲットは酸化シリコンとしてもよい。また、スパッタガスは希ガス(代表的にはアルゴン)、酸素、又は希ガス及び酸素の混合ガスとしてもよい。

【0190】

このとき、酸化物半導体層332に水素等が含まれないようにすることが好ましい。実施の形態3で説明したように、クライオポンプ等を用いればよい。

【0191】

次に、第2の加熱処理を行う。第2の加熱処理は、不活性ガス(例えば窒素)又は酸素雰囲気下、200℃以上400℃以下(好ましくは250℃以上350℃以下)で行えばよい。本実施の形態では、窒素雰囲気下で、250℃、1時間の加熱を行う。

【0192】

第2の加熱処理を行うことで、酸化物半導体層332の酸化物絶縁層366で覆われている領域では、酸化物絶縁層366から酸素が供給されるため、高抵抗化する。

【0193】

一方、酸化物絶縁層366によって覆われていない領域では、第2の加熱処理により酸素が欠損するため、低抵抗化することができる。そのため、自己整合的に酸化物半導体層332の酸化物絶縁層366によって覆われていない領域の低抵抗化を行うことができる

10

20

30

40

50

。

【 0 1 9 4 】

すなわち、第 2 の加熱処理後の酸化物半導体層 3 6 2 は、抵抗の異なる領域（図 9（B）においては斜線領域及び白地領域で示す）を有する。

【 0 1 9 5 】

次に、第 1 の電極 3 6 5 a 及び第 2 の電極 3 6 5 b を形成する（図 9（C）参照）。なお、第 1 の電極 3 6 5 a 及び第 2 の電極 3 6 5 b の材料や成膜方法は、実施の形態 4 で説明した第 1 の電極 3 9 5 a 及び第 1 の電極 3 9 5 b と同様とする。

【 0 1 9 6 】

以上の工程により、トランジスタ 3 6 0 が形成される。トランジスタ 3 6 0 は、実施の形態 1 で説明したトランジスタに適用することができる。

【 0 1 9 7 】

なお、トランジスタ 3 6 0 上に保護絶縁層 3 2 3 を形成してもよい（図 9（D）参照）。保護絶縁層 3 2 3 の材料や成膜方法は、実施の形態 4 で説明した保護絶縁層と同様とする。

【 0 1 9 8 】

本実施の形態では、第 1 の加熱処理により酸化物半導体層 3 3 2 中の水素等を低減した後、第 2 の加熱処理により酸化物半導体層 3 6 2 の一部を選択的に酸素過剰な状態としている。

【 0 1 9 9 】

その結果、酸化物半導体層 3 6 2 において、ゲート電極 3 6 1 と重なるチャネル形成領域 3 6 3 は、真性又は実質的に真性となる。そして、第 1 の電極 3 6 5 a に重なる領域 3 6 4 a 及び第 2 の電極 3 6 5 b に重なる領域 3 6 4 b は、低抵抗領域となる。

【 0 2 0 0 】

以上のように、真性又は実質的に真性な酸化物半導体を用いた半導体装置を作製することができる。

【 0 2 0 1 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【 0 2 0 2 】

（実施の形態 6）

本実施の形態では、半導体装置の構造及びその作製方法の一例を示す。

【 0 2 0 3 】

図 1 0（D）に半導体装置の断面構造を示す。半導体装置は、トランジスタ 3 5 0 を有している。

【 0 2 0 4 】

トランジスタ 3 5 0 は、ボトムゲート構造であり、ゲート電極 3 5 1、ゲート絶縁層 3 4 2、第 1 の電極 3 5 5 a、第 2 の電極 3 5 5 b、及び酸化物半導体層 3 4 6 を有する。

【 0 2 0 5 】

実施の形態 4（図 8）と異なる点は、第 1 の電極 3 5 5 a 及び第 2 の電極 3 5 5 b が、ゲート絶縁層 3 4 2 と酸化物半導体層 3 4 6 との間に設けられている点である。

【 0 2 0 6 】

以下、図 1 0（A）乃至（D）を用い、基板 3 4 0 上にトランジスタ 3 5 0 を作製する工程を説明する。ゲート絶縁層 3 4 2 を形成する工程までは、実施の形態 4 等と同様である。

【 0 2 0 7 】

ゲート絶縁層 3 4 2 上に、第 1 の電極 3 5 5 a 及び第 2 の電極 3 5 5 b を形成する（図 1 0（A）参照）。第 1 の電極 3 5 5 a 及び第 2 の電極 3 5 5 b の材料や成膜方法等は、実施の形態 4 で説明した第 1 の電極 3 9 5 a 及び第 2 の電極 3 9 5 b と同様である。

【 0 2 0 8 】

次に酸化物半導体層 3 4 5 を形成する（図 1 0（B）参照）。その後、エッチングして

10

20

30

40

50

島状の酸化物半導体層 346 を得る（図 10（C）参照）。酸化物半導体層 346 の材料や成膜方法等は、実施の形態 4 で説明した酸化物半導体層 399 と同様である。なお、実施の形態 4 と同様に、第 1 の加熱処理を行い、酸化物半導体層 346 中の水素等を低減することが好ましい。

【0209】

以上の工程により、トランジスタ 350 を作製することができる。トランジスタ 350 は、実施の形態 1 で説明したトランジスタに適用することができる。

【0210】

なお、酸化物半導体層 346 に接する酸化物絶縁層 356 を形成してもよい（図 10（D）参照）。酸化物絶縁層 356 の材料や成膜方法等については、実施の形態 4 における保護絶縁層 396 と同様である。

10

【0211】

次に、第 2 の加熱処理を行ってもよい。第 2 の加熱処理は、不活性ガス（例えば窒素）又は酸素雰囲気下、200 以上 400 以下（好ましくは 250 以上 350 以下）で行えばよい。本実施の形態では、窒素雰囲気下で、250 、1 時間の加熱を行う。

【0212】

第 2 の加熱処理により、酸化物絶縁層 356 から酸化物半導体層 346 に酸素が供給され酸素過剰な状態とすることができる。その結果、酸化物半導体層 346 は、真性又は実質的に真性となる。

【0213】

20

なお、酸化物絶縁層 356 上に絶縁層 343 を設けてもよい（図 10（D）参照）。絶縁層 343 の材料や成膜方法等については、上記実施の形態における絶縁層 398 と同様のものを採用することができる。

【0214】

以上のように、真性又は実質的に真性の酸化物半導体を用いた半導体装置を作製することができる。

【0215】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0216】

（実施の形態 7）

30

本実施の形態においては、上記実施の形態で説明した表示装置を具備する電子機器の具体例について説明する。ただし、本発明に適用可能な電子機器は、下記に示す具体例に限定されるものではない。

【0217】

図 11（A）は携帯型遊技機である。図 11（B）はデジタルカメラである。図 11（C）はテレビ受像器である。図 12（A）はコンピュータである。図 12（B）は携帯電話である。図 12（C）は電子ペーパーである。電子ペーパーは、電子書籍（電子ブック、e-book ともいう）、ポスター等に用いることができる。図 12（D）はデジタルフォトフレームである。それぞれ、筐体 9630、9640、9650、9660、9670、9680、9690 に設けられた表示部 9631、9641、9651、9661、9671、9681、9691 に、本発明の一態様に係る表示装置を用いることができる。

40

【0218】

本発明の一態様である表示装置をこれらの電子機器に適用することにより、信頼性が高く、静止画等を表示する際の低消費電力化を図ることができる。

【0219】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【0220】

100 表示部

50

1 0 1	画素部	
1 0 2	ゲートドライバ	
1 0 3	ソースドライバ	
1 0 4	トランジスタ	
1 0 5	液晶素子	
1 0 6	配線	
1 0 7	配線	
1 0 8	容量素子	
2 0 0	データ処理回路	
2 0 1 ~ 2 0 3	デジタルデータ	10
2 1 1 ~ 2 1 3	メモリ	
2 2 0	スイッチ	
2 3 1 ~ 2 3 4	サブフレーム期間	
2 4 0	平均値	
3 2 0	基板	
3 2 2	ゲート絶縁層	
3 2 3	保護絶縁層	
3 3 2	酸化物半導体層	
3 4 0	基板	
3 4 2	ゲート絶縁層	20
3 4 3	絶縁層	
3 4 5	酸化物半導体層	
3 4 6	酸化物半導体層	
3 5 0	トランジスタ	
3 5 1	ゲート電極	
3 5 5 a、3 5 5 b	電極	
3 5 6	酸化物絶縁層	
3 6 0	トランジスタ	
3 6 1	ゲート電極	
3 6 2	酸化物半導体層	30
3 6 3	チャネル形成領域	
3 6 4 a、3 6 4 b	領域	
3 6 5 a、3 6 5 b	電極	
3 6 6	酸化物絶縁層	
3 9 0	トランジスタ	
3 9 1	ゲート電極	
3 9 3	酸化物半導体層	
3 9 4	基板	
3 9 5 a、3 9 5 b	電極	
3 9 6	保護絶縁層	40
3 9 7	ゲート絶縁層	
3 9 8	絶縁層	
3 9 9	酸化物半導体層	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 7	絶縁層	
4 1 0	トランジスタ	
4 1 1	ゲート電極	
4 1 2	酸化物半導体層	
4 1 5 a、4 1 5 b	電極	50

4 1 4 a、4 1 4 b 配線層

4 2 1 a、4 2 1 b 開口

5 0 0 0 画素

5 0 0 1 トランジスタ

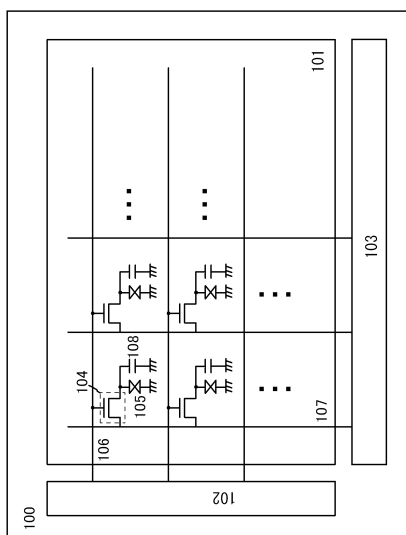
5 0 0 2 液晶素子

5 0 0 3 容量素子

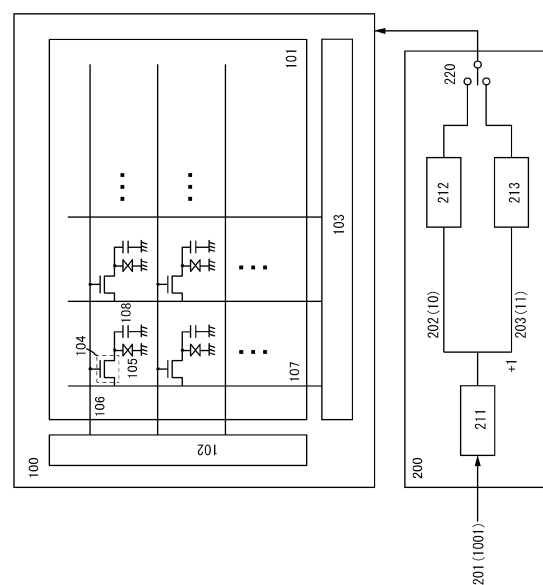
9 6 3 0、9 6 4 0、9 6 5 0、9 6 6 0、9 6 7 0、9 6 8 0、9 6 9 0 筐体

9 6 3 1、9 6 4 1、9 6 5 1、9 6 6 1、9 6 7 1、9 6 8 1、9 6 9 1 表示部

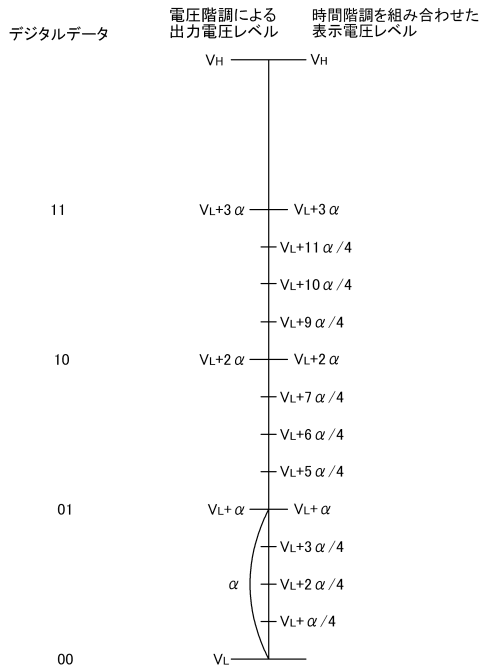
【図 1】



【図 2】



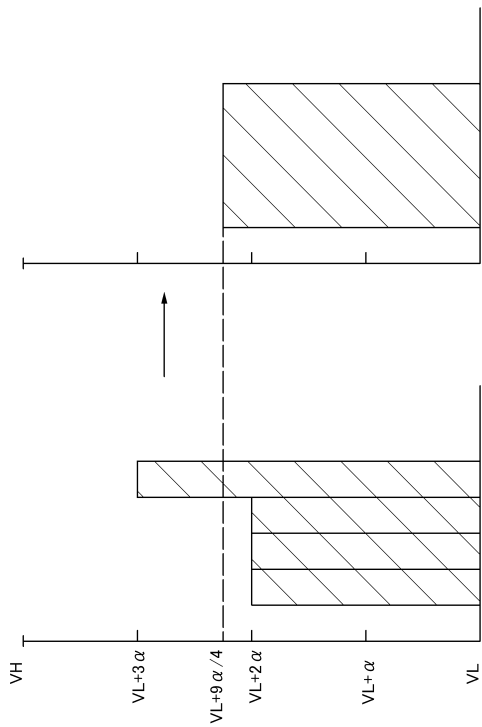
【図 3】



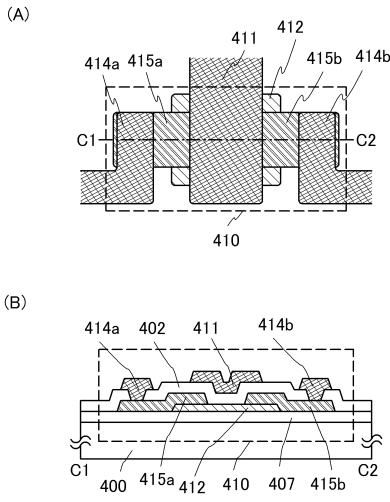
【図 4】

201	202	203	231	232	233	234	240
0000	00	01	00	00	00	00	V _L
0001	00	01	00	00	00	01	V _L + α / 4
0010	00	01	00	00	01	01	V _L + 2 α / 4
0011	00	01	00	01	01	01	V _L + 3 α / 4
0100	01	10	01	01	01	01	V _L + α
0101	01	10	01	01	01	10	V _L + 5 α / 4
0110	01	10	01	01	10	10	V _L + 6 α / 4
0111	01	10	01	10	10	10	V _L + 7 α / 4
1000	10	11	10	10	10	10	V _L + 2 α
1001	10	11	10	10	10	11	V _L + 9 α / 4
1010	10	11	10	10	11	11	V _L + 10 α / 4
1011	10	11	10	11	11	11	V _L + 11 α / 4
1100	11	11	11	11	11	11	V _L + 3 α
1101	11	11	11	11	11	11	V _L + 3 α
1110	11	11	11	11	11	11	V _L + 3 α
1111	11	11	11	11	11	11	V _L + 3 α

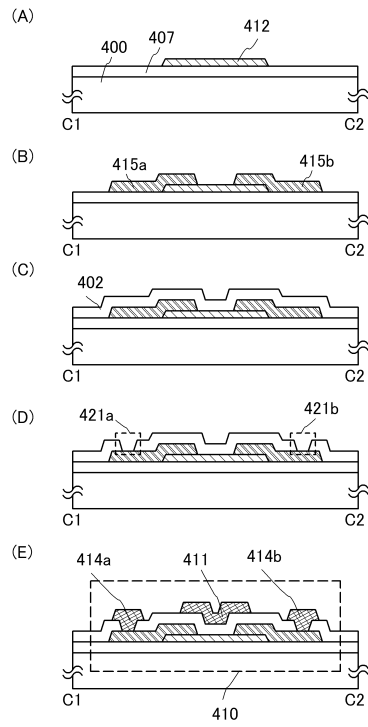
【図 5】



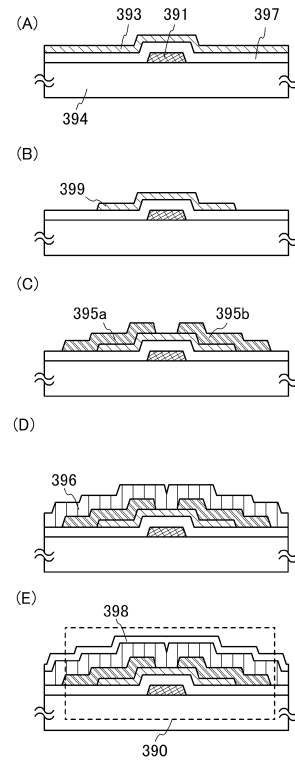
【図 6】



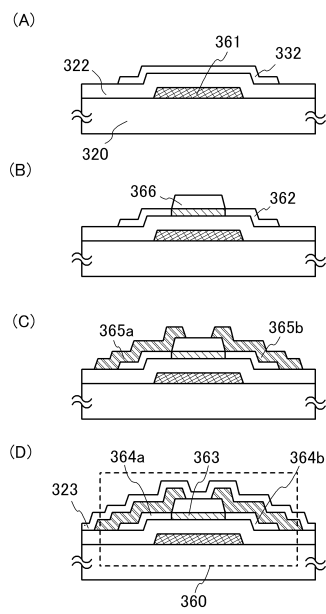
【図 7】



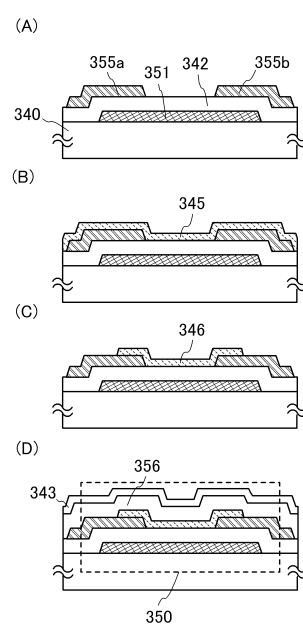
【図 8】



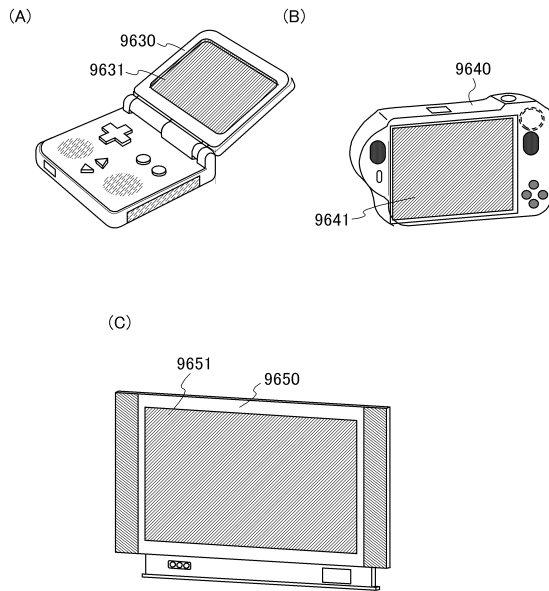
【図 9】



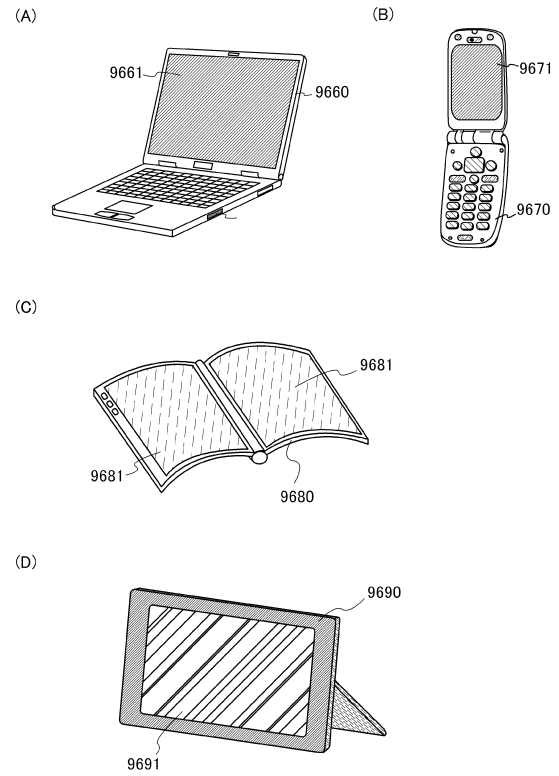
【図 10】



【図 1 1】



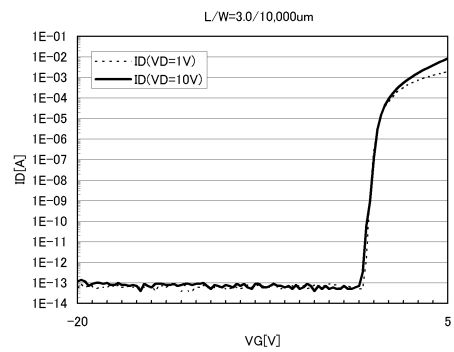
【図 1 2】



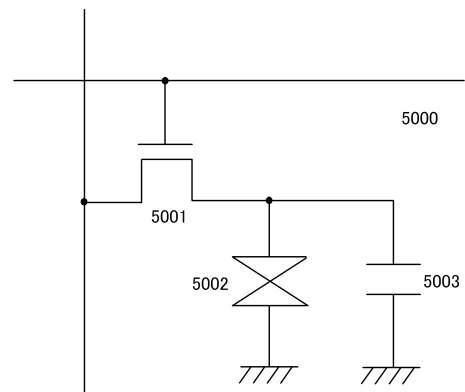
【図 1 3】

201	202	203	231	232	233	234	240
0000	00	01	00	00	00	00	V_L
0001	00	01	00	00	00	01	$V_L + \alpha/4$
0010	00	01	00	00	01	01	$V_L + 2\alpha/4$
0011	00	01	00	01	01	01	$V_L + 3\alpha/4$
0100	01	10	01	01	01	01	$V_L + \alpha$
0101	01	10	01	01	01	10	$V_L + 5\alpha/4$
0110	01	10	01	01	10	10	$V_L + 6\alpha/4$
0111	01	10	01	10	10	10	$V_L + 7\alpha/4$
1000	10	11	10	10	10	10	$V_L + 2\alpha$
1001	10	11	10	10	10	11	$V_L + 9\alpha/4$
1010	10	11	10	10	11	11	$V_L + 10\alpha/4$
1011	10	11	10	11	11	11	$V_L + 11\alpha/4$
1100	11	11	11	11	11	11	$V_L + 3\alpha$
1101	11	11	11	11	11	V_H	$V_L + 13\alpha/4$
1110	11	11	11	11	V_H	V_H	$V_L + 14\alpha/4$
1110	11	11	11	V_H	V_H	V_H	$V_L + 15\alpha/4$

【図 1 4】



【図 1 5】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/336 (2006.01) G 0 2 F 1/1368
H 0 1 L 29/78 6 1 8 B
H 0 1 L 29/78 6 1 8 Z

(56)参考文献 特開 2 0 0 0 - 3 1 0 9 8 0 (J P , A)
特開 2 0 0 7 - 1 4 2 1 9 5 (J P , A)
特開 2 0 0 6 - 1 7 3 5 8 0 (J P , A)
特開 2 0 0 6 - 2 3 7 5 8 6 (J P , A)
特開 2 0 0 9 - 2 2 4 4 7 9 (J P , A)
特開 2 0 0 7 - 0 7 3 5 5 8 (J P , A)
国際公開第 2 0 0 7 / 1 3 9 0 0 9 (W O , A 1)
特開 2 0 0 7 - 1 0 9 9 1 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3
H 0 1 L 2 9 / 7 8