

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成17年10月20日(2005.10.20)

【公開番号】特開2000-12865(P2000-12865A)
 【公開日】平成12年1月14日(2000.1.14)
 【出願番号】特願平10-174651
 【国際特許分類第7版】

H 0 1 L 29/786

H 0 1 L 21/762

H 0 1 L 27/12

【F I】

H 0 1 L 29/78 6 2 1

H 0 1 L 27/12 F

H 0 1 L 21/76 D

H 0 1 L 29/78 6 2 6 C

【手続補正書】

【提出日】平成17年6月24日(2005.6.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1絶縁層と、

前記第1絶縁層の表面内の第1領域上に形成された半導体層と、

前記第1領域に隣接する前記第1絶縁層の前記表面内の第2領域上に形成された第2絶縁層と、

前記半導体層の周縁部上に形成されており、その端部が隣接する前記第2絶縁層と一体的に結合された第3絶縁層と、

前記第1領域に対向し、且つ、前記周縁部で囲まれた前記半導体層の主面内の第3領域上に全面的に形成され、且つ、その長手方向と交差する端部が前記第3絶縁層と一体的に結合されている第4絶縁層と、

前記第4絶縁層の表面上及び前記第3絶縁層の内側で前記第4絶縁層と一体化している部分上に形成された制御電極層と、

前記半導体層の前記主面内の前記第3領域に隣接した第4領域より前記半導体層内部に向けて形成された、所定の導電型の第1不純物を有する第1半導体領域と、

前記半導体層の前記主面内であって、前記第4領域と共に前記第3領域を挟み込むように前記第3領域に隣接した第5領域より前記半導体層内部に向けて形成された前記所定の導電型の第2不純物を有する第2半導体層とを備え、

前記半導体層の前記周縁部の膜厚は、前記半導体層の端部に向かうに従って小さくなっており、

前記第3絶縁層の膜厚は、前記半導体層の前記端部に向かうに従って大きくなっていることを特徴とする、

半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、

前記半導体層の前記端部上及び当該端部近傍の前記第1絶縁層の前記表面の前記第2領

域上に形成されており、前記半導体層の前記端部と結合された第1側面に対向した第2側面は、前記第2絶縁層の前記半導体層側の側面と一体的に結合され、前記第1絶縁層の前記表面と界面を成す底面に対向した上面上には前記第3絶縁層が前記半導体層の前記端部より延長形成されて、前記第3絶縁層の前記端部が前記第2絶縁層の前記側面と一体的に結合された第5絶縁層を更に備えることを特徴とする、半導体装置。

【請求項3】

請求項1に記載の半導体装置であって、

前記第2絶縁層は、第6絶縁層及び第7絶縁層を備え、

前記第6絶縁層は、少なくとも前記半導体層の前記端部上及び前記第3絶縁層の前記端部上に形成され、前記第3絶縁層とは一体的に結合しており、

前記第7絶縁層は、前記第6絶縁層と接して形成され、且つ、一体的に結合していることを特徴とする、半導体装置。

【請求項4】

半導体基板と、

前記半導体基板の表面上に形成された第1絶縁層と、

前記第1絶縁層の表面上に形成され、側面及び上面を有する半導体層と、

前記半導体層の前記上面内に互いに所定の距離を隔てて形成されたソース/ドレイン領域と、

前記半導体層の前記上面の中で前記ソース/ドレイン領域に挟まれた領域上に、ゲート絶縁膜を介して、形成されたゲート電極と、

トレンチ構造を有し、前記第1絶縁層の表面上に形成されて前記半導体層の前記側面を取り囲む第2絶縁層とを備え、

前記第2絶縁層は、前記半導体層の前記上面上に、前記半導体層の前記側面の内側に向けて延在する周縁部を有しており、

前記半導体層の厚みは前記側面近くで減少しており、

前記第2絶縁層の前記周縁部の厚みは前記半導体層の前記側面の近傍及び前記半導体層の前記側面との交差部分で増加しており、

前記第2絶縁層の前記周縁部と前記半導体層間の界面は、前記ソース/ドレイン領域の最も深い底部よりも浅く形成されていることを特徴とする、半導体装置。

【請求項5】

第1絶縁層と、前記第1絶縁層の表面上に形成された半導体層とを備える下地層を準備する第1工程と、

前記第1絶縁層の前記表面内の第1領域上方に位置する前記半導体層の第1部分の表面上に第2絶縁層を形成し、前記第2絶縁層の表面上に全面的にストッパ膜を形成する第2工程と、

前記第1領域に隣接し、且つ、前記第1領域を取り囲む前記第1絶縁層の前記表面内の第2領域上方に位置する前記半導体層の第2部分の表面上及び当該第2部分の前記表面から前記半導体層内部に向けて、前記第2絶縁層と結合された第3絶縁層を形成する第3工程と、

前記第2領域内であって、前記第1領域に隣接し、且つ、前記第1領域を取り囲む前記第1絶縁層の前記表面内の第3領域上方に位置する前記第3絶縁層の第1部分上に、前記ストッパ膜の側面に接するサイドウォールを形成すると共に、前記第3絶縁層の第2部分を除去する第4工程と、

前記第3領域を除く前記第2領域上方に位置する前記半導体層の前記第2部分を除去する第5工程と、

前記第1絶縁層の前記第2領域上、前記半導体層の側面上、前記第3絶縁層の側面上及び前記サイドウォールの側面上に第4絶縁層を形成する第6工程と、

前記ストッパ膜のみを除去する第7工程と、
露出している前記第2絶縁層と、前記サイドウォールと、前記第4絶縁層の一部であって、その表面から前記サイドウォールに接する前記第3絶縁層の表面の高さまでに至る部分とを、除去する第8工程とを備えることを特徴とする、
半導体装置の製造方法。

【請求項6】

請求項5に記載の半導体装置の製造方法であって、
前記サイドウォールは第1サイドウォール及び第2サイドウォールより成り、
前記第4工程は、
前記第3絶縁層の前記第1部分上及び前記ストッパ膜の側面上に前記第1サイドウォールを形成する工程と、
前記第1サイドウォールの表面上に前記第2サイドウォールを形成し、これにより前記サイドウォールを形成する工程とを備えることを特徴とする、
半導体装置の製造方法。

【請求項7】

請求項5に記載の半導体装置の製造方法であって、
前記第8工程は、
前記サイドウォールの露出している側面上及び前記サイドウォールの前記側面近傍の前記第2絶縁層の露出している前記表面上に第3サイドウォールを形成する工程と、
前記第2絶縁層と、前記サイドウォールと、前記第3サイドウォールと、前記第4絶縁層の一部であって、その表面から前記サイドウォールに接する前記第3絶縁層の表面の高さまでに至る部分とを、除去する工程とを備えることを特徴とする、
半導体装置の製造方法。

【請求項8】

請求項4に記載の半導体装置であって、
前記半導体層の前記側面と前記第2絶縁層との界面に形成された第3絶縁層を更に備えることを特徴とする、
半導体装置。

【請求項9】

請求項4に記載の半導体装置であって、
前記第2絶縁層は第1膜と第2膜とを有しており、
前記第1膜は、少なくとも前記半導体層の前記側面を被覆していると共に、前記第2絶縁層の前記周縁部分を有しており、
前記第2膜は、前記第1絶縁層及び前記半導体層の前記側面によって形成されるトレンチを埋め込んでいることを特徴とする、
半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

(4) 請求項4の発明に係る半導体装置は、半導体基板と、前記半導体基板の表面上に形成された第1絶縁層と、前記第1絶縁層の表面上に形成され、側面及び上面を有する半導体層と、前記半導体層の前記上面内に互いに所定の距離を隔てて形成されたソース/ドレイン領域と、前記半導体層の前記上面の内で前記ソース/ドレイン領域に挟まれた領域上に、ゲート絶縁膜を介して、形成されたゲート電極と、トレンチ構造を有し、前記第1絶縁層の表面上に形成されて前記半導体層の前記側面を取り囲む第2絶縁層とを備え、前記第2絶縁層は、前記半導体層の前記表面上に、前記半導体層の前記側面の内側に向けて延在する周縁部を有しており、前記半導体層の厚みは前記側面近くで減少しており、前記

第2絶縁層の前記周縁部の厚みは前記半導体層の前記側面の近傍及び前記半導体層の前記側面との交差部分で増加しており、前記第2絶縁層の前記周縁部と前記半導体層間の界面は、前記ソース/ドレイン領域の最も深い底部よりも浅く形成されていることを特徴とする。