

(12) 按照专利合作条约所公布的国际申请

更正本

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024年12月19日 (19.12.2024)

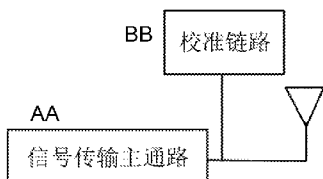


(10) 国际公布号
WO 2024/255890 A9

- (51) 国际专利分类号:
H04B 17/21 (2015.01)
- (21) 国际申请号: PCT/CN2024/099420
- (22) 国际申请日: 2024年6月14日 (14.06.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310702586.5 2023年6月14日 (14.06.2023) CN
202311873028.1 2023年12月31日 (31.12.2023) CN
- (71) 申请人: 加特兰微电子科技有限公司 (上海) 有限公司 (CALTERAH SEMICONDUCTOR TECHNOLOGY (SHANGHAI) CO., LTD.) [CN/CN]; 中国上海市浦东新区中国 (上海) 自由贸易试验区盛夏路666号E栋901室, Shanghai 201210 (CN)。
- (72) 发明人: 张展 (ZHANG, Zhan); 中国上海市浦东新区 (上海) 自由贸易试验区盛夏路666号E幢901室, Shanghai 201210 (CN)。 陈嘉澍 (CHEN, Jiashu); 中国上海市浦东新区 (上海) 自由贸易试验区盛夏路666号E幢901室, Shanghai 201210 (CN)。
- (74) 代理人: 北京安信方达知识产权代理有限公司 (AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE); 中国北京市海淀区学清路38号 (B座) 21层2108, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

(54) Title: CALIBRATION LINK, SIGNAL TRANSMISSION LINK, INTEGRATED CIRCUIT, ELECTROMAGNETIC WAVE DEVICE, AND APPARATUS

(54) 发明名称: 校准链路、信号传输链路、集成电路、电磁波器件和设备



AA Signal transmission main path
BB Calibration link

(57) Abstract: A calibration link, a signal transmission link, an integrated circuit, an electromagnetic wave device, and an apparatus. A signal transmission main path is configured to transmit an electromagnetic wave signal, the calibration link is integrated in the integrated circuit comprising the signal transmission main path, and the calibration link is at least connected between the signal transmission main path and an antenna corresponding to the signal transmission main path; the calibration link is configured to calibrate the signal transmission main path to obtain calibration information; the signal transmission main path is configured to undergo a calibration operation on the basis of the calibration information obtained by the calibration link, and the calibrated signal transmission main path transmits the electromagnetic wave signal.

(57) 摘要: 一种校准链路、信号传输链路、集成电路、电磁波器件和设备。所述信号传输主通路用于传输电磁波信号, 所述校准链路集成在包括所述信号传输主通路的集成电路中, 所述校准链路至少连接至所述信号传输主通路与所述信号传输主通路对应的天线之间; 其中: 所述校准链路, 可配置为用于对信号传输主通路进行校准, 得到校准信息; 其中, 所述信号传输主通路, 可配置为用于基于所述校准链路得到的校准信息进行校准操作, 其中校准后的信号传输主通路传输电磁波信号。

CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(48) 更正本的公布日:

2025年3月27日 (27.03.2025)

(15) 更正内容:

见 2025年3月27日 (27.03.2025) 公布的公告

校准链路、信号传输链路、集成电路、电磁波器件和设备

5 本申请要求于 2023 年 6 月 14 日提交中国专利局、申请号为 202310702586.5、发明名称为“信号发射、校准、补偿及收发链路，IQ 混频器、集成电路、传感器及设备”的中国专利申请的优先权，2023 年 12 月 31 日提交中国专利局、申请号为 202311873028.1、发明名称为“一种校准链路、信号接收链路、电磁波器件和集成电路”的中国专利申请的优先权，其内容应理解为通过引用的方式并入本申请中。

技术领域

10 本公开实施例涉及但不限于电磁波器件技术领域，尤其涉及一种校准链路、信号传输链路、集成电路、电磁波器件和设备。

背景技术

15 在调频连续波（Frequency Modulated Continuous Wave, FMCW）雷达中，利用发射信号和回波信号之间的频率差可以计算目标的距离，其中目标距离越远，对应的中频信号的频率也就越大；而距离越近的目标，对应的差频信号的频率也就越小。在收到多个连续的脉冲信号后，通过在快时间和慢时间维度上进行傅里叶变换，能够得到目标的距离信息和径向速度信息。此外，还可以通过多天技术实现对目标反射的回波信号的波达方向（Direction Of Arrival, DOA）的测量。

为了提高 FMCW 雷达系统的参数估计（如，距离、径向速度和 DoA）估计性能，需要对收发链路进行校准和补偿，但是传统的校准方式不能实时地校准射频器件，因为需要利用大量的外设，而射频器件参数指标是会随着环境的改变而改变的。

20 发明内容

本公开实施例提供了一种校准链路、信号传输链路、集成电路、电磁波器件和设备。

25 一种信号传输主通路的校准链路，所述信号传输主通路用于传输电磁波信号，所述校准链路集成在包括所述信号传输主通路的集成电路中，所述校准链路至少连接至所述信号传输主通路与所述信号传输主通路对应的天线之间；其中：所述校准链路，可配置为用于对信号传输主通路进行校准，得到校准信息；其中，所述信号传输主通路，可配置为用于基于所述校准链路得到的校准信息进行校准操作，其中校准后的信号传输主通路传输电磁波信号。即通过将校准链路与主通路集成为一体，进而在无需外设的情况下，达到实时地校准的目的。

30 示例性的，所述校准链路在所述集成电路出厂前、在所述集成电路发/收信号的间隙中至少一个对所述信号传输主通路进行校准，并基于所述校准链路上一次校准所得到的校准信息，对所传输的信息进行实时补偿。

示例性的，所述集成电路中设置有至少两路所述信号传输主通路；其中，任一路所述校准链路，可配置为用于对至少两路所述信号传输主通路进行校准。

示例性的，所述校准链路所传输的信号为单音信号。

35 示例性的，所述电磁波信号为雷达信号；所述信号传输主通路包括回波信号的接收主通路和/或射频信号的发射主通路，所述校准链路对应包括所述接收主通路对应的辅助发射链路和/或所述发射主通路对应的辅助接收链路，所述天线对应包括所述接收主通路对应的接收天线和/或所述发射主通路对应的发射天线；所述辅助接收链路连接于所述发射主通路与对应所述发射天线之间，可配置为用于对所述发射主通路所发射的射频信号进行校准；以及所述接收主通路包括与接收天线依次相连的射频单元和中频单元，对应的，所述辅助发射链路包括与所述中频单元对应的中频辅助发射链路和与所述射频单元对应的射频辅助发射链路中的至少一个，其中所述中频辅助发射链路连接于所述接收主通路的中频信号输出端，可配置为用于对所述接收主通路所接收的回波信号进行下降频后得到的中频信号进行校准；所述射频辅助发射链路连接于所述接收主通路与对应所述接收天线之间，可配置为用于对所述接收主通路所接收的回波信号进行校准。

40

示例性的，所述辅助接收链路包括：第一混频器，可配置为用于利用接收操作所使用的本振信号对接收的信号进行混频处理；第一功率放大器，可配置为用于对第一混频器输出的信号进行放大处理；第一滤波单元，可配置为用于对接收的信号进行滤波处理，得到滤波信号；第一实数数模转换器，可配置为用于将数字的滤波信号转换为模拟的滤波信号。

5 示例性的，所述辅助接收链路还可包括：第一加法器，与所述第一实数数模转换器相连，可配置为用于根据第一混频器使用的本振信号的泄露信号，对所述第一实数数模转换器输出的信号进行补偿。

10 示例性的，所述校准链路还可包括所述辅助接收链路对应的校准发射链路；其中，所述校准发射链路，可配置为用于对所述辅助接收链路进行校准操作；对应的，所述辅助发射链路基于所述校准接收链路得到的校准信息进行校准操作，其中校准后的辅助接收链路对所述发射主通路进行校准操作。

15 示例性的，所述校准发射链路可包括：第一信号产生器，可配置为用于输出数字的原始信号；第二实数数模转换器，可配置为用于将数字的原始信号的转换为模拟的原始信号；第二滤波单元，可配置为用于对原始信号进行滤波处理，得到滤波信号；第二功率放大器，可配置为用于对滤波信号进行放大处理，得到放大信号；第二混频器，可配置为用于利用发射操作所使用本振信号对所述放大信号进行混频处理。

20 示例性的，所述校准发射链路还可包括第二加法器和带通滤波器中的至少一个，其中：所述第二加法器，连接于第一信号产生器与第二实数数模转换器之间，可配置为根据第二混频器所使用的本振信号的泄露信号，对第一信号产生器输出的信号进行补偿；所述带通滤波器，与所述第二混频器相连，可配置为用于对所述第二混频器输出的信号进行滤波处理，并将滤波处理后的信号发送给校准单元。

25 示例性的，所述中频辅助发射链路可包括：所述中频辅助发射链路包括第一信号源和第三实数数模转换器；其中第一信号源，可被配置为用于输出数字的中频校准信号；第三实数数模转换器，可被配置为用于将数字的中频校准信号的转换为模拟的中频校准信号；或者，所述中频辅助发射链路包括第四实数数模转换器、第三混频器和第一平方器；其中所述第四实数数模转换器，可被配置为用于将预设的数字的信号转换为模拟的信号；所述第三混频器，可被配置为用于将第四实数数模转换器输出的信号和本振信号进行混频处理，得到混频信号；所述第一平方器，可被配置为用于对混频信号进行平方处理，得到所述中频校准信号。

30 示例性的，所述第一信号源包括第二信号产生器和数字移相模块；其中，所述第二信号产生器被配置为生成初始信号；以及所述数字移相模块被配置为采用数字正交调制方式对所述初始信号进行频率搬移和/或移相处理。

示例性的，所述射频辅助发射链路还可与所述中频单元的输入端相连；其中：在所述中频单元完成校准操作后，利用校准后的中频单元对射频辅助发射链路进行校准；利用校准后的射频辅助发射链路对所述射频单元进行校准。

35 示例性的，所述射频辅助发射链路可包括：第二信号源，可被配置为用于输出原始信号；第三滤波单元，可被配置为用于对原始信号进行滤波处理，得到滤波信号；第三功率放大器，可被配置为用于对滤波信号进行放大处理，得到放大信号；第四混频器，可被配置为用于利用本振信号对所述放大信号进行混频处理，得到所需信号。

40 示例性的，所述射频辅助发射链路包括正交补偿单元、第二平方器和第三加法器中的至少一个，其中：所述正交补偿单元，一端与所述第二信号源相连，另一端与所述第三滤波单元相连，可被配置为用于在所述第二信号源输出的初始信号为正交信号时，对接收的初始信号的正交失衡进行补偿；所述第二平方器，与所述中频单元的信号输入端相连，可配置为对所述第四混频器输出的信号进行处理，并输出给校准后的中频单元；所述第三加法器，一端与所述第二信号源相连，另一端与所述第三滤波单元相连，可配置为根据第四混频器所使用的本振信号的泄露信号，对第二信号源输出的信号进行补偿。

45

一种信号传输链路，可包括：信号传输主通路，可配置为用于传输电磁波信号；以及校准链路，集成于包括有所述信号传输主通路的器件中，以用于对所述信号传输主通路进行校准；其中，所述信号传输主通路基于所述校准链路得到的校准信息进行校准操作，其中校准后的信号传输主通路执行电磁波信号的传输操作。

5 示例性的，所述校准链路可为上文所述的校准链路。示例性的，所述信号传输主通路与所述校准链路集成于同一芯片内或同一PCD板或同一PCB板上。

一种集成电路，所述集成电路具有至少两条信号传输主通路以及设置在所述两条发射主通路之间的上文所述的校准链路，其中所述校准链路供所述两条信号传输主通路共有。

10 一种电磁波器件，可包括：载体；上文所述的集成电路，设置在所述载体上；天线，设置在所述载体上，或者所述天线与所述集成电路集成为一体器件设置在所述载体上；所述天线包括发射天线和接收天线；其中，所述集成电路与所述天线连接，用于发射电磁波信号和/或接收电磁波信号。

一种用户终端设备，可包括：设备本体；以及设置于所述设备本体上的上文所述的电磁波器件；其中，所述电磁波器件用于目标检测和/或无线通信，以向所述设备本体的运行提供参考信息。

15 本公开实施例的校准链路、信号传输链路、集成电路、电磁波器件和设备，由于校准链路集成于包括有所述信号传输主通路的集成电路中，使得校准链路能实时对信号传输主通路进行校准操作，且校准链路的校准操作可以不受信号传输主通路的运行环境的变化而变化，使得信号传输主通路能够得到更加精确的校准信息，从而提高信号传输主通路的信号处理性能。

附图概述

- 20 图 1A 为模拟移相器架构的信号发射链路的简易示意图；
图 1B 为图 1A 所示信号发射链路中模拟移相器的简易示意图；
图 2 为本公开实施例提供的一种信号发射链路的结构示意图；
图 3 为一种采用锯齿波调制的 FMCW 发射信号和回波信号的波形示意图；
图 4 为本公开实施例提供的另一种信号发射链路的结构示意图；
25 图 5 为本公开实施例提供的一种信号发射链路中数字移相器架构的示意图；
图 6 为本公开实施例提供的一种包含有补偿单元的信号发射链路的示意图；
图 7 为本公开实施例提供的利用校准链路对发射主通路进行校准的示意图；
图 8 为本公开实施例提供的一种信号收发链路的结构示意图；
图 9 为本公开实施例提供的另一种信号收发链路的结构示意图；
30 图 10 为本公开实施例提供的另一种收发链路的示意图；
图 11 为本公开实施例提供的一种包含 TX IQ Mod、RX IQ De-Mod 和 LO Freq Diff 的收发链路的示意图；
图 12 为本公开实施例提供的一种基于图 11 所示结构结合 BIST 的收发链路的示意图；
图 13 为本公开实施例提供的一种包含 TX IQ Mod、BIST IQ Mod 和 RX IQ De-Mod 的收发链路的示意图；
35 图 14 为本公开实施例提供的一种包含辅助电路和 BIST IQ Mod 的收发链路的示意图；
图 15 为本公开实施例提供的另一种包含辅助电路和 BIST IQ Mod 的收发链路的示意图；
图 16 为本公开实施例提供的一种混频器的结构示意图；
图 17 为本公开实施例提供的一种发射机中补偿单元的结构示意图；
40 图 18 为本公开实施例提供的一种基于三次方模块的数字预补偿 HD3 架构的示意图；

图 19 为本公开实施例提供的一种基于倍频波形发生器模块的数字预补偿 HD3 架构的示意图；

图 20 为本公开实施例提供的一种基于数字移相器架构发射链路的校准补偿示意图；

图 21A 为本公开实施例提供的信号传输主通路的校准链路的结构示意图；

图 21B 为图 21A 所示的校准链路的部署示意图；

5 图 22A 为本公开实施例提供的校准链路与发射主通路之间的连接示意图；

图 22B 为本公开实施例提供的校准链路与接收主通路之间的第一连接示意图；

图 22C 为本公开实施例提供的校准链路与接收主通路之间的第二连接示意图；

图 23A 为图 22A 中辅助接收链路的结构示意图；

图 23B 为图 23A 中辅助接收链路的另一结构示意图；

10 图 23C 为图 22A 中校准发射链路的结构示意图；

图 23D 为图 23C 中校准发射链路的另一结构示意图；

图 24 为本公开实施例提供的发射主通路对应的校准链路的应用示意图；

图 25A 为图 22A 中中频辅助发射链路的第一结构示意图；

图 25B 为图 22A 中中频辅助发射链路的第二结构示意图；

15 图 25C 为图 22A 中射频辅助发射链路的结构示意图；

图 25D 为图 25C 所示射频辅助发射链路的另一结构示意图；

图 26 为本公开实施例提供的接收主通路对应的校准链路的应用示意图；

图 27A 为本公开实施例提供的中频辅助发射链路的第一应用示意图；

图 27B 为本公开实施例提供的中频辅助发射链路的第二应用示意图。

20 详述

雷达是利用电磁波探测目标的电子设备，雷达芯片通过信号发射链路发射波束，当发射波束遇到障碍物时，经由障碍物反射回来的回波经过接收天线接收，传输至雷达芯片，经过雷达芯片判断目标相对电磁波发射点的位置、距离、速度等信息。随着微电子等技术的发展，雷达逐渐得到广泛的应用，尤其是毫米波雷达（如汽车雷达），由于其具有尺寸较小的天线，在自动驾驶、智能家居设备及工业自动化器件中得到了广泛的应用。目前，雷达的小型化和集成化成为当下发展的趋势。

25

图 1A 为模拟移相器架构的信号发射链路的简易示意图，图 1B 为图 1A 所示信号发射链路中模拟移相器的简易示意图。如图 1A 所示，针对一个发射链路而言，传感器在发射信号时，通过诸如由锁相环（Phase Locked Loop, PLL）所构成的信号产生器 11 来生成本振（Local Oscillator, LO）信号（如 77GHz 频段的扫频信号），例如可以是 FMCW 信号；模拟移相器（Analog PS）12 针对所接收的 LO 信号进行移相操作后，经发射天线 13 辐射至预定的空间区域内，以进行目标检测及测量等操作。可选的，图 1A 所示的发射链路结构中，对应的模拟移相器架构可如图 1B 所示，其具体的移相原理可如下式所示：

30

$$LO_{IN} \xrightarrow{0/90^\circ \text{ shifter}} \begin{cases} LO_I = \sin(\omega_c t + \varphi(t)) \\ LO_Q = \cos(\omega_c t + \varphi(t)) \end{cases} \xrightarrow{PA} LO_{OUT} = A \cdot LO_I + B \cdot LO_Q = \sqrt{A^2 + B^2} \sin(\omega_c t + \varphi(t) + \theta)$$

其中 $\theta = \tan^{-1}(\frac{B}{A})$ 。

35

即通过对所接收的 LO 信号（即 LOIN）分别进行 0°和 90°移相后得到两路信号（即 LOI 和 LOQ），并经功率放大器（PA）放大后拟合为一路输出信号 LOOUT，即该输出信号 LOOUT 相较于 LOIN 输入信号移相 θ ，其中该移相 θ 的值是由两路信号 LOI 的幅度 A 和 LOQ 的幅度 B 所

决定。

另外，上述的模拟移相器架构还可通过延迟线（Delay Line Unit）的方式实现，即利用信号的窄带假设（Narrow-band assumption），通过时延的方式进行移相，其原理如下式所示：

$$LO_{IN} = \sin(\omega_c t + \varphi(t)) \xrightarrow{\text{Delay Line Unit}} LO_{OUT} = \sin(\omega_c(t - \tau) + \varphi(t - \tau)) \stackrel{\text{Narrow-band assumption}}{\approx} \sin(\omega_c(t - \tau) + \varphi(t))$$

5 其中， τ 为延迟线所延迟时间。

由于上述的模拟移相器的调相精度（Resolution）、调相准确度（Accuracy）均较低，从而无法满足当前传感器的需求。同时，虽然可通过校准来提升其调相精度和调相准确度，但需要对模拟架构的移相器进行离线（off-line）的校准，进而会使得工程实现及产品量产的难度及复杂度大幅提升。同时，模拟移相器还存在面积大、损耗大、以及稳定性和通道耦合等比较严重的问题。

10 由于采用模拟移相器架构的信号发射链路，存在调相精度及调相准确度均较低等问题，因此，其无法满足车载雷达系统的高性能需求。

如图 2 所示，本公开实施例提供了一种信号发射链路，该信号发射链路可应用于雷达系统中，该信号发射链路可包括：发端基带（Baseband）数字模块 201、IQ 数模转换（Digital-to-Analog Converter, DAC）模块 202、发端本振器 203 和发端正交调制器 204，其中：发端基带数字模块 201，可被配置为生成两路正交的发端数字基带信号，并将两路正交的发端数字基带信号分别送入 IQ 数模转换模块 202 中的 I 路和 Q 路中，即数模转换模块 202，被配置为将两路正交的发端数字基带信号转换为两路发端模拟基带信号；发端本振器 203，被配置为提供发端本振信号 TX_LO；发端正交调制器 204，被配置为基于两路发端模拟基带信号，对发端本振信号 TX_LO 进行频率搬移的同时进行移相操作，以形成预定移相后的 FMCW 射频发射信号。

20 本公开实施例中，发端基带数字模块 201 提供的发端数字基带信号中可包括预设的相位信息；数模转换模块 202 可通过对所接收的发端数字基带信号进行数模转换，以将发端数字基带信号转换为发端模拟基带信号（如在不改变相位信息的情况下，将数字信号转换为模拟信号）；发端正交调制器 204 则可将所接收的发端模拟基带信号与发端本振器 203 生成的发端本振信号 TX_LO 进行混频操作，以达到基于发端模拟基带信号对发端本振信号进行频率搬移的同时进行预设的移相操作，以形成预定移相后的 FMCW 射频发射信号。

30 本公开实施例的信号发射链路，通过使用发端基带数字模块 201、数模转换模块 202 和发端正交调制器 204 组成了数字移相器架构，由于该架构的基带信号是在数字域产生的，有更好的正交性和更低的旁瓣，因此其移相相位可以非常准确产生，使得调相精度更高，从而实现了带有高精度的数字移相功能的车载雷达系统，降低了天线之间隔离度的需求，同时具有链路损耗小、成本低、无需离线校准的优点，并且可以支持更为灵活的发波方案，比如高性能的多普勒分复用和频分复用等，且能够支持在数字域进行频率响应补偿。

35 本公开实施例中，由于发端基带数字模块 201 提供的是数字信号，为了进一步适配信号特性，发端调制器设置为正交调制器（IQ Modulator），数模转换模块 202 设置为正交数模转换器（IQ DAC）。

本公开实施例中，发端本振器 203 可以为包含有锁相环（Phase-Locked Loop, PLL）的架构，可提供电磁波（例如激光、微波等）信号。

40 在一些示例性实施方式中，该信号发射链路还包括：功率放大器（Power Amplifier, PA）205，其中：功率放大器 205，被配置为对移相后的射频信号进行功率放大并将放大后的信号输出至发射天线。

在一些示例性实施方式中，该信号发射链路还包括：发射天线 206，其中：发射天线 206，被配置为将放大后的信号向预设空间区域辐射。

本公开实施例中，经功率放大器 205 放大后的信号可通过封装为一体或外置的发射天线 206 辐射至预设的空间区域中。即，发端本振器 203、数字移相器和发射天线 206 等可集成为一体的器件，也可相互分立的元器件；例如，发端本振器 203 和数字移相器可集成于一封装体中形成诸如 SoC 芯片（chip）等，而发射天线 206 则可通过芯片的外设端口连接，形成在诸如 PCB 板等载体上。同时，一些可选的实施例中，发射天线 206 还可集成在芯片的封装上形成 AiP（Antenna in Package）或者 AoP（Antenna on Package），具有封装天线的芯片结构。

在一些示例性实施方式中，扫频信号的频带宽度在 2GHz 以上。例如，针对雷达而言，调频连续波雷达系统的发射天线发出的发射信号的电磁波为高频调频连续波，调频连续波雷达系统的接收天线接收的回波信号是目标物反射/散射回来的电磁波。图 3 示出了一种示例性的 FMCW 发射信号和回波信号的波形示意图。如图 3 所示，发射信号和回波信号的频率随时间规律变化。调频连续波一般为锯齿形、三角形等，本公开以锯齿形为例进行说明，每个调频周期 T 内的电磁波称为一个啁啾（Chirp），每个 Chirp 的信号的频率随时间线性增加。本公开实施例中，一个啁啾的带宽范围 B 大于或等于 2GHz。

在一些示例性实施方式中，发端数字基带信号为单音信号，发端本振信号为扫频信号。

本公开实施例中，发端本振器 203 可被配置为用于提供微波中的厘米波频段或毫米波频段（如 3.1GHz、24GHz、60GHz、77GHz 等频段）的 FMCW 信号，发端基带数字模块 201 可被配置为用于提供 MHz（例如 3MHz~5MHz，如 3MHz、4MHz、5MHz 等）级别的单音发端数字基带信号，即数模转换模块 202 对 MHz 级别的单音发端数字基带信号进行数模转换后得到对应频率范围的单音发端模拟基带信号，发端正交调制器 204 可被配置为基于所接收的单音发端模拟基带信号对所接收的毫米波频段的 FMCW 信号进行上混频或者下混频操作，以实现 FMCW 信号进行预设移相的操作。

示例性的，3.1GHz 频段的 FMCW 信号可包括 3.1GHz~10.6GHz 之间的扫频信号，如 7.163-8.812GHz；77GHz 频段的 FMCW 信号可包括 76GHz~81GHz 的扫频信号，或者，76GHz~77GHz、77GHz~79GHz、79GHz~81GHz 等扫频信号。

在另一些示例性实施方式中，发端数字基带信号为扫频信号，发端本振信号为单音信号。

本公开实施例中，发端本振器 203 可被配置为用于提供微波中的厘米波频段或毫米波频段（如 3.1GHz、24GHz、60GHz、77GHz 等频段）的单音发端本振信号，发端基带数字模块 201 可被配置为用于提供 MHz（例如 3MHz~5MHz，如 3MHz、4MHz、5MHz 等）级别的发端数字基带 FMCW 信号，即数模转换模块 202 对 MHz 级别的发端数字基带 FMCW 信号进行数模转换后得到对应频率范围的发端模拟基带 FMCW 信号，发端正交调制器 204 可被配置为基于所接收的发端模拟基带 FMCW 信号对所接收的厘米波频段或毫米波频段的单音发端本振信号进行上混频或者下混频操作，以实现单音发端本振信号进行预设移相和扫频的操作。

示例性的，3.1GHz 频段的单音发端本振信号可以为 3.1GHz、5GHz、6GHz、8GHz、10.6GHz 等固定频段的单音模拟信号；77GHz 频段的单音发端本振信号可以为 76GHz、77GHz、78GHz、79GHz、80GHz、81GHz 等固定频段的单音模拟信号。

在一些示例性实施方式中，该信号发射链路还包括：低通滤波器（Low Pass Filter, LPF）207，设置在数模转换模块 202 和发端正交调制器 204 之间，被配置为对数模转换模块 202 输出的发端模拟基带信号进行低通滤波并输出至发端正交调制器 204。

如图 2 所示，发端基带数字模块 201 产生两路正交的数字基带（Baseband）信号，即 I 路数字基带信号和 Q 路数字基带信号，并将产生的数字基带信号送入数模转换模块 202（包含两个完全相同的 DAC，即 IQ DAC）中，得到两路模拟基带信号。然后将两路模拟基带信号输入低通滤波器 207，滤除带外噪声信号，并通过发端正交调制器 204 进行正交调制，得到调制后的射频信号，再通过功率放大器 205 以及发射天线 206，将调制后的射频信号辐射出去。

在一些示例性实施方式中，信号发射链路还可以包括直接数字频率合成器（Direct Digital Frequency Synthesizer, DDFS）（图 2 中未示出），设置在发端基带数字模块 201 和数模转换模

块 202 之间，直接数字频率合成器可被配置为基于所接收的源信号实现 CDM（Code-Division Multiplexing，码分复用）、DDM（Doppler Division Multiplexing，多普勒分割复用）、TDM（Time-Division Multiplexing，时分复用）、SDM（Space Division Multiplexing，空分复用）、CSD（Circuit Switch Data，电路交换数据）、Digital IF（Digital Intermediate Frequency，数字中频）等多种信号波形及发波方式中的至少一种，以实现信号发射形式及发射波形的灵活配置。

如图 4 所示，本公开实施例还提供了一种信号发射链路，应用电磁波发射器件中，该信号发射链路包括第一信号源 41 和数字移相模块 42；其中，第一信号源 41 被配置为生成第一模拟信号；以及数字移相模块 42 被配置为采用数字正交调制方式对第一模拟信号进行频率搬移和/或移相，以形成 FMCW 射频发射信号。

本公开实施例提供的信号发射链路，包括第一信号源 41 和数字移相模块 42，第一信号源 41 可被配置为用于提供第一模拟信号，数字移相模块 42 则可被配置为用于在数字域产生移相信号，数字移相模块 42 还可基于所产生的移相信号对第一模拟信号进行移相，以将第一模拟信号进行预设的移相操作。

在一些示例性实施方式中，第一信号源 41 可以为发端本振器，第一模拟信号可以为发端本征（LO）信号。

在一些示例性实施方式中，该信号发射链路还包括功率放大器（图中未示出），被配置为对 FMCW 射频发射信号进行放大。

在一些示例性实施方式中，该信号发射链路还包括发射天线 43，被配置为将经功率放大后的 FMCW 射频发射信号向预定区域进行辐射。

如图 4 所示，在一些可选的实施例中，该信号发射链路可包括第一信号源 41、数字移相模块（Digital PS）42 和发射天线 43 等，即第一信号源 41 可被配置为用于提供 LO 信号，数字移相模块 42 则可被配置为用于对所接收的 LO 信号进行预设移相操作，以使得移相后的 LO 信号经发射天线 43 辐射到预设空间区域中。其中，第一信号源 41 也可包含有锁相环 PLL 的架构，可提供电磁波（例如激光、微波等）信号。其中，第一信号源 41、数字移相模块 42 和发射天线 43 可集成为一体的器件，也可相互分立的元器件；例如，第一信号源 41 和数字移相模块 42 可集成于一封装体中形成诸如 SoC 芯片（chip）等，而发射天线 43 则可通过芯片的外设端口连接，形成在诸如 PCB 板等载体上。同时，一些可选的实施例中，发射天线 43 还可集成在芯片的封装上形成 AiP 或者 AoP，具有封装天线的芯片结构。

在一些示例性实施方式中，数字移相模块 42 包括依次连接的第二信号源 423、数模转换模块 422 和混频器 421；其中，第二信号源 423 被配置为生成第一数字信号；数模转换模块 422 被配置为将第一数字信号转换为第二模拟信号；混频器 421 被配置为基于第二模拟信号对第一模拟信号进行频率搬移和/或移相，以形成 FMCW 射频发射信号。

如图 4 所示，本公开实施例中的数字移相模块 42 可包括混频器（Mixer）421、数模转换模块（即 DAC）422 和第二信号源（如数字基带信号源 Baseband）423 等，即第二信号源 423 可被配置为用于提供第一数字信号；数模转换模块 422 则可被配置为用于对所接收的第一数字信号进行数模转换，以将第一数字信号转换为第二模拟信号；混频器 421 则可被配置为用于将所接收的第二模拟信号与所接收的来自第一信号源 41 的第一模拟信号进行混频操作，以达到利用第一数字信号对上述的第一模拟信号进行设定的移相操作。可选的，当上述的信号发射链路提供扫频信号时，例如提供 FMCW 激光信号或 FMCW 微波信号时，可基于第一信号源 41 提供扫频发射信号，和/或基于第二信号源 423 提供扫频第一数字信号，以使得经过混频器 421 混频后，输出扫频连续波信号。

在一些可选的实施例中，基于图 4 所示的结构，第一信号源 41 可被配置为用于提供微波中的厘米波频段或毫米波频段（如 3.1GHz、24GHz、60GHz、77GHz 等频段）FMCW 信号（即第一模拟信号），第二信号源 423 可被配置为用于提供 MHz（例如 3MHz~5MHz，如 3MHz、4MHz、5MHz 等）级别的第一数字信号，即数模转换模块 422 对 MHz 级别的第一数字信号进行数模转换后得到对应频率范围的第二模拟信号，混频器 421 可被配置为基于所接收的固定频段的第二模拟

信号对所接收的毫米波频段的 FMCW 信号进行上混频或者下混频操作，以实现 FMCW 信号进行预设移相的操作。

5 在一些可选的实施例中，3.1GHz 频段的厘米波信号可包括 3.1GHz~10.6GHz，例如 3.1GHz、5GHz、6GHz、8GHz、10.6GHz 等；77GHz 频段的毫米波信号可包括 76GHz~81GHz 的信号，例如 76GHz~77GHz、77GHz~79GHz、79GHz~81GHz 等扫频信号，或者 76GHz、77GHz、78GHz、79GHz、80GHz、81GHz 等固定频段信号。

10 在一些示例性实施方式中，第一数字信号包括两路正交的发端数字基带信号；第二信号源 423 为发端基带数字模块，数模转换模块 422 包括两个相同的数模转换器；发端基带数字模块，被配置为生成两路正交的发端数字基带信号，并将两路正交的发端数字基带信号分别送入一个数模转换器；数模转换模块 422，被配置为将两路正交的发端数字基带信号转换为两路发端模拟基带信号。

15 基于图 4 所示的结构，由于第二信号源 423 提供的是第一数字信号，为了进一步适配信号特性，混频器 421 可设置为 IQ Mixer，数模转换模块 422 为 IQ DAC。同时，第二信号源 423 可被配置为用于提供用于移相的数字基带信号源（DDFS）和/或作为波形控制器（Waveform Control）提供对应的源信号。其中，DDFS 为一种相位可调的数字基带信号源，其产生数字基带信号。

20 如图 5 所示，数字移相器架构的信号发射链路（TX digital phase shifter architecture）可包括数字基带信号源（Baseband）、直接数字频率合成器（Direct Digital Frequency Synthesizer，简称 DDFS）、IQ 数模转换器（Digital to Analog Convertor，简称 DAC）、低通滤波器（Low-Pass Filter，简称 LPF）、IQ 调制器（IQ modulator/IQ Mixer）、功率放大器（Power Amplifier，PA）等，即基带信号源被配置为用于提供数字移相源信号（即前述第一数字信号），直接数字频率合成器可被配置为基于所接收的源信号实现 CDM（Code-Division Multiplexing，码分复用）、DDM（Doppler Division Multiplexing，多普勒分割复用）、TDM（Time-Division Multiplexing，时分复用）、SDM（Space Division Multiplexing，空分复用）、CSD（Circuit Switch Data，电路交换数据）、Digital IF（Digital Intermediate Frequency，数字中频）等多种信号波形及发波方式中的至少一种，以实现信号发射形式及发射波形的灵活配置。其中，经功率放大器放大后的信号可通过封装为一体或外置的发射天线辐射至预设的空间区域中。

30 针对本公开实施例中的数字移相器架构的信号发射链路，由于数字移相器架构被配置为可在数字域产生基带信号序列，并可通过 DAC 产生模拟基带信号（即第二模拟信号），然后经过正交混频器将发射信号调制到高频，即因为该架构的基带信号是在数字域产生的，有更好的正交性和更低的旁瓣，因此其移相相位可以非常准确产生，使得调相精度更高。

35 在一些可选的实施例中，针对数字移相器架构的信号发射链路，当采用 RF LO 扫频实现所发射信号为 FMCW 信号时，针对所可能出现的因 IQ 失配（Mismatch）而引起的 TX IQ 失衡（Imbalance）、信号泄漏（如 TX LO Leakage）谐波失真（harmonic distortion，简称 HD）等问题，还可在该信号发射链路增设补偿单元。如图 5 所示，可通过在 TX DDFS 与 IQ DAC 之间设置 TX 补偿单元（TX compensation），以对数字移相器架构的信号发射链路进行校准（calibration）及补偿（compensation）等操作，以到达解决上述问题中的至少之一的操作。其中，由基带的三阶非线性所引起的 HD 可简称为 HD3。

40 在一些可选的实施例中，如图 6 所示，TX 补偿单元（TX compensation）可包括 TX LO 泄漏补偿单元（TX LO leakage compensation）、TX IQ 失衡补偿单元（TX IQ Imbalance compensation）和 TX HD3 补偿单元（TX HD3 compensation）中的至少一个，其中，TX LO 泄漏补偿单元可被配置为用于针对信号泄漏（leakage）而进行的补偿操作，TX IQ 失衡补偿单元可被配置为用于针对 IQ 失衡而进行的补偿操作，TX HD3 补偿单元可被配置为用于针对上述的 HD3 而进行的补偿操作。其中，TX IQ 失衡补偿单元被配置为可用于对 IQ 调制器失衡（TX IQ Modulator imbalance）、IQ 通道失衡（IQ channel imbalance）中的至少一个进行补偿操作。另外，当补偿单元包括 TX LO 泄漏补偿单元、TX IQ 失衡补偿单元和 TX HD3 补偿单元中的至少两个时，可以依据实际需求及信号特性等同步进行补偿（如并联方式），也可依次进行补偿（如串联方式），如图 6 所示可以

先进行 IQ 补偿、然后再进行 LO 补偿，最后进行 HD3 补偿等操作。

5 在一些可选的实施例中，针对数字移相器架构的信号发射链路，还可包括有针对 DAC 的误差校正模块 (TX DAC Board Error Correction) 和针对高斯白噪声的 AWGN (additive white gaussian noise) 模块等，图中未示出，具体的可根据实际需求而增设或删减。其中，本公开实施例中提及的 IQ 中 I 可表示为 In-Phase (即同相) 的简称，Q 表示为 Quadrature (即正交) 的简称，RF 可表示为 Radio Frequency (即射频) 的简称。

10 在一个可选的实施例中，针对 IQ Imbalance 的补偿操作，可通过补偿 BB (基带) 信号的共轭信号来反向抵消镜像分量的方式实现，且该补偿操作方式不受 IQ Imbalance 的校准方式的影响。针对 LO Leakage 的补偿则可通过调节 IQ 两路的 DC 分量 (即直流偏置) 来实现，同样该 LO Leakage 的校准方式对其补偿方案不产生影响。针对 HD3，由于正交混频器 V/I Converter 的 3 阶谐波失真产生 HD3 的主要来源，而谐波失真会受到直流偏置的影响，因此当发射链路的 LO Leakage 和 HD3 均需要校准时，则需要在进行 LO Leakage 的校准后再进行 HD3 的校准，以确保 HD3 校准的精准性能；当发射链路的 LO Leakage、IQ 失衡和 HD3 均需要校准时，则在进行 LO Leakage 的校准后再进行 IQ 失衡的校准，最后再进行 HD3 的校准，以确保的精准性能。

15 另外，基于数字三次方模块的数字预补偿架构和基于倍频波形发生器模块的数字预补偿架构的 HD3 的补偿方式，会直接影响后续的校准方案和后续的补偿流程。具体的：

20 在一个可选的实施例中，针对基于数字三次方模块的数字预补偿架构，可先校准并补偿 LO Leakage 后，在稳定的 DC 偏置下，校准 IQ Imbalance，并继续补偿 IQ Imbalance 后，分别对 IQ 两路依据 IQ Imbalance 预补偿的结果，再校准出 HD3 问题的根本来源，即 HD3 的补偿系数，去补偿三次谐波失真。

在一个可选的实施例中，针对基于倍频波形发生器模块的数字预补偿架构，可在校准并补偿 LO Leakage 后，校准得到 HD3 的补偿系数，并在稳定的 DC 偏置下校准 IQ Imbalance，以及补偿 IQ Imbalance；后续通过补偿后的结果，分别计算出 IQ 两路信号的实际波形，HD3 的补偿系数，反算出需要预补偿的 3 倍频和 5 倍频的波形信息。

25 在另一个可选的实施例中，针对基于倍频波形发生器模块的数字预补偿架构，可先校准并补偿 LO Leakage，然后通过多次 (如三次) 观测以先校准出 IQ Imbalance 的补偿系数，之后再通过再次观测 (如两次) 来校准出 HD3 镜像位置处的补偿系数；最后通过 HD3 和 HD3 镜像位置处的补偿系数反算出需要预补偿的 3 倍频和 5 倍频系数。需要说明的是，本公开实施例中的观测用以表示测试以及不同测试结果比较分析等操作。

30 图 7 为本公开实施例提供的利用校准链路对发射主通路进行校准的示意图。如图 7 所示，该校准链路用于对用于发射射频信号的发射主通路进行校准；其中所述发射主通路包括与发射天线相连的发射单元，所述校准链路集成于包括有所述发射主通路的集成电路中；由于校准链路集成于包括有所述发射主通路的集成电路中，能实时地校准发射主通路，也无需外部设备对发射主通路进行校准操作。

35 其中，所述校准链路包括校准单元，所述校准单元连接至所述发射单元与所述发射天线之间，可配置为用于对所述发射单元输出的射频信号进行校准；所述发射单元，可配置为用于基于所述校准链路得到的校准信息完成校准操作，其中校准后的发射单元输出的射频信号通过所述发射天线辐射至预定区域。

40 其中，该发射主通路 (Transmitter) 可包括移相模块 PS、功率放大器 PA、功率检测器 PD 等，例如该发射通路可采用本公开任一实施例所阐述的数字移相架构 (Digital Phase Shifter) 的信号发射链路，具体可参见相关图示及文字描述，在此便不予赘述。由于发射通路采用的是数字移相器架构，以在实现更加精准的移相操作的同时，使得发射通道能够同时支持多天线的 DDM、FDM (Frequency Division Multiplexing, 频分复用) 等多个模式，还可省去 RF 移相器 (Phase Shifter) 的校准操作，降低移相系统中隔离度和耦合度，减小链路损耗及生产制造成本。另外，针对所引入可能存在的 TX IQ 失配 (Mismatch)、LO 泄漏 (leakage) 等问题，该数字移相器架构的发射通路还可支持在数字域进行 RF 频率响应 (Frequency Response) 补偿、IQ 不平衡和 LO 泄漏的校

45

准操作等。

针对发射通路中存在的 TX IQ 失配 (Mismatch)、LO 泄漏 (leakage)、频率响应等问题, 可通过设置校准链路来进行相关的校准操作。

5 由于校准链路集成于包括有所述发射主通路的集成电路中, 因此, 校准单元能实时地校准发射单元, 另外, 该校准单元与发射单元的运行环境相同, 因此, 校准单元的校准操作可以不受发射单元的运行环境的变化而变化, 使得校准单元能够得到更加精确的校准信息, 从而提高发射单元的信号处理性能。

10 本公开实施例提供的校准链路, 由于校准链路集成于包括有所述发射主通路的集成电路中, 使得校准链路能实时对发射主通路进行校准操作, 且校准链路的校准操作可以不受发射主通路的运行环境的变化而变化, 使得发射主通路能够得到更加精确的校准信息, 从而提高发射主通路的信号处理性能。

15 本公开实施例还提供了一种信号收发链路, 包括信号发射链路和信号接收链路, 如图 8 或图 9 所示, 信号发射链路可以包括: 发端基带数字模块 201、数模转换模块 202、发端本振器 203 和发端正交调制器 204, 其中: 发端基带数字模块 201, 被配置为生成两路正交的发端数字基带信号, 并将生成的发端数字基带信号送入数模转换模块 202 中; 数模转换模块 202, 被配置为将发端数字基带信号转换为发端模拟基带信号; 发端本振器 203, 被配置为提供发端本振信号 TX_LO; 发端正交调制器 204, 被配置为基于发端模拟基带信号对发端本振信号 TX_LO 进行移相操作, 得到移相后的射频信号。

20 信号接收链路可以包括收端本振器 302、收端混频器 303、模数转换器 (Analog-to-Digital Converter, ADC) 304 和收端基带数字模块 305; 其中, 收端本振器 302, 被配置为提供收端本振信号; 收端混频器 303, 被配置为基于收端本振信号对所接收的回波信号进行混频操作, 得到收端模拟基带信号; 模数转换器 304, 被配置为将收端模拟基带信号转换为收端数字基带信号; 收端基带数字模块 305, 被配置为对收端数字基带信号进行处理, 以实现目标检测和/或无线通信, 例如, 得到目标的诸如距离、速度、角度、高度及微运动特性等参数信息。

25 本公开实施例中, 通过发端基带数字模块 201 产生的两路理想的 I 路数字基带信号和 Q 路数字基带信号, 经由数模转换模块 202 后, 可以得到非常理想的复信号, 且该复信号的相位可以通过发端基带数字模块 201 精确控制。通过如图 8 或如图 9 所示的信号收发链路中的接收机结构, 能够有效获取信号发射链路的射频信号的相位信息, 从而可以实现多天线的相位调制。

30 在一些示例性实施方式中, 信号发射链路还可以包括: 功率放大器 205, 其中, 功率放大器 205, 被配置为对移相后的射频信号进行功率放大并将放大后的信号输出至发射天线。

在一些示例性实施方式中, 信号发射链路还可以包括: 发射天线 206, 其中, 发射天线 206, 被配置为将放大后的信号向预设空间区域辐射。

35 在一些示例性实施方式中, 信号接收链路还可以包括接收天线 301, 其中, 接收天线 301, 被配置为接收回波信号, 回波信号为信号发射链路所发射的信号被目标物反射和/或散射而形成的信号。

在一些示例性实施方式中, 收端本振信号可以为扫频信号, 或者, 收端本振信号可以为单音信号。

40 本公开实施例中, 在上述信号收发链路中, 针对信号发射链路中的发端正交调制器 204 所接收的 TX-LO 信号与信号接收链路中的收端混频器 303 所接收的 RX-LO 信号的频率可相同。例如, 假设发端基带数字模块 201 输出的信号为 x MHz 的正弦波 (sine wave), 则 TX-LO 信号和 RX-LO 信号则可同为 z GHz 的正弦波 (sine wave), 其中, x 、 z 均为正数, 一般可在 0~1000 之间。

45 下面通过图 8 所示的信号收发链路对本公开的原理进行介绍。如前所述, 对于 FMCW 雷达系统而言, 信号发射链路可以有两种发波方案: 1) 发端本振信号扫频, 发端数字基带信号单音; 2) 发端本振信号单音, 发端数字基带信号扫频。假设发端本振信号 TX_LO、发端数字基带信号、调制后的发射信号分别用 $TLO(t)$ 、 $BB(t)$ 和 $TX(t)$ 来表示, 并用下标 I 和 q 表示 I 路信号和 Q 路信

号，用上标 a 表示其复信号形式，则在两种发波方案下，信号发射链路各阶段的信号可以表示如下：

1) 发端本振信号扫频，发端数字基带信号单音：

$$BB^a(t) = e^{j2\pi f_{bb}t + \phi_0} \quad (1) ;$$

$$5 \quad TLO^a(t) = e^{j2\pi (f_{tlo}t + \frac{\alpha}{2}t^2) + \phi_0} \quad (2) ;$$

$$TX^a(t) = BB^a(t) \times TLO^a(t) = e^{j2\pi (f_{tlo}t + f_{bb}t + \frac{\alpha}{2}t^2) + \phi_0 + \phi_0} \quad (3) ;$$

$$TX(t) = BB_I(t) \times TLO_I(t) - BB_Q(t) \times TLO_Q(t) = \cos(2\pi (f_{tlo}t + f_{bb}t + \frac{\alpha}{2}t^2) + \phi_0 + \phi_0) \quad (4)。$$

2) 发端本振信号单音，发端数字基带信号扫频：

$$BB^a(t) = e^{j2\pi (f_{bb}t + \frac{\alpha}{2}t^2) + \phi_0} \quad (5) ;$$

$$10 \quad TLO^a(t) = e^{j2\pi f_{tlo}t + \phi_0} \quad (6) ;$$

$$TX^a(t) = BB^a(t) \times TLO^a(t) = e^{j2\pi (f_{tlo}t + f_{bb}t + \frac{\alpha}{2}t^2) + \phi_0 + \phi_0} \quad (7) ;$$

$$TX(t) = BB_I(t) \times TLO_I(t) - BB_Q(t) \times TLO_Q(t) = \cos(2\pi (f_{tlo}t + f_{bb}t + \frac{\alpha}{2}t^2) + \phi_0 + \phi_0) \quad (8)。$$

其中， $\alpha = \frac{B}{T_{sweep}}$ 为 FMCW 信号的扫频斜率， f_{bb} 为发端数字基带信号的起始频率， f_{tlo} 为发端本振信号的起始频率， ϕ_0 为发端数字基带信号的初始相位， ϕ_0 为发端本振信号的初始相位。

15 假设图 8 所示的信号接收链路中的收端本振信号 RX_LO 用 RLO (t) 来表示，本实施例中，假设收端本振信号 RX_LO 为扫频信号，则 RLO (t) 可以表示为：

$$RLO(t) = \cos(2\pi (f_{rlo}t + \frac{\alpha}{2}t^2) + \Phi_0) \quad (9) ;$$

其中， f_{rlo} 为收端本振信号的起始频率， Φ_0 为收端本振信号的初始相位，那么，信号发射链路发射的射频信号，经过目标反射/散射后产生回波信号，经过接收天线 301、收端混频器 303 和收端低通滤波器 307 后可得：

20

$$x(t) = LPF(TX(t) \times RLO(t - \tau)) = \cos\left(2\pi((f_{tlo} + f_{bb} - f_{rlo})\tau + \alpha\tau t - \frac{\alpha\tau^2}{2}) + \phi_0 + \phi_0 - \Phi_0\right) \quad (10) ;$$

其中， τ 代表信号发射链路发射的射频信号经过目标反射/散射后返回信号接收链路的时延。

25 上式说明：上述两种扫频方式，均可以通过控制发端数字基带信号的初始相位 ϕ_0 ，来进行精确的相位调制，从而实现高精度高准确度的移相，避免了在高频进行直接移相。

在一些可选的实施例中，接收天线 301 可通过芯片的外设端口连接，形成在诸如 PCB 板等载体上。同时，在另一些可选的实施例中，接收天线也可集成在芯片的封装上形成 AiP 或者 AoP，即具有封装天线的芯片结构。

30 在一些示例性实施方式中，信号接收链路还可以包括低噪声放大器 (Low Noise Amplifier, LNA) 306，设置在接收天线 301 和收端混频器 303 之间，对接收天线 301 接收的回波信号进行低噪声放大后，再送入收端混频器 303。

在一些示例性实施方式中，信号接收链路还可以包括串联连接的低通滤波器 (Low Pass Filter, LPF) 307 和高通滤波器 (High Pass Filter, HPF) 308，设置在收端混频器 303 和模数转换器 304 之间，低通滤波器 307 和高通滤波器 308 组成带通滤波器，用于滤除带外噪声。

35 在一些示例性实施方式中，如图 8 所示，在信号接收链路中，收端混频器 303 可以为实数混频器，模数转换器 304 可以为实数模数转换器。

本公开实施例中，虽然信号发射链路采用数字移相架构，但是，信号接收链路可包括正交接收架构或非正交接收架构的接收机，因此，能够有效的兼容各种架构的接收链路的传感器，有效降低整个收发链路系统的开发成本。

在另一些示例性实施方式中，如图 9 所示，在信号接收链路中，收端混频器 303 可以为正交混频器，模数转换器 304 可以为正交模数转换器。

5 为了匹配数字移相器架构的信号发射链路，本公开实施例将信号接收链路中的收端混频器 303 调整为 IQ 解调器 (IQ Demodulator)，同时将模数转换器 304 调整为 IQ ADC，经接收天线接收的回波信号依次经上述的低噪声放大器 306、收端混频器 303、低通滤波器 307、高通滤波器 308 及模数转换器 304 处理后，转换为 IQ 数字基带信号，后续的收端基带数字模块 305 对该 IQ 数字基带信号处理可得到目标的诸如距离、速度、角度、高度及微运动特性 (即微多普勒) 等参数信息。

10 当收端混频器 303 为正交混频器且收端本振信号为扫频信号时，收端本振信号 RX_LO 可以表示为：

$$RLO^a(t) = e^{j2\pi (f_{r10}t + \frac{\alpha}{2}t^2) + \Phi_0} \quad (11)。$$

在另一些示例性实施方式中，信号接收链路的收端本振信号除了为式 (9) 或式 (11) 所示的扫频信号外，还可以为式 (12) 或式 (13) 所示的单音信号。

15 收端混频器 303 为实数混频器： $RLO(t) = \cos(2\pi f_{r10}t + \Phi_0)$ (12)。

收端混频器 303 为正交混频器： $RLO^a(t) = e^{j2\pi f_{r10}t + \Phi_0}$ (13)。

当收端本振信号为单音信号时，只需要在收端基带数字模块 305 中增加数字域的信号处理流程 (包括数字域混频操作)，同样可以得到需要的数字基带信号。

20 综上所述，本公开实施例根据不同的发射方案和接收方案的搭配组合 (例如，发端采用数字基带信号单音、本振信号扫频还是采用数字基带信号扫频、本振信号单音；收端采用实数混频器、实数模数转换器还是采用正交混频器、正交模数转换器；收端采用单音本振信号还是采用扫频本振信号)，可以拓展出多种系统级别的技术方案。

25 图 10 为本公开实施例提供的另一种收发链路的示意图，图 11 为本公开实施例提供的一种包含 TX IQ Mod、RX IQ De-Mod 和 LO Freq Diff 的收发链路的示意图，图 12 为本公开实施例提供的一种基于图 11 所示结构结合 BIST 的收发链路的示意图，图 13 为本公开实施例提供的一种包含 TX IQ Mod、BIST IQ Mod 和 RX IQ De-Mod 的收发链路的示意图。

下面基于本公开实施例提供的所记载的发射链路结构，针对其所构成的收发链路进行说明：

30 如图 10 所示，一种收发链路，可包括发射链路和接收链路等。发射链路 (即发射机) 可包括依次连接的数字基带信号源 (Baseband)、直接数字频率合成器 (TXDDFS)、IQ 数模转换器 (IQ DAC)、低通滤波器 (LPF)、IQ 调制器 (IQ Modulator)、功率放大器 (power amplifier, PA) 等，同时经功率放大器放大后的信号经发射天线向预设空间区域进行辐射。接收链路则可包括依次连接的低噪声放大器 (low noise amplifier, 简称 LNA)、实数混频器 (Real Mixer)、跨阻放大器 (Trans-Impedance Amplifier, 简称 TIA)、低通滤波器 (LPF)、高通滤波器 (High-Pass Filter, 简称 HPF)、实数数模转换器 (Real ADC) 等，即经接收天线接收的回波信号依次经上述的 LNA、Real Mixer、TIA、LPF、HPF 及 Real ADC 处理后，转换为实数数字基带信号，后续的数字信号处理模块对该实数数字基带信号处理可得到目标的诸如距离、速度、角度、高度及微运动特性等参数信息。

35 其中，上述收发链路中，针对发射链路中的 IQ 调制器所接收的 TX-LO 信号与接收链路中的 Real Mixer 所接收的 RX-LO 信号的频率可相同。例如，如图 10 所示，若是 Baseband 输出的信号为 x MHz 的正弦波 (sinewave)，则 TX-LO 信号和 RX-LO 信号则可同为 z GHz 的正弦波 (sinewave)。

40 在图 10 所示的实施例中，其发射链路采用的数字移相架构，而接收链路则可采用模拟架构的元器件，即不用采用 IQ 的元器件的，所以能够有效的兼容模拟架构的接收链路的传感器，有效降低整个收发链路系统的开发成本。

可选的，在本申请的实施例中，接收链路可包含接收天线，即该接收天线可通过芯片的外设端口连接，形成在诸如 PCB 板等载体上。同时，一些可选的实施例中，接收天线也可集成在芯

片的封装上形成 AiP 或者 AoP，即具有封装天线的芯片结构。

5 在一些可选的实施例中，为了匹配数字移相器架构的发射链路，可针对接收链路对应进行相关的调整，如图 11 所示的收发链路中，可包含基于图 10 中类似的发射链路架构和接收链路（为了避免赘述，相同的部分具体在此便不予阐述），将图 10 中接收链路中的 Real Mixer 调整为 IQ 解调器（IQ Demodulator），同时将 Real ADC 调整为 IQ ADC，即此时接收链路则可包括依次连接的低噪声放大器 LNA）、IQ 解调器（IQ Demodulator）、跨阻放大器（TIA）、低通滤波器（LPF）、高通滤波器（HPF）、IQ 数模转换器（IQADC）等，即经接收天线接收的回波信号依次经上述的 LNA、IQ Demodulator、TIA、LPF、HPF 及 IQ ADC 处理后，转换为 IQ 数字基带信号，后续的数字信号处理模块对该 IQ 数字基带信号处理可得到目标的诸如距离、速度、角度、高度及微运动特性（即微多普勒）等参数信息。

10 同时，基于图 11 所示的收发链路进行自校准时，只要将发射链路的信号输出端口与接收链路的信号输入端口直接通过传输线连接，即发射链路通过该传输线直接将发射信号发送至接收链路中，以在不经过发射天线和接收天线情况下，实现收和/或发链路的自校准操作。其中，此时发射链路中的 IQ 调制器所接收的 TX-LO 信号与接收链路中的 IQ Demodulator 所接收的 RX-LO 信号之间具有一定的频偏。例如，如图 11 所示，若是 Baseband 输出的信号为 x MHz 的正弦波（sinewave），则 TX-LO 信号可为 z GHz 的正弦波（sinewave），此时 RX-LO 信号经下混频器（即接收链路中的 IQ Demodulator）、低通滤波、高通滤波处理后，转为数字信号，以便进行 TX IQ 失衡校准。

15 在一些可选的实施例中，如图 11 所示，可通过增加接收链路（如图中所示的 Receiver, RX）对发射链路（如图中所示的 Transmitter, TX）进行校准，并通过发射链路中的 TXIQ 不平衡补偿单元基于校准的数据进行补偿操作。同时，也可通过复用实际用于信号发收的接收链路（如图中所示的 Receiver, RX）对发射链路（如图中所示的 Transmitter, TX）进行校准，通过发射链路和/或接收链路中的 TX IQ 不平衡补偿单元基于校准的数据进行补偿操作。其中，图 11 是针对 TX IQ 失衡的信号链路。由于 TX 谐波信号问题的信号链路与 TX IQ 失衡的信号链路的工作原理相似，可以将图 11 中的 TX IQ 失衡补偿单元替换为 TX HD3 补偿单元用于解决 TX HD3 的问题。在其他实施例中也可进行类似的实施，为了阐述简便，后续便不予赘述。

20 在一些可选的实施例中，基于图 11 所示结构的基础上，为了实现收发链路精准校准，图 11 所示的接收链路的 IQ Demodulator 的 RX-LO 端口设置内部自测试模块（Built-in Self-Test, 简称 BIST）模块，即如图 12 所示的，在图 11 所示收发链路结构的基础上，在接收链路的 IQ Demodulator 的 RX-LO 端口设置 IQ BIST 架构，以实现在接收链路的 IQ Demodulator 的 RX-LO 端口输入具有预设频偏的 LO 信号。例如，通过相位角度转换器和 IQ 调制器（IQ Modulator）等所构成 IQ BIST，利用所接收的诸如 TX-LO 信号经相位角度转换器通过 IQ 调制器，以基于该 IQ 调制器的另一路输入信号 BIST-LO 的频偏信号形成频偏后的信号输入至 IQ Demodulator 的 RX-LO 端口。例如，若 TX-LO 的信号为 z GHz 的正弦波，而 BIST-LO 的信号为 y MHz 的正弦波，则得到输入至 IQ Demodulator 的 RX-LO 端口的频偏后的信号为 $(z\text{GHz}-y\text{MHz})$ 。需要说明的是，不同的实施例之间， x 、 y 、 z 均为示意值，具体的数值可相同或不相同。

30 在一些可选的实施例中，基于图 12 中所示收发链路结构的 IQ BIST 架构，还可通过复用收发链路中的接收链路针对数字移相器架构的发射链路进行校准；其中，在其他实施例中，涉及到利用接收链路对发射链路的校准操作，以及利用发射链路对接收链路的校准操作，均可通过复用实际进行信号发收的链路中对应的接收链路或者发射链路实现上述的校准操作，也可通过增设对应的校准接收链路或者校准发射链路来实现对实际进行信号发收的链路中对应的发射链路或者接收链路的校准操作。

35 可选的，该 IQBIST 可包括相位角度转换器和 IQ 调制器（IQ Modulator），相位角度转换器用于实现对数字架构的发射链路中 I 路和 Q 路的分别校准，而 IQ 调制器的另一路输入信号 BIST-LO 则可为 y MHz 的正弦波（sine wave），用于模拟发射信号被目标反射所形成回波信号相关的特性，其中图 12 中的 x 、 y 、 z 均为正数，且 $x \neq y \neq z$ ，一般可在 0 至 1000 之间。

40 可选的，在图 12 所示的收发链路中，还可在发射链路中（例如在的 TXDDFS 与 IQ DAC 之

间) 设置 TX IQ 不平衡补偿单元 (TX IQ Imbalance Compensation), 和/或在接收链路中 (例如在 Real ADC 之后) 设置 TX IQ 不平衡补偿单元 (TX IQ Imbalance Compensation), 即可基于上述自校准操作所得到的校准参数 (或系数) 对所发射和/或接收的信号进行补充, 以解决诸如 IQ 不平衡等问题。

5 在一些可选的实施例中, 基于图 12 所示的结构, 如图 13 所示, 可将上述的 IQ BIST 模块设置在发射链路的信号输出端口与接收链路的信号输入端口之间, 即, 发射链路通过该 IQ BIST 模块直接将发射信号发送至接收链路中, 以在不经过发射天线和接收天线情况下, 实现收链路和/或发链路的自校准操作。

需要说明的是, 在图 11 至 13 所示的发射链路结构中, 其仅示例出 IQ 补偿单元 (TX IQ Imbalance compensation), 在实际的应用中, 也可基于实际需求, 于发射链路中增加 LO 补偿单元 (TX LO leakage compensation) 和 HD3 补偿单元 (TX HD3 compensation) 等, 以构成包含有 LO 补偿单元 (TX LO leakage compensation)、IQ 补偿单元 (TX IQ Imbalance compensation) 和 / 或 HD3 补偿单元 (TX HD3 compensation) 等单元的补偿单元 (TX compensation)。

15 图 14 为本公开实施例提供的一种包含辅助电路和 BIST IQ Mod 的收发链路的示意图, 图 15 为本公开实施例提供的另一种包含辅助电路和 BIST IQ Mod 的收发链路的示意图。

如图 14 所示, 一种收发链路, 结合图 9 和图 13 所示的结构及相关描述, 该收发链路可包括发射链路、接收链路和校准链路。其中发射链路可包括依次连接的 TX 数字基带信号源 (TX Baseband)、直接数字频率合成器 (TX DDFS)、补偿单元 (Compensation)、IQ 数模转换器 (IQ DAC)、低通滤波器 (LPF)、IQ 调制器 (IQ Modulator) 和功率放大器 (power amplifier, PA) 等, 同时
20 经功率放大器放大后的信号经发射天线向预设空间区域进行辐射。接收链路则可包括依次连接的低噪声放大器 (low noise amplifier, 简称 LNA)、实数混频器 (Real Mixer)、跨阻放大器 (Trans-Impedance Amplifier, 简称 TIA)、高通滤波器 (High-Pass Filter, 简称 HPF)、可变自动增益放大器 (Variable Gain Amplifier, 简称 VGA)、实数数模转换器 (Real ADC) 和用于 TXRF 校准 (Calibration) 的 RX Baseband 等, 即经接收天线接收的回波信号依次经上述的 LNA、Real
25 Mixer、TIA、HPF、VGA 及 Real ADC 等处理后, 转换为实数数字基带信号, 后续的数字信号处理模块对该实数数字基带信号处理可得到目标的诸如距离、速度、角度、高度及微运动特性等参数信息。

其中, 针对发射链路, 通过设置在 TX DDFS 与 IQ DAC 之间的补偿单元 (TX compensation) 可包括 LO 补偿单元 (TX LO leakage compensation)、IQ 补偿单元 (TX IQ Imbalance compensation)
30 以及 HD3 补偿单元 (TX HD3 compensation) 等单元, 用以实现针对数字移相器架构的发射链路中的 LO leakage、IQ Imbalance 及 HD3 等对应的补偿操作。

在一些可选的实施例中, 在发射链路与接收链路之间还可设置有校准模块, 该校准补偿单元可被配置用于复用接收链路对上述的数字移相器架构的发射链路进行校准等操作。同时, 补偿单元则可基于该校准模块的校准操作所获取的参数或系数, 以在发射链路端就可以实现对发射信号的补偿操作。而在其他的实施例中, 还可同时或单独的在接收链路中设置对应的接收补偿单元,
35 即此时接收补偿单元可基于上述校准操作所获取的参数或系数等, 以在接收链路端实现对回波信号的补偿。

如图 14 所示, 上述的校准模块可包括 BIST 单元和辅助电路单元 (auxiliary circuit) 等, 即发射链路的输出端口通过 BIST 单元和辅助电路单元连接至接收链路中 Real Mixer 与 Real ADC 之间的任一节点上, 如发射链路中的 IQ Modulator 基于 x MHz 的数字移相基带信号和 z GHz 的 LO 信号, 生成 $(z \text{ GHz} \pm x \text{ MHz})$ 的射频信号后, 经输出端口输出至 BIST 单元, 该 BIST 单元对于接收的射频信号进行 y MHz 的频偏操作后得到 $(z \text{ GHz} \pm x \text{ MHz} \pm y \text{ MHz})$ 的模拟回波信号, 再利用辅助单元中的 IQ De-Modulator 进行降频后, 以得到预设的中频信号 $(z \text{ GHz} \pm x \text{ MHz} \pm y \text{ MHz} - z \text{ GHz} = \pm x \text{ MHz} \pm y \text{ MHz})$ 后, 该中频信号输入至接收链路中预设节点, 以实现对发射链路中的校准操作。
45

可选的, 辅助电路单元可为正交解调器电路, 该辅助电路单元的输出端可连接至接收链路中

的 TIA 与 HPF 之间的节点、HPF 与 VGA 之间的节点、VGA 与 Real ADC 之间的节点中的任一节点上。另外，为了最大程度的复用接收链路的结构，一路发射链路的输出端口通过 BIST 单元和辅助电路单元后，I、Q 两条支路还可分别连接至不同的发射链路上，即如图 14 所示，即通过复用两路接收链路来对一路发射链路进行校准。其中，在完成针对发射链路的校准后，可利用上述的补偿模块（TX compensation）中的 LO 补偿单元（TX LO leakage compensation）、IQ 补偿单元（TX IQ Imbalance compensation）和 / 或 HD3 补偿单元（TX HD3 compensation）等补偿单元，用以基于校准所得到的参数实现针对数字移相器架构的发射链路中的 LO leakage、IQ Imbalance 及 HD3 等问题对应的补偿操作。

在一些的可选的实施例中，上述的 BIST 单元可包括依次连接的相位角度转换器和 IQ 调制器（IQ Modulator），辅助电路单元可包括依次连接的 LNA、IQ De-Modulator 和 TIA，即相位角度转换器接收从发射链路输出的射频信号，而 IQ Modulator 的一个输入端连接相位角度转换器的输出端，另一个输入端则接收 y MHz 的 BIST-LO 信号，用以生成预设的回波信号。LNA 则将接收的回波信号经放大后发送至 IQ De-Modulator 一个输入端，IQ De-Modulator 另一个输入端则用于接收 z GHz 的 RX-LO 信号后，该 IQ De-Modulator 的两个输出支路（即 I 支路和 Q 支路）分别经 TIA 后连接至各自对应的接收链路中相应的节点，以将生成的预设的中频信号输出至两个接收链路，进而在实现校准操作的同时，更加高效的复用接收链路设计。

需要说明的是，针对本公开实施例提供的校准操作，若是发射链路发射的是扫频信号，在实际的校准操作时，可采用 TX LO 信号为单 tone 信号进行逐点校准；同时，也可以采用 TX LO 信号为扫频信号进行大带宽的校准操作，甚至可采用扫频带宽校准一次实现针对全频段的扫频信号的校准操作。

基于图 14 所示的结构，为了进一步的将数字移相器架构的发射链路中，诸如 HD3、LO Leakage、IQ Imbalance 等压制预设的程度，可通过级联至少两个 BIST 单元的方式来实现；如图 15 所示，通过两个串联的 BIST 单元，可将因上述缺陷而导致的噪声压制在 -50dB 的程度，从而有效的降低相关链路模拟器件的开发设计的难度。

在一些可选的实施例中，基于本申请实施例所记载的数字移相器架构的发射链路的基础上，在针对 IQ Imbalance 进行校准及补偿操作时，可在时域（Time-Domain）基于频谱分析得到 IQ Imbalance 的补偿系数，也可在频域（Frequency-Domain）基于频谱谱峰比值得到 IQ Imbalance 的补偿系数。

在一些可选的实施例中，为了进一步提升 IQ Imbalance 补偿系数的精准性，还可通过迭代校准及补偿的方式来逼近理想的补偿系数，也可通过多观测校准及补偿的方式来得到理想的补偿系数。

例如，针对迭代校准及补偿的方式，可基于前后两次校准补偿的补偿系数之间的大小关系，或者该两次校准补偿的补偿系数之间的差值是否满足预设迭代条件，来确定是否停止迭代操作，并以停止迭代操作时所得到的补偿系数作为当前场景中，最终的补偿系数进行后续的操作。针对多观测校准及补偿的方式，则可通过多次（例如三次）校准补偿操作后，分别对各次操作得到的测量数据进行 FFT（快速傅里叶变换）并获取相应的幅度和相位信息后，可将测量做差并归一化处理得到相关的数据，并构建出观测矩阵；后续基于对该观测矩阵求逆的得到数据反向求解出对应的补偿系数。

在一些可选的实施例中，基于上述得到 IQ Imbalance 补偿系数类似的思想，也可采用诸如迭代校准及补偿的方式，或者多次观测校准及补偿的方式来得到 LO leakage 和/或 HD3 的补偿系数。

在上述带有补偿单元的发射机各示例中提及了关于解决发射机中谐波失真的问题。经研究发现，一些谐波失真的原因可能来自于发射机中的混频器等包含非线性特点的器件。

以图 16 为例，图 16 为本公开实施例提供的混频器 421 的结构示意图。如图 16 所示，混频器 421 包括电压电流转换器（V/I Converter）、电流开关（Current Switch）和电流电压转换器（I/V Converter）。其中，所述电压电流转换器将接收的电压信号转换为电流信号；所述电流开关与所述电压电流转换器和所述第二信号发生器相连，用于利用本振信号对电压电流转换器输出的电流

信号进行处理；所述电流电压转换器与所述电流开关相连，用于对所述电流开关输出的电流信号转换为电压信号。

在上述结构中，由于电压电流转换器设置有晶体管放大器，基于晶体管放大器的非线性特性以及基带信号的频率较低的特性，使得电压电流转换器输出的电流信号存在基带信号对应的谐波信号。例如，由基带的三阶非线性所引起的 HD 可简称为 HD3。类似地，五阶非线性所引起的谐波称为 HD5。在电流开关处理电压电流转换器输出的电流信号时，谐波的频率经过上变频处理后变为射频频段。由于抑制射频频段的谐波信号的操作复杂度较高，硬件成本较高。如果对射频频段的谐波信号不进行去除，会影响雷达收发的信号质量，进而影响雷达测量的准确度。

所述补偿单元用于将所生成的抵消信号输入至信号发射链路，以抵消所述射频信号中的谐波信号。其中，所述补偿单元与所述第一信号发生器相互独立。

为此，补偿单元可包括抵消信号发生器。利用补偿单元输出的抵消信号能够抑制射频信号中的谐波信号，减少射频信号中谐波分量，从而提高发射机输出的射频信号的信号质量。

在本公开实施例提供的，针对信号发射链路中的谐波信号，补偿单元利用反馈或根据发射波的特点，将所生成的抵消信号输入至信号发射链路，以抵消所述信号发射链路所输出的射频信号中的谐波信号。其中该抵消信号具有与射频发射电路中所传输的谐波信号具有相位相反、幅值相近等特点，以达到抑制谐波信号的目的。

在一些示例中，补偿单元根据第一信号发生器所产生的基带信号的相位、频率、或幅值，甚至与 LO 信号合并的路径长度等参数，产生包含抵消作用的补偿信号。

例如，图 5 中示出了一种将补偿单元接入信号发射链路中的发射机示例。在图 5 所示结构中，补偿单元为 TX 补偿单元。TX 补偿单元中包含可根据发射波的特点生成抵消信号发生器（未予图示）。所述抵消信号发生器可举例为如图 6 中所示的 TX HD3 补偿单元。

其中，基带处理器（图 5 中简称为基带框）控制 TX DDFS 生成的正交数字的基带信号，TX 补偿单元根据所述正交数字信号参数，生成正交补偿信号，将正交补偿信号和正交数字信号合并并发送给 IQ DAC 以转换为模拟的基带信号。通过 LPF 滤波处理后，交由混频器（即，图 5 中的 IQ 调制器）进行混频处理，得到基于 TX LO 信号和模拟基带信号混频的射频信号，PA 对混频信号进行放大处理后通过发射天线输出。其中，该补偿信号抵消了射频发射电路中至少部分的谐波信号，如 HD3 谐波信号。因此，所发射的射频信号中的杂波将大大减少。射频信号可为 FMCW 信号。

在另一些示例中，补偿单元根据经射频发射电路反馈而得到的谐波信息，来生成补偿信号。参见图 17，图 17 为图 5 所示发射机中补偿单元的结构示意图。如图 17 所示，所述补偿单元包括采集电路和抵消信号发生器。

其中，所述采集电路耦接所述射频发射电路，用于采集所述射频发射电路中的信号，得到采集信号。所述采集信号（或称采样信号）能反映谐波信号中的波形信息（又称谐波参数），如主频信号的相位、谐波信号的相位，谐波信号的频率，主频信号的频率，谐波信号的功率，主频信号的功率等。

需要说明的是，所述采集信号所反映的谐波参数与采集电路所能采集的信号所携带的信息相关。例如，采集电路为一种功率采集电路，则相应的采集信号包含主频的功率。又如，采集电路利用接收机的至少部分电路，则采集信号反映主频信号的相位、谐波信号的相位、谐波信号的频率、主频信号的频率、谐波信号的功率、主频信号的功率等。

上述至少一种谐波参数可藉由模拟电路来提取。例如，通过耦合器和功率检测器来输出主频信号的功率。或利用雷达芯片中的数字电路在频域计算的优势，来提取谐波参数。例如，通过耦接射频发射电路，来获取与耦接处传输的信号相同的信号作为采集信号。该采集信号中携带主频信号和谐波信号。采集信号经 ADC 转为数字信号，并交由数字电路在频域计算以得到更多谐波参数。

在一种实现方式中，所述采集电路的输入端与所述混频器的输出端或信号检测端相连。该种

方式可检测到因电压电流转换器所产生的谐波信号，且具有简化的采集电路。例如图 18、19 所示结构中的一种连接方式，该采集电路的输入端连接在电压电流转换器和电流开关之间的检测端，并与 ADC 耦接。

5 在另一种方式中，所述采集电路的输入端连接所述射频发射电路的射频输出端或射频检测端相连。其中，所述射频输出端举例为射频发射电路的输出端。射频检测端举例为射频发射电路中至少一级 PA 的输入端或输出端。该种方式可采集到射频发射电路中的更准确的谐波参数，但具有较复杂的电路结构。

10 在一些包含 BIST 模块的芯片中，采集电路可藉由 BIST 模块中的部分或全部电路获取采集信号。例如，参见图 19 所示，采集电路的输入端耦接射频输出端，其依次包括下变频器、滤波器等，并连接 IQ ADC，以输出数字的采集信号。其中，下变频器、滤波器等可复用 BIST 模块或接收机。

所采集的采集信号输入至抵消信号发生器。其中，所述抵消信号发生器为补偿单元中的至少一种电路。该抵消信号发生器与所述第一信号发生器相连，使得射频发射电路接收的信号同时包括基带信号和抵消信号。

15 例如，抵消信号发生器包括前述提及的抵消信号发生器，以及提取谐波信息的数字电路。其中，提取谐波信息的数字电路可独立配置，或至少部分的共用于雷达芯片中数字电路。

其中，提取谐波信息的数字电路举例利用雷达芯片中用于处理差频基带信号的数字电路来提取谐波频率、主频频率、主频功率等谐波信息，并提供给抵消信号发生器。抵消信号发生器根据所接收的参数生成抵消信号。

20 又如，提取谐波信息的数字电路提取采集信号中的主频幅度，并根据预设的主频幅度和谐波幅度之间的差异，计算出谐波幅度。抵消信号发生器根据所计算出的谐波幅度和预配置的其他谐波参数，生成谐波信号补偿信号。其中，该预配置的各谐波参数可根据雷达芯片待发射的主频信号的扫频范围、相位等计算得到。

25 所述抵消信号发生器中的抵消信号发生器可与第一信号发生器独立配置，或至少部分的共用。例如，抵消信号发生器所产生的抵消信号输入第一信号发生器，使得第一信号发生器所输出的基带信号中包含有所述抵消信号。其中，抵消信号发生器可包括三次谐波发生器和五次谐波发生器。

30 又如，所述补偿单元中还包括加法器，耦接抵消信号发生器和第一信号发生器，以合并第一信号发生器所产生的基带信号以及所述抵消信号发生器所产生的抵消信号。本实施例中，抵消信号包括三次谐波发生器所产生的抵消三次谐波的抵消信号 Signal_HD3，和五次谐波发生器所产生的抵消五次谐波的抵消信号 Signal_HD5。抵消信号 Signal_HD3 和 Signal_HD5 以及第一信号发生器所产生的基带信号通过加法器合并，并输出至射频发射电路。

综上所述，本申请提供的采用反馈方式向射频发射电路中预输入抵消信号的发射机各电路示例，可在不同环境下，保证芯片所发射的射频信号中含有足够低的谐波信号。

35 为了在芯片使用过程中能按照芯片的实际运行环境有效地对谐波信号进行抑制，例如考虑环境温度对半导体器件的影响等，本申请还提供一种利用反馈机制对上述发射机中的谐波信号进行信号抵消方法，包括：

步骤 10、对信号发射链路中的信号进行采集操作，得到采集信号；其中，所述信号发射链路用于产生雷达探测用的射频信号，其中所述射频信号中包含谐波信号。

步骤 20、检测所述采集信号，生成用于抵消所述谐波信号的抵消信号，并输出至所述信号发射链路。

40 本申请实施例提供的方法，对信号发射链路中的信号进行采集操作，得到采集信号，并利用采集信号生成抵消信号，并输出至信号发射链路，从而利用抵消信号抑制射频信号中的谐波信号，减少射频信号中谐波分量，从而提高发射机输出的射频信号的信号质量，进而提高接收机对射频信号的接收性能。

下面结合附图 11 至图 20，举例发射机及其工作过程：

例如，图 11 中示出了一种利用反馈机制提取发射机中的谐波信息，使得补偿单元产生相应的抵消信号的示例。在图 11 所示结构中，以补偿单元包括 TX HD3 补偿单元为例。TX HD3 补偿单元根据接收信号的波形特点生成补偿信号。其中，该反馈机制可在雷达芯片的校准模式下执行，以防止削弱雷达芯片正常探测时的信号发射功率。

5 发射机中的基带处理器（如图 11 中的基带框）控制 TX DDFS 生成的正交数字的基带信号，经 TX 补偿单元产生的正交数字的抵消信号合并后发送给 IQ DAC，以转换为模拟的基带信号。该模拟的基带信号中混合有用于抵消发射链路中谐波信号的模拟的抵消信号。该模拟的基带信号通过 LPF 滤波处理后进入第一混频器（即，图 11 中的 IQ 调制器）。第一混频器利用 TX LO 对接收的滤波信号进行混频处理，得到射频信号。该射频信号经耦合通过接收机输出至补偿单元中的
10 TX HD3 校准电路（如图 11 中的 TX HD3 校准框）。其中，所述 TX HD3 校准电路可视为一种提取谐波信息的数字电路。

在接收机中，LNA 对发射机输出的信号进行放大处理后，输出给第二混频器（即，图 11 中的 IQ 解调器），得到解调信号，将解调信号发送给跨阻放大器进行放大处理，再依次经过 LPF 和 HPF 后，再经过 IQ ADC 进行模数转换操作后发送给 TX HD3 校准电路。该 TX HD3 校准电路
15 从反馈的信号中提取发射机中的谐波信息，并通过上层控制器转换为产生抵消信号所需的参数，并提供给 TX HD3 补偿单元。其中，TX HD3 校准电路所获取的谐波信息举例包括以下一种或多种参数：谐波信号（或主频信号）的初始相位、起始频率、截止频率、频率变化时长、中心频率等。TX HD3 校准单元或上层控制器根据谐波信息确定补偿单元中用于生成抵消信号的参数，如初始相位、抵消信号的频率，时延等。

20 需要说明的是，上述各示例中涉及三次谐波和/或五次谐波等谐波的抵消操作，可根据发射机的需求而定。

在一些可选的实施例中，基于本申请实施例所记载的数字移相器架构的发射链路的基础上，在针对 HD3 进行校准及补偿操作时，基于有源混频器中 HD3 的产生主要源头为 V/I Converter 的非线性中三次谐波，所以可通过如图 18 所示的基于三次方模块的补偿架构，或者如图 19 所示的
25 基于三倍频波形发生器的补偿结构来实现。

图 20 为本公开实施例提供的一种基于数字移相器架构发射链路的校准补偿示意图。如图 20 所示，基于本公开实施例提供的针对 IQ Imbalance、LO leakage 和 HD3 校准补偿操作的相关技术内容：针对 IQ Imbalance 的补偿操作，可通过补偿 BB（基带）信号的共轭信号来反向抵消镜像分量的方式实现，且该补偿操作方式不受 IQ Imbalance 的校准方式的影响。针对 LO Leakage 的补偿
30 则可通过调节 IQ 两路的 DC 分量（即直流偏置）来实现，同样该 LO Leakage 的校准方式对其补偿方案不产生影响。针对 HD3，由于正交混频器 V/I Converter 的 3 阶谐波失真是产生 HD3 的主要来源，而谐波失真会受到直流偏置的影响，因此当发射链路的 LO Leakage 和 HD3 均需要校准时，则需要在进行 LO Leakage 的校准后再进行 HD3 的校准，以确保 HD3 校准的精准性能。

另外，基于数字三次方模块的数字预补偿架构和基于倍频波形发生器模块的数字预补偿架构
35 的 HD3 的补偿方式，会直接影响后续的校准方案和后续的补偿流程。具体的：

在一个可选的实施例中，针对基于数字三次方模块的数字预补偿架构，可先校准并补偿 LO Leakage 后，在稳定的 DC 偏置下，校准出 HD3 问题的根本来源，即 HD3 的补偿系数；随后校准 IQ Imbalance，并继续补偿 IQ Imbalance 后，分别对 IQ 两路依据 IQ Imbalance 预补偿的结果，去补偿三次谐波失真。

40 在一个可选的实施例中，针对基于倍频波形发生器模块的数字预补偿架构，可在校准并补偿 LO Leakage 后，校准得到 HD3 的补偿系数，并在稳定的 DC 偏置下校准 IQ Imbalance，以及补偿 IQ Imbalance；后续通过补偿后的结果，分别对 IQ 两路依据 IQ Imbalance 预补偿的结果，去补偿三次谐波失真。

45 在另一个可选的实施例中，针对基于倍频波形发生器模块的数字预补偿架构，可校准并补偿 LO Leakage 后，校准得到 HD3 的补偿系数，并在稳定的 DC 偏置下校准 IQ Imbalance，以及补偿 IQ Imbalance；后续通过补偿后的结果，分别计算出 IQ 两路信号的实际波形，HD3 的补

偿系数，反算出需要预补偿的 3 倍频和 5 倍频的波形信息。

5 在另一个可选的实施例中，针对基于倍频波形发生器模块的数字预补偿架构，可先校准并补偿 LO Leakage，然后通过多次（如三次）观测以同时校准出 HD3 和 IQ Imbalance 的补偿系数，之后再通过再次观测（如两次）来校准出 HD3 镜像位置处的补偿系数；最后通过 HD3 和 HD3 镜像位置处的补偿系数反算出需要预补偿的 3 倍频和 5 倍频系数。需要说明的是，本公开实施例提供的观测用以表示测试以及不同测试结果比较分析等操作。

10 参见图 20 所示结构可知，该采集电路具有两条采集支路，且两条采集支路能够动态切换；其中，一条采集支路的输入端连接在电压电流转换器和电流开关之间；另一条采集支路的输入端连接在功率放大器的输出端，且该采集支路设置有 IQ 解调器；此外，图 20 所示结构中，该采集电路还设置有多路选择器（Multiplexers），其中该多路选择器的输入端分别连接两个采集支路的输出端，输出端用于输出所述采集信号。

在图 18 至图 20 所示结构中，该采集信号可以为模拟信号，即，该采集电路的输出端与 IQ ADC 相连；或者，该采集信号可以为数字信号，则该采集电路至少包括 IQ ADC。

15 需要说明的是，当信号发射链路发送的射频信号不是正交信号时，则图 18 至图 20 中采集电路可以利用非正交元器件来完成。例如，可以利用单端的下变频混频器代替 IQ 解调器，可以使用单端的模数转换器代替 IQ ADC。

下面对本申请实施例提供的校准链路进行说明：

20 在图 7 所示校准链路中，校准链路可以对包括模拟移相的发射主通路（例如，图 1A 所示的信号发射链路）进行校准，或者，对包括数字移相器的发射主通路（例如，图 4 所示的信号发射链路）进行校准。除此以外，本申请实施例还可以对接收主通路进行校准。

基于上述说明可知，本公开实施例系统一种信号传输主通路的校准链路，具体如图 21A 所示。

参见图 21A 可知，信号传输主通路用于传输电磁波信号，所述校准链路集成在包括所述信号传输主通路的集成电路中，由于校准链路集成于包括有所述信号传输主通路的集成电路中，能实时地校准信号传输主通路，也无需外部设备对信号传输主通路进行校准操作。

25 所述校准链路至少连接至所述信号传输主通路与所述信号传输主通路对应的天线之间，以便校准链路和信号传输主通路构成信号传输操作，从硬件结构上支持对信号传输主通路的校准操作。

具体的，所述校准链路，可配置为用于对信号传输主通路进行校准，得到校准信息；

在本申请实施例中，该信号传输主通路可以为对用于发射射频信号的发射主通路，或者，用于接收回波信号的接收主通路。

30 在信号传输主通路为发射主通路时，所述校准链路至少获取信号传输主通路输出的信号，基于对发射主通路输出的信号进行接收操作，以得到校准信息；在信号传输主通路为接收主通路时，所述校准链路至少向接收主通路输出信号，基于信号传输主通路对所述校准链路输出的信号的处理结果，得到校准信息。

35 对应的，所述信号传输主通路，可配置为用于基于所述校准链路得到的校准信息进行校准操作，其中校准后的信号传输主通路传输电磁波信号。

由于所述信号传输主通路基于校准信息进行校准操作，可以有效提升信号传输主通路的信号传输质量，从而使得校准后的信号传输主通路所传输的电磁波信号的质量得到提升。

40 进一步的，由于校准链路集成于包括有所述信号传输主通路的集成电路中，因此，校准链路能够根据需要实时地校准信号传输主通路；另外，由于校准链路和信号传输主通路的运行环境（如，温度、湿度、老化时长）存在高度的相似性，因此，校准链路的校准操作与信号传输主通路的运行环境保持高度的一致，使得校准链路能够得到更加精确的校准信息，从而提高信号传输主通路的信号处理性能。

在所述信号传输主通路出厂前和在所述信号传输主通路在正式投入使用后中至少一个条件下，所述校准链路对信号传输主通路执行校准操作。

其中，集成电路出厂前可以为量产测试或者在集成为无线电设备后量产测试时。

在量产测试时可以模拟信号传输主通路的不同运行环境，基于上述运行环境进行校准，可以得到较为通用的校准信息。

5 在一些可选的实施例中，所述集成电路出厂前可在量产测试或者在集成为无线电设备后量产测试时进行校准，并将校准获得的校准信息预存存储介质中，后续在无线电设备运行时直接调用该校准信息对所传输的信号进行校准。

在信号传输主通路作为无线电设备的一部分正式投入使用后，由于不同无线电设备的使用时长、运行环境存在一定差异，会对信号传输主通路的性能造成不同程度的影响，因此，在信号传输主通路正式投入使用后，还可以利用校准链路对信号传输主通路进行校准。

10 具体的，可以在信号传输主通路传输信号的间隙，所述校准链路对所述信号传输主通路进行校准操作。其中，在信号传输主通路为发射主通路时，所述传输信号的间隔可以相邻两次执行射频信号的发射操作之间的空闲时间；在信号传输主通路为接收主通路时，所述传输信号的间隔可以相邻两次执行回波信号的接收操作之间的空闲时间。

15 在一些可选的实施例中，在满足启动校准操作的预设条件时，校准链路对信号传输主通路进行校准操作。

20 具体的，基于集成电路的运行环境变化对于其性能参数的影响，以及器件老化等不良影响，设置启动校准操作的条件，例如预定的时间（如间隔 1 分钟、1 小时或 1 天等预设时间段，具体可基于应用场景进行设定，如主要考虑环境变化影响时则可设置较短的时间（如 30s，或者每帧信号的间隙等），如考虑器件老化则可设置为 1 年，且还可基于老化变化参数设置非等间隔的时间片段）；同时，还可以基于诸如温度、压力、湿度等外部环境的变化来设置校准启动的条件，例如温度上升 5℃ 启动一次，也可设置当温度达到预设值时启动校准操作等，对应压力、湿度等参数也可以对应单独或综合（如温度达到 80℃、湿度达到 70%等）设置启动校准操作的条件。同时也可基于历史的校准数据对当前集成电路或电子设备的运行情况进行预测或评估，一旦达到预设的阈值还可以直接进行示警、启动安全功能等操作。

25 对于信号传输主通路，在校准链路每完成一次校准操作后，均采用最新得到的校准信息进行校准操作，并利用校准操作进行信号传输操作。即，校准链路基于所述校准链路上一次校准所得到的校准信息，对所传输的信息进行实时补偿。

30 由于校准链路每完成一次校准操作后最新得到的校准信息均能准确地反映信号传输主通路在当前的运行环境的校准信息，因此，利用最新得到的校准信息进行校准操作，能够保证信号传输主通路所使用的校准信息的准确性，从而为提高信号传输主通路的信号传输质量提供支持。

在一个示例性实施例中，所述校准链路所传输的信号为单音信号。其中，单音信号，也叫单频信号，即只有一个恒定频率的信号，可以是正弦信号或是余弦信号。其中单音信号的频率可以根据接收该单音信号的电路结构进行设置。

35 在对信号传输主通路进行校准操作时，使用单音信号作为校准链路传输的校准信号，可以降低校准操作中信号处理的复杂度，提高校准效率。

另外，在校准链路传输的信号为正交信号时，校准链路的元器件为正交器件。

图 21B 为图 21A 所示的校准链路的部署示意图。如图 21B 所示，集成电路中设置有至少两路所述信号传输主通路。其中，至少两路信号传输主通路通常为信号传输功能相同的至少两个主通路，例如，均为发射主通路或均为接收主通路。

40 在集成电路中，信号传输功能相同的主通路通常集成部署在电路板中的同一区域，且相邻的两个主通路之间存在间隔。

考虑到信号传输干扰而信号传输距离所产生的损耗，可以在信号传输功能相同且相邻的两个信号传输主通路之间设置校准链路，使得该校准链路分别与两个信号传输主通路相连。以此类推，可以在集成电路设置至少一路校准链路。其中任一路所述校准链路，可配置为用于对至少两路所

述信号传输主通路进行校准。

进一步的，所述电磁波信号可为雷达信号，所述信号传输主通路包括回波信号的接收主通路和/或射频信号的发射主通路。

5 图 22A 为本公开实施例提供的校准链路与发射主通路之间的连接示意图。如图 22A 所示，所述校准链路对应包括所述发射主通路对应的辅助接收链路，其中所述辅助接收链路连接于所述发射主通路与对应所述发射天线之间，可配置为用于对所述发射主通路所发射的射频信号进行校准。

在一个示例性实施例中，所述发射主通路包括中频处理电路和射频处理电路，其中所述中频处理电路用于对基带信号进行处理，得到中频信号；所述射频处理电路用于对中频信号进行处理，得到射频信号。

10 辅助接收链路先对发射单元中的中频处理电路进行校准操作，以使得校准完成后的中频处理电路输出的中频信号是经过校准后的信号，从而提高射频处理电路接收的信号质量，降低输入信号对射频处理电路的校准过程中产生误差。

15 在完成中频处理电路的校准后，再利用校准单元再对发射单元中的射频处理电路进行校准。由于利用校准后的中频处理电路输出的信号作为射频处理电路的输入信号，可以降低中频处理电路的性能偏差对射频处理电路的校准的影响，提高射频处理电路的校准操作的准确性。

进一步的，所述校准链路还包括所述辅助接收链路对应的校准发射链路；其中，所述校准发射链路，可配置为用于对所述辅助接收链路进行校准操作；对应的，所述辅助发射链路基于所述校准接收链路得到的校准信息进行校准操作，其中校准后的辅助接收链路对所述发射主通路进行校准操作。

20 利用校准发射链路对辅助接收链路进行校准操作，可以提高辅助接收链路的信号处理性能，利用信号性能得到提高的辅助接收链路对发射主通路进行校准，可以提高发射主通路的校准操作的准确性。

图 22B 和图 22C 为本公开实施例提供的校准链路与接收主通路之间的连接示意图。如图 22B 所示，所述校准链路对应包括所述接收主通路对应的辅助发射链路。

25 所述接收主通路包括与接收天线依次相连的射频单元和中频单元；其中，所述中频单元用于对接收的信号进行中频处理，并输出给所述射频单元；所述射频单元用于对中频单元输出的信号进行射频处理并输出。其中，所述校准链路包括射频辅助发射链路和中频辅助发射链路中的至少一个。

30 请参见图 22B，所述中频辅助发射链路连接于所述接收主通路的中频信号输出端，可配置为用于对所述接收主通路所接收的回波信号进行下降频后得到的中频信号进行校准；其中，所述中频单元，可配置为基于所述中频辅助发射链路得到的校准信息进行校准操作，其中校准后的中频单元对射频单元输出的信号进行信号处理。

35 请参见图 22B，所述射频辅助发射链路，连接于所述接收主通路与对应所述接收天线之间，可配置为用于对所述接收主通路所接收的回波信号进行校准。其中，所述射频单元，可配置为基于所述射频辅助发射链路得到的校准信息进行校准操作，其中校准后的射频单元对经所述接收天线接收的回波信号进行信号处理。

40 在所述辅助发射链路包括中频辅助发射链路和射频辅助发射链路时，可以按照如下步骤对接收主通路进行校准操作，可包括：利用中频辅助发射链路对中频单元进行校准操作；利用校准后的中频单元对射频辅助发射链路进行校准；利用校准后的射频辅助发射链路对所述射频单元进行校准。

由于利用校准后的中频单元对射频辅助发射链路进行校准，可以提高射频辅助发射链路的信号处理性能，利用信号性能得到提高的射频辅助发射链路对射频单元进行校准，可以提高射频单元的校准操作的准确性。

可选的，在图 22A、图 22B 以及图 22C 中，信号传输主通路和天线之间还可以设置有功率检

测器 (Power Detector, PD), 其中 PD 可以用于对信号主通路的功率信息进行检测。

在图 22A 和图 22C 中, 所述校准链路可以连接在 PD 和信号传输主通路之间。实现对信号传输主通路的校准操作; 或者, 所述校准链路可以连接在 PD 和天线之间, 以实现信号传输主通路和 PD 的校准操作。

5 下面对校准链路中的各链路进行分别说明:

图 23A、图 23B、图 23C 以及图 23D 均为本公开实施例中发射主通路对应的校准链路中各链路的结构示意图。其中:

10 图 23A 为图 22A 中辅助接收链路的结构示意图。如图 23A 所示, 所述辅助接收链路包括: 第一混频器, 可配置为用于利用接收操作所使用的本振信号对接收的信号进行混频处理; 第一功率放大器, 可配置为用于对第一混频器输出的信号进行放大处理; 第一滤波单元, 可配置为用于对接收的信号进行滤波处理, 得到滤波信号; 第一实数数模转换器, 可配置为用于将数字的滤波信号转换为模拟的滤波信号。

15 其中, 第一混频器和第一功率放大器构成的电路, 用于模拟回波信号的接收主通路中的射频处理功能; 第一滤波单元和第一实数数模转换器构成的电路, 用于模拟回波信号的接收主通路中的中频处理功能。从信号传输功能可知, 上述辅助接收链路还可用于构成信号的接收链路。

图 23B 为图 23A 中辅助接收链路的另一结构示意图。如图 23B 所示, 所述辅助接收链路还包括: 第一加法器, 与所述第一实数数模转换器相连, 可配置为用于根据第一混频器使用的本振信号的泄露信号, 对所述第一实数数模转换器输出的信号进行补偿。

20 第一加法器能够针对辅助发射链路中第一混频器所使用的本振信号的泄露问题, 对第一实数数模转换器输出的信号进行补偿, 保证辅助接收链路中传输的信号准确性。

25 图 23C 为图 22A 中校准发射链路的结构示意图。如图 23C 所示, 所述校准发射链路包括: 第一信号产生器, 可配置为用于输出数字的原始信号; 第二实数数模转换器, 可配置为用于将数字的原始信号的转换为模拟的原始信号; 第二滤波单元, 可配置为用于对原始信号进行滤波处理, 得到滤波信号; 第二功率放大器, 可配置为用于对滤波信号进行放大处理, 得到放大信号; 第二混频器, 可配置为用于利用发射操作所使用本振信号对所述放大信号进行混频处理。

其中, 第一信号产生器和第二实数数模转换器构成的电路, 用于模拟射频信号的发射主通路中的中频处理功能; 第二功率放大器和第二混频器构成的电路, 用于模拟射频信号的发射主通路中的射频处理功能。从信号传输功能可知, 上述辅助接收链路还可用于构成信号的发射链路。

30 图 23D 为图 23C 中校准发射链路的另一结构示意图。如图 23D 所示, 所述校准发射链路还包括第二加法器和带通滤波器 (Band Pass Filter, BPF) 中的至少一个, 其中所述第二加法器, 连接于第一信号产生器与第二实数数模转换器之间, 可配置为根据第二混频器所使用的本振信号的泄露信号, 对第一信号产生器输出的信号进行补偿; 所述带通滤波器, 与第二混频器相连, 可配置为用于对所述第二混频器输出的信号进行滤波处理, 并将滤波处理后的信号发送给校准单元。

35 其中, 第一加法器能够针对校准发射链路中的本振信号的泄露问题, 对第一信号产生器输出的的信号进行补偿, 保证校准发射链路输出的信号的准确性。

其中, BPF 可被配置用于滤除校准发射链路的 LO leakage 所产生的直流信号。即校准辅助发射单元可被配置用于产生多个稳定的不同频率的单音 (Tone) 信号, 以实现辅助接收链路的校准操作。

40 其中, 校准发射链路使用的本振信号与辅助接收链路使用的本振信号由于使用同一本振信号的产生电路, 因此, 二者的本振信号的频率存在差值, 例如, 可以满足如下条件, 即, RF Tone GEN LO - 校准单元 LO = 5MHz 或 10MHz。

图 24 为本公开实施例提供的发射主通路对应的校准链路的应用示意图。如图 24 所示, 辅助接收链路可包括依次连接的混频器 Mixer、TIA、LPF、HPF、IQ ADC、加法器和 RF 校准模块 (RF

Calib)，即通过将混频器的一个输入端接收本振信号，另一个输入端则在沿信号传输方向（即图中所示的箭头方向）连接至发射主通路 PD 之前的节点，或者在移相器（模块）之后的任一节点。例如连接至 PA 的输出端（同步实现对 PA 的校准）、PA 的输入端等，以通过该校准单元对发射通路进行校准操作。其中，发射主通路中的本振信号的频率与辅助接收链路中本振信号的频率之间具有设定的差频，以使得该两个信号之间存在错频，以模拟真实的收发信号回路。

在一个可选的实施例中，为了进一步提升校准精度，针对辅助接收链路还可设置对应的校准电路（即校准发射链路单元），例如图 24 所示校准发射链路，可包括依次连接的 TX DDFS、加法器、Real DAC、LPF、放大器、乘法器和带通滤波器（Band Pass Filter，简称 BPF），其中的加法器可被配置用于对 TX LO 泄漏（TX LO leakage Waveform）进行校准补偿，而乘法器则可被配置用于补偿 RF Tone Gen LO 泄漏（leakage），BPF 可被配置用于滤除校准辅助单元的 LO leakage 所产生的直流信号。即校准辅助单元可被配置用于产生多个稳定的不同频率的单音（Tone）信号，以实现对该校准单元的校准操作。

在一些可选的实施例中，如图 24 所示，可先利用校准发射链路对辅助发射链路进行校准，然后利用校准后的辅助接收链路单元对包括诸如 PA 在内的发射主通道（Transmitter）的校准，例如对 PA 输出端的 PD、发射主通道中的移相器、DAC 到 PA 输出的总增益以及频率响应等器件及电路的校准。

具体的，如图 24 所示，可先通过利用校准发射链路产生多个稳定的且不同频率的单音信号对辅助接收链路单元进行校准，然后基于校准后的辅助接收链路来校准发射主通路的 IQ 不平衡、本振泄漏、频率响应不一致等问题。

图 25A、图 25B、图 25C 以及图 25D 均为本公开实施例中接收主通路对应的校准链路中各链路的结构示意图。其中：

图 25A 为图 22A 中中频辅助发射链路的第一结构示意图。如图 25A 所示，所述中频辅助发射链路包括：所述中频辅助发射链路包括第一信号源和第三实数数模转换器；其中第一信号源，可被配置为用于输出数字的中频校准信号；第三实数数模转换器，可被配置为用于将数字的中频校准信号的转换为模拟的中频校准信号。其中，可以根据中频单元接收的信号的频率，设置中频校准信号的频率。

利用第一信号源生成数字的中频校准信号，可以提高中频校准信号的产生效率，再通过第三实数数模转换器进行信号的转换，以便得到中频单元支持接收的信号。

在一个示例性实施例中，第一信号源可以对接收的数字信号进行分频处理，其中分频处理得到的信号频率在中频单元支持的频率范围内。

在另一个示例性实施例中，还可以通过数字移相器对信号进行处理，将数字移相器处理后的信号作为中频校准信号。例如，参见图 25A 所示，所述第一信号源包括第二信号产生器和数字移相模块；其中，所述第二信号产生器被配置为生成初始信号；以及所述数字移相模块被配置为采用数字正交调制方式对所述初始信号进行频率搬移和/或移相处理。

图 25B 为图 22A 中中频辅助发射链路的第二结构示意图。如图 25B 所示，所述中频辅助发射链路包括所述中频辅助发射链路包括第四实数数模转换器、第三混频器和第一平方器；其中所述第四实数数模转换器，可被配置为用于将预设的数字的信号转换为模拟的信号；所述第三混频器，可被配置为用于将第四实数数模转换器输出的信号和本振信号进行混频处理，得到混频信号；所述第一平方器，可被配置为用于对混频信号进行平方处理，得到所述中频校准信号。其中，该第四实数数模转换器的个数可以为一个或至少两个。

利用第三混频器利用本振信号与第四实数数模转换器输出的信号进行混频处理，得到近似单音信号的混频信号，再通过第一平方器对混频信号进行平方处理，得到单音信号，作为所述中频校准信号。

图 25C 为图 22A 中射频辅助发射链路的结构示意图。如图 25C 所示，所述射频辅助发射链路包括：第二信号源，可被配置为用于输出原始信号；第三滤波单元，可被配置为用于对原始信

号进行滤波处理，得到滤波信号；第三功率放大器，可被配置为用于对滤波信号进行放大处理，得到放大信号；第四混频器，可被配置为用于利用本振信号对所述放大信号进行混频处理，得到所需信号。

5 其中，第二信号源和第三滤波单元构成的电路，用于模拟信号的发射主通路中中频信号的处理功能；第三功率放大器和第四混频器构成的电路，用于信号的发射主通路中射频信号的处理功能。从信号传输功能可知，该射频辅助发射链路可用作信号的发射链路。

在一些示例性实施例中，第二信号源可以利用直接数字频率合成器生成数字信号，可以提高信号的产生效率，再通过数模转换器进行信号的转换，得到所述原始信号。

10 图 25D 为图 25C 所示射频辅助发射链路的另一结构示意图。如图 25D 所示，所述射频辅助发射链路包括正交补偿单元、第二平方器和第三加法器中的至少一个，其中：

所述正交补偿单元，一端与所述第二信号源相连，另一端与所述第三滤波单元相连，可被配置为用于在所述第二信号源输出的初始信号为正交信号时，对接收的初始信号的正交失衡进行补偿。在第二信号源输出的正交信号后，通过对正交信号之前进行正交失衡的补偿，可以有效避免后续信号处理中正交失衡的进一步恶化，有效保证信号质量。

15 第二平方器，与所述中频单元的信号输入端相连，可配置为对所述第四混频器输出的信号进行处理，并输出给校准后的中频单元。利用第二平方器可以有效去除因正交失衡问题造成的第四混频器输出的信号存在的残留边带问题，保证信号输出的准确性，从而为射频辅助发射链路的校准提供支持。

20 第三加法器，一端与所述第二信号源相连，另一端与所述第三滤波单元相连，可配置为根据第四混频器所使用的本振信号的泄露信号，对第二信号源输出的信号进行补偿。第三加法器能够针对校准发射链路中的本振信号的泄露问题，对第二信号源输出的信号进行补偿，保证射频辅助发射链路输出的信号的准确性。

25 图 26 为本公开实施例提供的接收主通路对应的校准链路的应用示意图。如图 26 所示，接收主通路可包括与接收天线依次连接地 LNA、混频器、TIA、LPF、HPF、Real ADC、加法器和基带处理模块（BB processor）。其中：

中频辅助发射链路可包括依次连接的分频器和实数 ADC，其中中频辅助发射链路中的实数 ADC 的输出端与 TIA 的信号输入端相连；中频辅助发射链路可包括依次连接的 TX DDFS、IQ 失衡补偿模块、加法器、IQ DAC、LPF、TIA 以及混频器，其中混频器的输出端可切换地与连接在 PD 与接收天线之间，或者，连接在 TIA 的信号输入端。

30 在图 26 所示结构中，可以利用中频辅助发射链路输出中频校准信号，实现对中频单元的校准，至少完成对接收主通路中基带处理模块和 Real ADC 的校准；再利用射频辅助发射链路向 TIA 的信号输出端输出信号，利用基带处理模块对信号的处理结果，实现对射频辅助发射链路的校准，至少完成对 TX LO 泄露和 IQ 失衡的校准操作；最后，射频辅助发射链路向接收主通路中 LNA 的信号输入端输出信号，对接收主通路中的 RX LO 泄露问题和 RX 频率响应问题进行校准。其中，
35 射频辅助发射链路可被配置用于产生多个稳定的不同频率的单音（Tone）信号，以实现对接收主通路中射频单元的校准操作。可以将射频辅助发射链路的输出端连接至 PD 与接收天线之间，或者，连接至 LNA 的信号输入端等，从而实现包括对 LNA 的输入端的 PD、LNA 至 Real ADC 的总增益以及频率响应的辅助校准。

40 图 27A 和图 27B 为本公开实施例提供的中频辅助发射链路的应用示意图。图 27A 和图 27B 的区别在于，图 27A 和图 27B 所使用的 DAC 的个数不同。其中：

图 27A 所使用的 DAC 的个数为一个，将 DAC1 作为信号源，通过混频器利用接收主通路所使用的本振信号对 DAC1 输出的信号进行下变频处理，再通过平方器去除混频器输出的信号的残留边带，得到所需的中频校准信号。

45 图 27B 所使用 DAC 的个数为两个，其中 DAC1 产生的信号的比特数高于 DAC2 产生的信号的比特数，例如，DAC1 为 10-bit DAC，DAC2 为 1-bit DAC；另外，图 27B 中两个 DAC 输出的

信号的处理方式也存在差异，DAC1 输出的信号由混频器处理，而 DAC2 输出的信号由分频器处理，因此，DAC1 的时钟频率要明显低于 DAC2 的时钟频率，其中 DAC1 的时钟频率可以与接收主通路中的 ADC 的时钟频率一致，如可以为 60MHz，而 DAC2 的时钟频率要为更高的频率，可以为 1.2GHz。

5 其中，分频器输出的信号经 DAC2 处理得到中频校准信号，其中，该中频校准信号可以切换地输出至 TIA 的信号输入端、HPF 的信号输入端、VGA 的信号输入端或者 ADC 的信号输入端，从而完成对中频单元中不同元件或元件组合的校准。

本公开实施例提供一种信号传输链路包括：信号传输主通路，可配置为用于传输电磁波信号；以及校准链路，集成于包括有所述信号传输主通路的器件中，以用于对所述信号传输主通路进行校准；其中，所述信号传输主通路基于所述校准链路得到的校准信息进行校准操作，其中校准后的信号传输主通路执行信电磁波信号的传输操作。

需要说明的是，上述校准链路可为本申请任一实施例所阐述的任一校准链路。其中，信号传输主通路与所述校准链路集成于同一芯片内或同一 PCD 板或同一 PCB 板上，以支持对信号传输主通路的实时检测。

15 另外，在信号传输主通路邻近区域有部署空间时，可以优先将校准链路部署在距离该信号传输主通路尽量近的距离，以降低信号传输中损耗和干扰对校准结果的影响。

本申请实施例提供的信号发射链路，由于校准链路集成于包括有所述信号传输主通路的集成电路中，使得校准链路能实时对信号传输主通路进行校准操作，且校准链路的校准操作可以不受信号传输主通路的运行环境的变化而变化，使得信号传输主通路能够得到更加精确的校准信息，从而提高信号传输主通路的信号处理性能。

另外，本公开实施例提供的集成电路具有相邻且间隔设置的两条信号传输主通路以及设置在所述两条信号传输主通路之间的上文任一所述的校准链路，其中所述校准链路供所述两条信号传输主通路共有。

进一步的，该集成电路，可包括上述任一项的信号收发链路。可选的，该集成电路可为毫米波雷达芯片（chip or die）。在一些可选的实施例中，所述集成电路可为 AiP（Antenna-In-Package，封装内天线）芯片结构、AoP（Antenna-On-Package，封装上天线）芯片结构或 AoC（Antenna-On-Chip，片上天线）芯片结构。

根据本公开的另一些实施例，本公开实施例还提出一种电磁波器件。该电磁波器件可包括天线，以及如前所述的集成电路。其中，集成电路与天线电连接，用于收发电磁波信号。例如，该电磁波器件可包括：载体、如上述任一实施例所述的集成电路和天线等，所述集成电路可设置在载体上；天线可设置在载体上（即此时该天线可为设置 PCB 板上的天线，也可为 RoP（Radiator on Package）天线结构，即通过在封装上设置辐射结构 Radiator，并在 Radiator 周围用球围成波导结构，RF 信号通过辐射结构过渡到该波导结构中，再由波导结构转换到外接天线），或者与所述集成电路集成为一体器件设置在所述载体上（即此时该天线可为 AiP、AoP 或 AoC 结构中所设置的天线）；其中，所述集成电路与天线连接（即此时传感芯片或集成电路未集成有天线，如常规的 SoC 等），用于收发电磁波信号。其中，载体可以为印刷电路板 PCB。

本公开实施例提供了一种设备，可包括：设备本体；以及设置于设备本体上的如上述的电磁波器件；其中，电磁波器件用于目标检测和/或通信，以向设备本体的运行提供参考信息。

本公开实施例还提供了一种电子设备，该电子设备可以通用计算设备的形式表现。电子设备的组件可以包括但不限于：至少一个处理单元、至少一个存储单元、连接不同系统组件（包括存储单元和处理单元）的总线、显示单元等。其中，存储单元存储有程序代码，程序代码可以被处理单元执行，使得处理单元执行本说明书描述的根据本公开各种示例性实施方式的方法。存储单元可以包括易失性存储单元形式的可读介质，例如随机存取存储单元（RAM）和/或高速缓存存储单元，还可以进一步包括只读存储单元（ROM）。

45 存储单元还可以包括具有一组（至少一个）程序模块的程序/实用工具，这样的程序模块包括

但不限于：操作系统、一个或者多个应用程序、其它程序模块以及程序数据，这些示例中的每一个或某种组合中可能包括网络环境的实现。

总线可以为表示几类总线结构中的一种或多种，包括存储单元总线或者存储单元控制器、外围总线、图形加速端口、处理单元或者使用多种总线结构中的任意总线结构的局域总线。

- 5 电子设备也可以与一个或多个外部设备（例如键盘、指向设备、蓝牙设备等）通信，还可与一个或者多个使得用户能与该电子设备交互的设备通信，和/或与使得该电子设备能与一个或多个其它计算设备进行通信的任何设备（例如路由器、调制解调器等等）通信。这种通信可以通过输入/输出（I/O）接口进行。并且，电子设备还可以通过网络适配器与一个或者多个网络（例如局域网（LAN），广域网（WAN）和/或公共网络，例如因特网）通信。网络适配器可以通过总线与电子设备的其它模块通信。应当明白，尽管图中未示出，可以结合电子设备使用其它硬件和/或软件模块，包括但不限于：微代码、设备驱动器、冗余处理单元、外部磁盘驱动阵列、RAID系统、磁带驱动器以及数据备份存储系统等。

例如，本公开实施例中的电子设备还可包括：设备本体；以及设置于设备本体上的如上述任一实施例中所阐述的电磁波器件；其中，该电磁波器件可用于实现目标检测和/或无线通信等功能。

- 15 具体地，在上述实施例的基础上，在本公开的一个可选的实施例中，电磁波器件可以设置在设备本体的外部，或者设置在设备本体的内部，而在本公开的其他可选的实施例中，电磁波器件还可以一部分设置在设备本体的内部，一部分设置在设备本体的外部。本公开实施例对此不作限定，具体可视情况而定。

- 20 在一个可选的实施例中，上述设备本体可为应用于诸如智慧城市、智能住宅、交通、智能家居、消费电子、安防监控、工业自动化、舱内检测（如智能座舱）、医疗器械及卫生保健等领域的部件及产品。例如，该设备本体可为智能交通运输设备（如汽车、自行车、摩托车、船舶、地铁、火车等）、安防设备（如摄像头）、液位/流速检测设备、智能穿戴设备（如手环、眼镜等）、智能家居设备（如扫地机器人、门锁、电视、空调、智能灯等）、各种通信设备（如手机、平板电脑等）等，以及诸如道闸、智能交通指示灯、智能指示牌、交通摄像头及各种工业化机械臂（或机器人）等，也可为用于检测生命特征参数的各种仪器以及搭载该仪器的各种设备，例如汽车舱内生命特征检测、室内人员监控、智能医疗设备、消费电子设备等。

本公开实施例还提供了一种非瞬时性计算机可读存储介质，其上存储有计算机可读指令，当指令被处理器执行时，使得处理器执行如上述的信号发射方法。

- 30 通过以上的实施方式的描述，本领域的技术人员易于理解，这里描述的示例实施方式可以通过软件实现，也可以通过软件结合必要的硬件的方式来实现。根据本公开实施方式的技术方案可以以软件产品的形式体现出来，该软件产品可以存储在一个非易失性存储介质（可以是CD-ROM，U盘，移动硬盘等）中或网络上，包括若干指令以使得一台计算设备（可以是个人计算机、服务器、或者网络设备等等）执行根据本公开实施方式的上述方法。

- 35 软件产品可以采用一个或多个可读介质的任意组合。可读介质可以是可读信号介质或者可读存储介质。可读存储介质例如可以为但不限于电、磁、光、电磁、红外线、或半导体的系统、装置或器件，或者任意以上的组合。可读存储介质的更具体的例子（非穷举的列表）包括：具有一个或多个导线的电连接、便携式盘、硬盘、随机存取存储器（RAM）、只读存储器（ROM）、可擦式可编程只读存储器（EPROM或闪存）、光纤、便携式紧凑盘只读存储器（CD-ROM）、光存储器件、磁存储器件、或者上述的任意合适的组合。

- 40 计算机可读存储介质可以包括在基带中或者作为载波一部分传播的数据信号，其中承载了可读程序代码。这种传播的数据信号可以采用多种形式，包括但不限于电磁信号、光信号或上述的任意合适的组合。可读存储介质还可以是可读存储介质以外的任何可读介质，该可读介质可以发送、传播或者传输用于由指令执行系统、装置或者器件使用或者与其结合使用的程序。可读存储介质上包含的程序代码可以用任何适当的介质传输，包括但不限于无线、有线、光缆、RF等等，或者上述的任意合适的组合。

45

可以以一种或多种程序设计语言的任意组合来编写用于执行本公开操作的程序代码，程序设计语言包括面向对象的程序设计语言—诸如 Java、C++等，还包括常规的过程式程序设计语言—诸如“C”语言或类似的程序设计语言。程序代码可以完全地在用户计算设备上执行、部分地在用户设备上执行、作为一个独立的软件包执行、部分在用户计算设备上部分在远程计算设备上执行、或者完全在远程计算设备或服务器上执行。在涉及远程计算设备的情形中，远程计算设备可以通过任意种类的网络，包括局域网（LAN）或广域网（WAN），连接到用户计算设备，或者，可以连接到外部计算设备（例如利用因特网服务提供商来通过因特网连接）。

5

上述计算机可读介质承载有一个或者多个程序，当上述一个或者多个程序被一个该设备执行时，使得该计算机可读介质实现前述功能。

10

本领域技术人员可以理解上述各模块可以按照实施例的描述分布于装置中，也可以进行相应变化唯一不同于本实施例的一个或多个装置中。上述实施例的模块可以合并为一个模块，也可以进一步拆分成多个子模块。

15

根据本公开的实施例，提出一种计算机程序，包括计算机程序或指令，该计算机程序或指令被处理器执行时，可以执行以上描述的方法。在一个可选的实施例中，上述集成电路可以为毫米波雷达芯片。集成电路中的数字功能模块的种类可以根据实际需求确定。例如，在毫米波雷达芯片，收端基带数字模块可以用于诸如距离维多普勒变换、速度维多普勒变换、恒虚警检测、波达方向检测、点云处理等，用于获取目标的距离、水平角、俯仰角、速度、高度、微多普勒运动特性、形状、尺寸、表面粗糙度及介电特性等信息。

20

需要说明的是，无线电器件可通过发射及接收无线电信号实现诸如目标检测和/或通信等功能，以向设备本体提供检测目标信息和/或通讯信息，进而辅助甚至控制设备本体的运行。

例如，当上述的设备本体应用于先进驾驶辅助系统（即 ADAS）时，作为车载传感器的无线电器件（如毫米波雷达）则可辅助 ADAS 系统实现诸如自适应巡航、自动刹车辅助（即 AEB）、盲点检测预警（即 BSD）、辅助变道预警（即 LCA）、倒车辅助预警（即 RCTA）、泊车辅助、后方车辆示警、防撞、行人探测等应用场景。

25

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

30

以上所述实施例仅表达了本公开的较佳实施例及所运用技术原理，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本公开的保护范围。因此，虽然通过以上实施例对本公开进行了较为详细的说明，但是本公开不仅仅限于以上实施例，在不脱离本公开构思的情况下，还可以包括更多其他等效实施例，而本公开专利的保护范围由所附的权利要求范围决定。

35

权 利 要 求 书

1. 一种信号传输主通路的校准链路，所述信号传输主通路用于传输电磁波信号，所述校准链路集成在包括所述信号传输主通路的集成电路中，所述校准链路至少连接至所述信号传输主通路与所述信号传输主通路对应的天线之间；其中：

5 所述校准链路，可配置为用于对信号传输主通路进行校准，得到校准信息；

其中，所述信号传输主通路，可配置为用于基于所述校准链路得到的校准信息进行校准操作，其中校准后的信号传输主通路传输电磁波信号。

2. 如权利要求 1 所述的校准链路，其特征在于：所述校准链路在所述集成电路出厂前、在所述集成电路发/收信号的间隙中至少一个对所述信号传输主通路进行校准，并基于所述校准链路上一次校准所得到的校准信息，对所传输的信息进行实时补偿。

3. 如权利要求 1 所述的校准链路，其特征在于：所述集成电路中设置有至少两路所述信号传输主通路；其中，任一路所述校准链路，可配置为用于对至少两路所述信号传输主通路进行校准。

4. 如权利要求 1 所述的校准链路，其特征在于，所述校准链路所传输的信号为单音信号。

5. 如权利要求 1 至 4 中任一项所述的校准链路，其特征在于：

所述电磁波信号为雷达信号；

20 所述信号传输主通路包括回波信号的接收主通路和/或射频信号的发射主通路，所述校准链路对应包括所述接收主通路对应的辅助发射链路和/或所述发射主通路对应的辅助接收链路，所述天线对应包括所述接收主通路对应的接收天线和/或所述发射主通路对应的发射天线；

所述辅助接收链路连接于所述发射主通路与对应所述发射天线之间，可配置为用于对所述发射主通路所发射的射频信号进行校准；以及

25 所述接收主通路包括与接收天线依次相连的射频单元和中频单元，对应的，所述辅助发射链路包括与所述中频单元对应的中频辅助发射链路和与所述射频单元对应的射频辅助发射链路中的至少一个，其中所述中频辅助发射链路连接于所述接收主通路的中频信号输出端，可配置为用于对所述接收主通路所接收的回波信号进行下降频后得到的中频信号进行校准；所述射频辅助发射链路连接于所述接收主通路与对应所述接收天线之间，可配置为用于对所述接收主通路所接收的回波信号进行校准。

30 6. 如权利要求 5 所述的校准链路，其特征在于，所述辅助接收链路包括：

第一混频器，可配置为用于利用接收操作所使用的本振信号对接收的信号进行混频处理；

第一功率放大器，可配置为用于对第一混频器输出的信号进行放大处理；

第一滤波单元，可配置为用于对接收的信号进行滤波处理，得到滤波信号；

35 第一实数数模转换器，可配置为用于将数字的滤波信号转换为模拟的滤波信号。

7. 如权利要求 6 所述的校准链路，其特征在于，所述辅助接收链路还包括：

第一加法器，与所述第一实数数模转换器相连，可配置为用于根据第一混频器使用的本振信号的泄露信号，对所述第一实数数模转换器输出的信号进行补偿。

8. 如权利要求 5 至 7 任一项所述的校准链路，其特征在于：
所述校准链路还包括所述辅助接收链路对应的校准发射链路；
其中，所述校准发射链路，可配置为用于对所述辅助接收链路进行校准操作；对应的，所述辅助发射链路基于所述校准接收链路得到的校准信息进行校准操作，其中校准后的辅助接收链路对所述发射主通路进行校准操作。
9. 如权利要求 8 所述的校准链路，其特征在于，所述校准发射链路包括：
第一信号产生器，可配置为用于输出数字的原始信号；
第二实数数模转换器，可配置为用于将数字的原始信号的转换为模拟的原始信号；
第二滤波单元，可配置为用于对原始信号进行滤波处理，得到滤波信号；
第二功率放大器，可配置为用于对滤波信号进行放大处理，得到放大信号；
第二混频器，可配置为用于利用发射操作所使用本振信号对所述放大信号进行混频处理。
10. 如权利要求 9 所述的校准链路，其特征在于，所述校准发射链路还包括第二加法和带通滤波器中的至少一个，其中：
所述第二加法器，连接于第一信号产生器与第二实数数模转换器之间，可配置为根据第二混频器所使用的本振信号的泄露信号，对第一信号产生器输出的信号进行补偿；
所述带通滤波器，与所述第二混频器相连，可配置为用于对所述第二混频器输出的信号进行滤波处理，并将滤波处理后的信号发送给校准单元。
11. 如权利要求 5 所述的校准链路，其特征在于，所述中频辅助发射链路包括：
所述中频辅助发射链路包括第一信号源和第三实数数模转换器；其中第一信号源，可被配置为用于输出数字的中频校准信号；第三实数数模转换器，可被配置为用于将数字的中频校准信号的转换为模拟的中频校准信号；
或者，
所述中频辅助发射链路包括第四实数数模转换器、第三混频器和第一平方器；其中所述第四实数数模转换器，可被配置为用于将预设的数字的信号转换为模拟的信号；所述第三混频器，可被配置为用于将第四实数数模转换器输出的信号和本振信号进行混频处理，得到混频信号；所述第一平方器，可被配置为用于对混频信号进行平方处理，得到所述中频校准信号。
12. 如权利要求 11 所述的校准链路，其特征在于：
所述第一信号源包括第二信号产生器和数字移相模块；其中，所述第二信号产生器被配置为生成初始信号；以及所述数字移相模块被配置为采用数字正交调制方式对所述初始信号进行频率搬移和/或移相处理。
13. 根据权利要求 5 所述的校准链路，其特征在于，所述射频辅助发射链路还与所述中频单元的输入端相连；其中：
在所述中频单元完成校准操作后，利用校准后的中频单元对射频辅助发射链路进行校准；利用校准后的射频辅助发射链路对所述射频单元进行校准。
14. 根据权利要求 5 或 13 所述的校准链路，其特征在于，所述射频辅助发射链路包括：
第二信号源，可被配置为用于输出原始信号；

第三滤波单元，可被配置为用于对原始信号进行滤波处理，得到滤波信号；

第三功率放大器，可被配置为用于对滤波信号进行放大处理，得到放大信号；

第四混频器，可被配置为用于利用本振信号对所述放大信号进行混频处理，得到所需信号。

5 15. 根据权利要求 14 所述的校准链路，其特征在于，所述射频辅助发射链路包括正交补偿单元、第二平方器和第三加法器中的至少一个，其中：

所述正交补偿单元，一端与所述第二信号源相连，另一端与所述第三滤波单元相连，可被配置为用于在所述第二信号源输出的初始信号为正交信号时，对接收的初始信号的正交失衡进行补偿；

10 所述第二平方器，与所述中频单元的信号输入端相连，可配置为对所述第四混频器输出的信号进行处理，并输出给校准后的中频单元；

所述第三加法器，一端与所述第二信号源相连，另一端与所述第三滤波单元相连，可配置为根据第四混频器所使用的本振信号的泄露信号，对第二信号源输出的信号进行补偿。

16. 一种信号传输链路，包括：

15 信号传输主通路，可配置为用于传输电磁波信号；以及

校准链路，集成于包括有所述信号传输主通路的器件中，以用于对所述信号传输主通路进行校准；

其中，所述信号传输主通路基于所述校准链路得到的校准信息进行校准操作，其中校准后的信号传输主通路执行信电磁波信号的传输操作。

20 17. 如权利要求 16 所述的信号传输链路，其特征在于，所述校准链路为权利要求 1 至 15 中任一项所述的校准链路。

18. 如权利要求 16 或 17 所述的信号传输链路，其特征在于，所述信号传输主通路与所述校准链路集成于同一芯片内或同一 PCD 板或同一 PCB 板上。

25 19. 一种集成电路，所述集成电路设置有至少两条信号传输主通路以及设置在所述两条相邻发射主通路之间的如权利要求 1 至 15 任一项所述的校准链路，其中所述校准链路供所述两条信号传输主通路共有。

20. 一种电磁波器件，包括：

承载体；

如权利要求 19 所述的集成电路，设置在所述承载体上；

30 天线，设置在所述承载体上，或者所述天线与所述集成电路集成为一体器件设置在所述承载体上；所述天线包括发射天线和接收天线；

其中，所述集成电路与所述天线连接，用于发射电磁波信号和/或接收电磁波信号。

21. 一种用户终端设备，包括：

设备本体；以及

35 设置于所述设备本体上的如权利要求 20 所述的电磁波器件；

其中，所述电磁波器件用于目标检测和/或无线通信，以向所述设备本体的运行提供参考信息。

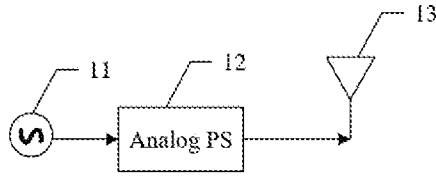


图 1A

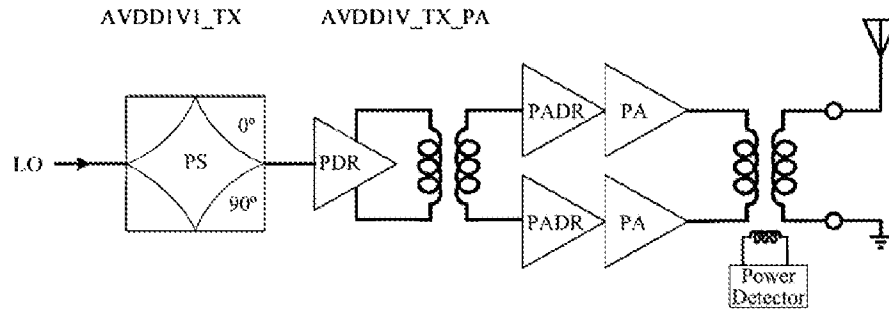


图 1B

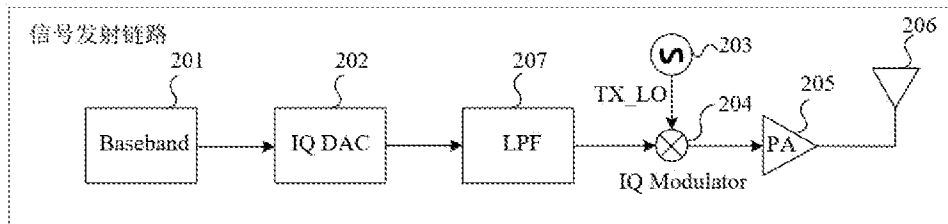


图 2

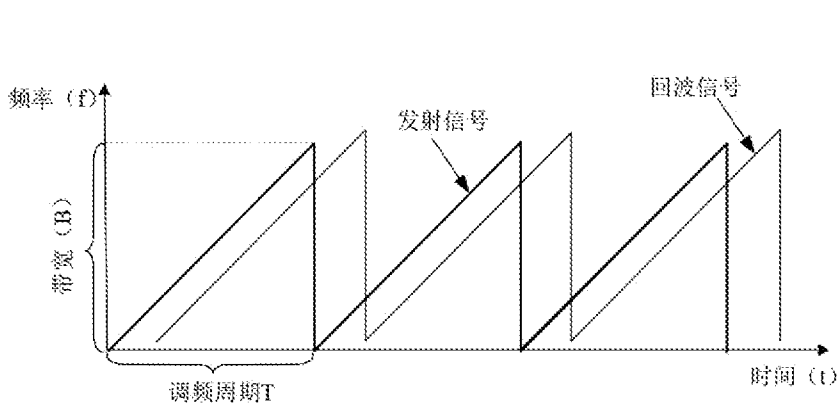


图 3

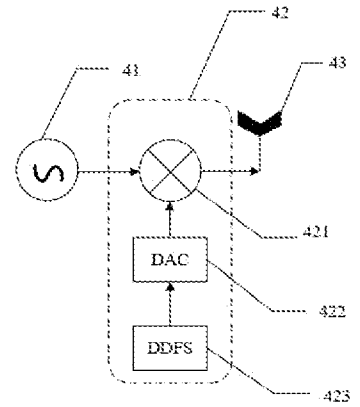


图 4

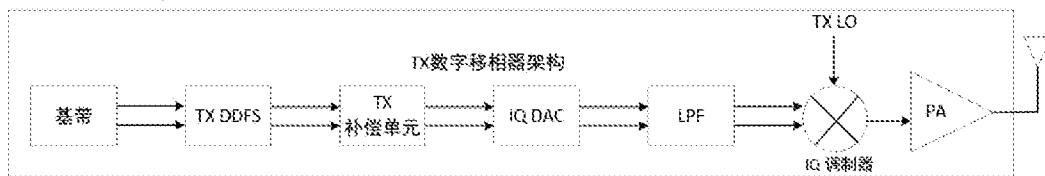


图 5

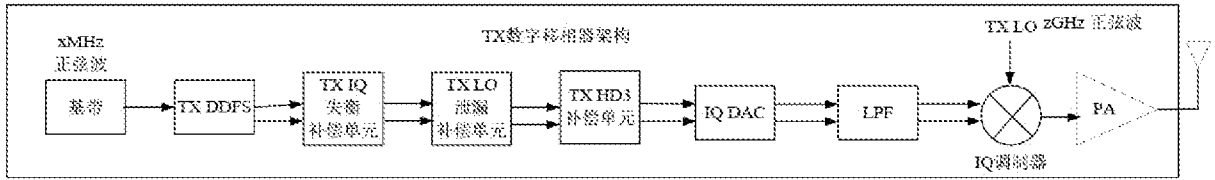


图 6

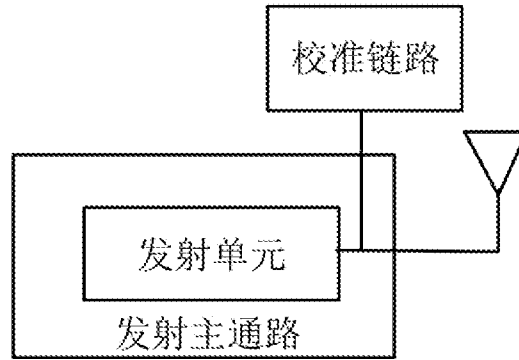


图 7

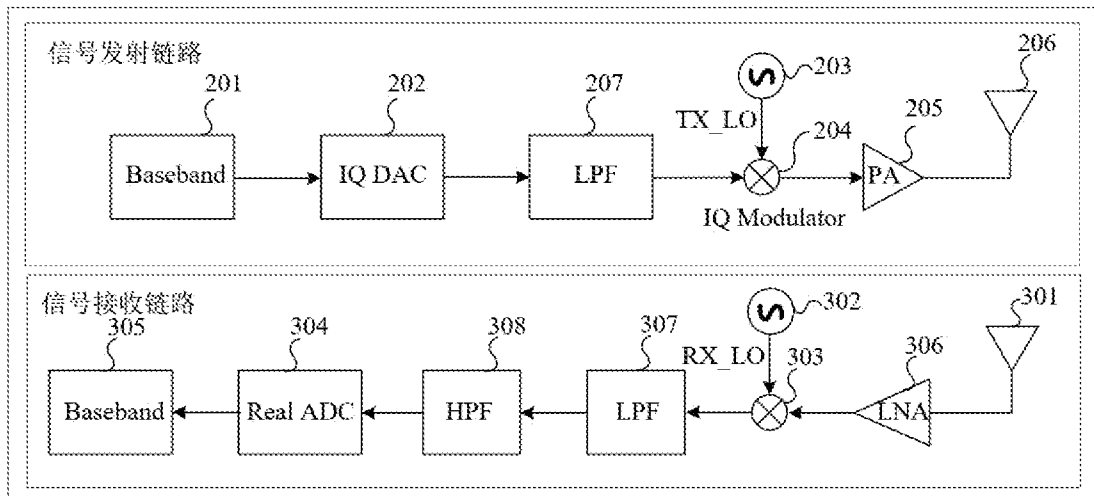


图 8

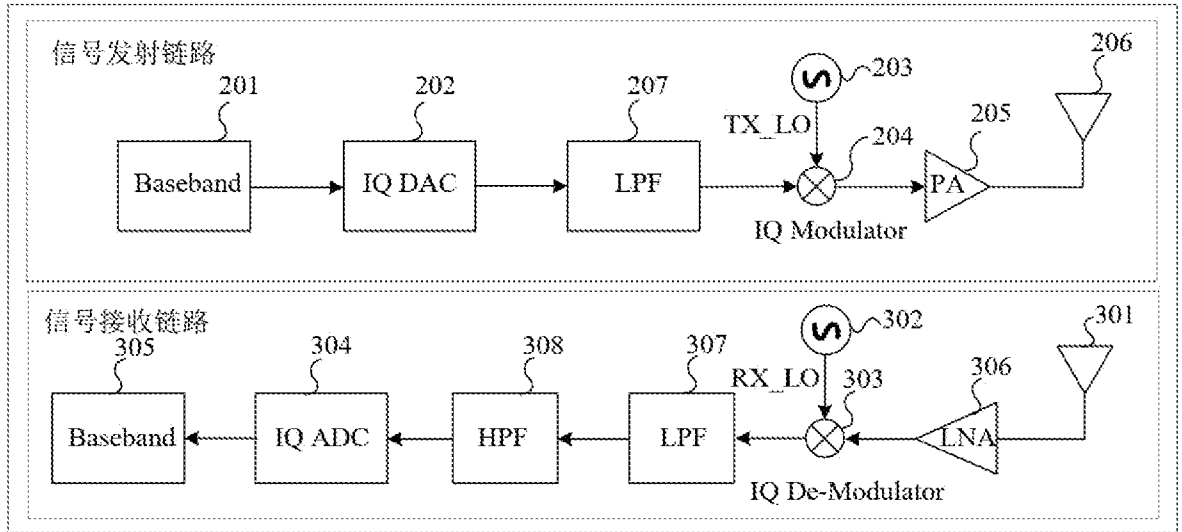


图 9

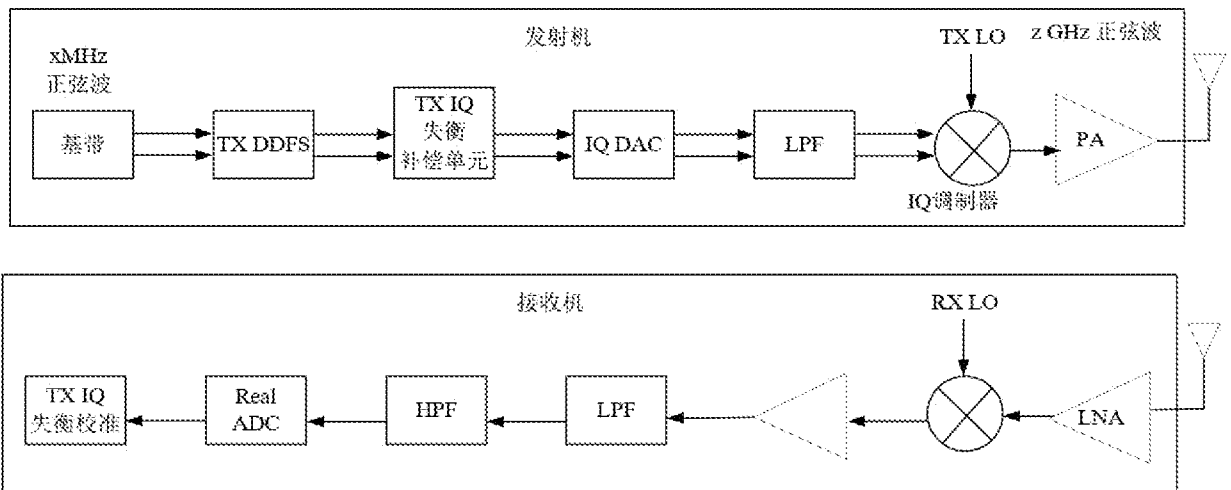


图 10

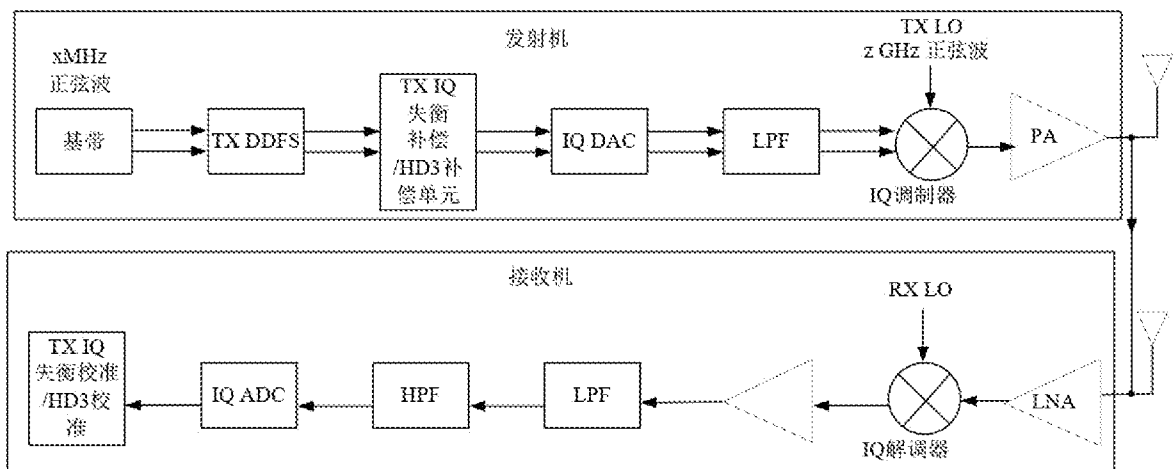


图 11

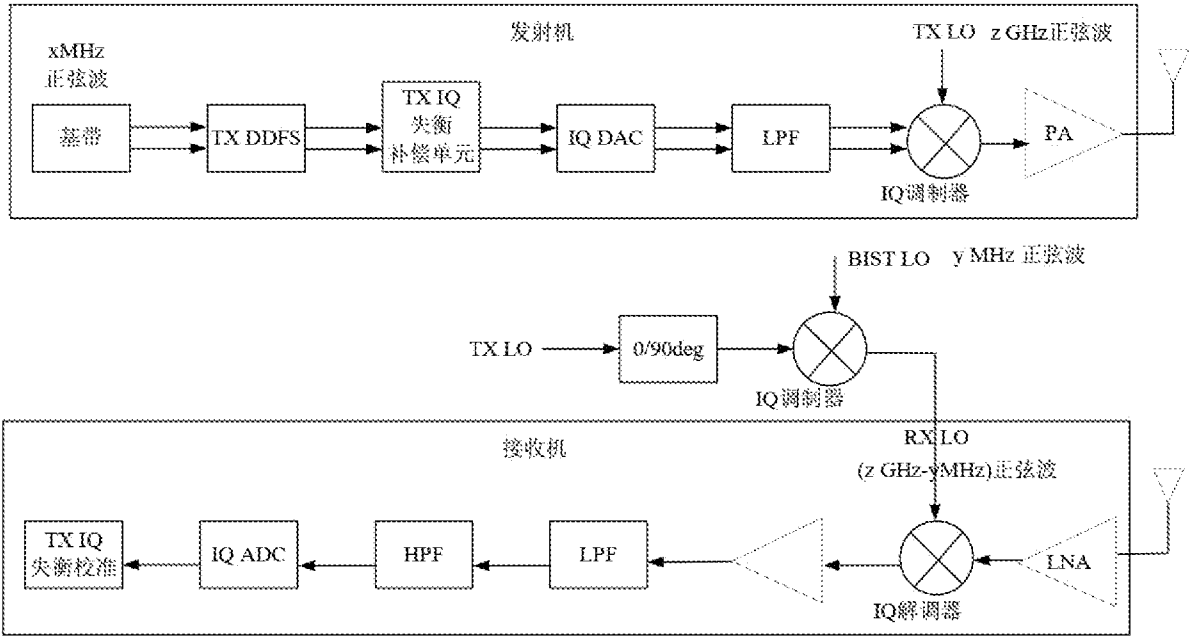


图 12

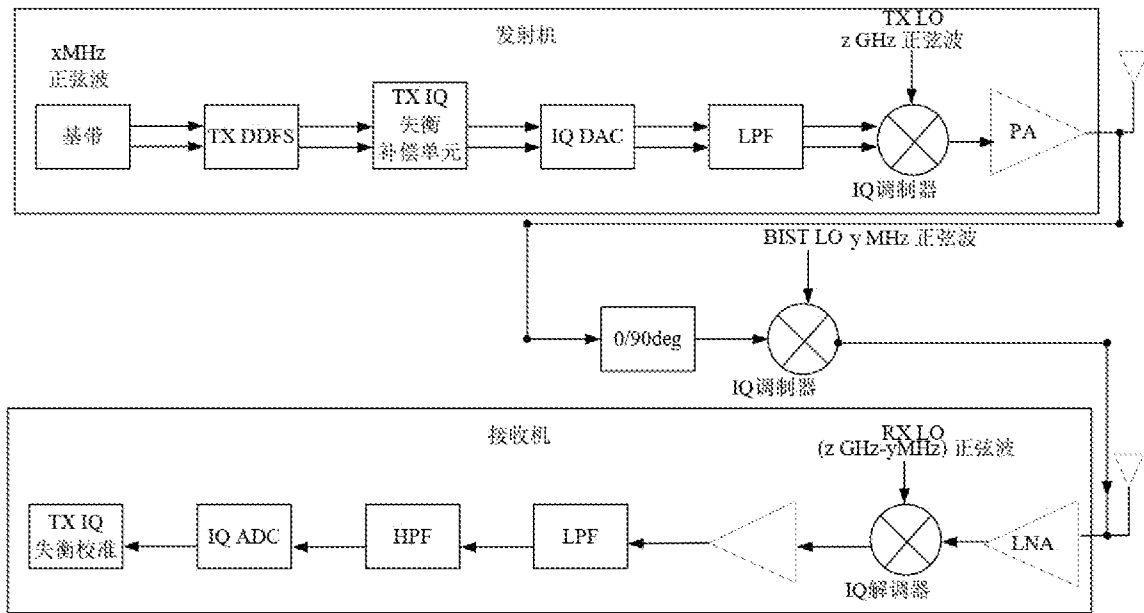


图 13

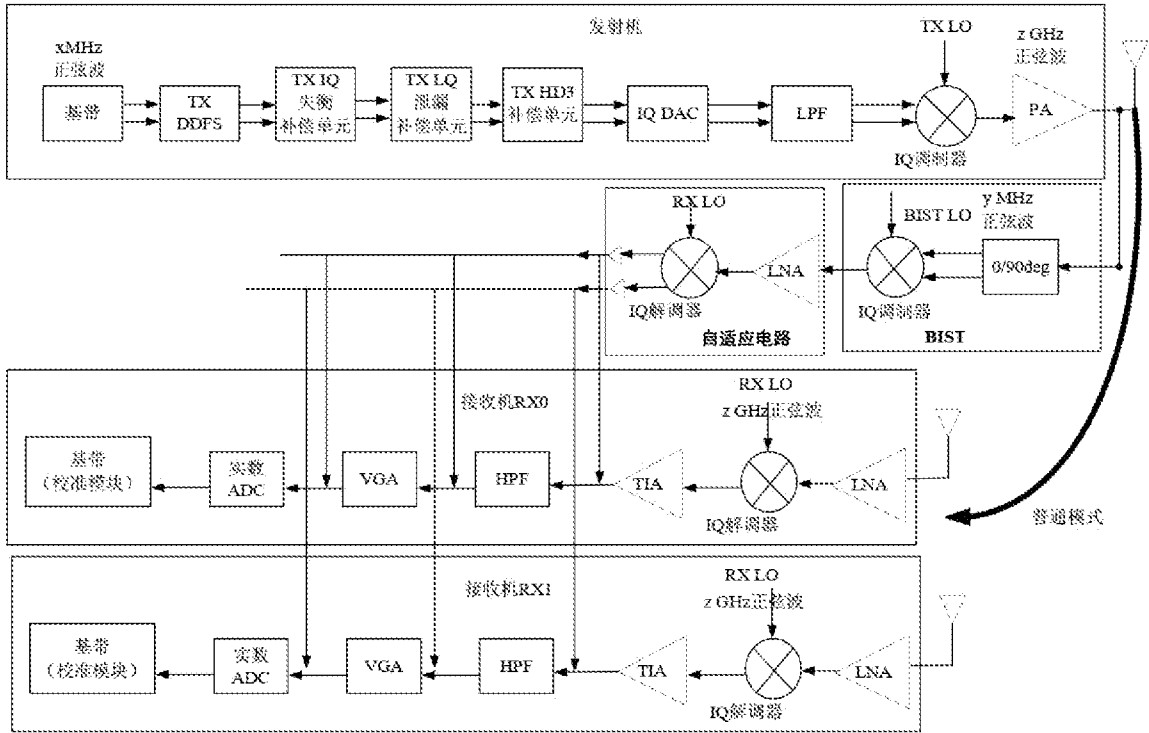


图 14

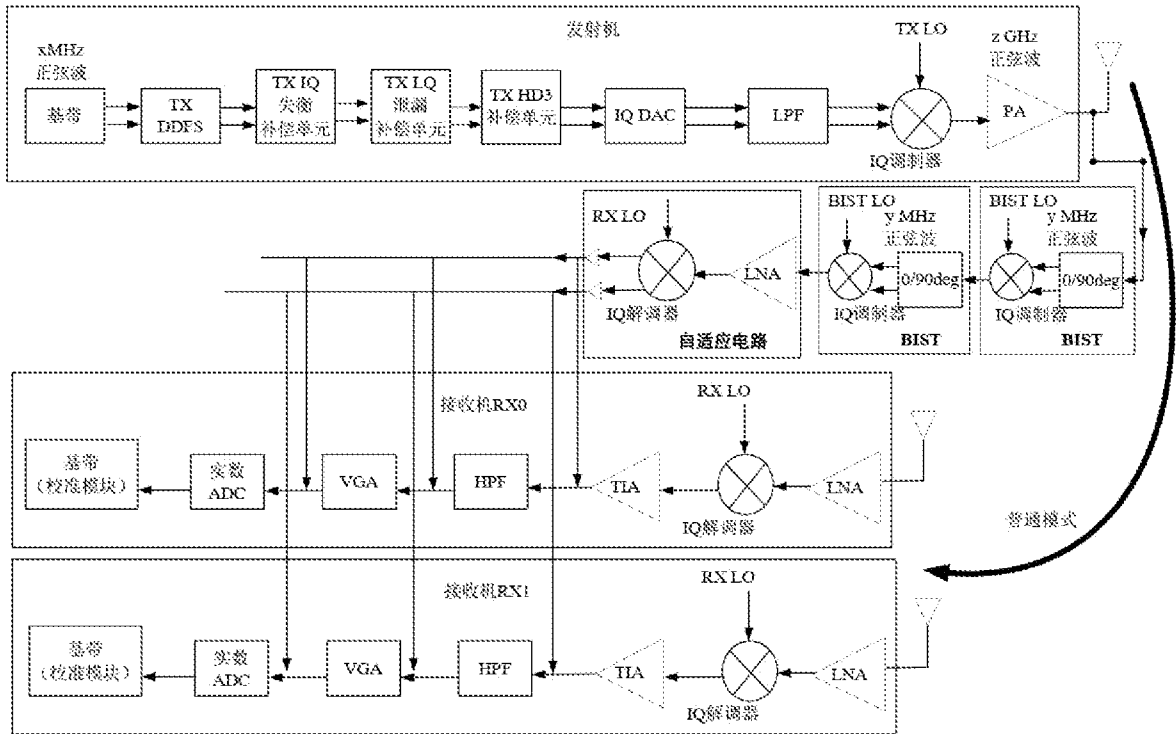


图 15

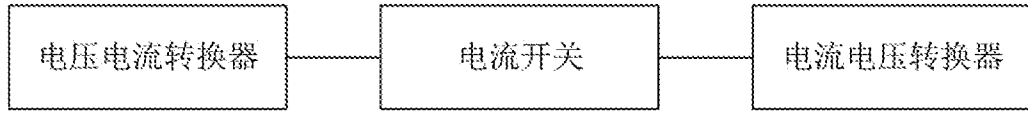


图 16

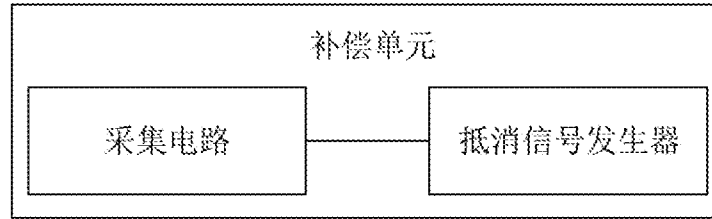


图 17

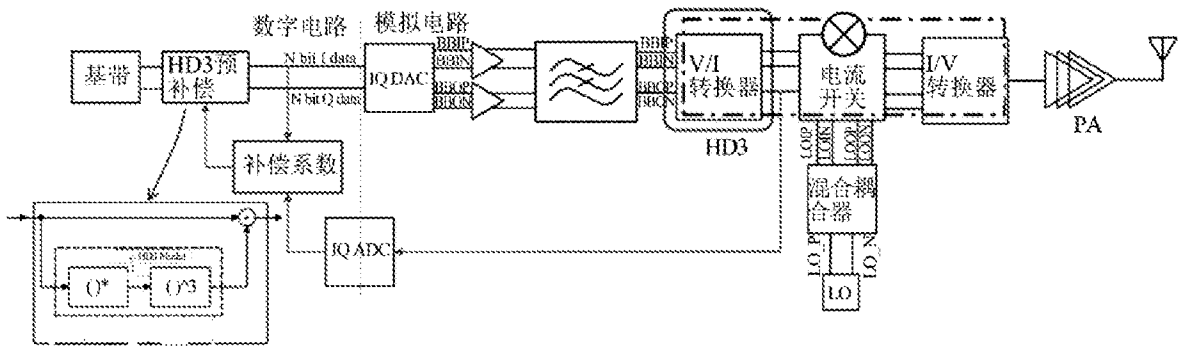


图 18

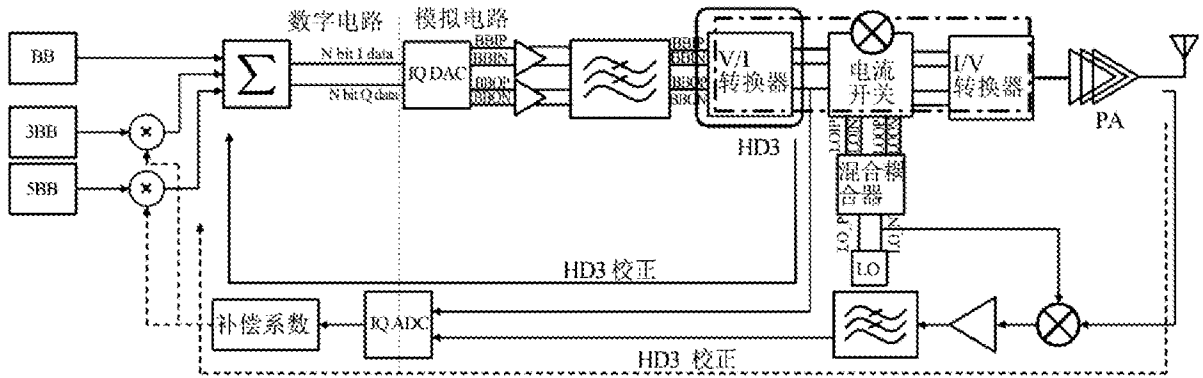


图 19

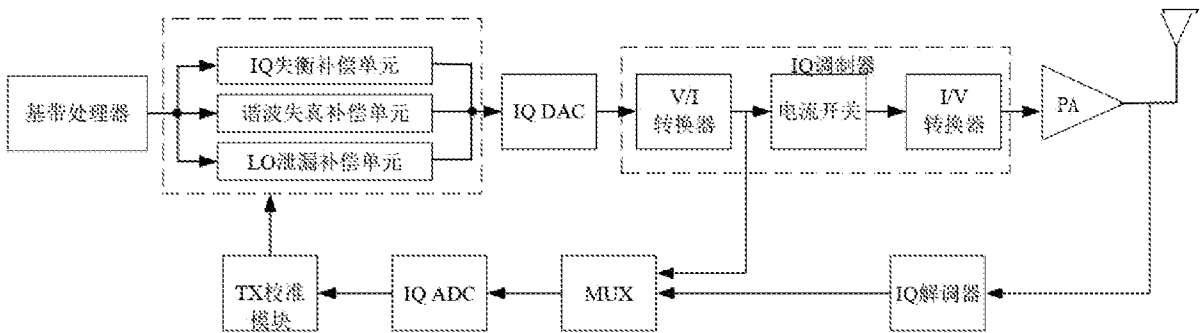


图 20

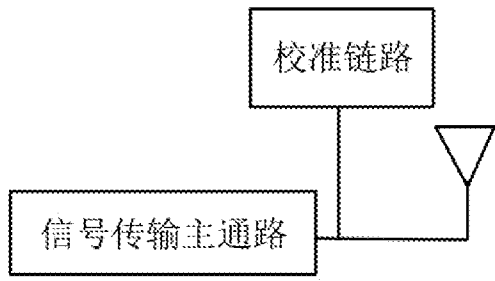


图 21A

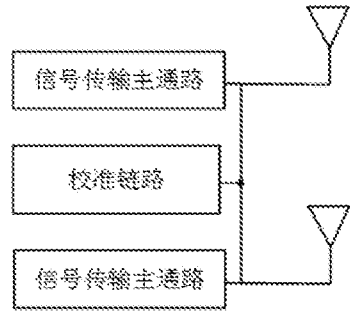


图 21B

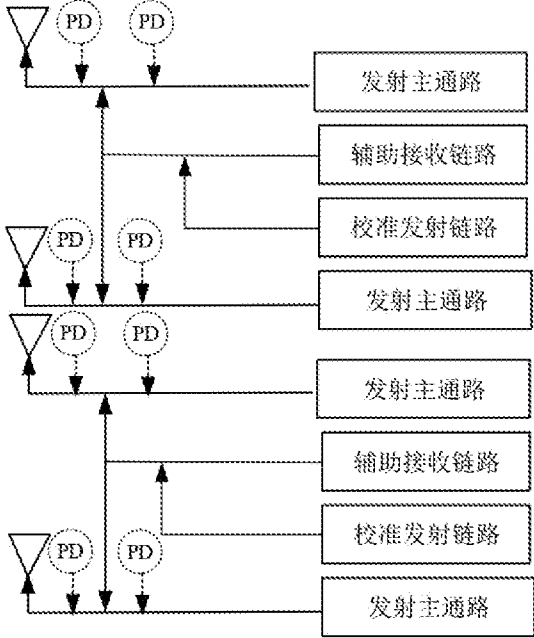


图 22A

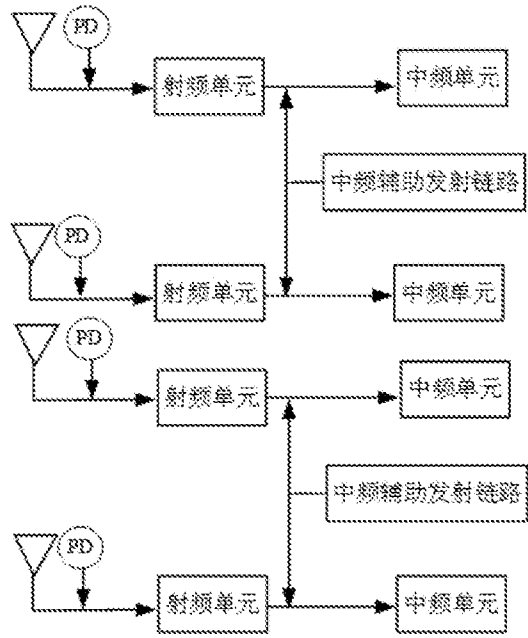


图 22B

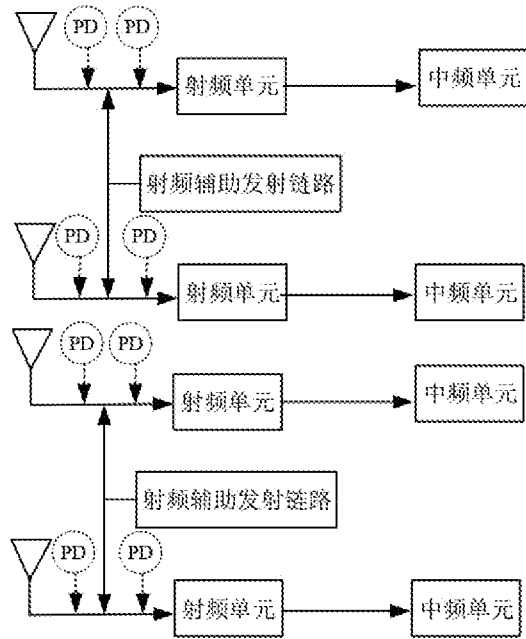


图 22C

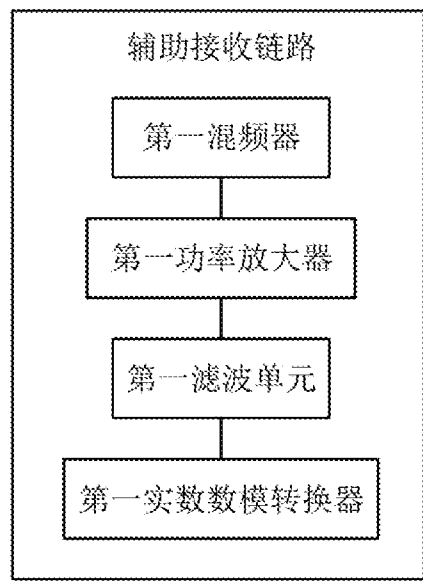


图 23A

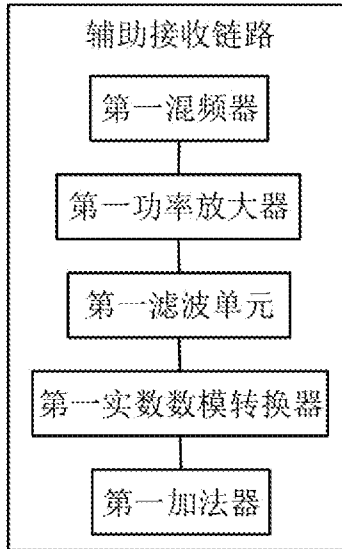


图 23B

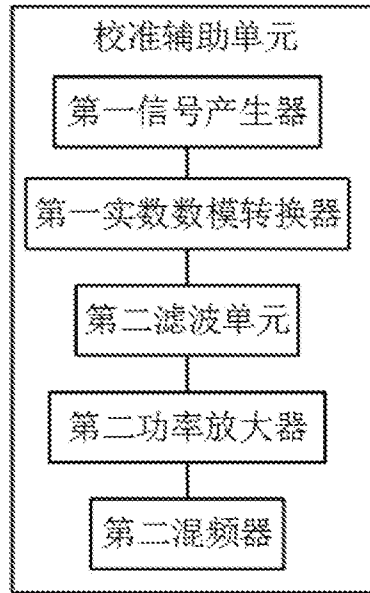


图 23C

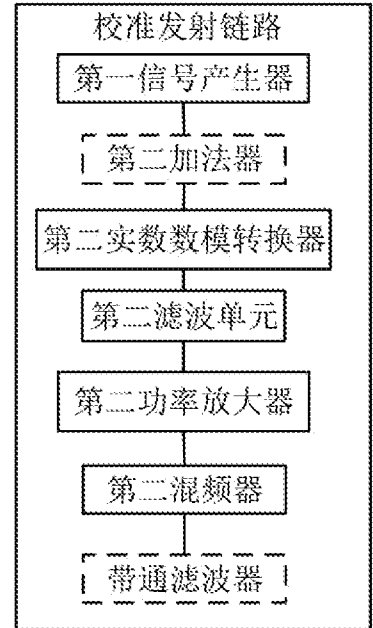


图 23D

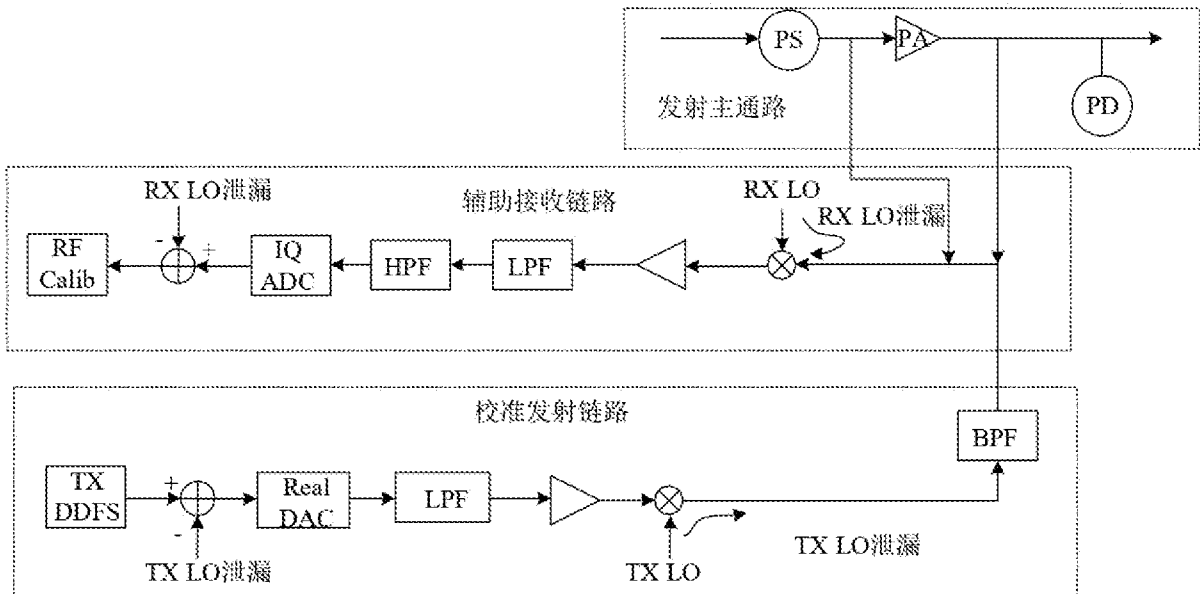


图 24

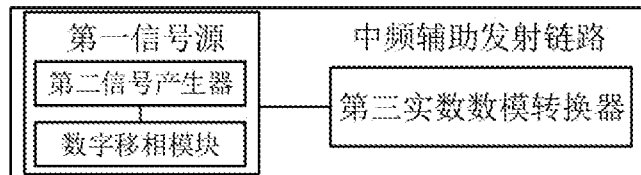


图 25A

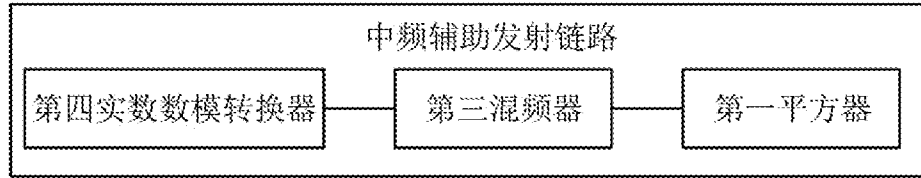


图 25B

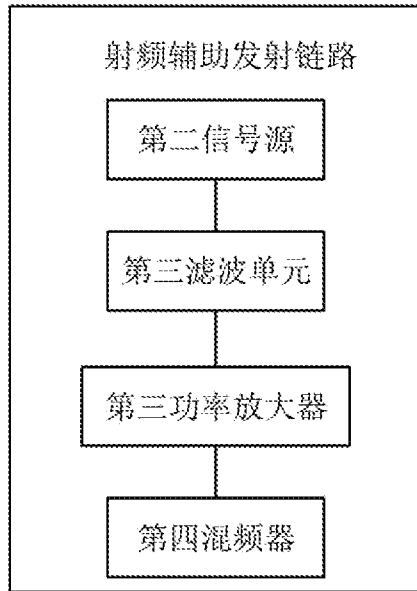


图 25C

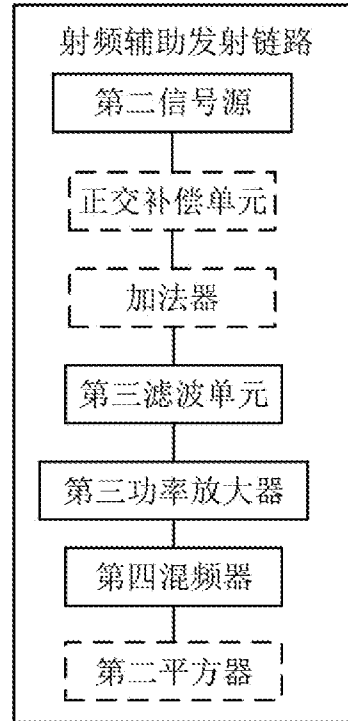


图 25D

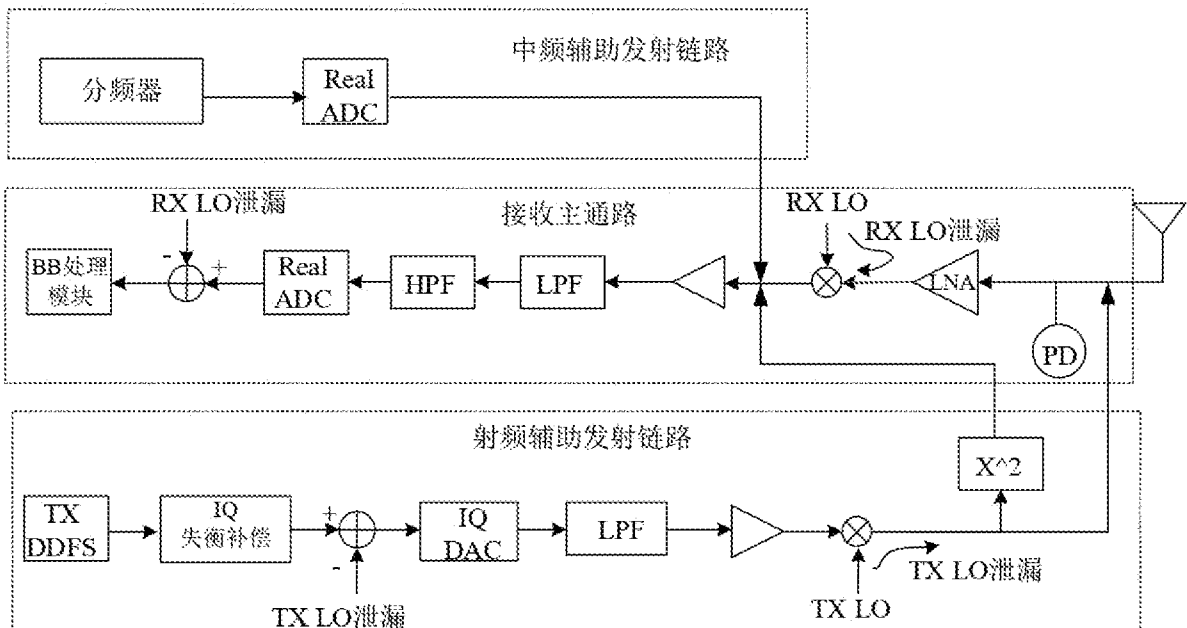


图 26

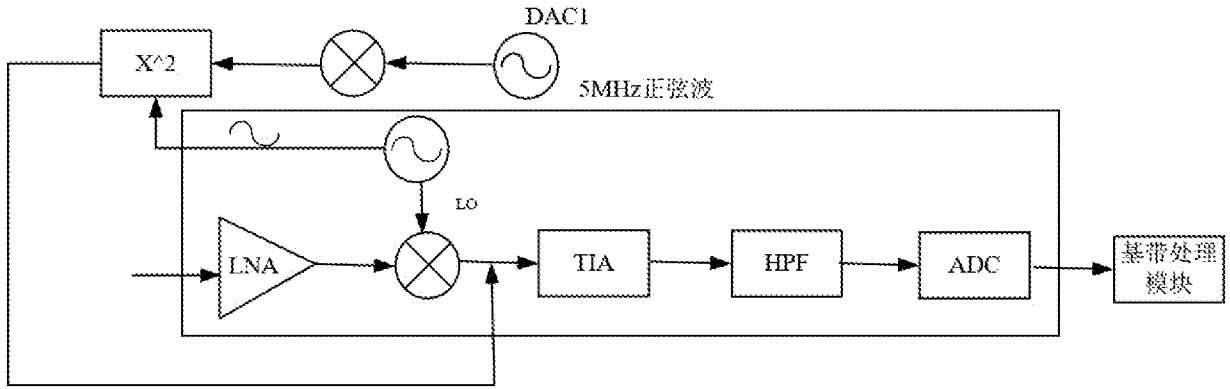


图 27A

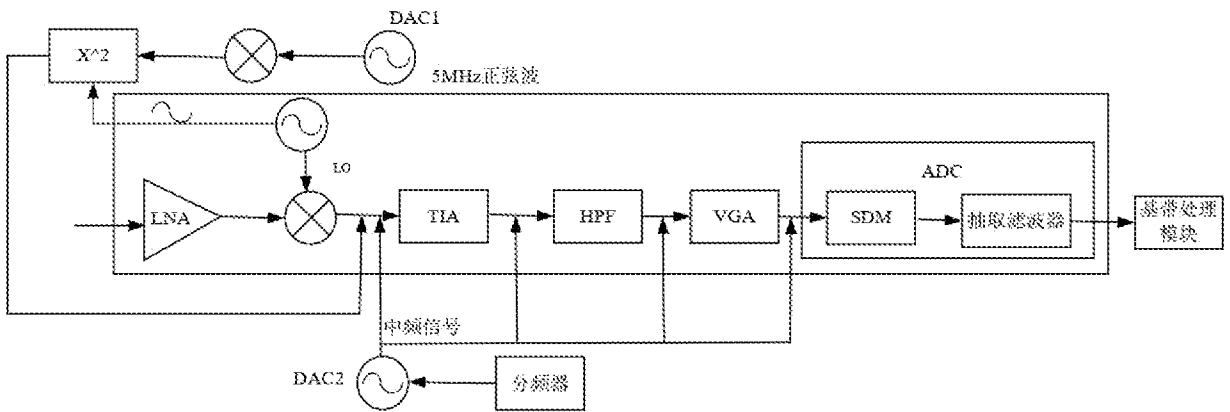


图 27B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/099420

A. CLASSIFICATION OF SUBJECT MATTER H04B 17/21(2015.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H04B, H04W, H04L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT; CNKI; VEN; ENTXTC; 3GPP: 校准, 校正, 发射, 接收, 收发, 链路, 射频, 中频, 集成电路, 芯片, calibrat+, transmit+, receiv+, transceiver, link, RF, intermediate frequency, integrated circuit		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 111431556 A (SHENZHEN SOUTH SILICON VALLEY SEMICONDUCTOR CO., LTD.) 17 July 2020 (2020-07-17) description, paragraphs 19-38	1-4, 16-21
A	CN 111934791 A (NANJING YINGRUICHUANG ELECTRONIC TECHNOLOGY CO., LTD.) 13 November 2020 (2020-11-13) entire document	1-21
A	US 2014364067 A1 (MSTAR SEMICONDUCTOR INC.) 11 December 2014 (2014-12-11) entire document	1-21
A	US 2020341112 A1 (INFINEON TECHNOLOGIES AG.) 29 October 2020 (2020-10-29) entire document	1-21
A	WO 2021134617 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 08 July 2021 (2021-07-08) entire document	1-21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 09 September 2024		Date of mailing of the international search report 13 September 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/099420

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111431556	A	17 July 2020	CN	111431556	B	09 October 2020
CN	111934791	A	13 November 2020	CN	111934791	B	13 January 2023
US	2014364067	A1	11 December 2014	TW	201448490	A	16 December 2014
				TWI	504172	B	11 October 2015
				US	9509419	B2	29 November 2016
US	2020341112	A1	29 October 2020	DE	102019110525	A1	29 October 2020
				DE	102019110525	B4	29 July 2021
				US	11567170	B2	31 January 2023
				CN	111830472	B	27 October 2020
WO	2021134617	A1	08 July 2021	CN	113412581	A	17 September 2021

A. 主题的分类 H04B 17/21(2015.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: H04B, H04W, H04L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT;CNKI;VEN;ENTXTC;3GPP: 校准, 校正, 发射, 接收, 收发, 链路, 射频, 中频, 集成电路, 芯片, calibrat+, transmit+, receiv+, transceiver, link, RF, intermediate frequency, integrated circuit		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 111431556 A (深圳市南方硅谷半导体有限公司) 2020年7月17日 (2020 - 07 - 17) 说明书第19-38段	1-4,16-21
A	CN 111934791 A (南京英锐创电子科技有限公司) 2020年11月13日 (2020 - 11 - 13) 全文	1-21
A	US 2014364067 A1 (MSTAR SEMICONDUCTOR INC) 2014年12月11日 (2014 - 12 - 11) 全文	1-21
A	US 2020341112 A1 (INFINEON TECHNOLOGIES AG) 2020年10月29日 (2020 - 10 - 29) 全文	1-21
A	WO 2021134617 A1 (HUAWEI TECH CO LTD) 2021年7月8日 (2021 - 07 - 08) 全文	1-21
<input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2024年9月9日	国际检索报告邮寄日期 2024年9月13日	
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	授权官员 蔡国利 电话号码 (+86) 010-62411422	

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2024/099420

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111431556	A	2020年7月17日	CN	111431556	B	2020年10月9日
CN	111934791	A	2020年11月13日	CN	111934791	B	2023年1月13日
US	2014364067	A1	2014年12月11日	TW	201448490	A	2014年12月16日
				TWI	504172	B	2015年10月11日
				US	9509419	B2	2016年11月29日
US	2020341112	A1	2020年10月29日	DE	102019110525	A1	2020年10月29日
				DE	102019110525	B4	2021年7月29日
				US	11567170	B2	2023年1月31日
				CN	111830472	B	2020年10月27日
WO	2021134617	A1	2021年7月8日	CN	113412581	A	2021年9月17日