

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成22年9月30日(2010.9.30)

【公表番号】特表2010-502013(P2010-502013A)  
 【公表日】平成22年1月21日(2010.1.21)  
 【年通号数】公開・登録公報2010-003  
 【出願番号】特願2009-525600(P2009-525600)  
 【国際特許分類】

H 0 1 L 21/8247 (2006.01)  
 H 0 1 L 29/788 (2006.01)  
 H 0 1 L 29/792 (2006.01)  
 H 0 1 L 21/3205 (2006.01)  
 H 0 1 L 23/52 (2006.01)  
 H 0 1 L 27/115 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1  
 H 0 1 L 21/88 S  
 H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成22年8月16日(2010.8.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のドープウェル領域上の第1のフローティングゲート部および第2のドープウェル領域上の第2のフローティングゲート部を含むフローティングゲートであって、高電圧を印加することにより、前記第1のドープウェル領域から前記第1のフローティングゲート部への、及び前記第1のフローティングゲート部から前記第1のドープウェル領域へのファウラーノルドハイムトンネリングを発生させる適当な電圧カップリングが発生するように、前記第1のフローティングゲート部は第2のフローティングゲート部より実質的に小さくなっていることを特徴とするフローティングゲートを、基板内に形成された前記第1および第2のドープウェル領域により定義される2つの活性領域内のゲート酸化物上に配置する工程と、

前記フローティングゲートを囲むようにフローティングゲートシールド層を形成する工程を含む、フローティングゲートトンネリング素子構造体のシールド方法。

【請求項2】

前記第1および第2のドープウェル領域はNウェル領域であり、前記基板はP基板である、請求項1に記載の方法。

【請求項3】

ファウラーノルドハイムトンネリングの方向は、前記ドープウェル領域の1つに前記高電圧をカップリングすることにより決定される、請求項1に記載の方法。

【請求項4】

前記高電圧の前記第1のドープウェル領域へのカップリングは、前記フローティングゲートからの電荷の除去を引き起こす、請求項3に記載の方法。

【請求項5】

前記高電圧の前記第2のドープウェル領域へのカップリングは、前記フローティングゲート上への電荷の注入を引き起こす、請求項3に記載の方法。

【請求項6】

前記フローティングゲートシールド層を形成する工程は、前記シールド層のエッチストップのために標準的なCMOSプロセスを用いてサリサイド排除層を堆積することを含む、請求項1に記載の方法。

【請求項7】

前記シールド層を分離するために、前記堆積されたシールド層上にサリサイドブロックパターンを適用することを更に含む、請求項1に記載の方法。

【請求項8】

前記シールド層は、ポリシリコンからなる導電層である、請求項1に記載の方法。

【請求項9】

前記シールド層は、金属膜からなる導電層である、請求項1に記載の方法。

【請求項10】

前記金属膜はTiN膜からなる、請求項9に記載の方法。

【請求項11】

前記金属膜はTiW膜からなる、請求項9に記載の方法。

【請求項12】

前記サリサイド排除層は、約600Åの厚さに堆積される、請求項6に記載の方法。

【請求項13】

前記フローティングゲートシールド層を形成する工程は、導電層を堆積し、標準的なCMOSプロセスを用いて前記導電層をエッチングすることを含む、請求項1に記載の方法。

【請求項14】

前記ゲート酸化物は、70オングストロームから150オングストロームの厚さを有する、請求項1に記載の方法。

【請求項15】

前記ゲート酸化物は、120オングストロームの厚さを有する、請求項14に記載の方法。

【請求項16】

基板内に形成された第1および第2のドープウェル領域により定義される2つの活性領域内のゲート酸化物上に配置され、前記第1のドープウェル領域上の第1のフローティングゲート部および前記第2のドープウェル領域上の第2のフローティングゲート部を含むフローティングゲートであって、高電圧を印加することにより、前記第1のドープウェル領域から前記第1のフローティングゲート部への及び前記第1のフローティングゲート部から前記第1のドープウェル領域へのファウラーノルドハイムトンネリングを発生させる適当な電圧カップリングが発生するように、前記第1のフローティングゲート部は第2のフローティングゲート部より実質的に小さくなっていることを特徴とするフローティングゲートと、

前記フローティングゲートを囲むように形成されたフローティングゲートシールド層とを備える、シールドされたフローティングゲートトンネリング素子構造体。

【請求項17】

P基板内に形成された第1および第2のNウェル領域により定義される2つの活性領域内のゲート酸化物上に配置され、前記第1のNウェル領域上の第1のフローティングゲート部および前記第2のNウェル領域上の第2のフローティングゲート部とを含むフローティングゲートであって、高電圧を印加することにより、前記第1のNウェル領域から前記第1のフローティングゲート部への及び前記第1のフローティングゲート部から前記第1のNウェル領域へのファウラーノルドハイムトンネリングを発生させる適当な電圧カップリングが発生するように、前記第1のフローティングゲート部は第2のフローティングゲート部より実質的に小さくなっていることを特徴とするフローティングゲートと、

前記第1のNウェル領域内に形成され、第1のチャンネル領域により分離される第1およ

び第 2 の拡散領域と、

前記第 2 のNウェル領域内に形成され、第 2 のチャンネル領域により分離される第 3 および第 4 の拡散領域と、

前記第 2 および第 3 の拡散領域の間に形成される電界酸化物領域と、

前記P基板内の前記第 1 および第 2 のNウェル領域の間に形成されるPウェル領域、および、

前記フローティングゲートを囲むように形成されたフローティングゲートシールド層とを備える、シールドされたフローティングゲートトンネリング素子構造体。

【請求項 18】

前記第 1、第 2、第 3 および第 4 の拡散領域は、N型拡散領域である、請求項 17 に記載のシールドされたフローティングゲートトンネリング素子構造体。

【請求項 19】

前記第 1 および第 2 の拡散領域は、P型拡散領域である、請求項 17 に記載のシールドされたフローティングゲートトンネリング素子構造体。

【請求項 20】

前記P型拡散領域に隣接して形成される、前記Nウェル領域とのオーミックコンタクトを提供するN型拡散領域を更に含む、請求項 19 に記載のシールドされたフローティングゲートトンネリング素子構造体。