



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월12일
(11) 등록번호 10-1611337
(24) 등록일자 2016년04월05일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 21/027 (2006.01)
(21) 출원번호 10-2014-0158895
(22) 출원일자 2014년11월14일
심사청구일자 2014년11월14일
(56) 선행기술조사문헌
KR1020090125148 A
KR1020100111241 A
KR1020130050382 A
KR1020140085540 A

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김경록
울산광역시 울주군 범서읍 구영로 101-7, 502동
601호 (구영2차푸르지오)
김성호
대전광역시 서구 청사로 254, 107동 706호 (둔산
동, 둔지아파트)
박종률
서울특별시 강남구 학동로30길 21, 207호 (논
현동, 논현베르빌)
(74) 대리인
특허법인충정

전체 청구항 수 : 총 4 항

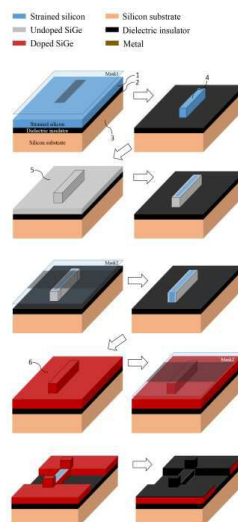
심사관 : 김진우

(54) 발명의 명칭 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법

(57) 요약

본 발명은 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 관한 것으로, 스트레인드 실리콘 기판을 핀 구조로 에칭하는 제1 단계; 그 위에 언도프트 SiGe를 적층하는 제2 단계; 상기 언도프트 SiGe를 에칭하는 제3 단계; 리소그래피 후 에칭하는 제4 단계; 그 위에 도프트 SiGe를 적층하는 제5 단계; 상기 도프트 SiGe를 리소그래피 후 에칭하는 제6 단계; 및 상기 도프트 SiGe 위에 산화물과 게이트 금속을 차례로 적층하여 트랜지스터 소자를 구성하는 단계를 포함하여 이루어지며, FinFET의 장점인 좋은 채널 제어가능성, 높은 온 커런트(on-current)와 HEMT의 장점인 전자의 높은 이동도를 모두 취할 수 있는 Fin HEMT를 구현할 수 있는 효과가 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 1345201966

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 첨단융합기술개발

연구과제명 나노-상보형 금속산화막 반도체 기술 기반의 플라즈마파 트랜지스터를 이용한 테라헤르츠 시스템 구현 기술 연구

기 여 율 1/1

주관기관 국립대학법인 울산과학기술대학교 산학협력단

연구기간 2012.09.01 ~ 2018.02.28

명세서

청구범위

청구항 1

절연체 위의 스트레인드 실리콘을 핀 구조로 에칭하는 제 1단계;

핀 구조의 스트레인드 실리콘 위에 언도프트 SiGe를 적층하는 제2 단계;

상기 언도프트 SiGe을 에칭하는 제3 단계;

상기 언도프트 SiGe을 리소그래피 후 에칭하는 제4 단계;

상기 언도프트 SiGe 위에 도프트 SiGe을 적층하는 제5 단계;

상기 도프트 SiGe을 리소그래피 후 핀 구조로 에칭하는 제6 단계; 및

상기 핀 구조로 에칭된 도프트 SiGe 위에 산화물과 게이트 금속을 차례로 적층하여 트랜지스터 소자를 구성하는 제7 단계를 포함하는 것을 특징으로 하는 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법.

청구항 2

제1항에 있어서,

상기 리소그래피는 광-리소그래피(photo-lithography) 또는 전자 빔(E beam) 리소그래피를 포함하는 것을 특징으로 하는 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법.

청구항 3

제1항에 있어서,

상기 산화물은 실리콘 산화물(SiO_2) 또는 하프늄 산화물(HfO_2)을 포함하는 것을 특징으로 하는 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법.

청구항 4

제1항에 있어서,

상기 도프트 SiGe을 소스(Source)/드레인(Drain)으로 활용하는 것을 특징으로 하는 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법.

발명의 설명

기술 분야

[0001]

본 발명은 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 관한 것으로서, 상세히는 FinFET과 같은 게이트 통제력은 좋은 다중 게이트 저전력 반도체소자의 단점인 표면 거칠기 산란으로 인한 전자의 낮은 이동도를 개선하여 고성능 반도체 소자인 HEMT의 장점인 높은 전자 이동도를 취함과 동시에, HEMT의 단점인 게이트 누설전류 등을 개선하고자, 스트레인드(strained) 실리콘에 언도프트(undoped) 및 도프트(doped) SiGe을 적층하여 에칭하고, 상기 도프트 SiGe을 소스/드레인으로 활용하면서 산화물과 게이트 금속을 적층한 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 관한 것이다.

배경 기술

[0002]

트랜지스터의 성능은 소자 크기의 스케일링(scaling)을 통해 향상되어 왔으며, 종래의 연구로 스케일링을 통하여 저비용, 고집적, 저전력, 고속의 회로를 만들 수 있었으나, 주로 사용되어온 트랜지스터인 평판 실리콘

MOSFET은 그 크기가 32nm 이하로 진입함에 따라 단 채널 효과(Short-Channel Effect)가 심화되면서 스케일링에 한계가 오고 있다.

[0003] 이와 같은 성능 저하 현상을 개선하고자, 다중 게이트 MOSFET 혹은 FinFET으로 알려진 입체구조의 반도체 소자가 개발되었다.

[0004] 다중 게이트 MOSFET의 경우에는 여러 개의 게이트가 채널영역을 둘러싸게 되므로 게이트 전계효과가 채널영역에 미치는 영향이 크게 된다. 따라서 다중 게이트 MOSFET은 평판 MOSFET에 비해 높은 구동 전류를 얻을 수 있으며, 또한, 트랜지스터의 성능을 결정하는 핵심 요소 중 하나인 전류가 흐르는 채널에 대한 게이트의 통제력이 향상되어 단 채널 효과가 억제된다.

[0005] 게이트와 채널을 절연시키는 유전체의 용량을 증가할수록, 바디의 두께가 감소할수록 게이트의 통제력은 증가하게 되는데, 이를 위해, 얇은 바디를 이용한 새로운 구조의 트랜지스터에는 대표적으로 FinFET과 UTBSOI가 있다.

[0006] 이 중 기존 평판 트랜지스터의 뒤를 이을 유망한 후보인 FinFET에 관한 연구가 활발히 진행 중이다. 대표적으로, 미국의 인텔사에서는 2012년 22nm FinFET 공정기술을 적용한 칩을 발표하는 등 그 중요성이 증대되고 있다. 그러나, FinFET은 좋은 채널 제어가능성에 비해 표면 거칠기 산란으로 인한 전자의 이동도가 낮다는 단점이 있다.

[0007] 이러한 FinFET와는 달리 HEMT(high electron mobility transistor), 즉 고전자 이동도 트랜지스터는 게이트 전압에 의한 채널 전자 유기 방식이 아닌 채널 전자를 이미 모아 놓은 양자 우물 (quantum well) 채널 방식으로 표면 거칠기 산란이 억제되어 높은 전자 이동도를 보이는 장점이 있으나, 상대적으로 높은 게이트 누설전류 (gate leakage current)와 높은 오프 커런트(off-current)의 단점이 있다. 또한, 양자 우물(quantum well)을 만들기 위해 언도프드 스페이서(undoped spacer)와 채널 물질 등 여러 물질이 들어가기 때문에 소스(source)와 드레인(drain) 사이에 높은 기생 저항이 생기고 공정이 복잡한 단점이 있다.

[0008] 스트레인드 실리콘(starined silicon)의 개발에 따라 실리콘 기반의 스트레인드 실리콘 HEMT에 대한 연구도 진행되고 있다. 하지만 스트레인드 실리콘 HEMT의 캐핑 층(capping layer)을 밴드 갭 차이가 크지 않은 일반 실리콘을 사용함으로써 높은 오프 커런트가 생긴다. 이에 따라 온(on)/오프(off)를 구분 할 수 없게 되고 트랜지스터로써 구동될 수 없다는 단점이 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 한국 등록특허공보 제10-1376416호

(특허문헌 0002) 한국 등록특허공보 제10-1367989호

발명의 내용

해결하려는 과제

[0010] 본 발명은 상기한 바와 같은 제반 문제점을 개선하기 위해 안출된 것으로서, 그 목적은 FinFET의 단점인 표면 거칠기 산란과 HEMT의 단점인 높은 게이트 누설전류와 오프 커런트를 개선 및 보완하고, 소스(Source)/드레인(Drain)과 채널 사이에 여러 물질이 들어가 있는 HEMT 구조의 복잡성을 도프트(doped) SiGe을 소스/드레인으로 활용함으로써 공정과정의 단순화를 이룩한 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법을 제공함에 있다.

과제의 해결 수단

[0011] 상기한 바와 같은 목적을 달성하기 위해 본 발명의 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법은, 절연체 위의 스트레인드 실리콘을 핀 구조로 에칭하는 제 1단계; 핀 구조의 스트레인드 실리콘 위에 언도프드 SiGe를 적층하는 제2 단계; 상기 언도프드 SiGe을 에칭하는 제3 단계; 상기 언도프드 SiGe을 리소그라피 후 에칭하는 제4 단계; 상기 언도프드 SiGe 위에 도프트 SiGe을 적층하는 제5 단계; 상기 도프트 SiGe을 리소그라피 후 핀 구조로 에칭하는 제6 단계; 및 상기 핀 구조로 에칭된 도프트 SiGe

위에 산화물과 게이트 금속을 차례로 적층하여 트랜지스터 소자를 구성하는 제7 단계를 포함하는 것을 특징으로 하고 있다.

[0012] 또 상기 리소그래피는 광-리소그래피(photo-lithography) 또는 전자 빔(E beam) 리소그래피의 통상적인 반도체 리소그래피 기술을 모두 포함하는 것이 바람직하다.

[0013] 또 상기 산화물은 실리콘 산화물(SiO_2) 또는 하프늄 산화물(HfO_2)의 통상적으로 사용되는 절연막 재료를 모두 포함하는 것이 바람직하다.

[0014] 또 상기 도프트 SiGe을 소스(Source)/드레인(Drain)으로 활용하는 것이 바람직하다.

발명의 효과

[0015] 본 발명의 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 의하면, FinFET의 장점인 좋은 채널 제어가능성, 높은 온 커런트(on-current)와 HEMT의 장점인 전자의 높은 이동도를 모두 취할 수 있는 FinHEMT를 구현할 수 있는 효과가 있고, 도프트 SiGe을 소스/드레인으로 활용하여 HEMT 구조임에도 공정 과정이 간단하다는 효과가 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 제조과정을 보여주는 사시도

도 2는 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 분리 사시도

도 3은 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 평면도

도 4는 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 종단면도

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 본 발명에 따른 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 채널 전계효과 트랜지스터 소자의 제조방법의 바람직한 실시예를 첨부한 도면을 참조로 하여 상세히 설명한다. 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다.

[0018] 도 1은 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 제조과정을 보여주는 사시도를 도시한 것이다.

[0019] 도 1에 도시한 바와 같이, 본 발명에 따른 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자는, 먼저 절연체(또는 Graded SiGe buffer 층) 위의 스트레인드 실리콘(strained silicon)(1)을 리소그래피하여 핀 구조(4)로 에칭한다(제 1단계). 상기 스트레인드 실리콘 기술은 반도체 실리콘의 원자를 각각 강제적으로 떨어지게 하는 설계 기술로써 원자가 다른 원자에서 떨어지게 되면 전자가 더욱 빠르게 이동할 수 있게 되어 반도체의 성능을 높이는 기술이다.

[0020] 다음에 상기 핀 구조의 스트레인드 실리콘 위에 도펀트를 도핑하지 않은 언도프트(undoped) SiGe(5)을 적층한다(제2 단계).

[0021] 다음에 상기 언도프트 SiGe(5)을 에칭한다(제3 단계).

[0022] 다음에 상기 언도프트 SiGe(5) 핀을 리소그래피하여 에칭한다(제4 단계).

[0023] 다음에 상기 언도프트 SiGe(5)이 적층된 스트레인드 실리콘(1) 위에 도펀트를 도핑한 도프트(doped) SiGe(6)을 두껍게 적층한다(제5 단계).

[0024] 다음에 언도프트 SiGe(5)과 도프트 SiGe(6)이 적층된 스트레인드 실리콘(1)을 리소그래피하여 Fin 구조(4)로 에칭하고 상기 도프트 SiGe(6)을 소스(Source)(7)/드레인(Drain)(8)으로 활용한다(제6 단계).

[0025] 다음에 언도프트 SiGe(5)과 도프트 SiGe(6)이 적층되어 핀 구조(4)로 에칭한 스트레인드 실리콘(1) 위에 산화물과 금속을 차례로 적층하여 산화물을 사용한 FinHEMT로 구현된 본 발명의 전계효과 트랜지스터 소자(10)를 완성하게 된다(제7 단계).

[0026] 도 2는 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 분리 사시도이고, 도 3은 본 발명에 따

른 제조방법에 의해 제조된 전계효과 트랜지스터의 평면도를 도시한 것이다.

[0027] 도 2 및 도 3에 도시한 바와 같이, 상기한 바와 같은 언도프트 SiGe(5)과 도프트 SiGe(6)이 적층된 스트레인드 실리콘(1)을 핀 구조(4)로 에칭한 상기한 제6 단계 이후에, 상기 도프트 SiGe(6)의 한쪽은 소스(7)로 하고 다른 쪽은 드레인(8)으로 한 상태에서 산화물(2)을 적층하고, 상기 산화물(2)에 걸쳐 게이트 금속(9)을 적층함으로써 본 발명의 전계효과 트랜지스터 소자(10)를 완성하게 된다.

[0028] 도 4는 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 종단면도를 도시한 것이다.

[0029] 도 4에 도시한 바와 같이, 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터(10)는 핀 구조의 스트레인드 실리콘(1), 언도프트 SiGe(5), 도프트 SiGe(6), 산화물(2) 및 게이트 금속(9)이 차례로 적층되어 구성된다.

[0030] 이와 같이 산화물(2)로 도프트 SiGe(6)과 게이트 금속(9) 사이의 누설전류를 억제하고, 도프트 SiGe(6)으로부터 넘어온 전자들을 스트레인드 실리콘(1) 채널에 모음으로써 고속 전자를 얻을 수 있게 된다. 또한 두껍게 적층된 도프트 SiGe(6)을(1개의 물질) 소스/드레인으로 활용하여 낮은 접촉저항을 얻고 공정 과정을 단순화하게 된다.

[0031] 이상과 같이 본 발명에 따른 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 대해서 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상의 범위 내에서 당업자에 의해 다양한 변형이 이루어질 수 있음은 물론이다.

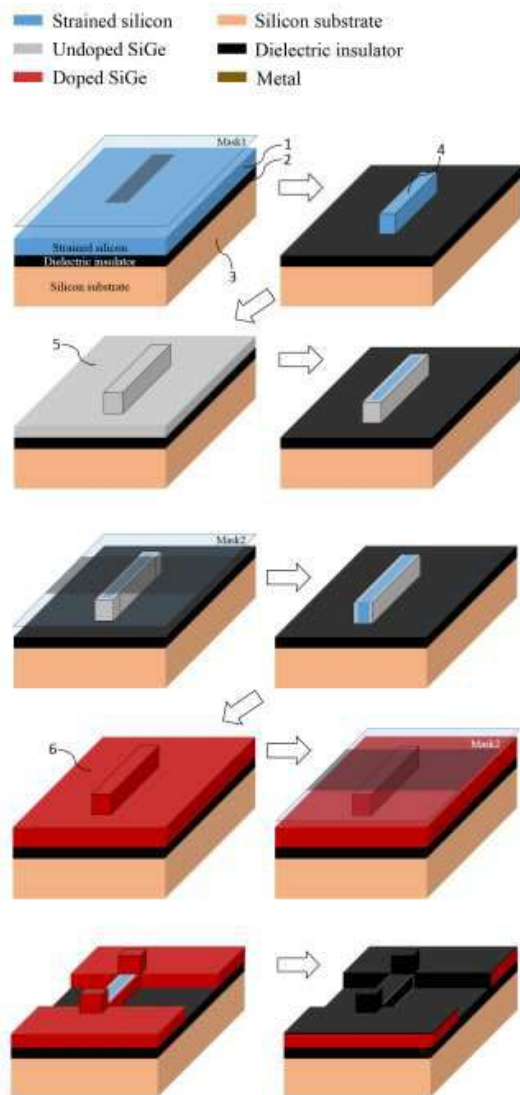
부호의 설명

[0032]

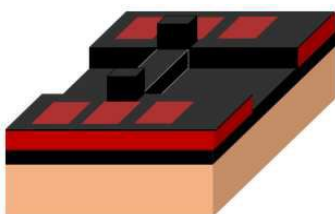
1 : 스트레인드 실리콘	2 : 산화물 절연체
3 : 실리콘 기판	4 : 핀 구조
5 : 언도프트 SiGe	6 : 도프트 SiGe
7 : 소스	8 : 드레인
9 : 게이트 금속	10 : 본 발명의 전계효과 트랜지스터

도면

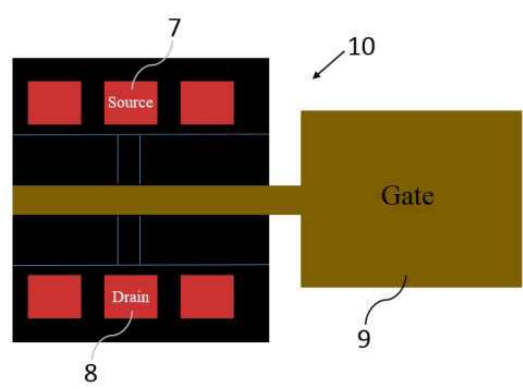
도면1



도면2



도면3



도면4

