



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(21) PV 1006-88.H
(22) Přihlášeno 18 02 88

(40) Zveřejněno 11 04 89
(45) Vydáno 27.7.1990

266 424

(11)

(13) B1

(51) Int. Cl.⁴
H 01 J 37/248

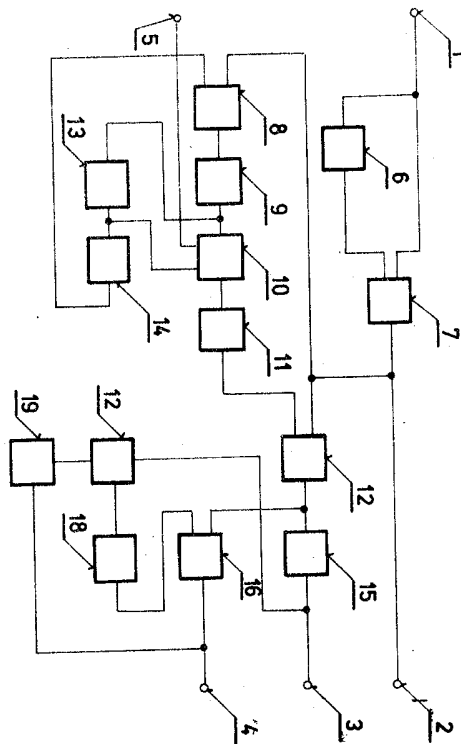
HUŠŤÁK JAROMÍR ing., BRNO

(75)
Autor vynálezu

Generátor definovaných pulsů

(54)

(57) Podstatou generátoru je, že vstupní svorka je spojena jednak přímo a jednak přes první zpoždovací linku s prvním logickým členem. Jeho výstup tvoří uzel s první výstupní svorkou a se vstupem druhého a třetího logického členu. Výstup prvního logického členu je spojen přes druhou zpoždovací linku, součtový člen, třetí zpoždovací linku s druhým vstupem třetího logického členu. Jeho výstup je spojen jednak přes dělič kmitočtu s druhou výstupní svorkou a jednak s prvním vstupem klopného obvodu, jehož výstup je spojen se třetí výstupní svorkou, která je spojena přes monostabilní klopný obvod a čítačem spojeným jednak přes digitální komparátor s druhým vstupem klopného obvodu a jednak druhým vstupem do uzlu s druhou výstupní svorkou.



Vynález se týká generátoru definovaných pulsů určených zejména pro napájení zatmívacích systémů elektronově-optických zařízení.

Zatmívací systémy elektronově-optických zařízení je nutno napájet elektrickými impulsy v přesně stanoveném časovém okamžiku, přičemž v některých případech se délka impulsu vyžaduje několik ns a často se vyskytuje požadavek tuto délku impulsu měnit v určitém rozmezí na definovanou velikost. Existuje několik špičkových firem, které vyrábějí generátory, jejichž vlastnosti by pro daný účel vyhověly. Jedná se však vesměs o univerzální generátory, jejichž využití pro tyto účely by vzhledem k pořizovací ceně takového přístroje bylo zcela nedostatečné a mnohdy i rozměrové a váhové dimenze takového generátoru by znesnadňovaly jejich začlenění do soustavy elektronově-optického zařízení.

Tyto dosavadní nevýhody odstraňuje generátor definovaných pulsů, jehož podstatou je, že vstupní svorka je spojena jednak přímo a jednak přes první zpožďovací linku s prvním logickým členem, jehož výstup je spojen s první výstupní svorkou a s prvním vstupem druhého a třetího logického členu, přičemž výstup druhého logického členu je spojen přes druhou zpožďovací linku s druhým vstupem třetího logického členu. Druhý vstup druhého logického členu je spojen přes obnovitel pulsů, jehož vstup je spojený se součtovým členem a se čtvrtou zpožďovací linkou, jejíž vstup je spojen s výstupem druhé zpožďovací linky a který je ještě spojen s prvním vstupem součtového členu, přičemž s třetím vstupem součtového členu je ještě spojena svorka ovládacího signálu. Výstup třetího logického členu je spojen přes dělič kmitočtu s druhou výstupní svorkou a s prvním vstupem klopného obvodu, jehož výstup je spojen se třetí výstupní svorkou a přes monostabilní klopný obvod s prvním vstupem čítače výstupem spojeného přes digitální komparátor s druhým vstupem klopného obvodu, přičemž výstup děliče kmitočtu je

spojen s druhou výstupní svorkou a s druhým vstupem čítače.

Hlavní předností zapojení je, že vytváří pulsy v okamžik stanovený vstupním spouštěcím pulsem, jehož délka je předem přesně nastavitelná, přičemž obvodové zapojení generátoru obsahuje minimální počet součástek a proto je jeho praktická realizace konstrukčně jednoduchá a ekonomicky nenáročná.

Vynález blíže objasní přiložený výkres, na kterém je blokové schéma zapojení generátoru.

Vstupní svorka 1 generátoru, na kterou se přivádí spouštěcí impuls, je spojena s prvním logickým členem 7 typu NAND přímo a dále přes první zpožďovací linku 6, která může být v praxi tvořena například lichým počtem inventů. Výstup prvního logického členu 7 je současně spojen do uzlu s první výstupní svorkou 2 a s prvními vstupy druhého a třetího logického členu 8 a 12, které jsou rovněž typu NAND. S výstupem druhého logického členu 8 je spojena druhá zpožďovací linka 9 tvořená sudým počtem inventů. Výstup druhé zpožďovací linky 9 je spojen s prvním vstupem součtového členu 10 a se vstupem čtvrté zpožďovací linky 13, jejíž výstup je spojen se vstupem obnovitele 14 pulsů. Výstup obnovitele 14 pulsů je spojen s druhým vstupem druhého logického členu 8 a druhý vstup součtového členu 10 je spojen se svorkou 5 ovládacího signálu. Výstup součtového členu 10 je přes třetí zpožďovací linku 11 spojen s druhým vstupem třetího logického členu 12, jehož výstup je zároveň spojen se vstupem děliče 15 kmitočtu a s prvním vstupem klopného obvodu 16 typu D. Výstup děliče 15 kmitočtu je spojen do uzlu s druhou výstupní svorkou 3 a ještě se vstupem čítače 17 impulsů, jehož výstup je spojen s digitálním komparátorem 18, jehož výstup je spojen s druhým vstupem klopného obvodu 16 a do uzlu se čtvrtou výstupní svorkou 4 a se vstupem monostabilního klopného obvodu 19, jehož výstup je spojen se vstupem čítače 17.

Je-li v zapojení použito pro první a druhý logický člen 7 a 8 Schottkyho logických členů NAND a u zpožďovacích linek 6 a 9 inventů s průchodem signálů cca 3,3 ns, pak po připojení na vstupní svorku signálu "úroveň" jsou na vstupech prvního logického členu 7 úrovně "L" a "H" a na jeho výstupu úroveň "H". Přivedeme-li na vstupní svorku 1 úroveň "H", bude tato úroveň zároveň na prvním vstupu prvního logického členu 7 a na jeho druhém vstupu zůstane

rovněž logická úroveň "H" ještě $\tau_1 = 3.3,3$ ns, než se sem vstupní impuls přenese jako úroveň "L" o délce přibližně 10 ns. Tento impuls zároveň přichází na první vstupy druhého a třetího logického členu 8 a 12. Výstupní impuls třetího logického členu 12 se přivede na dělič 15 kmitočtu, nastavený do výchozí polohy, který se jím nastaví do opačného stavu. Impuls, který se objeví na výstupu druhého logického členu 8 projde druhou zpožďovací linkou 9 se zpožděním τ_2 . Logickou úrovní je umožněno ovládat funkci součtového členu 10. Je-li jeho funkce taková, že signál může procházet jen ve směru od výstupu druhé zpožďovací linky 9 na vstup třetí zpožďovací linky 11, pak průchod signálu je τ_{s1} . Vhodným počtem inventorů ve druhé a třetí zpožďovací lince 9, 11, po případě zařazením R z integračních článků, lze dosáhnout toho, že platí:

$$\tau_1 + \tau_{s1} + \tau_3 = 20 \text{ ns}$$

Pak impuls, který se objeví na druhém vstupu třetího logického členu 12 má proti přivedenému impulsu zpoždění 20 ns a po přenosu třetím logickým členem 12 překlopí dělič 15 kmitočtu zpět do původního stavu, čímž vznikne na jeho výstupu a na druhé výstupní svorce 3 impuls o délce 20 ns.

V případě opačného nastavení součtového členu 10 úrovně signálu na svorce 5 ovládacího signálu, je signál průchozí pouze ve směru obnovitele 14 pulsů na vstup třetí zpožďovací linky 11 a doba průchodu signálu součtovým členem 10 je τ_{s2} a doba průchodu obnovitelem pulsů je τ_0 . Pak platí, že:

$$\tau_2 + \tau_4 + \tau_{s2} + \tau_3 = 50 \text{ ns}$$

Pokud obnovitel 14 pulsů bude mimo provoz, objeví se vzhledem k prvnímu impulsu na první výstupní svorce 2 a na druhém vstupu třetího logického členu 12 impuls se zpožděním 50 ns a analogicky jako v předešlém případě je na výstupu děliče 15 kmitočtu a na druhé výstupní svorce generován impuls o délce 50 ns. Chceme-li pro generování dalších pulsů využít vícenásobného opakování průchodu impulsu druhou, třetí a čtvrtou zpožďovací linkou 9, 11, 13, je nutno vždy znovu obnovit původní amplitudu signálu, která se průchodem zpožďovacími linkami 9, 11, 13 zmenšuje. K tomu slouží obnovitel 14 pulsů, což je v podstatě rychlý klopný obvod. Pro správnou funkci musí platit: $\tau_0 = \tau_{s2} + \tau_3$

Podle toho bude tedy perioda impulsů na výstupu třetího logického členu 12 také 50 ns. Na výstupu děličky 15 kmitočtu pak získáme pulsy s periodou 100 ns, jejichž počet čítá čítač 17 kmitočtu. Před uvedením do chodu je nutno zajistit, aby klopný obvod 16 a čítač 17 kmitočtu byly ve výchozím stavu. Pokud je digitální komparátor 18 nastaven na hodnotu odlišnou od obsahu výchozího nastavení čítače 17, je na jeho výstupu logická úroveň "H", která se s prvním impulsem, který se objeví na výstupu třetího logického členu 12 přenesse na vstup klopného obvodu 16 a tím i na třetí výstupní svorku 4. Jakmile dojde ke shodě obsahu čítače 17 kmitočtu a nastavení digitálního komparátoru 18, objeví se na vstupu klopného obvodu 16 logická úroveň "L", která se následujícím impulsem z výstupu třetího logického členu 12 přenesse na výstup klopného obvodu 16 a tím se na třetí výstupní svorce 4 generuje impuls o délce $n \cdot 100$ ns, kde n je rozdíl výchozího nastavení čítače 17 a digitálního komparátoru 18. Sestupná hrana impulsu na třetí výstupní svorce 4 zároveň vybudí monostabilní klopný obvod 19, který svým výstupem zajistí nastavení čítače 17 na výchozí hodnotu tak, aby impuls vzniklý v dalším cyklu měl stejnou délku.

P Ř E D M Ě T V Y N Á L E Z U

266 424

Generátor definovaných pulsů, vyznačený tím, že vstupní svorka (1) je spojena jednak přímo a jednak přes první zpožďovací linku (6) s prvním logickým členem (7), jehož výstup je spojen s první výstupní svorkou (2) a s prvním vstupem druhého a třetího logického členu (8 a 12), přičemž výstup druhého logického členu (8) je spojen přes druhou zpožďovací linku (9) s druhým vstupem třetího logického členu (12), zatímco druhý vstup druhého logického členu (8) je spojen přes obnovitel (14) pulsů, jehož vstup je spojen se součtovým členem (10) a se čtvrtou zpožďovací linkou (13), jejíž vstup je spojen s výstupem druhé zpožďovací linky (9) a který je ještě spojen s prvním vstupem součtového členu (10), přičemž se třetím vstupem součtového členu (10) je ještě spojena svorka (5) ovládacího signálu, přitom výstup třetího logického členu (12) je spojen přes dělič (15) kmitočtu s druhou výstupní svorkou (3) a s prvním vstupem klopného obvodu (16), jehož výstup je spojen se třetí výstupní svorkou (4) a přes monostabilní klopný obvod (19), s prvním vstupem čítače (17) **výstupem** spojeného přes digitální komparátor (18) se druhým vstupem klopného obvodu (14), přičemž výstup děliče (15) kmitočtu je spojen s druhou výstupní svorkou (3) a s druhým vstupem čítače (17) kmitočtu.

1 výkres

