



(21)申請案號：108146454

(22)申請日：中華民國 101 (2012) 年 05 月 18 日

(51)Int. Cl.：

H03M13/25 (2006.01)

H03M13/27 (2006.01)

H03M13/35 (2006.01)

(30)優先權：2011/05/18 歐洲專利局 11004125.8

(71)申請人：日商松下電器產業股份有限公司 (日本) PANASONIC CORPORATION (JP)
日本

(72)發明人：皮特洛夫 米海爾 PETROV, MIHAIL (RO)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW 324872B

US 20080270876A1

US 20170012736A1

WO 2008028419A1

審查人員：蘇齊賢

申請專利範圍項數：4 項 圖式數：56 共 134 頁

(54)名稱

位元交錯方法、位元交錯器、訊號處理方法及訊號處理裝置

(57)摘要

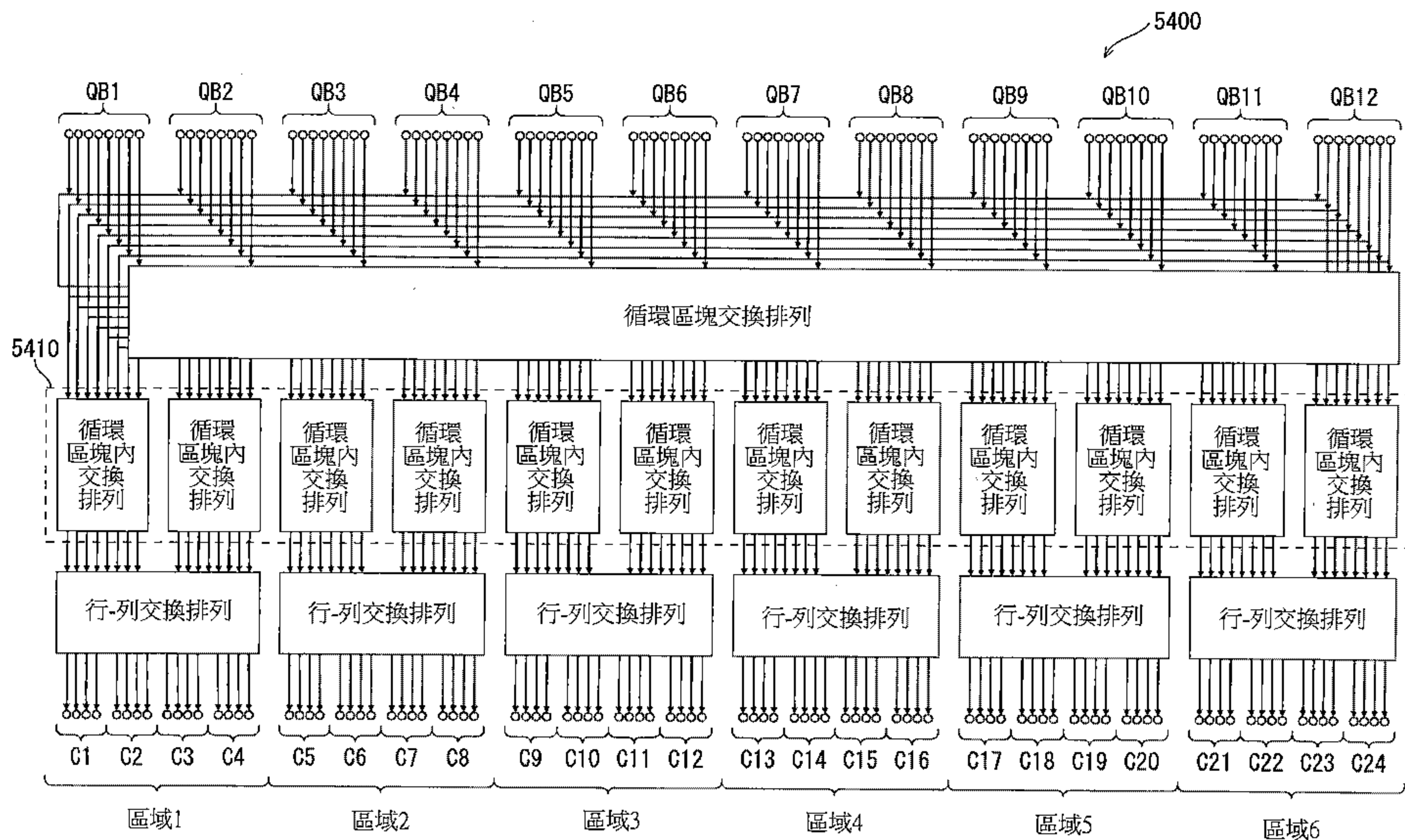
位元交錯方法，係 N 個由 Q 位元所構成之循環區塊所構成之 QC LDPC 碼字執行位元交換排列處理，將經處理後之碼字分割成複數個由 M 個位元所構成之叢集字後，對各循環區塊執行循環區塊內交換排列處理之方法，碼字被分割成 $F \times N/M$ 個折疊區域，各叢集字被設定為與 $F \times N'/M$ 個折疊區域中之任一個有關聯，且位元交換排列處理是令叢集字由被設定有關聯之折疊區域中之 M/F 個相異之循環區塊中各別之 F 位元所構成。

指定代表圖：

符號簡單說明：

5400 . . . 並列位元交錯器

5410 . . . 循環區塊內交換排列



第 54 圖

I721717

發明摘要

※ 申請案號：

※ 申請日：101.5.18

※IPC 分類：

【發明名稱】(中文/英文)

位元交錯方法、位元交錯器、訊號處理方法及訊號處理裝置
BIT INTERLEAVING METHOD, BIT INTERLEAVER, SIGNAL
PROCESSING METHOD AND SIGNAL PROCESSING APPARATUS

【中文】

位元交錯方法，係N個由Q位元所構成之循環區塊所構成之QC LDPC碼字執行位元交換排列處理，將經處理後之碼字分割成複數個由M個位元所構成之叢集字後，對各循環區塊執行循環區塊內交換排列處理之方法，碼字被分割成 $F \times N/M$ 個折疊區域，各叢集字被設定為與 $F \times N'/M$ 個折疊區域中之任一個有關聯，且位元交換排列處理是令叢集字由被設定有關聯之折疊區域中之 M/F 個相異之循環區塊中各別之F位元所構成。

【英文】

【代表圖】

【本案指定代表圖】：第（ 54 ）圖。

【本代表圖之符號簡單說明】：

5400...並列位元交錯器

5410...循環區塊內交換排列

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

位元交錯方法、位元交錯器、訊號處理方法及訊號處理裝置

BIT INTERLEAVING METHOD, BIT INTERLEAVER,
SIGNAL PROCESSING METHOD AND SIGNAL
PROCESSING APPARATUS

【技術領域】

發明之技術領域

[0001]本發明是有關於數位通訊領域，更詳細而言，是有關於利用類循環低密度同位檢查碼之位元交錯編碼調變系統用之位元交錯器。

【先前技術】

背景技術

[0002]近年，在數位通訊領域中，使用位元交錯編碼調變(bit-interleaved coding and modulation：BICM)系統(例如，參見非專利文獻1)。

[0003]BICM系統一般來說進行如下之3個步驟。

(1)例如利用類循環低密度同位檢查(quasi-cyclic low-density parity check：QC LDPC)編碼，將資料區塊編碼成為碼字。

(2)對碼字之位元進行位元交錯。

(3)將經位元交錯之碼字分割成由叢集之位元數所構成之叢集字，並令叢集字對映叢集。

先行技術文獻

非特許文獻

[0004] 非專利文獻 1：ETSI EN 302 755 V1.2.1(DVB-T2 規格)

【發明內容】

發明概要

發明欲解決之問題

[0005] 一般來說，希望對類循環低密度同位檢查碼之碼字進行之交錯更有效率。

[0006] 本發明之目的是提供一種交錯方法，以使對對類循環低密度同位檢查碼之碼字進行之交錯更有效率。

解決問題之手段

[0007] 為達成上述目的，本發明之位元交錯方法，是利用類循環低密度同位檢查碼之通訊系統中之位元交錯方法，其特徵在於前述位元交錯方法，包含：接收步驟，係接收由N個循環區塊所構成且各循環區塊分別由Q個位元所組成之前述類循環低密度同位檢查碼之碼字者；位元交換排列步驟，係對前述碼字實施將該碼字之位元之排列順序予以置換之位元交換排列處理者；分割步驟，係將位元交換排列處理實施後之碼字分割成複數之叢集字，該複數之叢集字分別由M個位元組成，且分別顯示 2^M 個預定叢集點中之任一個；及循環區塊內交換排列步驟，係對前述循環區塊，實施將該循環區塊之位元之排列順序予以置換之循環區塊內交換排列處理者，前述分割步驟，是將經前述

位元交換排列處理後之碼字，以分割為分別由 M/F (F 為正整數)個循環區塊所構成之 $F \times N/M$ 個區域、且各叢集字係與任1個區域有關聯的方式，分割為叢集字，前述位元交換排列處理，是實施成使各叢集字是從關聯之前述區域中之 M/F 個經前述交換排列處理後之循環區塊，各取出 F 個位元所構成。

發明之效果

[0008] 依本發明之位元交錯方法，可使對類循環低密度同位檢查碼之碼字執行之交錯更有效率。

【圖式簡單說明】

[0009] 圖1係顯示一般的之BICM編碼器所包含之傳送器之構成之塊狀圖。

圖2係顯示編碼率為 $1/2$ 之類循環低密度同位檢查 (quasi-cyclic low-density parity check : QC LDPC) 編碼之同位檢查矩陣之一例之圖。

圖3係顯示編碼率為 $2/3$ 之重覆累加類循環低密度同位檢查 (repeat-accumulate quasi-cyclic low-density parity check : RA QC LDPC) 編碼之同位檢查矩陣之一例之圖。

圖4係顯示行交換排列後之圖3之RA QC LDPC編碼之同位檢查矩陣之圖。

圖5係顯示行交換排列及同位交換排列後之圖3之RA QC LDPC編碼之同位檢查矩陣之圖。

圖6說明8PAM編碼中編碼後之位元具有相異強健性水準之圖。

圖 7 係顯示對應循環係數 $Q=8$ 、1 個低密度同位檢查碼字之循環區塊數 $N=12$ 、1 個叢集之位元數 $M=4$ 之通常位元交錯器構成之塊狀圖。

圖 8(a) 係顯示 DVB-T2 規格中利用之 DVB-T2 調變器之構成之塊狀圖。

圖 8(b) 係顯示圖 8(a) 中所示之 DVB-T2 調變器之 BICM 編碼器構成之塊狀圖。

圖 9(a) 係顯示由 12 列之行-列交錯器所進行之 16K 編碼 (LDPC 碼字長為 16200 位元之 LDPC 編碼) 之碼字之位元之寫入處理之圖。

圖 9(b) 係顯示對圖 9(a) 中由行-列交錯器所寫入之碼字進行讀出處理之圖。

圖 10(a) 係顯示由 8 列之行-列交錯器所進行之 16K 編碼之碼字之位元之寫入處理之圖。

圖 10(b) 係顯示圖 10(a) 中由行-列交錯器所寫入之碼字之位元進行行讀出處理之圖。

圖 11 係顯示以 DVB-T2 規格為準之 16QAM 中 16K 編碼用之位元-胞多工解訊器之構成之塊狀圖。

圖 12 係顯示以 DVB-T2 規格為準之 64QAM 中 16K 編碼用之位元-胞多工解訊器之構成之塊狀圖。

圖 13 係顯示以 DVB-T2 規格為準之 256QAM 中 16K 編碼用之位元-胞多工解訊器之構成之塊狀圖。

圖 14 係顯示 8 列之 DVB-T2 位元交錯器中對於 16K 編碼時可能發生問題之圖。

圖15係顯示12列之DVB-T2位元交錯器中對於16K編碼時可能發生問題之圖。

圖16係顯示8列之DVB-T2位元交錯器中對16K編碼適用列扭曲處理時可能發生問題之圖。

圖17係顯示12列之DVB-T2位元交錯器中對16K編碼適用列扭曲處理時可能發生問題之圖。

圖18(a)說明發明者積極研究後所發現之可提供具高效率之交錯器之第1個條件之圖。

圖18(b)說明發明者積極研究後所發現之可提供具高效率之交錯器之第2個條件之圖。

圖19係顯示本發明之一實施形態之交錯器之對映機能之圖。

圖20係顯示本發明之一實施形態之交錯器之構成之塊狀圖。

圖21(a)係顯示實施圖20之區域交換排列之區域交換排列單元之一構成例之塊狀圖。

圖21(b)係顯示圖21(a)之區域交換排列單元所進行之對映機能之圖。

圖22(a)係顯示實施圖20之區域交換排列之區域交換排列單元之其他構成例之塊狀圖。

圖22(b)係顯示圖22(a)之區域交換排列單元所進行之對映機能之圖。

圖23係顯示本發明之其他實施形態之交錯器之構成之塊狀圖。

圖24係顯示圖23之位元交錯器之一構成例之塊狀圖。

圖25係顯示本發明另一其他實施形態之傳送器之一構成例之塊狀圖。

圖26係顯示本發明另一其他實施形態之BICM編碼器之一套用例塊狀圖。

圖27係顯示具有本發明另一其他實施形態之重覆BICM解碼器之接收器之一構成例之塊狀圖。

圖28係顯示具有本發明另一其他實施形態之重覆BICM解碼器之接收器之一構成例之塊狀圖。

圖29係顯示本發明之又一其他實施形態之重覆BICM解碼器之一套用例之塊狀圖。

圖30係顯示並列交錯對象之循環區塊與非對象之循環區塊之一例之圖。

圖31(a)說明發明者積極研究之結果所發現之可提供非常有效率的之交錯器之第1個條件之圖。

圖31(b)說明第2個條件之圖。

圖32係顯示本發明之又一其他實施形態之交錯器之塊狀圖。

圖33(a)係顯示對應無折疊($F=1$)之對映機能之圖。

圖33(b)係顯示對應有折疊($F=2$)之對映機能之圖。

圖34(a)係顯示對應無折疊($F=1$)之(折疊)區域交換排列單元之一構成例之塊狀圖。

圖34(b)係顯示對應有折疊($F=2$)之區域交換排列單元之一構成例之塊狀圖。

圖35係顯示本發明之又一其他實施形態之交錯器之構成之塊狀圖。

圖36係顯示圖35之交錯器之一構成例之塊狀圖。

圖37係顯示本發明之又一其他實施形態之傳送器之一構成例之塊狀圖。

圖38係顯示具有本發明之又一其他實施形態之非重覆BICM解碼器之接收器之一構成例之塊狀圖。

圖39係顯示具有本發明之又一其他實施形態之重覆BICM解碼器之接收器之一構成例之塊狀圖。

圖40係顯示 $F=2$ 之折疊用LLR記憶體場所與第1個叢集字之位元配置之圖。

圖41係顯示關於混合QPSK+16QAM之叢集區塊之對映之略圖。

圖42用以說明本發明之又一其他實施形態之交錯器之機能之圖。

圖43係顯示本發明之又一其他實施形態之交錯器之一構成例之塊狀圖。

圖44(a)、44(b)係顯示本發明之又一其他實施形態之交錯器之一構成例之塊狀圖。圖44(a)係顯示 $N=45$ ， $Q=360$ ， $M=4$ 且無重疊($F=1$)時之狀況。圖44(b)係顯示 $N=45$ ， $Q=360$ ， $M=4$ 且有重疊($F=2$)時之狀況。

圖45(a)、45(b)係顯示本發明之又一其他實施形態之交錯器之一構成例之塊狀圖。圖45(a)係顯示 $N=45$ ， $Q=360$ ， $M=6$ 且無重疊($F=1$)時之狀況。圖45(b)係顯示 $N=45$ ，

$Q=360$ ， $M=6$ 且有重疊($F=2$)時之狀況。

圖46係圖5所示之同位檢查矩陣之檢查節點17~24之連結醒目標記之圖。

圖47係顯示對圖46所示之同位檢查矩陣之檢查節點17~24之變數節點進行循環交換排列時之連結之概念圖。

圖48(a)~(h)是分別顯示圖46所示之同位檢查矩陣中連結檢查節點17~24之變數節點之對映之圖。

圖49(a)~(h)是分別顯示連結檢查節點17~24之QB14及QB15對16QAM叢集之對映之圖。

圖50(a)~(h)是分別顯示連結檢查節點17~24之QB4及QB5對16QAM叢集之對映之圖。

圖51(a)係顯示為了循環區塊內交換排列而再構成之交錯器中，使用1個旋轉器之構成之圖。

圖51(b)係顯示為了循環區塊內交換排列而再構成之交錯器中，使用2個旋轉器之構成之圖。

圖52(a)~(h)是分別對應圖49(a)~(h)，顯示令QB14移位2以不包含無效之檢查節點。

圖53(a)~(h)是分別對應圖50(a)~(h)，顯示令QB4移位3以不包含無效之檢查節點。

圖54係顯示實施形態中令折疊係數為2之並列位元交錯器與循環區塊交換排列之機能構成之概念圖。

圖55是顯示 $Q=8$ 、 $M=4$ 、 $F=2$ 時BICM編碼器之一套用例之塊狀圖。

圖56是顯示 $Q=8$ 、 $M=4$ 、 $F=2$ 時重覆BICM解碼器之一套用

例之塊狀圖。

【實施方式】

《達成發明之經過》

[0010]圖 1 是顯示包含有一般之位元交錯編碼調變 (bit-interleaved coding and modulation : BICM) 編碼器之傳送器之構造之塊狀圖。圖 1 所示之傳送器 100 具有輸入處理單元 110、BICM 編碼器 (包含: 低密度同位檢查 (low-density parity check : LDPC) 編碼器 120、位元交錯器 130、叢集對映器 140)、及調變器 150。

[0011]輸入處理單元 110 將輸入位元串流轉換為預定長度之複數區塊。LDPC 編碼器 120 利用 LDPC 編碼將區塊編碼成為碼字，再將碼字傳輸至位元交錯器 130。位元交錯器 130 對 LDPC 碼字進行交錯處理，在進行交錯處理之後，分割為胞字 (叢集字) 之列。叢集對映器 140 將各胞字 (叢集字) 對映至叢集 (例如 QAM) 之列。作為輸出端之一般之調變器 150 則包含自 BICM 編碼器之輸出至 RF (Radio Frequency) 電力增幅器為止之全部處理區塊。

[0012]LDPC 編碼是由同位檢查矩陣 (Parity-check Matrix : PCM) 所完全定義之線性錯誤修正碼。PCM 是 2 元之稀疏矩陣，表示碼字位元 (又稱為變數節點) 與同位檢查 (又稱為檢查節點) 之連結 (connection)。PCM 之列及行，分別對應變數節點及檢查節點。變數節點與檢查節點之結合，在 PCM 之中以「1」之要素來表示。

[0013]LDPC 編碼中，存在有被稱為類循環低密度同位

檢查(quasi-cyclic lowdensityparity check：QC LDPC)編碼之種類。QC LDPC編碼之構成特別適合套用於硬體。實際上，現今之規格多半是利用QC LDPC編碼。QC LDPC編碼之PCM是具有複數之循環矩陣之特殊構成。循環矩陣係指各行為其前一行之要素循環移位一次之正方矩陣，且重合之斜列(folded diagonal)存在有1個、2個或更多者。各循環矩陣之大小為 $Q \times Q$ 。在此之 Q 被稱為QC LDPC編碼之循環係數(cyclic factor)。藉由如上述之類循環構造，可並列處理 Q 個檢查節點，因此，為了進行有效率之硬體套用，QC LDPC編碼是明顯有利之編碼。

[0014]圖2是舉例顯示循環係數 $Q=8$ 之QC LDPC編碼之PCM之圖。又，圖2及後述之圖3~5中，最小之1個四角形代表PCM之1個要素，其中塗黑之四角要素為「1」，而其他之要素為「0」。此PCM具有1個或2個重合斜列之循環矩陣。此QC LDPC編碼將 $8 \times 6=48$ 位元之區塊編碼成為 $8 \times 12=96$ 位元之碼字。因此，此QC LDPC編碼之編碼率為 $48/96=1/2$ 。碼字位元被分割為具有 Q 位元之複數區塊。循環係數 Q 位元之區塊在本說明書中稱為循環區塊(或循環群)。

[0015]QC LDPC編碼中存在被稱為有重覆累加類循環低密度同位檢查(repeat-accumulate quasi-cyclic low-density parity check：RA QC LDPC)編碼之特殊種類。RA QCLDPC編碼被認知為容易編碼，被採用於多種規格(例如DVB-S2規格、DVB-T2規格、DVB-C2規格等第2世代DVB規格)中。PCM之右側對應同位位元，該部分中之「1」要素之配置為

梯狀構造。圖3中例示編碼率為 $2/3$ 之RA QC LDPC編碼之PCM。

[0016]又，DVB-T 為 Digital Video Broadcasting - Terrestrial之略稱，DVB-S2為Digital Video Broadcasting - Second Generation Satellite之略稱，DVB-T2是Digital Video Broadcasting - Second Generation Terrestrial之略稱，DVB-C2為Digital Video Broadcasting - Second Generation Cable之略稱。

[0017]藉由對圖3所示之PCM進行改變此行之排列順序之簡單行交換排列，則如圖4所示，成為除去同位部分之RA QC LDPC編碼之類循環構造。行交換排列只代表變更圖形上表現之意，完全並不影響編碼之定義。

[0018]藉由對圖4所示進行行交換排列後之PCM之同位位元，進行改變位元之排列順序之適當交換排列，可使PCM之同位部分也具有類循環構造。此手法在本技術領域中為周知，在DVB-T2規格等中，使用同位交錯或同位交換排列等名稱。對圖4所示之PCM進行同位交換排列可得之結果如圖5所示。

[0019]通常，LDPC碼字中各位元之重要度各不同，而且叢集是隨著各位元其強健性水準(robust level)不同。將LDPC碼字之位元直接，也就是不交錯即與對映叢集，並不能達到最佳性能。因此，令LDPC碼字之位元對映叢集之前，必須要交錯LDPC碼字之位元。

[0020]為達成此目的，如圖1所示，LDPC編碼器120與

叢集對映器 141 之間設有位元交錯器 130。藉由用心設計位元交錯器 130，可提高 LDPC 碼字之位元與藉由叢集來編碼後之位元間之關聯性，進而改善收訊性能。此性能通常是利用編碼錯誤率(Bit Error Rate：BER)來測定，此編碼錯誤率是 SN 比(Signal to Noise Ratio：SNR)之函數。

[0021] LDPC 碼字中各位元之重要度相異之主要理由，是在於未必對全部之位元執行同樣次數之同位檢查。對碼字位元(變數節點)執行之同位檢查之次數(檢查節點之次數)越多，則重覆 LDPC 解碼處理中碼字位元之重要度越高。另一個理由是 LDPC 編碼之泰勒圖(Tanner Graph)表現中相對於循環之連結性(connectivity)因變數節點而異。因此，即便對碼字位元執行同樣次數之同位檢查，碼字位元之重要度仍有相異之可能性。這些見解都是本技術領域中周知的。原則來說，與變數節點連結之檢查節點之數量大，將增加該變數節點之重要度。

[0022] 特別是 QC LDPC 編碼時，Q 位元之循環區塊中包含之全部位元皆經過同樣次數之同位檢查，泰勒圖中對於循環之連結性相同，因此具有同樣之重要度。

[0023] 同樣地，叢集中經編碼之位元之強健性水準相異亦是周知之事實。例如複素直交振幅調變(quadrature amplitude modulation：QAM)叢集是由 2 個分別獨立之脈波振幅調變(pulse amplitude modulation：PAM)符號(symbol)所構成，其中一者對應實數部，另一者對應虛數部。2 個 PAM 符號分別對與其同數 M 之位元進行編碼。如顯示利用格雷

碼(Gray code)之8PAM符號之圖6所示，1個PAM符號中經編碼之位元之強健性水準互異。如此，強健性水準互異之原因，是由各位元(0或1)所定義之2個次集合(subset)間之距離隨著每個位元相異。此距離越大，則該位元之強健性水準或信賴度越高。圖6中位元b3之強健性水準最高，位元b1之強健性水準最低。

[0024]因此，16QAM叢集對4個位元進行編碼，具有2個強健性水準。64QAM叢集對6個位元進行編碼，具有3個強健性水準。256QAM叢集對8個位元進行編碼，具有4個強健性水準。

[0025]本說明書利用以下之參數進行說明。

循環係數： $Q=8$

1個LDPC碼字之循環區塊數： $N=12$

1個叢集之位元數： $M=4$ 、即16QAM

上述參數中，1個LDPC碼字所對映之叢集數為 $Q \times N=24$ 。通常，參數 Q 及之選擇，是關於系統所支援之全部叢集，且必須在 $Q \times N$ 是 M 之倍數下進行。

[0026]圖7是顯示對應上述參數之一般交錯器之構成之塊狀圖。圖7中QB1、...、QB12為12個循環區塊，C1、...、C24為24個叢集字。在圖7之例中，位元交錯器710對LDPC碼字之96位元進行交錯。

[0027]以往之位元交錯器，已知有DVB-T2規格(ETSI EN2302 755)者。DVB-T2規格是由電視規格DVB-T規格改良而成者，記載數位地面波電視播放用之第2世代基本傳輸

系統。DVB-T2規格中，詳述數位電視服務及一般之資料傳輸時之頻道編碼調變系統。

[0028]圖 8(a)是顯示 DVB-T2 規格中利用之調變器(DVB-T2調變器)之構成之塊狀圖。圖8(a)所示之DVB-T2調變器800，具有輸入處理單元810、BICM編碼器820、框構築器(frame builder)830、及OFDM產生器840。

[0029]輸入處理單元810是將輸入位元串流轉換為預定長度之複數區塊。BICM編碼器820對輸入進行BICM處理。框構築器830利用自BICM編碼器820之輸入等，產生DVB-T2型式之傳輸框。OFDM產生器840對於DVB-T2型式之傳輸框構成，進行追加引示訊號、高速反傅立葉變換、插入保護區間(Guard Interval)等，輸出DVB-T2型式之發送訊號。

[0030]DVB-T2規格中利用之BICM，在ETSI規格EN 302755之第6章有說明。本說明書引用該規格，在此記述其說明。

[0031]圖 8(b)是顯示圖 8(a)所示之 DVB-T2 調變器之BICM編碼器820之構成之塊狀圖。但是，圖8(b)中省略了BCH外編碼、叢集旋轉、胞交錯器、時間交錯器等。

[0032]BICM編碼器820具有LDPC編碼器821、位元交錯器(包含同位交錯器822、行-列交錯器823)、位元-胞多工解訊器824、及QAM對映器825。

[0033]LDPC編碼器821將利用LDPC編碼之區塊編碼成碼字。位元交錯器(同位交錯器822、行-列交錯器823)對碼

字之位元進行改變其排列順序之交錯處理。位元-胞多工解訊器824係將經過交錯處理之碼字之位元多重分離成胞字(叢集字)。QAM對映器825將胞字(叢集字)對映至複QAM符號。又，複QAM符號又稱為胞(cell)。實際上，位元-胞多工解訊器824亦可視為位元交錯器之一部分。此時，根據DVBT2規格之BICM編碼器可視為具有圖1所示之標準構成。

[0034] DVB-T2規格中使用之LDPC編碼，是具有循環係數 $Q=360$ 之RA QC LDPC編碼。DVB-T2規格中，定義有碼字長為16200位元及24800位元兩者。碼字長為16200位元之LDPC編碼及碼字長為64800位元之LDPC編碼，在本說明書中稱為16K編碼(或16K LDPC編碼)及64K編碼(或64K LDPC編碼)。1個碼字中包含之循環區塊數，在16K編碼時為45個，64K編碼時為180個。對應這2種區塊長(碼字長)而可使用之編碼，列舉在DVB-T2規格之ETSI EN 302 755之表A.1～表A.6。

[0035] 位元交錯器只針對比QPSK更大之叢集使用，具有同位交錯器822、行-列交錯器823、及位元-胞多工解訊器824。又，DVB-T2規格之定義中，位元-胞多工解訊器824不包含於位元交錯器中。但是，由於本發明有關叢集對映前對LDPC編碼進行交錯，因此將位元-胞多工解訊器824也視為位元交錯之一部分來處理。

[0036] 同位交錯器822如上述，(參見圖4、5)，為解明同位位元之類循環構造，故進行改變碼字之同位位元之排

列順序之同位交換排列。

[0037]行-列交錯器823，在概念上之藉由將LDPC碼字之位元沿著交錯器矩陣之列寫入，並沿著行來讀出，以發揮機能。LDPC碼字中包含之最初之位元是最初被寫入、最初被讀出。行-列交錯器823將LDPC碼字之位元寫入之後、在開始讀出位元之前，對於該列進行將位元循環性移動預定數之位置。這在DVB-T2規格之中被稱為列扭曲(column twisting)。與上述2個LDPC碼字長及各種叢集大小相對應之交錯器矩陣之列數Nc及行數Nr如以下之表1所示。

[表1]

LDPC碼字長	叢集大小	列數Nc	行數Nr
16200	16QAM	8	2025
	64QAM	12	1350
	256QAM	8	2025
64800	16QAM	8	8100
	64QAM	12	5400
	256QAM	16	4050

[0038]除了256QAM叢集且16K編碼之場合外，列數Nc是1個叢集之位元數之2倍。此例外之理由在於LDPC碼字長之16200是16、也就是不屬於256QAM叢集之位元數之2倍之倍數。

[0039]行-列交錯器823之16K編碼之碼字之位元之寫入處理及讀出處理，在列數為12之場合如圖9(a)、(b)所示，而列數為8之場合則如圖10(a)、(b)所示。各圖之中，小四角形分別對應LDPC碼字之1位元，實心四角形代表LDPC碼字之前頭位元。箭頭表示位元寫入交錯器矩陣、以及自交

錯器矩陣讀出時之順序。例如，交錯器矩陣之列數為12時，16K編碼之碼字之位元如圖9(a)所示，以(行1、列1)、(行2、列1)、...、(行1350、列1)、(行1、列2)、...、(行1352、列12)之順序寫入，如圖9(b)所示，以(行1、列1)、(行1、列2)、...、(行1、列12)、(行2、列1)、...、(行1350、列12)之順序讀出。又，列扭曲處理並未顯示於圖9(a)、及圖9(b)、及圖10(a)、(b)之中。

[0040]在QAM對映前，位元-胞多工解訊器824藉由多重分離LDPC碼字以取得複數之列位元串流。串流之數量除了256QAM叢集中16K LDPC編碼之場合外，是1個QAM叢集中受到編碼之位元數 M 之2倍、也就是 $2 \times M$ 。又，256QAM叢集中16KLDPC編碼之場合，串流之數量是1個QAM叢集中受到編碼之位元數 M 。1個叢集中受到編碼之 M 位元稱為胞字(或叢集字)。如下，16K LDPC編碼中，可從1個碼字取得之胞字之數量為 $16200/M$ 。

QPSK之場合、8100胞

16QAM之場合、4050胞

64QAM之場合、2700胞

256QAM之場合、2025胞

[0041]如以上之表1，關於比QPSK更大之叢集，並列串流之數量相當於行-列交錯器之列數。關於16K LDPC編碼，對應16QAM叢集、64QAM叢集、256QAM叢集之位元-胞多工解訊器如圖11、圖12、圖13所示。又，位元之標記是利用DVB-T2規格者。

[0042]位元-胞多工解訊器如圖11(圖12、圖13)所示，具有簡單多工解訊器(simple demultiplexer)1110(1210、1310)及多工解訊交換排列單元1120(1220、1320)。

[0043]位元-胞多工解訊器，是由簡單多工解訊器1110(1210、1310)對經過交錯處理之LDPC碼字進行單純之多重分離，再由多工解訊交換排列單元1120(1220、1320)對經過多重分離之並列位元串流進行改變其排列順序之交換排列處理。

[0044]但是，在使用行-列交錯器時(16QAM叢集以上)，由於並列位元串流之數量與行-列交錯器之列數相同，因此認知位元串流之交換排列與對行-列交錯器之列進行改變其排列順序之交換排列是同等的重要。這就是可將位元-胞多工解訊器所進行之交換排列是為位元交錯器之一部分之理由。

[0045]本質上來說，DVB-T2規格中所利用之位元交錯器將附隨有2個問題。

[0046]第1個問題是，當LDPC碼字中循環區塊之數量不是位元交錯器矩陣之列數之倍數時，將損及其並列性之問題。若並列性降低，則延遲將增大。這在接收器中使用重覆BICM解碼時特別會成為問題。在DVB-T2規格下，幾種LDPC碼字長與叢集大小之組合會引起這個狀況。

[0047]圖14及圖15是顯示16K LDPC編碼中，各交錯器矩陣之列數為8及12時引起上述狀況之圖。16QAM叢集及256QAM叢集中，使用8列之交錯器矩陣。64QAM叢集中，

第 108146454 號專利申請案 發明專利說明書修正替換本 修正日期：2020 年 11 月 16 日

使用12列之交錯器矩陣。格子代表LDPC碼字，小四角形代表LDPC碼字之1位元，行對應循環區塊，列對應複數之循環區塊中相互具有同一位元指標之位元。實心的四角形代表交錯器矩陣之前頭行中之8位元及12位元。又，為容易瞭解，圖中是將1個循環區塊之位元數從360減為72來表示，但理解之程度不受此影響。

[0048]第2個問題是在DVB-T2規格中，位元交錯器之構成可能數量，受到位元交錯器矩陣之列數所限制。

[0049]DVB-T2位元交錯器之更進一步之問題，是交換排列之規則性以及並列性會因列扭曲處理而更進一步受到損害。圖16及圖17分別是顯示與圖14及圖15同樣之狀況，但在適用列扭曲處理這一點有所不同。16K LDPC編碼下交錯器矩陣為8列時，DVB-T2位元交錯器中使用之各列之列扭曲值為(0、0、0、1、7、20、20、21)。又，16K LDPC編碼下交錯器矩陣為12列時，DVB-T2位元交錯器中使用之各列之列扭曲值為(0、0、0、2、2、2、3、3、3、6、7、7)。

因此，有必要提供一種降低延遲、提高並列性之位元交錯器。該等特性在重覆BICM解碼中特別重要。

＜發明者所得之見識＞

[0050]發明者在積極研究之下，得知在滿足以下2個條件時，可提供一種非常有效率之交錯器。

(條件1)

[0051]各叢集字之M個位元，對映至LDPC碼字之M個

相異之循環區塊。這與從LDPC碼字之M個相異之循環區塊將各1個位元逐個對映至叢集字是相當的。其概要如圖18(a)所示。

(條件2)

[0052] 被對映至M個循環區塊之全部叢集字，只被對映至該M個循環區塊中。這是由Q個位元所構成之M個之相異之循環區塊之 $M \times Q$ 個位元，全部都只被對映至Q個叢集字，是相當的。其概要如圖18(b)所示。

[0053] 藉由上述條件，恰好Q個叢集字將被對映至各M個循環區塊中。

<<實施形態(其1)>>

[0054] 以下詳細說明滿足上述條件1、條件2之位元交錯器(平行位元交錯器)。又，以下對實質相同之處理內容、及進行同樣處理內容之構成單元、賦予同樣之標號。

[0055] 本說明書之中，將由M個循環區塊所構成之各群，以及由Q個叢集字所構成之各群，稱為區域(或交錯器區域)。

[0056] 圖19及圖20是顯示本發明之一實施形態中，對應上述參數($Q=8$ 、 $M=4$ 、 $N=12$)且滿足條件1、條件2之位元交錯器所執行之對映機能之圖，以及顯示該位元交錯器之一構成例之塊狀圖。

[0057] 圖19及圖20中、QC-LDPC編碼之碼字，分別是由 $Q=8$ 個位元所構成之 $N=12$ 個之循環區塊QB1~QB12所構成。24個叢集字分別由 $M=4$ 個位元所構成，分別代表 $2^M=16$

個叢集點中之任一個。位元交錯器分為 $N/M=3$ 個區域，24個叢集字被設定為與 $N/M=3$ 個區域中之任一個關聯。

[0058]位元交錯器2000具有位元交換排列單元2010，位元交換排列單元2010是具有各自獨立(相互不依賴)動作之 $N/M(=3)$ 個區域交換排列單元2021、2022、2023。又，亦可以不具有3個區域交換排列單元，而採用1個區域交換排列單元，並隨著時間經過切換處理對象，同時進行後述之3個區域交換排列處理。

[0059]區域交換排列單元(2021、2022、2023)是各自獨立(相互不依賴)地，自4個循環區塊(QB1～QB4、QB5～QB8、QB9～QB12)分別將各1個位元逐個對映至8個叢集字(C1～C8、C9～C16、C17～C24)，以對4個循環區塊共計32個位元進行改變其排列順序之區域交換排列處理。

[0060]上述之2個條件1、條件2只是保證位元交錯器被區分為 N/M 個並列區域。可在對該等並列區域進行之區域交換排列處理中，適用相同之交換排列規則，或適用相異之交換排列規則，或適用只有一部分相同之交換排列規則。

[0061]例如，區域交換排列單元可將循環區塊之 Q 個位元(LDPC解碼處理中重要度相等)對映至 Q 個叢集字之同位元指標之位元(強健性水準相等)。各循環區塊之中， Q 個位元可依序或依照交換排列後之順序排列。以下利用圖21(a)、(b)說明後者，並利用圖22(a)、(b)說明前者。

[0062]圖21(a)是顯示圖20之區域交換排列單元之一構成例之圖。

[0063]區域交換排列單元2101具有循環區塊內交換排列單元2111~2114及行-列交換排列單元2131。又，可不具有4個循環區塊內交換排列單元，而利用例如1個循環區塊內交換排列單元，隨時間經過切換處理對象，同時進行後述之4個循環區塊內交換排列處理。

[0064]循環區塊內交換排列單元(2111~2114)對循環區塊(QB1~QB4)之Q個(8個)位元進行改變其排列順序之循環區塊內交換排列處理。對1個區域內之循環區塊進行之循環區塊內交換排列處理中，例如可適用相同之交換排列規則，或適用相異之交換排列規則，或適用只有一部分相同之交換排列規則。

[0065]行-列交換排列單元2131是對 $M \times Q$ 個(32個)位元進行此改變排列順序之行-列交換排列處理。詳細來說，行-列交換排列單元2131是進行與將 $M \times Q$ 個(32個)位元沿著Q列M行(8列4行)之矩陣之行方向寫入，並將寫入之 $M \times Q$ 個(32個)位元沿著列方向讀出之處理相當之行-列交換排列處理。又，行-列交換排列單元2131所進行之行-列交換排列處理，就是將圖9(a)、(b)中之12列1350行改為Q列M行，且寫入處理之列方向改為行方向、讀出處理之行方向改為列方向之後者。

[0066]圖21(b)是顯示圖21(a)中區域交換排列單元所進行之對映機能之圖。圖21(b)中，各叢集字之 $M=4$ 個位元是以b1~b4來表示。

[0067]但是，區域交換排列處理中之循環區塊內交換排

列處理也可以不執行。

[0068]圖20之區域交換排列之另一例，也就是不執行循環區塊內交換排列處理之區域交換排列單元之一構成例及該由區域交換排列單元進行之對映機能如圖22(a)及圖22(b)所示。區域交換排列單元2201具有行-列交換排列單元2131，只進行行-列交換排列處理。圖22(b)中，各叢集字之 $M=4$ 個位元代表以 $b1 \sim b4$ 來表示。

[0069]但是，亦可以對循環區塊QB5～QB8、QB9～QB12進行圖21及圖22中說明之區域交換排列。

[0070]本發明之另一實施形態中，位元交錯器在進行區域交換排列處理之前，付加性地對N個循環區塊進行改變其排列順序之循環區塊交換排列處理。付加性地進行循環區塊交換排列處理之位元交錯器之一構成例如圖23所示。在此之循環區塊交換排列，是發揮與DVB-T2規格中之位元-胞多工解訊器所進行之交換排列同樣之角色。

[0071]圖23所示之位元交錯器2300具有循環區塊交換排列單元2310及位元交換排列單元2010(包含區域交換排列單元2021～2023)。

[0072]循環區塊交換排列單元2310對循環區塊QB1～QB12進行改變其排列順序之循環區塊交換排列處理2311～2318。又，循環區塊交換排列處理2311～2318中利用之交換排列規則是相同。

[0073]對N個循環區塊進行之循環區塊交換排列，可藉此將LDPC碼字之位元對映至最適當之叢集之位元，因而有

助於收訊性能之最佳化，特別有益。

[0074]圖24是顯示圖23之位元交錯器之一構成例之塊狀圖。圖24之位元交錯器2400執行下述之階段A、B、C等3個交換排列處理。

階段A：循環區塊(間)交換排列

階段B：循環區塊內交換排列

階段C：行-列交換排列

[0075]在此，循環區塊(間)交換排列是改變構成碼字之N個循環區塊之排列順序之交換排列，循環區塊內交換排列是改變構成循環區塊之Q個位元之排列順序之交換排列，行-列交換排列是改變構成區域之 $M \times Q$ 個位元之排列順序之交換排列。

[0076]圖24所示之位元交錯器2400具有循環區塊交換排列單元2310及位元交換排列單元2010(區域交換排列單元2101～2103)。區域交換排列單元2101(2102、2103)具有循環區塊內交換排列單元2111～2114(2115～2118、2119～2122)及行-列交換排列單元2131(2132、2133)。

[0077]位元交錯器2400藉由循環區塊交換排列單元2310進行循環區塊(間)交換排列(階段A)、藉由循環區塊內交換排列單元2111～2122進行循環區塊內交換排列(階段B)、藉由行-列交換排列單元2131～2133進行行-列交換排列(階段C)。

[0078]亦可從圖24所示之位元交錯器取組循環區塊內交換排列單元2111～2122，來構成位元交錯器使其不執行

循環區塊內交換排列。又，位元交錯器亦可以不在循環區塊(間)交換排列之後執行循環區塊內交換排列，而在循環區塊(間)交換排列之前執行，或在循環區塊(間)交換排列之前後執行。

[0079] 又，複數之循環區塊內交換排列單元亦可以是相同之構成。因此，複數之循環區塊內交換排列單元可以由具有同一機能之資源(如硬體區塊等)來實現。又，複數之循環區塊內交換排列亦可以由循環性的移位處理來執行，此時，可套用於利用桶形移位器(Barrel shifter)等有效率之硬體。亦可以利用LDPC解碼器中使用之桶形移位器來套用。

[0080] 以下利用圖25，說明包含有可進行滿足條件1、條件2之位元交錯處理之位元交錯器之傳送器之一構成例。

[0081] 圖25是顯示本發明之又一其他實施形態之傳送器之一構成例之塊狀圖。圖25中顯示之傳送器2500具有BICM編碼器(包含LDPC編碼器2510、位元交錯器2520、叢集對映器2530)及調變器2540。

[0082] LDPC編碼器2510利用QC-LDPC編碼，將輸入區塊編碼成為碼字，再將碼字輸出至位元交錯器2520。

[0083] 位元交錯器2520自LDPC編碼器2510接收QC-LDPC編碼之碼字。此碼字是由 $N=12$ 個循環區塊所構成，各循環區塊由 $Q=8$ 個位元所構成。而位元交錯器2520對碼字之位元進行改變其排列順序之位元交錯處理。位元交錯器2520將進行過位元交錯處理之碼字分割成各自由 $M=4$ 個位元所構成，且各自代表 $2^M=16$ 個預定之叢集點中

之任一個之複數叢集字，輸出至叢集對映器2530。但是，位元交錯器2520例如可執行圖19至圖22中說明之位元交換排列處理或其變形，作為此位元交錯處理。或者，位元交錯器2520例如可在位元交換排列處理之外，更追加執行圖23至圖24中說明之循環區塊交換排列處理或其變形，以作為此位元交錯處理。

[0084]叢集對映器2530由位元交錯器2520接收叢集字，並對接收到之叢集字進行叢集對映處理。

[0085]調變器2740進行正交分頻多工(orthogonal frequency division multiplexing：OFDM)調變等，產生發送訊號。

[0086]以下利用圖26，說明包含有可執行滿足條件1、條件2之位元交錯處理之位元交錯器之BICM編碼器之一套用例。

[0087]圖26是顯示本發明另一個其他實施形態之BICM編碼器之一套用例之塊狀圖。圖26之BICM編碼器2600是對應上述參數($Q=8$ 、 $N=12$ 、 $M=4$)。

[0088]圖26中所示之BICM編碼器2600，具有主記憶體2601、LDPC控制器2611、旋轉器2612、檢查節點處理器群2613、逆旋轉器2614、QB計數器2631、查找表2632、交錯器2633、暫存器群2634、交錯器2635、及對映器群2651。

[0089]圖26中，考慮到 $Q=8$ ，主記憶體2601之讀出是每次執行8位元，而檢查節點處理器群2613具有8個檢查節點處理器，對映器群2651存在有8個對映器。又，考慮到 $M=4$ ，

因此暫存器群2634具有4個暫存器。

[0090]主記憶體2601例如自輸入處理單元(圖未示)接收應發送之位元列，並儲存接收到之位元列。

[0091]LDPC控制器2611對主記憶體2601輸出讀出位址，藉此主記憶體2601從位元列之前頭開始逐次將8位元輸出至旋轉器2612。旋轉器2612受LDPC控制器2611控制，對主記憶體2601供應來之8位元進行預定數循環移位，再將循環移位後之8位元，逐個將各1位元輸出至檢查節點處理器群2613之各檢查節點處理器。各檢查節點處理器群2613之各檢查節點處理器，受LDPC控制器2611之控制對輸入來之1位元進行檢查節點處理後，將1位元之處理結果輸出至逆旋轉器2614。逆旋轉器2614受LDPC控制器2611之控制，對接收自檢查節點處理器群2613之8位元進行預定數循環移位，以抵消旋轉器2612所進行之循環移位，再將循環移位後之8位元輸出至主記憶體2601。LDPC控制器2611對主記憶體2601輸出寫入位址，如此主記憶體2601就儲存供應自逆旋轉器2614之8位元。但是，LDPC控制器2611、旋轉器2612、檢查節點處理器群2613、及逆旋轉器2614構成圖25中之BICM編碼器之LDPC編碼器2510。

[0092]QB計數器2631是可從0計數到11者，且將計數值輸出至查找表2632。又，QB計數器2631之計數動作是考慮到 $N=12$ 之結果。

[0093]查找表2632是記憶循環區塊交換排列規則之單純的查找表。也就是說查找表2632記錄有 $N=12$ 個之循環區

塊之讀出順序資訊(令各別相異之循環區塊分別對應QB計數器2631之12個計數值之資訊)。查找表2632對主記憶體2601輸出讀出位址，使供應自QB計數器2631之計數值所對應之1個循環區塊之位元($Q=8$ 個位元)可自主記憶體2601供應至交錯器2633。如此，主記憶體2601將QB計數器2631之計數值所對應之1個循環區塊之位元輸出至交錯器2633。又，藉由此查找表2632之處理，可實現循環區塊交換排列(階段A)。

[0094] 交錯器2633對供應自主記憶體2601之1個循環區塊之位元進行預定數循環移位，輸出至暫存器群2634第1段之暫存器。又，藉由此交錯器2633之處理可實現循環區塊內交換排列(階段B)。不過，暫存器群2634之各暫存器在收到控制脈衝之時點儲存1個循環區塊之位元，且持續輸出所儲存之1個循環區塊之位元直到下一次收到控制脈衝為止。

[0095] 對QB計數器2631之計數值「0」～「3」實施以上處理內容，則有4個循環區塊之位元(32個位元)輸入至交錯器2635。在此時點，交錯器2635對輸入來的4個循環區塊之位元進行交錯處理，並對對映器群2651之各對映器輸出1個叢集字之位元($M=4$ 個位元)。藉由交錯處理，暫存器群2634之4個暫存器分別有1個位元、共計4個位元將供應至各對映器。又，藉由交錯器2635之處理可實現行-列交換排列(階段C)。

[0096] 不過，QB計數器2631、查找表2632、交錯器2633、暫存器群2634、以及交錯器2635，構成圖25中之BICM

編碼器之位元交錯器2520。

[0097]對映器群2651之各對映器將供應自交錯器2635之4個位元對映至叢集，並輸出對映結果。不過，對映器群2651構成圖25中之BICM編碼器之叢集對映器2530。

[0098]對於1個碼字，前述一連串之處理在QB計數器2631之計數值「0」至「3」、「4」至「7」、「8」至「11」下共計執行了3次。

[0099]又，圖26之套用例中，雖然包含有並列動作之Q個對映器，但亦可降低或提高並列度而套用於BICM編碼器。例如已知增加位元交錯器之並列交錯器區域之數量，也就是N/M，即可簡單地提高並列性。如此之方法，可藉由並列 $Q \times N/M$ 個對映器，以使並列化成為最大。位元交錯器有在沒有任何障礙之下套用如此之並列性之優點。

[0100]以下利用圖式說明一種，可自包含有可執行滿足滿足條件1、條件2之位元交錯處理之位元交錯器之傳送器接收訊號之接收器。

[0101]圖27係顯示具有本發明之又一其他實施形態之非重覆BICM解碼器之接收器之一構成例之塊狀圖。接收器進行與傳送器相反之動作。

[0102]圖27所示之接收器2700具有調變器2710及非重覆BICM解碼器(包含叢集反對映器2720及位元反交錯器2730、LDPC解碼器2740)。

[0103]解調器2710藉由OFDM等進行解調處理，並輸出解調處理結果。

[0104]非重覆BICM解碼器之叢集反對映器2720對來自調變器2710之輸入進行反對映處理，產生所謂的所謂軟位元列，並將產生之軟位元列輸出至叢集反對映器2730。各軟位元是顯示各位元為0或1之機率之標尺。通常，軟位元是以對數概似比統計量(log-likelihood ratio statistic：LLRs)來表示，其定義如下。

$$LLR(b)=1n \left[\frac{p(b=0)}{p(b=1)} \right]$$

$p(b=0)$ 表示位元 b 為0之機率， $p(b=1)$ 表示位元 b 為1之機率。不過， $p(b=0)+p(b=1)=1$ 成立。

[0105]位元反交錯器2730對於輸出自叢集反對映器2720之軟位元列，進行抵消圖25之傳送器內之位元交錯器對位元列所執行之位元交錯處理，以復原排列順序之交錯處理(位元反交錯處理)。

[0106]LDPC解碼器2740接收來自位元反交錯器2730之經過位元反交錯之軟位元列，利用接收到之軟位元列進行LDPC解碼處理。

[0107]有一種可顯著地提高收訊性能之方法，是重覆BICM解碼處理。關於重覆BICM解碼器，以下利用圖28來說明。

[0108]圖28是顯示具有本發明之又一其他實施形態之重覆BICM解碼器之接收器之一構成例之塊狀圖。接收器是執行與傳送器相反之動作。

[0109]圖28所示之接收器2800具有調變器2710、及重覆BICM解碼器(叢集反對映器2720、位元反交錯器2730、

LDPC解碼器2740、減算單元2760、位元交錯器2750)。

[0110]圖28之接收器2800執行由叢集反對映器2720所進行之叢集反對映處理、由位元反交錯器2730所進行之位元反交錯處理、由LDPC解碼器2740所進行之LDPC解碼處理。

[0111]LDPC解碼之重覆處理執行過1次或複數次之後，減算單元2760自LDPC解碼器2740之輸出減算LDPC解碼器2740之輸入，並將減算之結果取得之外部資訊(extrinsic information)輸出至位元交錯器2750。位元交錯器2750對於外部資訊，執行與圖25之傳送器內之位元交錯器對位元列所執行之位元交錯處理相同交錯規則之交錯處理。之後位元交錯器2750將經過交錯處理之外部資訊回饋至叢集反對映器2720。叢集反對映器2720將回饋來之外部資訊使用作為事前資訊(a-priori information)，算出信賴性高之LLR值。之後位元反交錯器2730對於新算出之LLR值，執行取消圖25之傳送器內之位元交錯器對位元列所執行之位元交錯處理以回歸至原排列順序之交錯處理(位元反交錯處理)。LDPC解碼器2740利用經過位元反交錯處理之LLR值執行LDPC解碼處理。

[0112]如圖28所示，重覆解碼之迴圈是由4個要素，即：叢集反對映器2720、位元反交錯器2730、LDPC解碼器2740、及位元交錯器2750所構成。位元反交錯器2730與位元交錯器2750之延遲非常低，理想上是零，且若構成簡易，則可有效率地套用於接收器。上述之位元反交錯器2730與

位元交錯器2750，滿足兩個條件。

[0113]以下利用圖29說明實現非常有效率之並列套用之重覆BICM解碼器之一套用例。

[0114]圖29是顯示本發明之又一其他實施形態之BICM解碼器之一套用例之塊狀圖。圖29之BICM解碼器2900對應以上參數($Q=8$ 、 $N=12$ 、 $M=4$)。

[0115]圖29所示之BICM解碼器2900具有：主LLR記憶體2901、緩衝LLR記憶體2902、LDPC控制器2911、旋轉器2912、檢查節點處理器群2913、逆旋轉器2914、QB計數器2931、查找表2932、減算單元2933、交錯器2934、暫存器群2935、交錯器2936、反對映器群2937、反交錯器2938、暫存器群2939、反交錯器2940、及延遲單元2941。

[0116]圖29中考慮到 $Q=8$ ，主LLR記憶體2901及緩衝LLR記憶體2902之之讀出是每次執行8個LLR值，而檢查節點處理器群2913具有8個檢查節點處理器，反對映器群2937存在有8個反對映器。又，考慮到 $M=4$ ，因此暫存器群2935、2972具有4個暫存器。

[0117]反對映器群2937之各反對映器，利用解調器(不圖示)之輸出進行反對映處理，並將取得之LLR值輸出至反交錯器2938。不過，反對映器群2937構成圖28中之重覆BICM解碼器之叢集反對映器2720。

[0118]反交錯器2938對LLR值進行反交錯處理(抵消由傳送器在階段C所進行交錯之交錯處理)，並將反交錯後之LLR值輸出至暫存器群2939之各暫存器。不過，各暫存器

分別儲存有 1 個循環區塊之 LLR 值 (8 個 LLR 值)。暫存器群 2939 將暫存器中儲存的 1 個循環區塊之 LLR 值依序被輸出至後段，而各暫存器之儲存內容將依序更新。反交錯器 2940 對供應來之 1 個循環區塊之 LLR 值 (8 個 LLR 值) 進行交錯處理 (抵消傳送器在階段 B 所進行交錯之交錯處理)，依查找表 2932 之儲存內容 (後述) 寫入主 LLR 記憶體 2901 及緩衝 LLR 記憶體 2902。又，藉由依照查找表 2932 之儲存內容寫入主 LLR 記憶體 2901 及緩衝 LLR 記憶體 2902，可實現抵消由傳送器在階段 A 所進行交錯之交錯處理。

[0119] 如此，主 LLR 記憶體 2901 記憶反交錯處理後之 LLR 值，LDPC 解碼器 (LDPC 控制器 2911、旋轉器 2912、檢查節點處理器群 2913、逆旋轉器 2914) 也可利用。LDPC 解碼處理是進行 1 次或重覆複數次之重覆處理。LDPC 解碼處理之各重覆之中，主 LLR 記憶體 2901 內之 LLR 值將被更新。為算出重覆 BICM 解碼處理所需之外部資訊，舊的 LLR 值儲存於緩衝 LLR 記憶體 2902 中。

[0120] 在此，記載 LDPC 解碼器之處理。

[0121] LDPC 控制器 2911 依據 LDPC 編碼之同位檢查矩陣，對主 LLR 記憶體 2901 輸出讀出位址，主 LLR 記憶體 2901 藉此將各 1 個循環區塊之 LLR 值依序逐個輸出至旋轉器 2912。旋轉器 2912 受 LDPC 控制器 2911 所控制，對依序自主 LLR 記憶體 2901 供應來之 1 個循環區塊之 LLR 值進行預定數循環移位，再對檢查節點處理器群 2913 之各檢查節點處理器依序逐個輸出循環移位後之 LLR 值。各檢查節點處理器

群2913之各檢查節點處理器受LDPC控制器2911控制，對依序輸入來之一連串LLR值進行檢查節點處理。接著，檢查節點處理器群2913之各檢查節點處理器受LDPC控制器2911控制，依序輸出檢查節點處理結果之一連串LLR值。逆旋轉器2914受LDPC控制器2911控制，對自檢查節點處理器群2913依序取得之1個循環區塊之處理結果，進行預定數循環移位，以抵消旋轉器2912所執行之循環移位，再將循環移位後之處理結果依序輸出至主LLR記憶體2901。LDPC控制器2911依據LDPC編碼之同位檢查矩陣，對主LLR記憶體2901輸出寫入位址，如此，主LLR記憶體2901就儲存自逆旋轉器2914依序供應來之1個循環區塊之處理結果。LDPC控制器2911依據LDPC編碼之同位檢查矩陣，反覆執行以上之處理。

[0122]LDPC重覆處理執行預定次數之後，執行BICM重覆處理。LDPC及BICM重覆處理，分別又被稱為內在重覆處理及外在重覆處理。又，此2種類之重覆處理亦可重疊(overlap)套用。藉此，可提高收斂之速度。由於BICM及LDPC解碼處理在本技術領域中為周知，故省略詳細說明。

[0123]QB計數器2931是可從0計數到11者，且將計數值輸出至查找表2932。又，QB計數器2931之計數動作是考慮到 $N=12$ 之結果。

[0124]查找表2932是記憶循環區塊交換排列規則之單純的查找表。也就是說查找表2932記錄有 $N=12$ 個之循環區塊之讀出順序(寫入順序)資訊(令各別相異之循環區塊分別

對應QB計數器2931之12個計數值之資訊)。查找表2932對主LLR記憶體2901及緩衝LLR記憶體2902輸出讀出位址，使供應自QB計數器2631之計數值所對應之1個LLR值可自主LLR記憶體2901及緩衝LLR記憶體2902供應至減算單元群2933。如此，主LLR記憶體2901及緩衝LLR記憶體2902將分別對應QB計數器2931之計數值之1個循環區塊之LLR值輸出至減算單元2933。在此，由延遲單元2941進行延遲調整，使來自主LLR記憶體2901及緩衝LLR記憶體2902之LLR值之讀出位置，與寫入至主LLR記憶體2901與緩衝LLR記憶體2902之該LLR值之寫入位置一致。又，藉由此查找表2932之處理，可實現相當於循環區塊交換排列(階段A)之交換排列。

[0125]減算單元群之各減算單元2933，從主LLR記憶體2901之輸出減算緩衝LLR記憶體2902之輸出，並將減算所得結果之1個循環區塊之外部資訊(8個外部資訊)輸出至交錯器2934。

[0126]交錯器2934對供應自減算單元2933之1個循環區塊之外部資訊進行預定數循環移位，輸出至暫存器群2935之第1段之暫存器。又，藉由此交錯器2934之處理可實現相當於循環區塊內交換排列(階段B)之處理。不過，暫存器群2935之各暫存器在收到控制脈衝之時點儲存8個位元，且持續輸出所儲存之8個位元直到下一次收到控制脈衝為止。

[0127]對QB計數器2631之計數值「0」～「3」實施以上處理內容，則有4個循環區塊之外部資訊(32個外部資訊)

輸入至交錯器2936。在此時點，交錯器2936對輸入來的4個循環區塊之位元進行交錯處理，並對反對映器群2937之各反對映器輸出1個叢集字之外部資訊(M=4個外部資訊)。藉由交錯處理，暫存器群2935之4個暫存器分別有1個、共計4個外部資訊將供應至反對映器群2951之各反對映器。又，藉由交錯器2936之處理可實現相當於行-列交換排列(階段C)之處理。

[0128]不過，QB計數器2931、查找表2932、交錯器2934、暫存器群2935、以及交錯器2936，構成圖28中之BICM編碼器之位元交錯器2750。

[0129]反對映器群2937之各反對映器使用供應自交錯器2936之4個外部資訊作為事前資訊，進行反對應處理，並將新的LLR值輸出至反交錯器2938。

[0130]反交錯器2938對LLR值進行反交錯處理(抵消由傳送器在階段C所進行交錯之交錯處理)，並將反交錯後之LLR值輸出至暫存器群2939之各暫存器。不過，各暫存器分別儲存有1個循環區塊之LLR值(8個LLR值)。暫存器群2939中，儲存於暫存器之1個循環區塊之LLR值依序輸出至後段，而各暫存器之儲存內容依序被更新。反交錯器2940對供應來之1個循環區塊之LLR值(8個LLR值)進行反交錯處理(抵消由傳送器在階段B所進行交錯之交錯處理)，輸出至主LLR記憶體2901及緩衝LLR記憶體2902。主LLR記憶體2901及緩衝LLR記憶體2902，從查找表2932透過延遲單元2941接收寫入位址，並依據接收到之寫入位址，儲存自反

交錯器2940取得之1個循環區塊之LLR值(8個LLR值)。藉由依據查找表2932之寫入處理，可實現抵消傳送器在階段A所進行交錯之交錯處理(反交錯處理)。

[0131]對於1個碼字，前述一連串之處理在QB計數器2931之計數值「0」至「3」、「4」至「7」、「8」至「11」下共計執行了3次。

[0132]但是，QB計數器2931、查找表2932、反交錯器2938、暫存器群2939、及反交錯器2940，是構成圖28中BICM解碼器之位元反交錯器2730。

[0133]交錯器2934及反交錯器2940是可以重新構成，雖然需要相當的硬體成本，但可藉由細心的設計來將成本降至最低限度。交錯器2936及反交錯器2938是套用行-列交換排列者，此交換排列隨著預定之叢集大小是固定的，因此套用之成本低。

[0134]又，圖29之套用例中，雖然包含有並列動作之Q個反對映器，但亦可降低或提高並列度而套用於BICM解碼器。例如已知增加位元交錯器之並列交錯器區域之數量，也就是 N/M ，即可簡單地提高並列性。如此之方法，可藉由並列 $Q \times N/M$ 個反對映器，以使並列化成為最大。上述之位元交錯器有在沒有任何障礙之下套用如此之並列性之優點。

＜發明者更進一步的檢討＞

[0135]滿足上述條件1、條件2之交錯器(並列交錯器)，是以叢集字之位元數 M 為循環區塊數 N 之因數為前提。但

是， M 未必總是 N 之因數。例如，可舉出DVB-T2規格中使用之16K LDPC編碼為例，16K LDPC編碼之碼字具有 $N=45$ 個循環區塊。在 M 不是 N 之因數時，就不容易對 M 為偶數之QAM叢集等正方形叢集進行對映。

[0136]因此，從 N 個循環區塊中，除外1以上之循環區塊，只對剩餘的循環區塊適用上述實施形態(其1)中說明之交錯器(並列交錯器)，可稱是特有之解決方法。

[0137]換言之，位元交錯器自 N 個循環區塊中選出叢集字之位元數 M 之倍數 N' 個循環區塊。位元交錯器將選出之 N' 個循環區塊，分割成 N'/M 個區域，使其分別具有 M 個循環區塊，並對各區域實施區域交換排列。被除外(未選出)之循環區塊之位元，可以不進行交錯，亦可以進行交錯。

[0138]特別是，實施形態之位元交錯方法，係利用類循環低密度同位檢查碼之通訊系統中之位元交錯方法，其特徵在於前述位元交錯方法包含：接收步驟，係接收由 N 個循環區塊所構成且各循環區塊分別由 Q 個位元所組成之前述類循環低密度同位檢查碼之碼字者；位元交換排列步驟，係對前述碼字實施將該碼字之位元之排列順序予以置換之位元交換排列處理者；分割步驟，係將位元交換排列處理實施後之碼字分割成複數之叢集字，該複數之叢集字分別由 M 個位元組成，且分別顯示預定叢集之 2^M 個叢集點中之任一個；及選擇步驟，係從 N 個循環區塊中，選擇為 M (M 為每個叢集字之位元數)之倍數之 N' 個循環區塊之子組合(subset)，前述位元交換排列處理實施前之前述碼字被分割

成 N'/M 個區域，各前述區域由 M 個前述循環區塊所組成，且各前述叢集字為與前述 N'/M 個前述區域中之一個有關聯，前述位元交換排列步驟進行前述位元交換排列處理，使各前述叢集字是從關聯之前述區域中之 M 個相異之前述循環區塊中各取1個位元而組成之共計 M 個位元所構成，且各前述區域之全部位元只對映該區域有設定關聯之 Q 個前述叢集字。

[0139]同樣地，實施形態之位元交錯器，係利用類循環低密度同位檢查碼之通訊系統中之位元交錯器，其特徵在於：前述位元交錯器包含：位元交換排列部，是接收由 N 個循環區塊所構成且各循環區塊分別由 Q 個位元所組成之前述類循環低密度同位檢查碼之碼字，對前述碼字之位元實施將該碼字之位元之排列順序予以置換之位元交換排列處理，並將前述位元交換排列處理實施後之碼字分割成複數之叢集字後輸出，該複數之叢集字分別由 M 個位元組成，且分別顯示預定叢集中之 2^M 個叢集點中之任一個；及選擇部，係從 N 個循環區塊中，選擇為 M/F (M 為每個叢集字之位元數， F 為 M 之因數)之倍數之 N' 個循環區塊之子組合(subset)，前述位元交換排列處理實施前之前述碼字被分割成 N'/M 個區域，各前述區域由 M 個前述循環區塊所組成，且各前述叢集字為與 N'/M 個前述區域中之任一個有關聯，前述位元交換排列部進行前述位元交換排列處理，使各前述叢集字是從關聯之前述區域中之 M 個相異之前述循環區塊中，各取1個位元而組成之共計 M 個位元所構成，且各前

述區域之全部位元只對映與該區域關聯之Q個前述叢集字。

[0140]又，前述碼字之位元亦可包含：不含於前述選擇出之前述N'個循環區塊之子組合中，且不屬於將位元之排列順序予以置換之對象之位元群；或不含於前述選擇出之前述N'個循環區塊之子組合中，但屬於只適用於未被選擇之循環區塊而自前述位元交換排列處理獨立出來之將位元之排列順序予以置換之對象之位元群。

[0141]藉此構成，可將位元交錯最大化。

[0142]例如，被除外之循環區塊，可以是變數節點之重要度最小之循環區塊。RA QC LDPC編碼(參見圖5)時，例如被除外之循環區塊，可以是同位部分(具有重要度2之變數節點)之循環區塊，此時，亦可以是碼字之最後起算1個以上之循環區塊。

[0143]又，前述選擇步驟可以根據各循環區塊所包含之位元之重要度來選擇前述循環區塊。

[0144]又，前述各循環區塊所包含之位元之重要度，可以根據關聯之同位位元之數來決定。

[0145]又，前述碼字可以是重複累積(Repeat Accumulate)類循環低密度同位檢查碼，而未被前述選擇之循環區塊，可以對應碼字之同位區域。

[0146]藉由此構成，可將與碼字有關係之絕大多數位元納入最適之交錯。減少未納入交錯之位元之數量，可提高全體之效率。

[0147]又，被選擇之N'個循環區塊之子組合，可以是由

具有碼字之最初位元之循環區塊起算之連續 N' 個區塊所構成。

[0148]藉由此構成，可令硬體套用更加簡單。特別是重複累積類循環低密度同位檢查碼之同位檢查矩陣中，碼字之最終位元與位元之關連性會成為最低。

[0149]圖30是顯示適用實施形態(其1)中說明之交錯方法時，適用對象之循環區塊與不適用之非適用對象之循環區塊(被除外之循環區塊)之圖。但是，圖30是針對編碼為DVB-T2規格所定義之16K LDPC編碼，叢集為16QAM叢集時之圖。圖30之例中，適用對象之循環區塊為44個循環區塊(1、...、44)，非適用對象之循環區塊(被除外之循環區塊)只有其最終行之1個循環區塊45而已。又，4個實心四角形代表第1個叢集字之4位元。

[0150]一般來說，交錯區域(由 M 個循環區塊所構成之區域)之數量，為 $\text{floor}(N/M)$ ，被除外之循環區塊之數量為 $\text{rem}(N,M)$ 。在此， $\text{floor}(N/M)$ 為 N/M 以下取得最大整數值之函數， $\text{rem}(N,M)$ 是取得 N 除以 M 之餘數之函數。

[0151]表2是顯示有關於DVB-T2規格中16K LDPC編碼(具有 $N=45$ 個循環區塊)中，對於各種叢集大小(叢集之位元數 M)之區域數及被除外之循環區塊數。

【表2】

叢集大小	M	區域數	被除外之循環區塊數
QPSK	2	22	1
16QAM	4	11	1
64QAM	6	7	3
256QAM	8	5	5

[0152]滿足以上說明之條件1、條件2之交錯方法中，各叢集字被對映至M個循環區塊。但是，對於較大之叢集(叢集點數多之叢集)若適用滿足條件1、條件2之交錯方法，就需要非常多的延遲暫存器(參見圖26及圖29中說明之套用例)。使用非常多的延遲暫存器，將增加電路面積及消耗電力。而且，若減少叢集字對映之循環區塊數、可增大外(BICM)疊代與內(LLDPC)疊代間之重疊(overlap)而較有利，而可減少全體BICM解碼之延遲。

[0153]藉由將各叢集字之2位元以上對映至同循環區塊，可減少叢集字所對映之循環區塊之數量。以下將對映至同循環區塊之叢集字之位元數稱為折疊係數，以F來表示。例如，叢集為16QAM叢集，當F=2時，叢集字將只被對映至2個循環區塊，而不是4個循環區塊。唯一的限制是，折疊係數F(比1大之整數)必須是M及Q之因數。又，F=1為無折疊，也就是對應實施形態(其1)。

[0154]複QAM叢集符號(symbol)可分離成2個相等之實PAM(pulse-amplitude modulation)符號(symbol)。因此，QAM叢集之M位元可分割成2個相等之實PAM符號之M/2位元之組合(set)，叢集字之位元可對映至同M/2個循環區塊。F=2

之折疊係數對QAM叢集也是有利的。

[0155]不可分解成實數之複叢集，例如DVB-S2規格中使用之8PSK(phase shift keying)、16APSK(amplitude phase shift keying)、32APSK等，就不容易利用折疊手法。但是，只要F為M之因數，就可以利用折疊手法。不過，就不可以保證各循環區塊之位元全部都只被對映至叢集中具有同一強健性水準之位元。

[0156]使用折疊之手法中，例如，各循環區塊之位元宜全部都被對映至叢集中具有同一強健性水準之位元。

[0157]折疊具有減少被除外之循環區塊數量之優點，且又附家有令被除外之循環區塊之數量為0之優點。如上述說明，若要適用於實施形態(其1)中說明之交錯器(並列交錯器)，有必要除外數個構成碼字之循環區塊。

[0158]在無折疊($F=1$)時，由M個循環區塊所構成之群數(區域數)為 $\text{floor}(N/M)$ ，被除外之循環區塊數為 $\text{rem}(N,M)$ 。另一方面，有折疊時由 M/F 個循環區塊所構成之群數為 $\text{floor}(N/(M/F))$ ，被除外之循環區塊數為 $\text{rem}(N,M/F)$ 。其具體之數值例，如表3顯示DVB-T2規格中使用之LDPC編碼。

【表3】

LDPC碼字長	叢集大小	M	無折疊		有折疊	
			區域數	被除外之循環區塊數	區域數	被除外之循環區塊數
16K (N=45,Q=360)	QPSK	2	22	1	44	1
	16QAM	4	11	1	22	1
	64QAM	6	7	3	15	0
	256QAM	8	5	5	11	1
64K (N=180,Q=360)	QPSK	2	90	0	180	0
	16QAM	4	45	0	90	0
	64QAM	6	30	0	60	0
	256QAM	8	22	4	45	0

[0159]發明者得知，為執行折疊(F為2以上之整數)，有必要將條件1、條件2變更為以下之條件1A、條件2A。

(條件1A)

[0160]各叢集字之M個位元，被對映至LDPC碼字之M/F個相異之循環區塊。這與將各F個位元從LDPC碼字之M/F個相異之循環區塊，對映至叢集字是相當的。其概要如圖31(a)所示。

(條件2A)

[0161]被對映至M/F個循環區塊之全部叢集字，只被對映至該M/F個循環區塊。這與由Q位元所構成之M/F個相異之循環區塊之M×Q/F個位元，全部都只被對映至Q/F個叢集字是相當的。其概要如圖31(b)所示。

[0162]又，F=1時為無折疊，條件1A、條件2A與條件1、條件2為同一。

《實施形態(其2)》

[0163] 以下詳細說明滿足上述條件1A、條件2A之位元交錯器(並列位元交錯器)。又，以下對實質上相同之處理內容、以及執行同樣處理內容之構成單元，賦予相同之標號。

[0164] 本說明書中，將由M/F個循環區塊所構成之各群、或由Q/F個叢集字所構成之各群，稱為折疊區域(或折疊交錯區域)。

[0165] 又，F=1時(無折疊)，折疊交錯區域與交錯區域一致，位元交錯器與實施形態(其1)之位元交錯器為同一構成。

[0166] 圖32是有關於本發明之又一其他實施形態，顯示對應Q=8、M=4、N=12、F=2，且滿足條件1A、條件2A之位元交錯器之一構成例之塊狀圖。

[0167] 圖32中，QC-LDPC編碼之碼字，分別是由N=12個循環區塊QB1～QB12所構成，且各循環區塊是由Q=8個位元所構成。24個叢集字分別由M=4個位元所構成，分別代表 $2^M=16$ 個叢集點中之任一者。位元交錯器被分為 $F \times N/M=6$ 個折疊區域，24個叢集字被設定為與 $F \times N/M=6$ 個折疊區域中之任一者有關聯。

[0168] 位元交錯器2000A具有位元交換排列單元2010A，位元交換排列單元2010A具有相互獨立(互不依賴)動作之 $F \times N/M=6$ 個折疊區域交換排列單元2021A～2026A。又，亦可以不具有6個折疊區域交換排列單元，而利用1個折疊區域交換排列單元，隨著時間經過改變處理對

象，同時執行後述之6個折疊區域交換排列處理。

[0169]折疊區域交換排列單元(2021A、2022A、2023A、2024A、2025A、2026A)是相互獨立(互不依賴)，對2個循環區塊之共計16個位元實施改變其排列順序之折疊區域交換排列處理，使 $M/F=2$ 個循環區塊(QB1~QB2、QB3~QB4、QB5~QB6、QB7~QB8、QB9~QB10、QB11~QB12)各自之每 $F=2$ 個位元逐次對映至各4個叢集字(C1~C4、C5~C8、C9~C12、C13~C16、C17~C20、C21~C24)。

[0170]上述2個條件1A、條件2A，只是保證位元交錯器被區分成 $F \times N/M$ 個並列折疊區域。對該等並列折疊區域執行之折疊區域交換排列處理中，可以適用相同之交換排列規則，也可以適用相異之交換排列規則、或適用只有一部分相同之交換排列規則。

[0171]例如，折疊區域交換排列單元可以將循環區塊之 Q 個位元，對映至 Q/F 個叢集字中具有同一強健性水準之位元。對此，利用圖33及圖34，舉 $Q=8$ 、 $M=4$ 為例來說明。

[0172]圖34(a)是顯示 $F=1$ (無折疊)之(折疊)區域交換排列單元之一構成例之塊狀圖，與圖22(a)是相同構成。

[0173]圖34(b)是顯示圖32中， $F=2$ (有折疊)時2個折疊區域交換排列單元之一構成例之塊狀圖。

[0174]但是、圖34(b)之例中，叢集是16QAM叢集。因此，叢集之位元中有2個強健性水準，位元b1與位元b3為同一之強健性水準，位元b2與位元b4為同一之強健性水準。

[0175]折疊區域交換排列單元2201A(2202A)具有行-列

交換排列單元2131A(2132A)。

[0176]行-列交換排列單元2131A(2132A)，對循環區塊QB1～QB2(QB3～QB4)之 $Q \times M/F = 16$ 個位元，執行改變其排列順序之行-列交換排列處理。詳細來說，行-列交換排列單元2131A(2132A)執行與將 $Q \times M/F = 16$ 個位元，沿著Q列M/F行=8列2行之矩陣之行方向寫入，且將寫入之16個位元沿著列方向讀出同等之行-列交換排列處理。又，行-列交換排列單元2131A、2132A所進行之行-列交換排列處理，可以被圖9(a)、(b)之12列1350行之Q列M/F行交換排列，令寫入處理由列方向改為行方向、且讀出處理為行方向改為列方向。

[0177]又，藉由折疊係數F之折疊，將減少對映至1個叢集字之循環區塊數。藉此，可將行-列交換排列中矩陣之行數從M減少到M/F。

[0178]圖33(a)是顯示圖34(a)之(折疊)區域交換排列單元所執行之對映機能之圖，圖33(b)是顯示圖34(a)之2個折疊區域交換排列單元所執行之對映機能之圖。圖33(a)、(b)中，各叢集字之M=4個位元以b1～b4來表示。又，以粗線包圍之部分是代表關於叢集字C1之對映。

[0179]圖33(a)、圖34(a)之例中，1個循環區塊之8位元(具有相同重要度)被對映至8個叢集字之具有同一位元指標之位元(具有相同之強健性水準)。又，圖33(b)、圖34(b)之例中，1個循環區塊之8位元(具有相同重要度)被對映至4個叢集字中相同強健性水準之位元。

[0180]但是，對於循環區塊QB5～QB6、QB7～QB8、

QB9～QB10、QB11～QB12，也可以執行圖34(b)中說明之折疊區域交換排列。

[0181]又、圖34(a)、(b)之折疊區域交換排列單元中，亦可在行-列交換排列之前段，追加執行對循環區塊QB1～QB4之位元，進行改變其排列順序之循環區塊內交換排列之單元。

[0182]本發明之又一其他實施形態中，位元交錯器在執行折疊區域交換排列處理之前，附加地執行對N個循環區塊改變其排列順序之循環區塊交換排列處理。附加地執行循環區塊交換排列處理之位元交錯器之一構成例如圖35所示。

[0183]圖35所示之位元交錯器2300A具有循環區塊交換排列單元2310及位元交換排列單元2010A(包含折疊區域交換排列單元2021A～2026A)。

[0184]圖36是顯示圖35之位元交錯器之一構成例之塊狀圖。

[0185]圖36之位元交錯器2400A具有循環區塊交換排列單元2310及位元交換排列單元2200A(包含折疊區域交換排列單元2201A～2206A)。

[0186]折疊區域交換排列單元2201A～2206A分別具有行-列交換排列單元2131A～2136A。行-列交換排列單元2133A～2136A分別執行與行-列交換排列單元2133A～2132A實質相同之交換排列處理。

[0187]又，圖35、圖36之位元交錯器中，亦可在循環區

塊交換排列之前段或後段，追加執行對於循環區塊 QB1～QB12之位元，進行改變其排列順序之循環區塊內交換排列之單元。

[0188]以下利用圖37，說明包含有可執行滿足條件1A、條件2A之位元交錯處理之位元交錯器之傳送器之一構成例。

[0189]圖37是顯示本發明之又一其他實施形態之傳送器之一構成例之塊狀圖。圖37所示之傳送器2500A，是將圖25中傳送器2500之位元交錯器2520，以位元交錯器2520A來交換排列之構成。

[0190]位元交錯器2520A，自LDPC編碼器2510接收QC-LDPC編碼之碼字。此碼字是由 $N=12$ 個循環區塊所構成，而各循環區塊由 $Q=8$ 個位元所構成。且位元交錯器2520A對碼字之位元執行改變其排列順序之位元交錯處理。位元交錯器2520A將經過位元交錯處理後之碼字，分割成各自由 $M=4$ 個位元所構成，且各自代表 $2^M=16$ 個預定之叢集點中之任一個之複數叢集字，輸出至叢集對映器2530。但是，位元交錯器2520A例如可執行以圖32至圖34所說明、或作為其變形所說明之位元交換排列處理($F=1$ 除外)，作為此位元交錯處理。或者，位元交錯器2520例如可在位元交換排列處理($F=1$ 除外)之外，更追加執行圖35及圖36中說明之循環區塊交換排列處理或其變形，以作為此位元交錯處理。

[0191]以下利用圖式說明一種，可自包含有可執行滿足

條件1A、條件2A之位元交錯處理之位元交錯器之傳送器接收訊號之接收器。

[0192]圖38係顯示具有本發明之又一其他實施形態之非重覆BICM解碼器之接收器之一構成例之塊狀圖。接收器進行與傳送器相反之動作。圖38所示之接收器2700A，是將圖27中接收器2700之位元反交錯器2730，以位元反交錯器2730A來交換排列之構成。

[0193]位元反交錯器2730A對於輸出自叢集反對映器2720之軟位元列，進行抵消傳送器2500A內之位元交錯器2520A對位元列所執行之位元交錯處理，以復原排列順序之交錯處理(位元反交錯處理)。

[0194]圖39係顯示具有本發明之又一其他實施形態之非重覆BICM解碼器之接收器之一構成例之塊狀圖。接收器進行與傳送器相反之動作。圖39所示之接收器2800A，是將圖28中接收器2800之位元反交錯器2730及位元交錯器2750，以位元反交錯器2730A及位元交錯器2750A來交換排列之構成。

[0195]位元交錯器2750A對於外部資訊(extrinsic information)，執行與傳送器2500A內之位元交錯器2520A對位元列所執行之位元交錯處理同樣交錯規則之交錯處理。

[0196]從硬體套用之觀點來看，例如，折疊可配置在1個叢集字之位元較少之LLR記憶體場所(memory location)。通常，解碼器中之LLR記憶體具有 $G \times N$ 個可指定位址之位置，各位置可儲存 Q/G 個LLR值。 G 為套用參數，

第 108146454 號專利申請案 發明專利說明書修正替換本 修正日期：2020 年 11 月 16 日

為 Q 之因數，稱為記憶體粒度(granularity)。解碼器內之LLR記憶體場所，與對應 $M=4$ 、 $F=2$ 、 $Q=12$ 、 $G=1\sim 12$ 之第1個叢集字之LLR值之配置處所如圖40所示。

[0197]記憶體場所中LLR值之數，也就是 Q/G 必須是 F 之倍數，各叢集之LLR值在記憶體之全部場所中皆儲存在同一位置。這是要確保任一個叢集字中之LLR值，也儲存在 M/F 個記憶體場所內。與此相反之例如圖40之 $G=4$ 所示，各記憶體場所儲存 $12/4=3$ 個LLR值。字2個及第5個叢集字之LLR值並不儲存於2個記憶體場所，而是儲存於4個記憶體場所。

[0198]除了可適用 $F=2$ 折疊之單純QAM叢集以外，在2以上之叢集符號(symbol)結解除碼(jointly decode)時，折疊非常有用。結解除碼例如在對塊碼(空時碼、頻率空間碼等)之最大概率解碼(maximum likelihood decoding)或二維以上之旋轉叢集時是必要的。

[0199]一般來說，塊碼將2以上之輸入符號(symbol)(x_1 、...、 x_K)編碼成為2以上之輸出符號(symbol)(y_1 、...、 y_L)。在此， L 在 K 以下。塊碼是由 L 行 K 列之產生矩陣來模組化。在此，以產生矩陣 G 對輸入訊號向量 X 進行左乘，可得到輸出訊號向量 $Y(Y=GX)$ 。

[0200]輸入訊號向量 X 及輸出訊號向量 Y 之要素與產生矩陣 G 之要素相同，可以是實數或複數。因編碼之種類，輸出訊號向量 Y 以不同時間槽或不同頻率槽來發送，或以不同之天線來發送、或以不同時間槽或不同頻率槽且不同天線

來發送。

[0201]接收器為了解碼輸入訊號向量 X 之全要素，需要最大概率解碼。MIMO(multiple-input multiple-output)通訊系統用之塊碼，例如有阿拉蒙特(Alamouti)碼、GoldeN碼、及空間多工。

[0202]當 K 個符號(symbol)編碼於同一塊中時，顯然折疊係數可以使用至 K 為止。且若符號(symbol)為QAM符號(symbol) (包含2個可分離之PAM符號(symbol))，則可使用之折疊係數增加到 $2 \times K$ 為止。

[0203]依據本發明之又一其他實施形態，當相異大小之叢集，也就是混合叢集(hybrid constellation)被結合編碼時，由於2個叢集具有互異之強健性水準，因此，例如有對映至一者之叢集字位元之循環區塊及對映至另一者之叢集字位元之循環區塊及相異之狀況。

[0204]在此，舉出利用2個發送天線之碼空間多工MIMO系統為例來說明。設編碼前之複訊號為 $X=[x_1 \ x_2]$ 。在此之 x_1 為執行過QPSK之訊號， x_2 為執行過16QAM之訊號。設編碼後之複訊號為 $Y=[y_1 \ y_2]$ 。在此之 y_1 及 y_2 分別是由第1天線及第2天線所發送之訊號。Y可由以2行2列之產生矩陣 G (要素可以是實數或複數)對 X 進行左乘來求得($Y=GX$)。

[0205]例如，將QPSK符號(symbol)與16QAM符號(symbol)多工化至同一塊碼時，對折疊係數 $F=2$ 對映之一例如圖41所示。圖41只顯示循環區塊中最初之7位元。2個複符號(symbol) x_1 及 x_2 具有如下之構造。

x_1 為被設定實數部是 b_1 、虛數部是 b_2 之 QPSK 符號(symbol)。

x_2 為被設定實數部是 b_3 、 b_4 虛數部是 b_5 、 b_6 之 16QAM 符號(symbol)。

2 個符號(symbol)在接收器被結合解碼，如此，可作出所謂叢集區塊或產生出之區塊。

[0206] 全體 6 位元之叢集區塊，將具有 3 個強健性水準。

水準 1：QPSK 之 b_1 及 b_2 被對映至 QB1。

水準 2：16QAM 之 b_3 及 b_5 被對映至 QB2。

水準 3：16QAM 之 b_4 及 b_6 被對映至 QB3。

[0207] 又，當一者之叢集之位元數設為 M_1 、另一者之叢集之位元數設為 M_2 時、將 N 個循環區塊分割成由 M_1 個循環區塊所構成之 1 以上之群，及由 M_2 個循環區塊所構成之 1 以上之群，再進行位元交錯處理。

《實施形態(其3)》

[0208] 以下記載 N 不是 M 的倍數下進行折疊時之交錯器之一例。

[0209] 圖 42 是舉例顯示適用 $F=2$ 之交錯處理之適用對象之循環區塊，與不適用之非適用對象之循環區塊(被除外之循環區塊)之圖。但是，圖 42 是針對編碼是 DVB-T2 規格中定義之 16K LDPC 編碼，且叢集為 16QAM 叢集之圖。圖 42 之例中，適用對象之循環區塊為 44 個循環區塊(1、...、44)，非適用對象之循環區塊(被除外之循環區塊)只有其最終行之 1 個循環區塊 45。又，4 個實心四角形代表第 1 個叢集字之

4位元。

[0210]圖43是顯示N不是M的倍數下進行折疊場合之位元交錯器之一構成例之塊狀圖。為使說明簡潔，令 $N=13$ 、 $Q=8$ 、 $M=4$ 、 $F=2$ 。

[0211]折疊區域數 $\text{floor}(N/(M/F))=6$ ，被除外之循環區塊數為 $\text{rem}(N, M/F)=1$ 。

[0212]位元交錯器2000B從循環區塊QB1～QB13中，將 $13-1=12$ 個循環區塊QB1～QB12選出為滿足條件A1、條件A2之適用交錯之循環區塊，而位元交錯器2000B內之位元交換排列單元2010A對選出之12個循環區塊進行圖32中說明之交換排列處理。又，循環區塊QB13之位元雖然未經交錯就對映至叢集字，但也可以經過交錯後再對映至叢集字。

[0213]又，N非為M之倍數、且不進行折疊之交錯例，可舉出將圖43之位元交換排列單元2010A以圖20之位元交換排列單元2010交換排列之構成。

[0214]以下針對表3中說明之DVB-T2規格中利用之LDPC編碼，說明區域交換排列之具體例。

(例1A) $N=45$ ， $Q=360$ ， $M=4$ ，無重疊($F=1$)之狀況

[0215]圖44(a)是顯示 $N=45$ ， $Q=360$ ， $M=4$ 且無重疊($F=1$)時，區域交換排列之構造之圖。

[0216]位元交錯器4400A從45個循環區塊QB1～QB45中，選擇44個循環區塊QB1～QB44，作為子組合。

[0217]子組合被分為各自由4個循環區塊所構成之區域1～11為止之11個區域。例如，區域1由循環區塊QB1～QB4

所構成，區域11由循環區塊QB41～QB44所構成。

[0218]位元交錯器4400A內之11個區域交換排列單元(4401、...、4411)分別對各4個循環區塊進行圖32中說明之交換排列處理。

[0219]又，循環區塊QB45之位元未經交錯而直接對映至叢集字。

(例1B) $N=45$ ， $Q=360$ ， $M=4$ 且有折疊($F=2$)之狀況

[0220]圖44(b)是顯示 $N=45$ ， $Q=360$ ， $M=4$ 且有折疊($F=2$)時，區域交換排列之構造之圖。

[0221]位元交錯器4400B從45個循環區塊QB1～QB45中，選擇44個循環區塊QB1～QB44，作為子組合。

[0222]子組合被分為各自由2個循環區塊所構成之區域1～22為止之22個區域。

[0223]位元交錯器4400B內之22個區域交換排列單元(4421、4422、...、4442)分別對各2循環區塊進行圖32中說明之交換排列處理。

[0224]又，循環區塊QB45之位元未經交錯而直接對映至叢集字。

(例2A) $N=45$ ， $Q=360$ ， $M=6$ 且無重疊($F=1$)之狀況

[0225]圖45(a)是顯示 $N=45$ ， $Q=360$ ， $M=6$ 且無重疊($F=1$)時，區域交換排列之構造之圖。

[0226]位元交錯器4500A從45個循環區塊QB1～QB45中，選擇45個循環區塊QB1～QB45作為子組合。

[0227]子組合被分為各自由6個循環區塊所構成之區域

1~7為止之7個區域。例如，區域1由循環區塊QB1~QB6所構成，區域7由循環區塊QB37~QB42所構成。

[0228]位元交錯器4500A內之7個區域交換排列單元(4501、...、4507)分別對各6循環區塊進行圖32中說明之交換排列處理。

[0229]循環區塊QB43~QB45是不包含於子組合中之循環區塊。

[0230]循環區塊QB43、QB44之位元未經交錯而直接對映至叢集字。

[0231]對此，循環區塊QB45之位元，由循環區塊內交換排列單元4545進行改變其排列順序之循環區塊內交換排列處理。

[0232]也就是說，循環區塊QB43，QB44之不包含於子組合之中，且不成為改變位元排列順序之對象。相對地，循環區塊QB45之位元雖然同樣不包含於子組合之中，但是由自區域交換排列單元(4501、...、4501)獨立(separate)之循環區塊內交換排列單元4545改變其排列順序。

[0233]又，圖45(a)之例中，循環區塊QB43~QB45中，是只有改變循環區塊QB45，但也可以對循環區塊QB43~QB45之全部位元進行交換排列。又，也可對循環區塊QB43~QB45各別進行循環區塊內交換排列。

(例2B)N=45，Q=360，M=6且有折疊(F=2)之情況

[0234]圖45(b)是說顯示N=45，Q=360，M=6且有折疊(F=2)時，區域交換排列之構造之圖。

[0235]位元交錯器 4500B 選擇 45 個循環區塊 QB1 ~ QB45 全部來構成子組合。

[0236]子組合被分為各自由 3 個循環區塊所構成之區域 1 ~ 15 為止之 15 個區域。

[0237]位元交錯器 4500B 內之 15 個區域交換排列單元 (4511、...、4526) 分別對各 3 循環區塊進行圖 32 中說明之交換排列處理。

《實施形態(其4)》

[0238]至此，說明了效率之位元交錯方法。然而，LDPC 解碼處理中之無效檢查節點之存在可能降低錯誤訂正能力。發明者更得知在上述位元交錯方法中，抑制無效檢查節點發生之方法。以下針對無效檢查節點是如何發生，以及如何解除進行說明。

[0239]無效檢查節點，是在相同檢查節點之 2 以上之 LDPC 變數節點，從相同叢集被對映時發生。假設叢集受到深扭曲影響時，叢集反對映器所輸出之相關 LLR 值將極小化或成為 0。

[0240]如果 2 以上之變數節點連結相同檢查節點，且該該檢查節點之 LLR 值為 0 或非常小之值時，就無法對此檢查節點使用錯誤訂正處理，因此，至少在第 1 之 LDPC 之重覆處理中，結果造成值之收斂變慢。如此檢查節點稱為無效檢查節點。

[0241]以下舉出具體例說明在何種場合會發生如此之無效檢查節點。考慮由圖 5 所示之同位檢查矩陣所定義之

LDPC編碼在圖5由上起算第3個循環區塊之檢查節點(參見檢查節點CN17~CN24)。圖46中，醒目顯示連結同位檢查節點17~24之變數節點。也就檢查節點與變數節點連結之部分只以實心四角形來表示。

[0242]此連結為使並列構造與循環交換排列更明瞭易解，可採用圖47所示之記載。8個檢查節點分別透過循環交換排列連接8個變數節點。在此，循環交換排列與同位檢查矩陣之循環移位對數有關。例如，圖47中，第3個循環區塊(QB3)之各位元2次連結到檢查節點。圖47中，最初之檢查節點(參見CN17)與變數節點之連結被醒目表示(以粗線來記載)。又，此醒目只是用來讓檢查節點17與變數節點間之連結容易理解，並不代表檢查節點17具有特別之地位。

[0243]如上述，圖46與圖47是相對應之關係，例如，可從圖46中檢查節點17(CN17，圖46之矩陣中由上起算第17行)與第2個循環區塊(QB2，對應圖46之矩陣左起第9~16列)之變數節點，得知QB2之右端之變數節點(圖46之中左起第16列)與檢查節點17相連結(圖46之矩陣中由上起算第17行、左起第16列為實心四角形)。另一方面，圖47中檢查節點17(左端之實心實心四角形)與第2個循環區塊(QB2)右端之變數節點(黑點)相連結。

[0244]關於連接檢查節點17~24之8個循環區塊，圖48(a)~圖48(h)顯示了對映之一種看法。圖48(a)~圖48(h)之各圖面，醒目顯示連結各檢查節點17~24之變數節點。圖48(a)~圖48(h)中，1個四角形顯示各循環區塊之各變數

節點，連結檢查節點之變數節點以實心四角形來顯示。又，圖47中醒目顯示檢查節點17與變數節點之連結，但在圖48(a)中也具有同樣之連結關係，可知圖48(a)與47圖中之醒目顯示部分之內容相對應。

[0245] 以下例示無效檢查節點發生時之2個事例。又，在此只是舉例。

[0246] 圖49(a)～圖49(h)顯示第1事例。圖49(a)～圖49(h)顯示根據圖48(a)～圖48(h)所示之對映，在16QAM之叢集中，令折疊係數 F 為2，對映QB14與QB15之例。圖49(a)～圖49(h)中以粗線包圍之4個四角形對應1個叢集。圖49(a)～圖49(h)中，受扭曲時，深受扭曲(phasing)影響之叢集各別使2個檢查節點無效。配合受扭曲影響之各叢集而成為無效之檢查節點如下。

- C1受到扭曲影響之狀況：檢查節點17、18(參見圖49(a)、(b))
- C2受到扭曲影響之狀況：檢查節點19、20(參見圖49(c)、(d))
- C3受到扭曲影響之狀況：檢查節點21、22(參見圖49(e)、(f))
- C4受到扭曲影響之狀況：檢查節點23、24(參見圖49(g)、(h))

[0247] 圖50(a)～圖50(h)顯示第2事例。圖50(a)～圖50(h)顯示根據圖48(a)～圖48(h)所示之對映，16QAM之叢集中，令折疊係數 F 為2，對映QB4與QB5之例。圖50(a)～圖50(h)

中以粗線包圍之4個四角形對應1個叢集。圖50(a)~圖50(h)中，深受扭曲(phasing)影響之叢集各別使1個檢查節點無效。配合受扭曲影響之各叢集，而成為無效之檢查節點如下。

- C1受到扭曲影響之狀況：檢查節點21(參見圖50(e))
- C2受到扭曲影響之狀況：檢查節點23(參見圖50(g))
- C3受到扭曲影響之狀況：檢查節點17(參見圖50(a))
- C4受到扭曲影響之狀況：檢查節點19(參見圖50(c))

[0248]無效檢查節點之發生，可藉由避免將連結同一檢查節點之複數之變數節點對映至同一叢集來抑制。這可在並列位元交錯中，藉由對循環區塊內之位元進行更進一步之交換排列來實現。之後將以循環區塊內交換排列來稱呼此此用以抑制無效檢查節點發生之交換排列。又，循環區塊內交換排列，基本上是因適用之循環區塊而異。

[0249]循環區塊內交換排列，若以1以上之循環移位來實現，則容易實現其構成。若只進行1次循環移位，則可再利用LDPC解碼器中所構成之(可再構成之)旋轉器與逆旋轉器，藉此，可抑制電路之複雜度。圖51(a)及圖51(b)中，分別顯示 $Q=8$ 時針對循環區塊進行1次移位及2次移位之循環區塊內交錯器之構成。如圖51(a)及圖51(b)所示，該循環區塊內交錯器(5100A、5100B)是由儲存對各循環區塊執行之移位之移位值之查找表B(5101A、5101B)及1或2個可再構成可能之旋轉器(5102A、5102B、5103B)所構成。循環區塊內交錯器(5100A、5100B)接收指示哪個循環區塊是處理對象

之循環區塊指標之輸入，標定查找表B(5101A、5101B)所示之循環區塊所對應之移位值，在旋轉器中設定該移位值。旋轉器(5102A、5102B、5103B)對輸入之循環區塊之各位元進行移位值所指定值之循環移位，輸出移位後之位元列(經循環區塊內交換排列後之循環區塊)。循環區塊內交錯器相當於圖21(b)或圖24所示之循環區塊內交換排列。又，在此之查找表B(5101A、5101B)所示之移位值，是預先記憶之可在位元列之右方向上避免連結檢查節點之變數節點對映至同一叢集之值。

[0250] 參見圖49(a)～圖49(h)及圖50(a)～圖50(h)，在此狀況下，可藉由如下之方法設定移位值，來抑制無效檢查節點發生。換言之，可藉由將圖49(a)～圖49(h)中之各別之QB14設定移位值為2，令其往右方向循環移位2即可。又，對於圖50(a)～圖50(h)之QB4，

[0251] 設定移位值為3，令其往右方向循環移位3即可。對圖49(a)～圖49(h)及圖50(a)～圖50(h)分別實行如此之循環移位，結果如圖52(a)～圖52(h)及圖53(a)～圖53(h)所示。又，在此是顯示對圖50(a)～圖50(h)之QB4全部進行往右方向循環移位3位元之構成，作為容易實現之例，但對於圖50(b)、圖50(d)、圖50(f)、圖50(h)，由於連結檢查節點之變數節點原本就會被對映至相異之叢集，因此亦可不實施循環區塊內交換排列。

[0252] 又，若有不必循環移位之循環區塊輸入時，移位值將被設定為0，如此不會進行循環移位而直接將輸入之位

元列輸出。

[0253]因此，可藉由對各循環區塊實施適切之交換排列，將LDPC編碼中無效檢查節點之數量，抑制到最小限度。當然，循環區塊內交換排列在LDPC編碼每次變更時(例如採用之編碼之PCM變化等狀況時)有必要最佳化。為實現此循環區塊內交換排列，預先記憶配合由預定之複數PCM所構成之(有限的)PCM組(種類)之各PCM之最適交換排列方法(例如移位值等參數，該參數實質上與交換排列手法同義)是有效的。上述之圖51(a)中查找表B之儲存內容就相當於此交換排列方法之記憶。藉此，例如編碼率等有變更而PCM變更時，可藉由選擇具有適切參數之組，來變更為最佳之交換排列手法。又，PCM或預定PCM之組所分別對應之最佳循環區塊內交換排列，可以從已知的最佳化處理，例如蠻力(brute force)法、模擬降溫(simulated annealing)法、蒙特卡羅(Monte-Carlo)法等來導出。

[0254]圖54與圖24同樣是顯示折疊係數被設定為2時並列位元交錯器5400中循環區塊內交換排列5410之機能構成之概念圖。關於其動作內容，圖54與圖24之差異在於折疊係數從4改為2，且區域交換排列是執行2個循環區塊，其他都與圖24相同，故省略其說明。又，關於接收，只是如此圖54所示箭頭改為逆方向，各單元所執行之處理為與發送方所執行之處理相反之處理，因此省略詳細說明。

[0255]圖55是顯示本實施形態(其4)之 $Q=8$ 、 $M=4$ 、 $F=2$ 時BICM編碼器之一套用例之塊狀圖。

[0256]圖 55 所示之 BICM 編碼器 5500 具有：主記憶體 5501、LDPC 控制器 5511、旋轉器 5512、檢查節點處理器群 5513、逆旋轉器 5514、QB 計數器 5531、QB 交換排列查找表 5532、交錯器 5533、暫存器群 5534、交錯器 5535、QB 移位查找表 5536、及對映器群 5551。

[0257]與圖 26 相比可知，圖 55 所示之 BICM 編碼器，除了藉由將折疊係數設為 2，而將暫存器群 5534 之個數及對映器群 5551 之個數從 4 個減為 2 個之外，只有不具查找表 A 而改具有 QB 交換排列查找表 5532、QB 移位查找表 5536 之點相異。以下說明與圖 26 之差異，而其他構成由於與圖 26 共通故省略。

QB 計數器 5531 將作為處理對象之循環區塊之編號通知 QB 交換排列查找表 5532。

QB 交換排列查找表 5532 是與圖 26 之查找表 2632 同樣之查找表。

QB 移位查找表 5536 儲存有關於各循環區塊，對位元列進行循環移位之移位值。QB 移位查找表 5536 配合由 QB 交換排列查找表 5532 通知之循環區塊之編號，決定移位值，通知旋轉器(交錯器 B) 5533。又，QB 移位查找表 5536 相當於圖 51 之查找表 B (5101A、5101B)。

[0258]旋轉器(交錯器 B) 5533 依被通知之移位值，將輸入之位元列進行往右方向循環移位移位值之量，輸出至暫存器 5534。旋轉器(交錯器 B) 5533 相當於 BICM 編碼器 5500 中執行循環區塊內交換排列之元件，也就是相當於圖 54 之

循環區塊內交換排列5410之元件。又，行列交錯器(交錯器C)5535是相當於圖54之行列交換排列之元件，在此是執行將 $8(Q) \times 2(M/F)$ 個位元沿著 $2(M/F)$ 行 $8(Q)$ 列之矩陣之行方向寫入，沿著其列方向讀出之處理。

[0259]圖56是顯示本實施形態(其4)在 $Q=8$ 、 $M=4$ 、 $F=2$ 時，重覆BICM解碼器之一套用例之塊狀圖。

[0260]如圖56所示，重覆BICM解碼器5600具有：主LLR記憶體5601、緩衝LLR記憶體5602、LDPC控制器5611、旋轉器5612、檢查節點處理器群5613、逆旋轉器5614、QB計數器5631、查找表5632、減算單元5633、交錯器5634、暫存器群5635、交錯器5636、反對映器群5637、反交錯器5638、暫存器群5639、反交錯器5640、延遲單元5641、及QB移位查找表5642。

[0261]與圖29比較可知，圖56所示之重覆BICM解碼器5600，除了藉由將折疊係數設為2，而將暫存器群5535、5539之個數及反對映器群5637之個數從4個減為2個之外，只有不具查找表A而改具有QB交換排列查找表5632、QB移位查找表5642之點相異。以下說明與圖29之差異，而其他構成由於與圖29共通故省略。

QB計數器5631將作為處理對象之循環區塊之編號通知QB交換排列查找表5632。

QB交換排列查找表5632是與圖29之查找表A2932同樣之查找表。

QB移位查找表5642儲存有關於各循環區塊，對位元列

進行循環移位之移位值。QB移位查找表5642配合由QB交換排列查找表5632通知之循環區塊之編號，決定移位值，通知旋轉器(交錯器B)5634。又，該移位值由於是將用於循環區塊內交換排列之循環移位所進行之交錯復原，因此透過延遲元件5641，也通知逆旋轉器(反交錯器B)5640。又，QB移位查找表5536相當於圖51之查找表B (5101A、5101B)。

[0262]旋轉器(交錯器B)5634依由QB移位查找表5642所通知之移位值，將輸入之位元列進行循環移位，輸出至暫存器5635。旋轉器(交錯器B)5634相當於重覆BICM解碼器5600中執行循環區塊內交換排列之元件。

[0263]又，逆旋轉器(反交錯器B)5640是依由QB移位查找表5642所通知之移位值，對由暫存器5639輸入之位元列進行與旋轉器(交錯器B)5634逆方向之循環移位，輸出至主LLR記憶體5601。

[0264]又，行-列交錯器(交錯器C)5636相當於圖29之交錯器C2936，行-列反交錯器(反交錯器C)5638相當於圖29之反交錯器C2938。

[0265]藉由具有以上之構成，BICM編碼器可以簡單之構成實現循環區塊內交換排列，避免連結檢查節點之複數變數節點被對映至相同之叢集。藉此，可減少檢查節點成為不可用於錯誤訂正之無效檢查節點之機率。

<<補充1>>

[0266]本發明不受上述實施形態中說明之內容所限，為達成本發明之目的及與其有關聯或附屬之目的時，可以各

種之形態來實施，例如，可以是如下之形態。

[0267](1)在上述之實施形態(其1)中，是舉出參數是 $N=12$ 、 $Q=8$ 、 $M=4$ 為例來說明，但參數 N 、 M 、 Q 之值並不受此限，只要 N 是 M 之倍數即可。又，在 N 為 M 之2以上之倍數時，位元交錯之處理可以分割在複數之區域執行。

[0268](2)在有折疊(F 為2以上之整數)之實施形態(其2)中，是舉出參數是 $N=12$ 、 $Q=8$ 、 $M=4$ 、折疊係數 $F=2$ 為例來說明，但參數 N 、 M 、 Q 之值及折疊係數 F 之值並不受此限，只要 F 是 M 及 Q 之因數，且 N 為 M/F 之倍數即可。

[0269](3)在有折疊(F 為2以上之整數)之實施形態(其2)中，是將 F 之值說明為16QAM叢集中具有同一強健性水準之位元數「2」，但並不受此限， F 之值除了可以是叢集中具有同一強健性水準之位元數， F 之值也可以是叢集中具有同一強健性水準之位元數以外之數字。

[0270](4)在有折疊(F 為2以上之整數)之實施形態(其2)中，是說明折疊係數 $F=2$ 且QAM叢集為16QAM叢集，但不受此限，亦可以為 $F=2$ 但QAM叢集為16QAM叢集以外之QAM叢集(例如64QAM叢集、256QAM叢集)等。

[0271](5)上述實施形態(其4)中，查找表 B 、 QB 移位查找表是記憶儲存位元列往右方向之循環移位值。但是，該等之查找表只要可避免連結檢查節點之複數變數節點被對映至同一叢集，移位方向也可以是往左方向，移位值也可以比必要最低限度高。

[0272]又，也可以不進行循環移位，而執行無規則性之

循環區塊內交換排列，來避免連結檢查節點之變數節複數發生在1個叢集。無規則性之循環區塊內交換排列時，有必要由發送方將其循環區塊內交換排列之手法傳達給接收方，或是預先在發送方與接收方決定關於該無規則性之循環區塊內交換排列，各PCM是採用那種手法。

[0273](6) 在上述之實施形態中，叢集是舉出16QAM(M=4)為例來說明，但叢集除了QPSK或QAM等特定之調變方式以外，也可利用DVB-S2規格中所利用之圓形叢集或多次元叢集等各種調變方式。

[0274](7)在上述之實施形態中說明之方法或裝置，可藉軟體來實現，亦可藉硬體來實現，並不限於特定之形態。具體來說，上述之實施形態也可以由電腦、微處理器、微控制器等，以電腦可讀取之媒體上具體化之形態，來執行一種電腦可執行之命令，來執行上述之實施形態中說明過之方法或裝置之全部步驟之方式來實現。又，上述之實施形態也可以特殊應用積體電路 (Application-specific integrated circuit) 或現場可編程輯閘陣列 (Field-programmable gate array) 之形態來實施。

<<補充2>>

[0275]以下說明本發明之交錯方法、交錯器、反交錯方法、反交錯器、及解碼器及其效果。

[0276]本發明之一態樣之第1位元交錯方法，係利用類循環低密度同位檢查碼之通訊系統中之位元交錯方法，其特徵在於前述位元交錯方法包含：接收步驟，係接收由N

個循環區塊所構成且各循環區塊分別由 Q 個位元所組成之前述類循環低密度同位檢查碼之碼字者；位元交換排列步驟，係對前述碼字實施將該碼字之位元之排列順序予以置換之位元交換排列處理者；分割步驟，係將位元交換排列處理實施後之碼字分割成複數之叢集字，該複數之叢集字分別由 M 個位元組成，且分別顯示 2^M 個預定叢集點中之任一個；及循環區塊內交換排列步驟，係對前述循環區塊實施將該循環區塊之位元之排列順序予以置換之循環區塊內交換排列處理者，前述分割步驟，是將經前述位元交換排列處理後之碼字，以分割為分別由 M/F (F 為正整數)個循環區塊所構成之 $F \times N/M$ 個區域、且各叢集字係與任1個區域有關聯的方式，分割為叢集字，前述位元交換排列處理，是實施成使各叢集字是從關聯之前述區域中之 M/F 個經前述交換排列處理後之循環區塊，各取出 F 個位元所構成。

[0277]本發明之一態樣之第1位元交錯器，係利用於使用類循環低密度同位檢查碼之通訊系統者，包含：位元交換排列部，是接收由 N 個循環區塊所構成且各循環區塊分別由 Q 個位元所組成之前述類循環低密度同位檢查碼之碼字，且對前述碼字實施將該碼字之位元之排列順序予以置換之位元交換排列處理者；分割部，係將位元交換排列處理實施後之碼字分割成複數之叢集字，該複數之叢集字分別由 M 個位元組成，且分別顯示 2^M 個預定之叢集點中之任一個；及循環區塊內交換排列部，係對前述循環區塊實施將該循環區塊之位元之排列順序予以置換之循環區塊內交

換排列處理者，前述分割部，是將經前述位元交換排列處理後之碼字，以分割為分別由 M/F (F 為正整數)個循環區塊所構成之 $F \times N/M$ 個區域、且各叢集字係與任1個區域有關聯的方式，分割為叢集字，前述位元交換排列處理，是實施成使各叢集字是從關聯之前述區域中之 M/F 個經前述交換排列處理後之循環區塊，各取出 F 個位元所構成。

[0278]在此之分割，在上述之實施形態中是由BICM編碼器、BICM解碼器來執行，相當於從主記憶體、主LLR記憶體讀出1個循環區塊之位元列。

[0279]藉此，除了可實施具高並列性之位元交錯處理，且可達成減少電路面積及消耗電力。另外，藉由執行循環區塊內交換排列，將提高檢查節點成為接收方不可利用於錯誤訂正之無效檢查節點之機率降低之可能性。

[0280]本發明之另一態樣之第2位元交錯方法，是在第1位元交錯方法中，前述循環區塊內交換排列，是令連結到QC-LDPC編碼之共通檢查節點之碼字之位元，分別對映至不同之叢集字。

[0281]又，本發明之另一態樣之第2位元交錯器，是在第1位元交錯器中，前述循環區塊內交換排列，是令連結到QC-LDPC編碼之共通檢查節點之碼字之位元，分別對映至不同之叢集字。

[0282]藉此，可保證檢查節點成為接收方不可利用於錯誤訂正之無效檢查節點之機率降低。

[0283]本發明之另一態樣之第3位元交錯方法，是在第2

位元交錯方法中，對前述循環區塊實施之循環區塊內交換排列中至少有一個，是至少對構成循環區塊之位元列之子組合，進行循環移位。

[0284] 又，本發明之另一態樣之第3位元交錯器，是在第2位元交錯器中，對前述循環區塊實施之循環區塊內交換排列中至少有一個，是至少對構成循環區塊之位元列之子組合，進行循環移位。

[0285] 藉此，可以循環移位之簡易構成，實現循環區塊內交換排列。

[0286] 本發明之另一態樣之第4位元交錯方法，是在第1位元交錯方法中，前述位元交錯方法更包含有行-列交換排列步驟，該行-列交換排列步驟是對構成各區域之 $Q \times M/F$ 位元，實施藉由將構成區域之 $Q \times M/F$ 位元沿著 M/F 行 Q 列之矩陣之行方向寫入並沿著列方向讀出而實現之行-列交換排列。

[0287] 又，本發明之另一態樣之第4位元交錯器，是在第1位元交錯器中，更包含有行-列交換排列部，該行-列交換排列部是對構成各區域之 $Q \times M/F$ 位元，實施藉由將構成區域之 $Q \times M/F$ 位元沿著 M/F 行 Q 列之矩陣之行方向寫入並沿著列方向讀出而實現之行-列交換排列。

[0288] 本發明之另一態樣之第5位元交錯方法，是在第1位元交錯方法中，前述位元交錯方法更包含有選擇步驟，該選擇步驟係針對各循環區塊自預定之複數之循環區塊內交換排列方法中選出1個循環區塊內交換排列方法，該複數

第 108146454 號專利申請案 發明專利說明書修正替換本 修正日期：2020 年 11 月 16 日

之循環區塊內交換排列方法是配合通訊系統中採用之特定之 QC-LDPC 編碼來決定之循環區塊內交換排列方法。

[0289] 又，本發明之另一態樣之第 5 位元交錯器，是在第 1 位元交錯器中，更包含有選擇部，該選擇部係針對各循環區塊自預定之複數之循環區塊內交換排列方法中選出 1 個循環區塊內交換排列方法，該複數之循環區塊內交換排列方法是配合通訊系統中採用之特定之 QC-LDPC 編碼來決定之循環區塊內交換排列方法。

[0290] 藉此，可標定出配合 PCM 決定之循環區塊內交換排列之手法，來執行編碼。

[0291] 本發明之一態樣之第 1 位元反交錯方法，係 QC-LDPC 編碼之通訊系統中之位元串流之位元反交錯方法，包含：接收步驟，係接收由 $N \cdot Q$ 位元所構成之位元列；及逆位元交換排列步驟，係對接收之前述位元列進行與第 1 位元交錯方法順序相反之處理，以復原 QCLDPC 編碼之碼字。

[0292] 本發明之一態樣之第 1 位元反交錯器，係 QC-LDPC 編碼之通訊系統中之位元串流之位元反交錯器，具有逆位元交換排列部，係接收由 $N \cdot Q$ 位元所構成之位元列，且對接收之前述位元列進行與第 1 位元交錯器順序相反之位元交換排列處理，以復原 QCLDPC 編碼之碼字。

[0293] 本發明之一態樣之第 1 解碼器，是利用於使用類循環低密度同位檢查碼之位元交錯及調變系統者，包含：叢集反對映器，係產生軟位元列，該軟位元列表示所對應

之位元是0或是1之可能性；上述第1位元反交錯器，對前述軟位元列進行位元反交錯；及低密度同位檢查解碼器，係對經位元反交錯之前述軟位元列進行解碼。

[0294]本發明之一態樣之第2解碼器，是在第1解碼器中，更具有減算器及上述第1交錯器，前述減算器算出前述低密度同位檢查解碼器之輸入與輸出的差分；前述交錯器將前述差分回饋至叢集反對映器。

[0295]藉此，可實施具高並列性之位元反交錯處理。
產業上之利用可能性

[0296]本發明可利用於是使用類循環低密度同位檢查碼之位元交錯編碼調變系統中之位元交錯器及對應該位元交錯器之位元反交錯器。

【符號說明】

2000A...位元交錯器	2530...叢集對映器
2010A...位元交換排列單元	2700A、2800A...接收器
2021A...折疊區域交換排列單元	2710...叢集反對映器
2131A、2132A...行-列交換排列單元	2720A...位元反交錯器
2500A...傳送器	2730...LDPC解碼器
2510...LDPC編碼器	2740...減算單元
2520A...位元交錯器	2750A...位元交錯器
	5410...循環區塊內交換排列

申請專利範圍

1. 一種位元交錯方法，是將以類循環低密度同位檢查編碼方式所生成之碼字的位元重新排列，前述類循環低密度同位檢查編碼方式包含重複累積(Repeat Accumulate)類循環低密度同位檢查編碼方式，前述位元交錯方法的特徵在於：

前述位元交錯方法包含：

位元交換排列步驟，是對以分別由 Q 個位元組成之 N 個循環區塊所構成之 $N \times Q$ 位元之前述碼字，實施依照已規定位元之重新排列的位元交換排列規則來進行位元之重新排列的位元交換排列處理；及

分割步驟，將已被實施前述位元交換排列處理之碼字分割成分別由 M 個位元組成之複數個叢集字，

前述 N 不是前述 M 之倍數，

前述位元交換排列規則是包含：令 N 除以 M 之餘數為 X 時，對 $N' = N - X$ 個循環區塊適用之第1規則，及對 X 個循環區塊適用且與前述第1規則相異的第2規則，

前述第1規則是針對前述 $N' = N - X$ 個循環區塊實施行-列交換排列處理之規則，前述行-列交換排列處理相當於下述處理：將各前述循環區塊之 Q 個位元沿著 M 行之矩陣中之一行的行方向寫入，並沿著列方向讀出之處理。

2. 一種位元交錯器，是將以類循環低密度同位檢查編碼方

式所生成之碼字的位元重新排列，前述類循環低密度同位檢查編碼方式包含重複累積類循環低密度同位檢查編碼方式，前述位元交錯器之特徵在於：

前述位元交錯器包含：

位元交換排列部，是對以分別由 Q 個位元組成之 N 個循環區塊所構成之 $N \times Q$ 位元之前述碼字，實施依照已規定位元之重新排列的位元交換排列規則來進行位元之重新排列的位元交換排列處理；及

分割部，將已被實施前述位元交換排列處理之碼字分割成分別由 M 個位元組成之複數個叢集字，

前述 N 不是前述 M 之倍數，

前述位元交換排列規則是包含：令 N 除以 M 之餘數為 X 時，對 $N' = N - X$ 個循環區塊適用之第1規則，及對 X 個循環區塊適用且與前述第1規則相異的第2規則，

前述第1規則是針對前述 $N' = N - X$ 個循環區塊實施行-列交換排列處理之規則，前述行-列交換排列處理相當於下述處理：將各前述循環區塊之 Q 個位元沿著 M 行之矩陣中之一行的行方向寫入，並沿著列方向讀出之處理。

3. 一種訊號處理方法，是進行分別由 Q 個位元組成之 N 個循環區塊所構成之碼字的位元之重新排列處理，該碼字是以包含重複累積類循環低密度同位檢查編碼方式的類循環低密度同位檢查編碼方式所生成之碼字，且對將每 M 個位元分割而生成之 $N \times Q/M$ 個叢集字調變並發送

之訊號進行處理的訊號處理方法，其特徵在於：

前述位元之重新排列處理包含：

位元交換排列處理，進行前述碼字之位元之重新排列，該碼字之位元之重新排列是依照已規定位元之重新排列的位元交換排列規則，

前述 N 不是前述 M 之倍數，

前述位元交換排列規則是包含：令 N 除以 M 之餘數為 X 時，對 $N'=N-X$ 個循環區塊適用之第1規則，及對 X 個循環區塊適用且與前述第1規則相異的第2規則，

前述第1規則是針對前述 $N'=N-X$ 個循環區塊實施行-列交換排列處理之規則，前述行-列交換排列處理相當於下述處理：將各前述循環區塊之 Q 個位元沿著 M 行之矩陣中之一行的行方向寫入，並沿著列方向讀出之處理，

且前述訊號處理方法具有：

解調步驟，對已將前述 $N \times Q/M$ 個叢集字調變並發送之訊號加以解調而生成解調訊號；及

解碼步驟，根據前述位元交換排列規則解碼前述解調訊號，並生成利用前述類循環低密度同位檢查編碼方式之編碼前之資料。

4. 一種訊號處理裝置，是進行分別由 Q 個位元組成之 N 個循環區塊所構成之碼字的位元之重新排列處理，該碼字是以包含重複累積類循環低密度同位檢查編碼方式的類循環低密度同位檢查編碼方式所生成之碼字，且對將

每M個位元分割而生成之 $N \times Q/M$ 個叢集字調變並發送之訊號進行處理的訊號處理裝置，其特徵在於：

前述位元之重新排列處理包含：

位元交換排列處理，進行前述碼字之位元之重新排列，該碼字之位元之重新排列是依照已規定位元之重新排列的位元交換排列規則，

前述N不是前述M之倍數，

前述位元交換排列規則是包含：令N除以M之餘數為X時，對 $N' = N - X$ 個循環區塊適用之第1規則，及對X個循環區塊適用且與前述第1規則相異的第2規則，

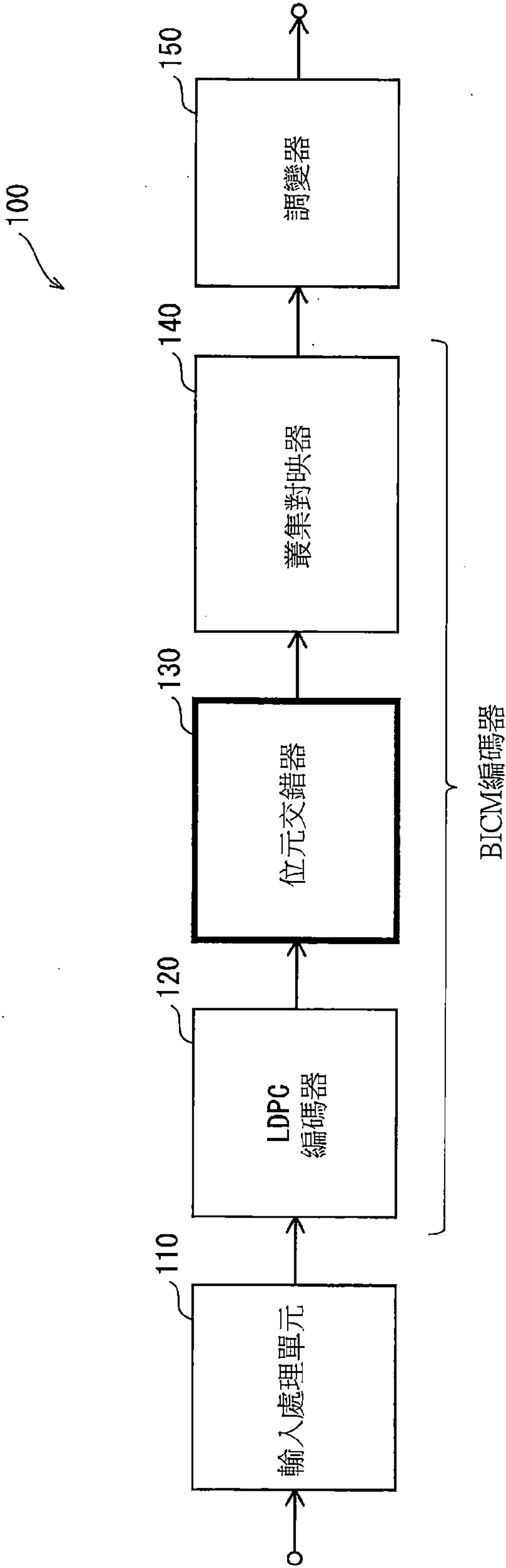
前述第1規則是針對前述 $N' = N - X$ 個循環區塊實施行-列交換排列處理之規則，前述行-列交換排列處理相當於下述處理：將各前述循環區塊之Q個位元沿著M行之矩陣中之一行的行方向寫入，並沿著列方向讀出之處理，

且前述訊號處理裝置具有：

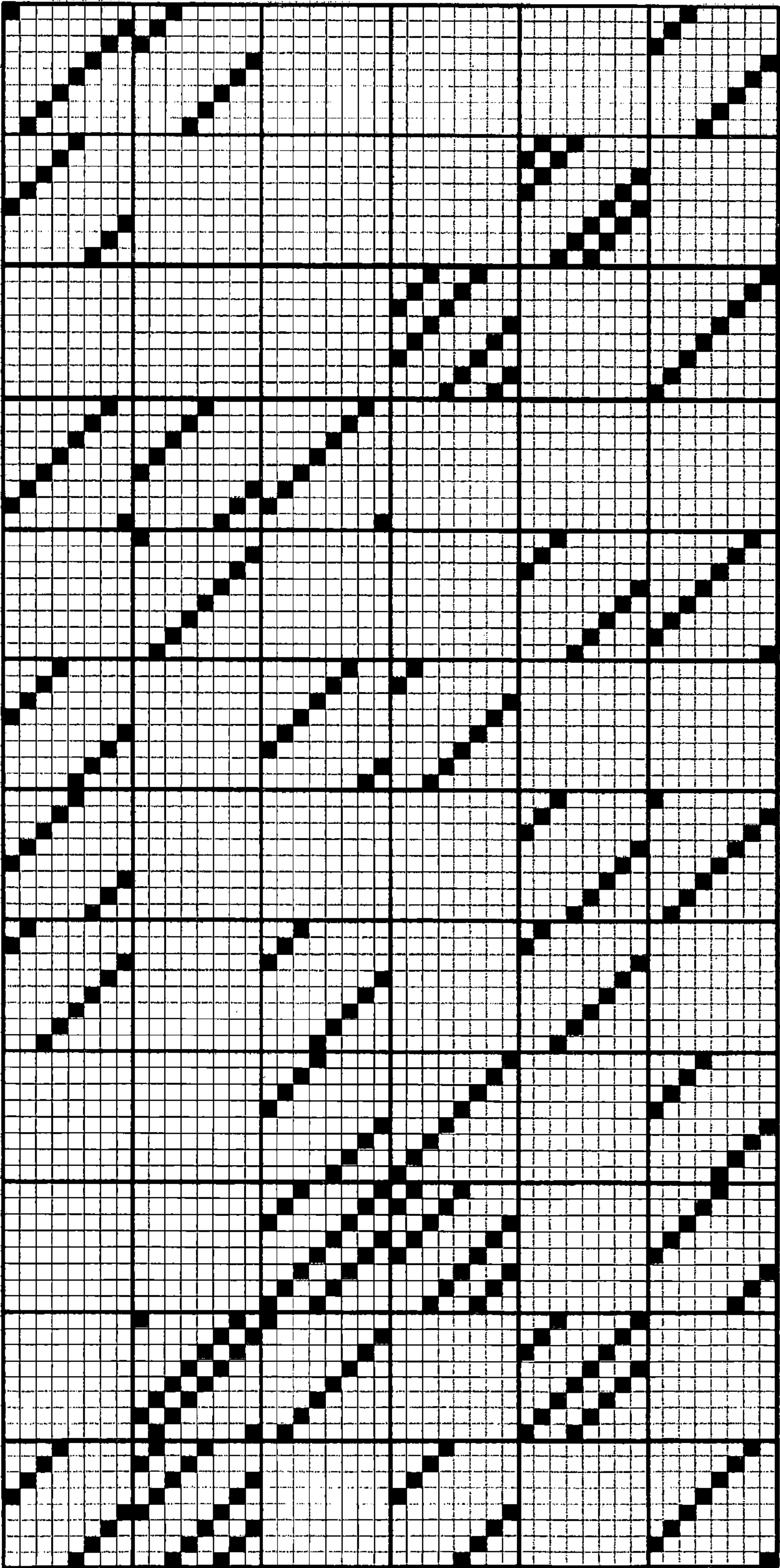
解調部，對已將前述 $N \times Q/M$ 個叢集字調變並發送之訊號加以解調而生成解調訊號；及

解碼部，根據前述位元交換排列規則解碼前述解調訊號，並生成利用前述類循環低密度同位檢查編碼方式之編碼前之資料。

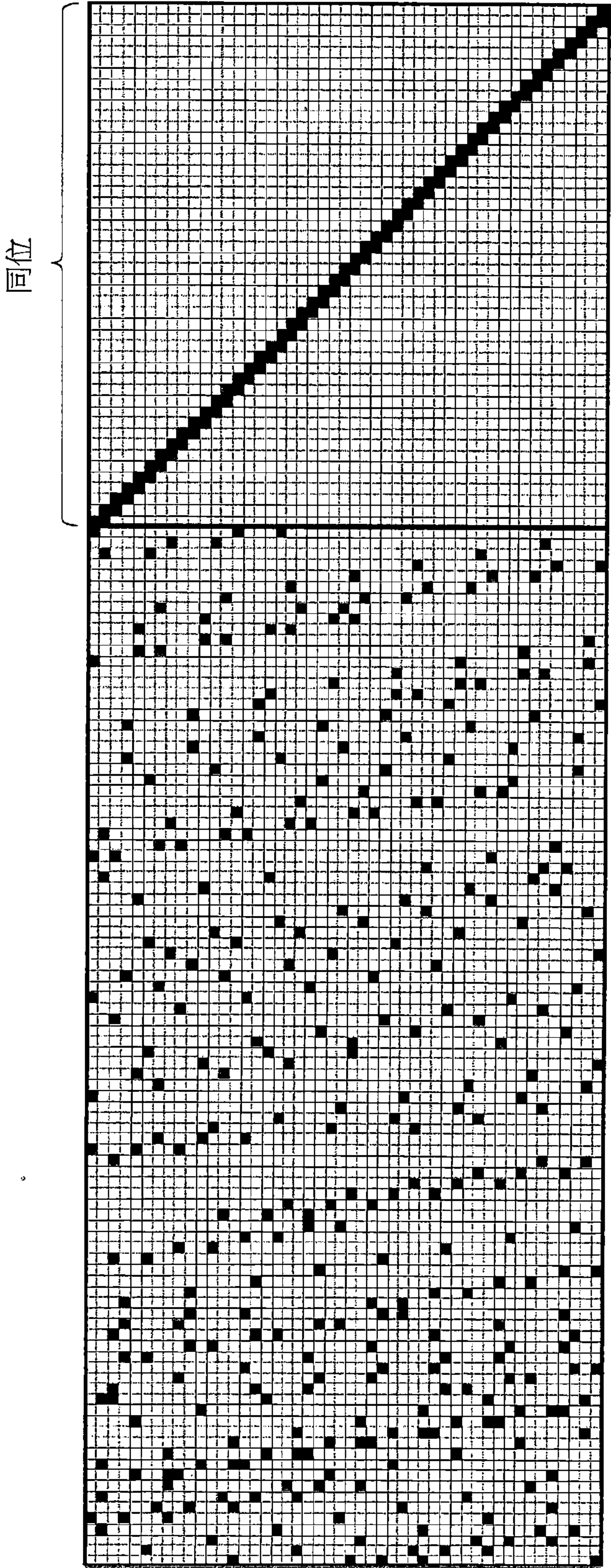
圖式：



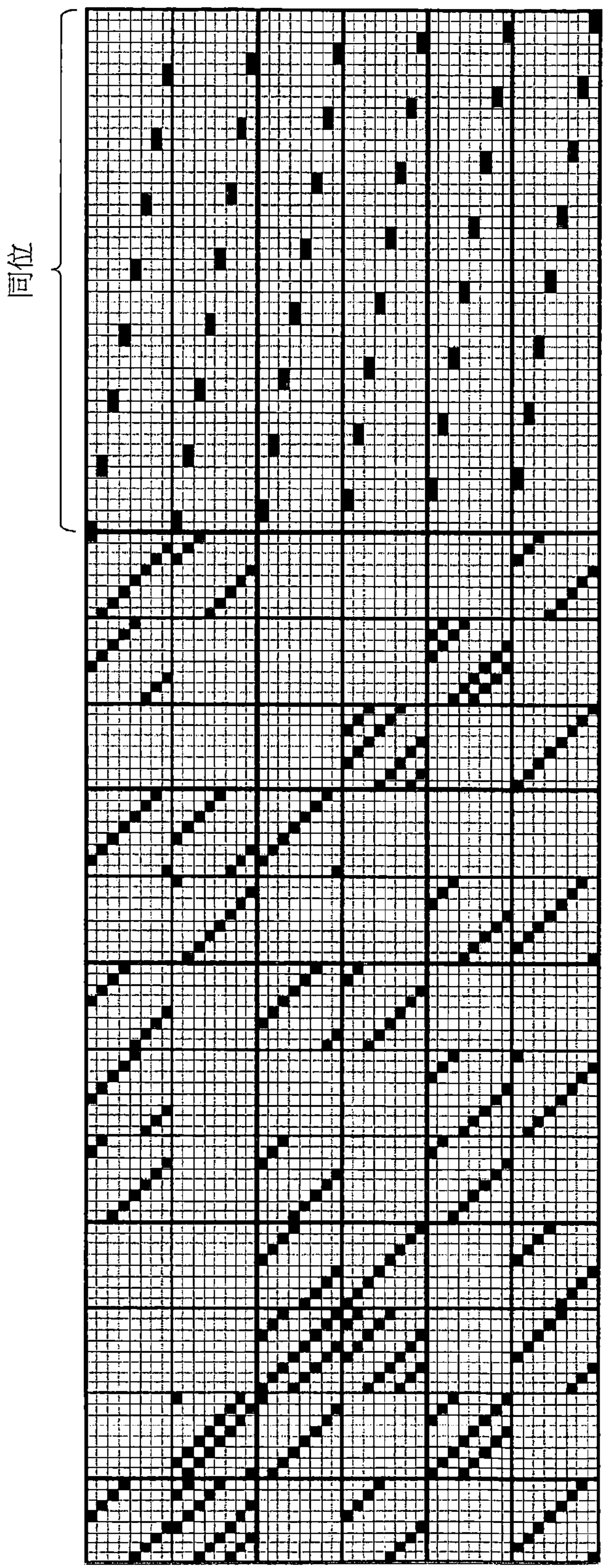
第 1 圖



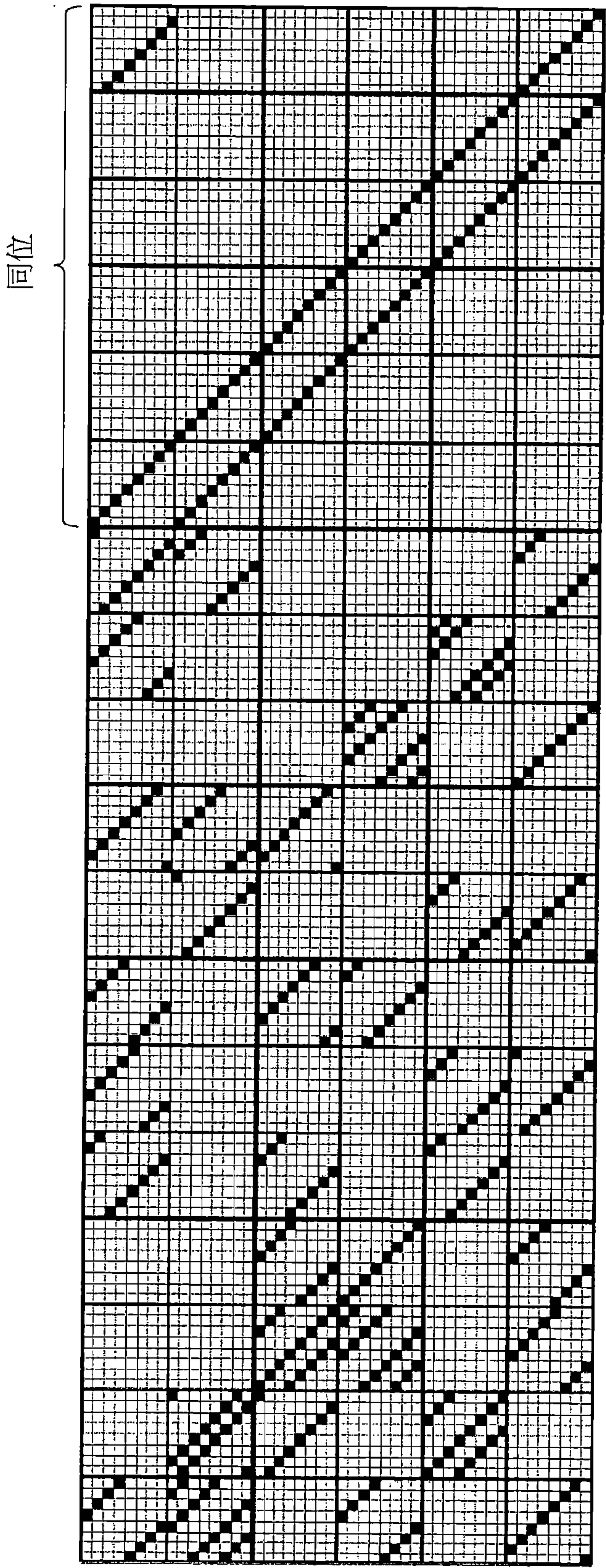
第 2 圖



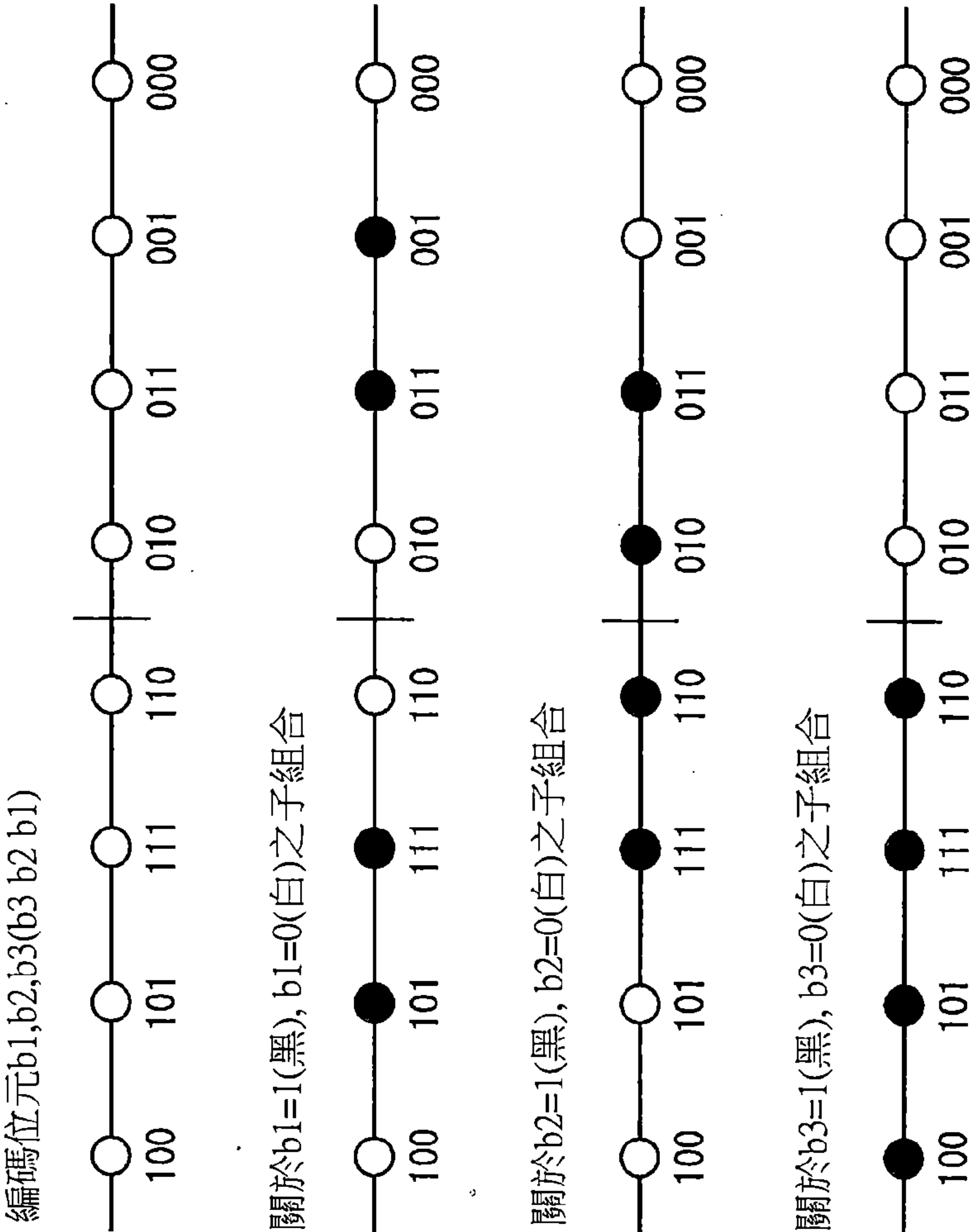
第 3 圖



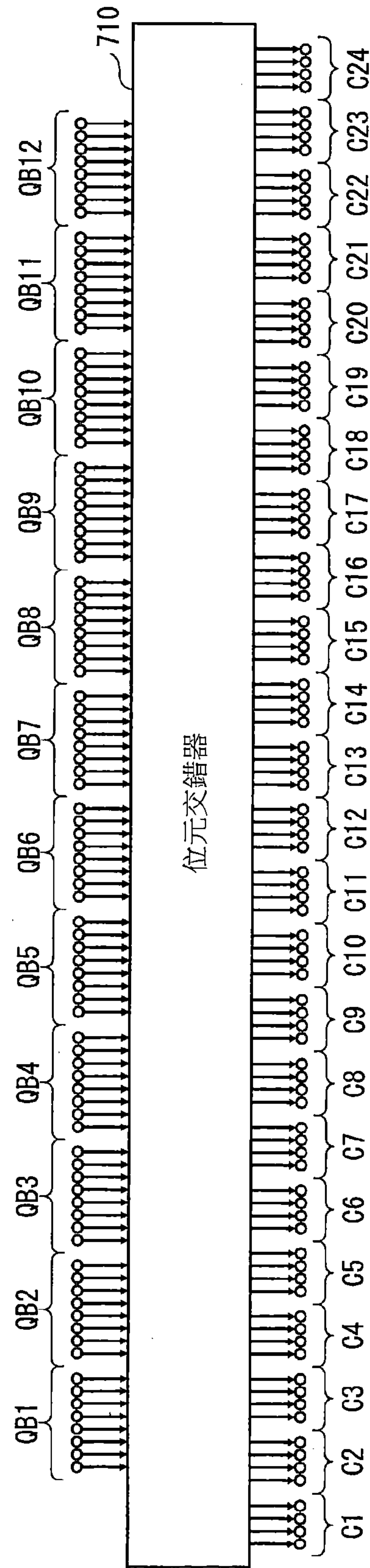
第 4 圖



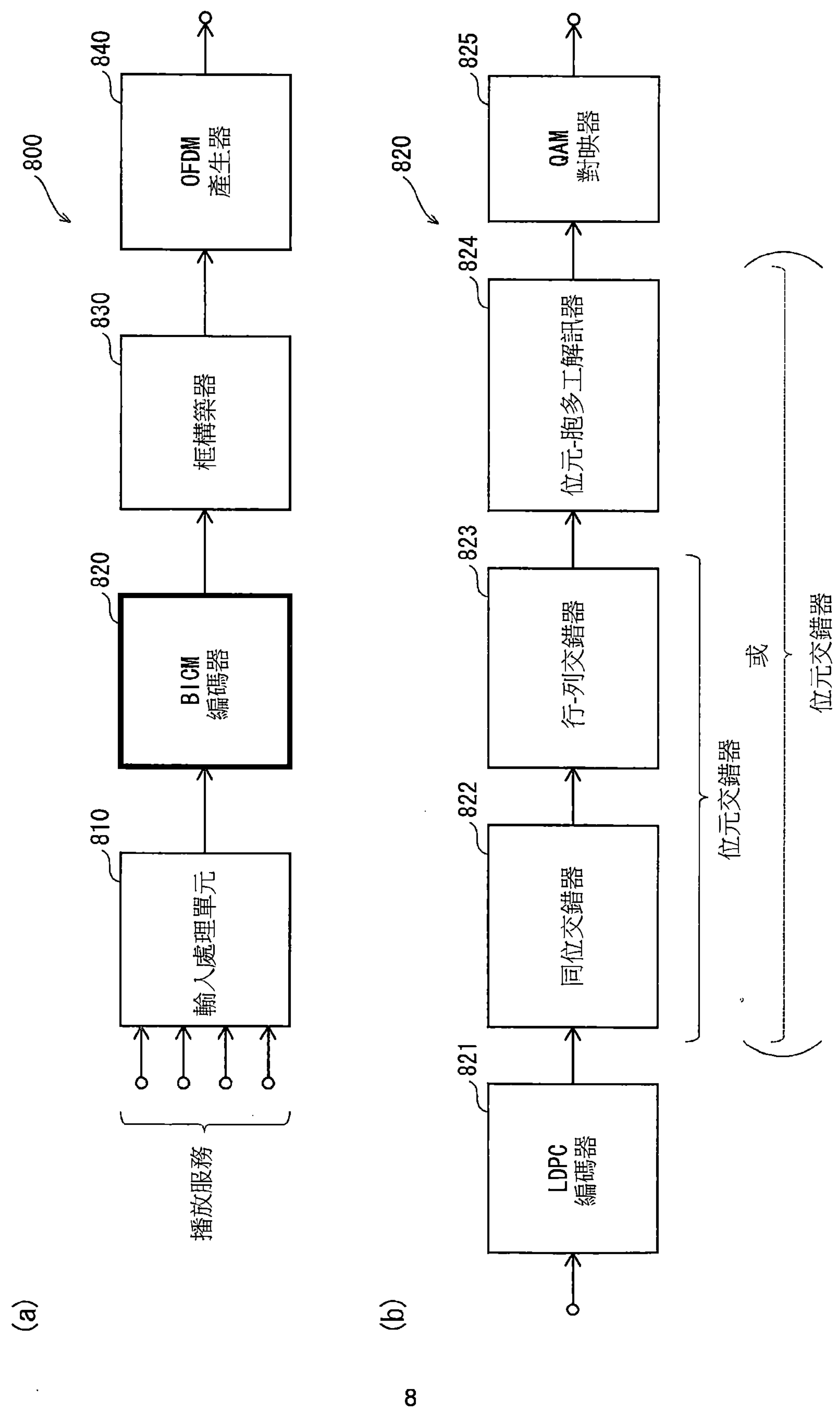
第 5 圖



第 6 圖

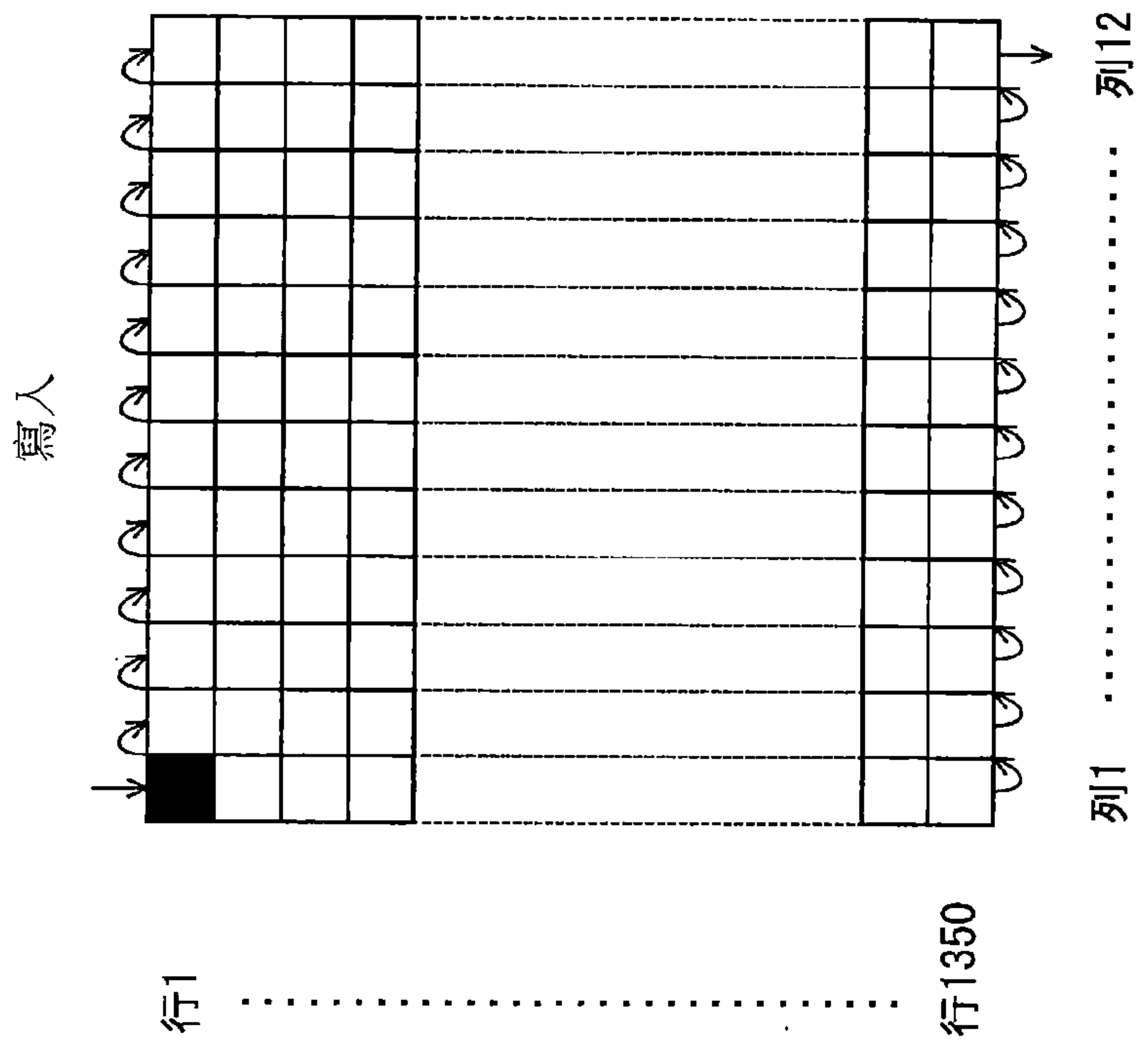


第 7 圖

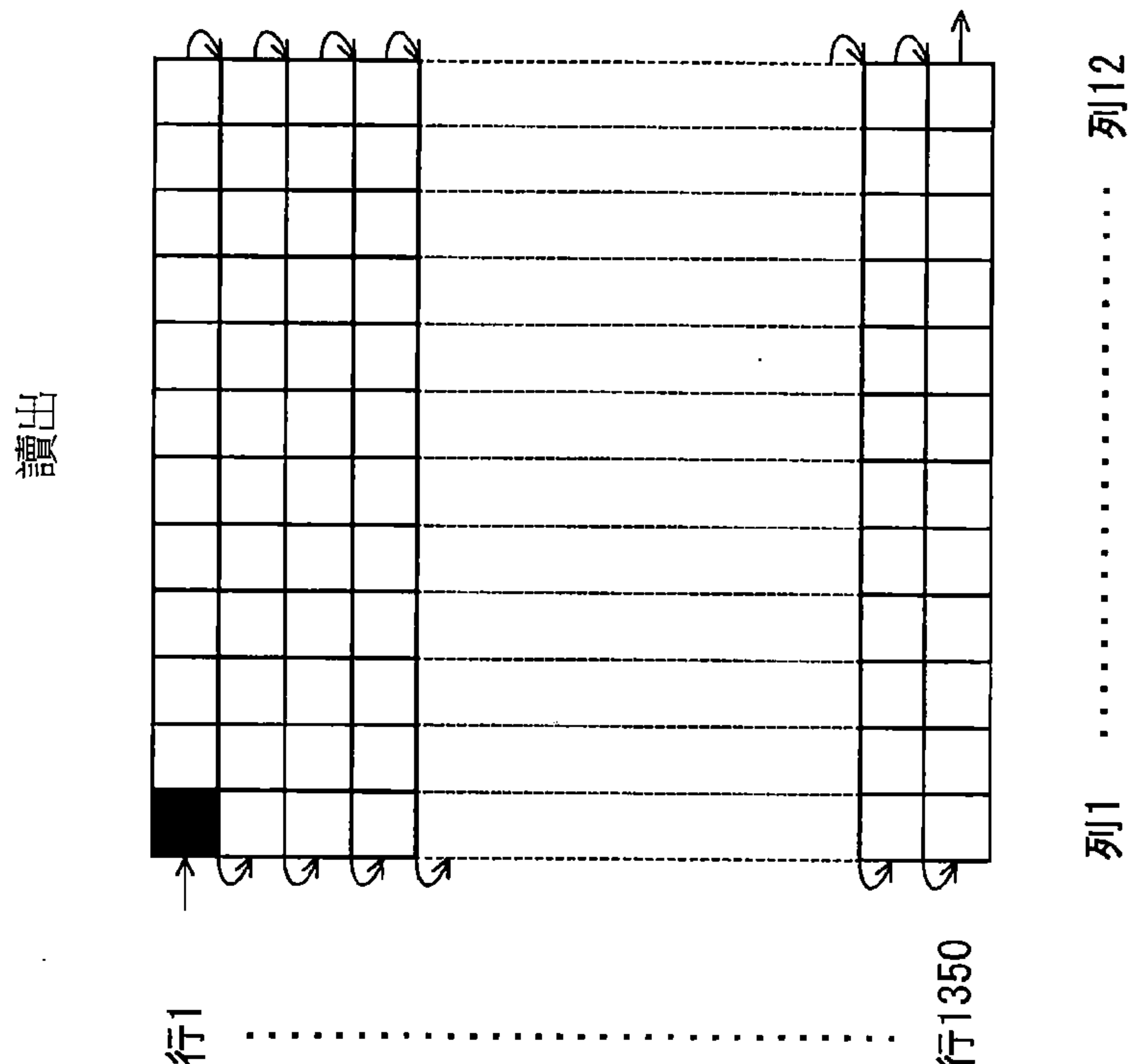


第 8 圖

(a)

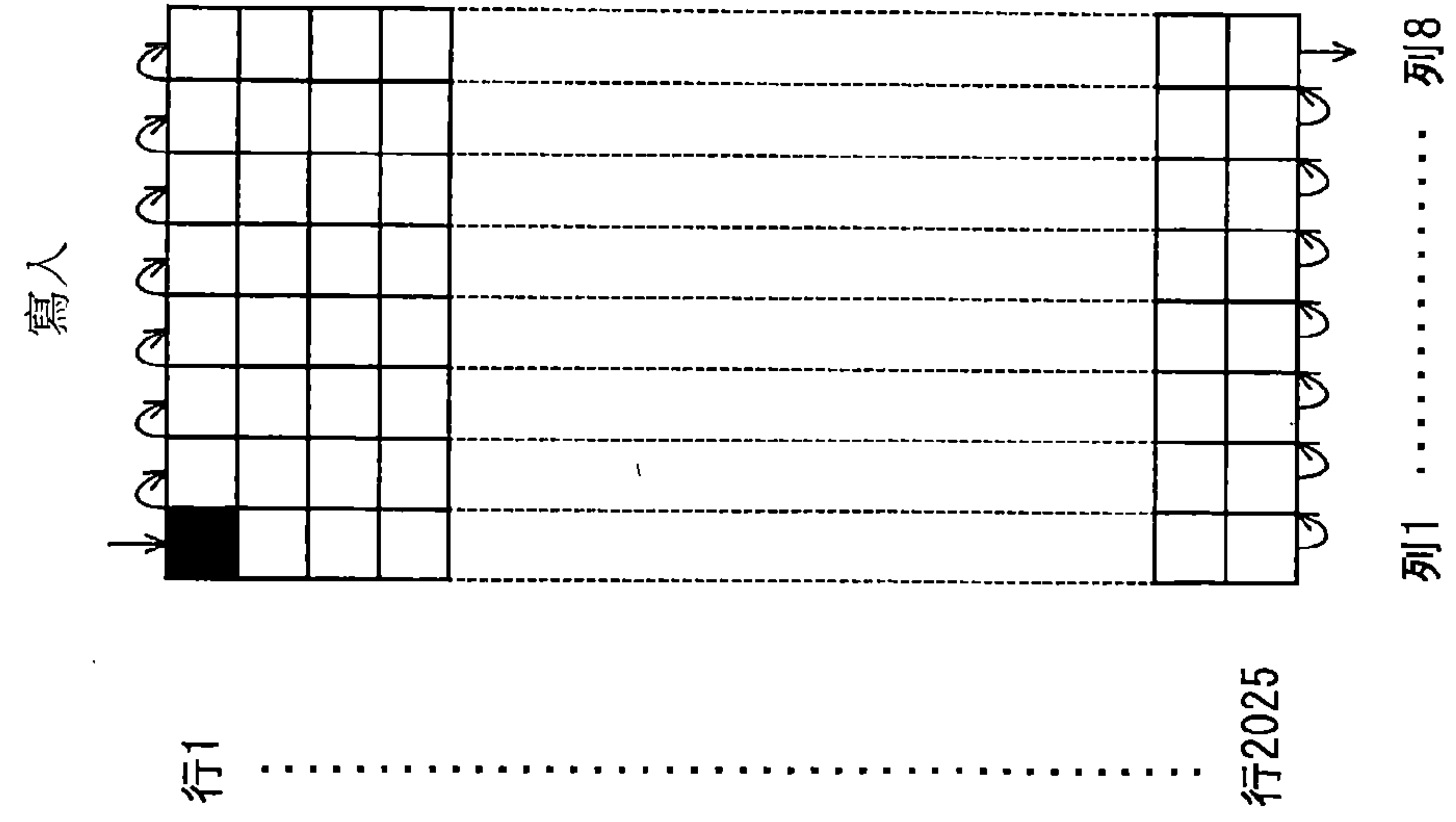


(b)

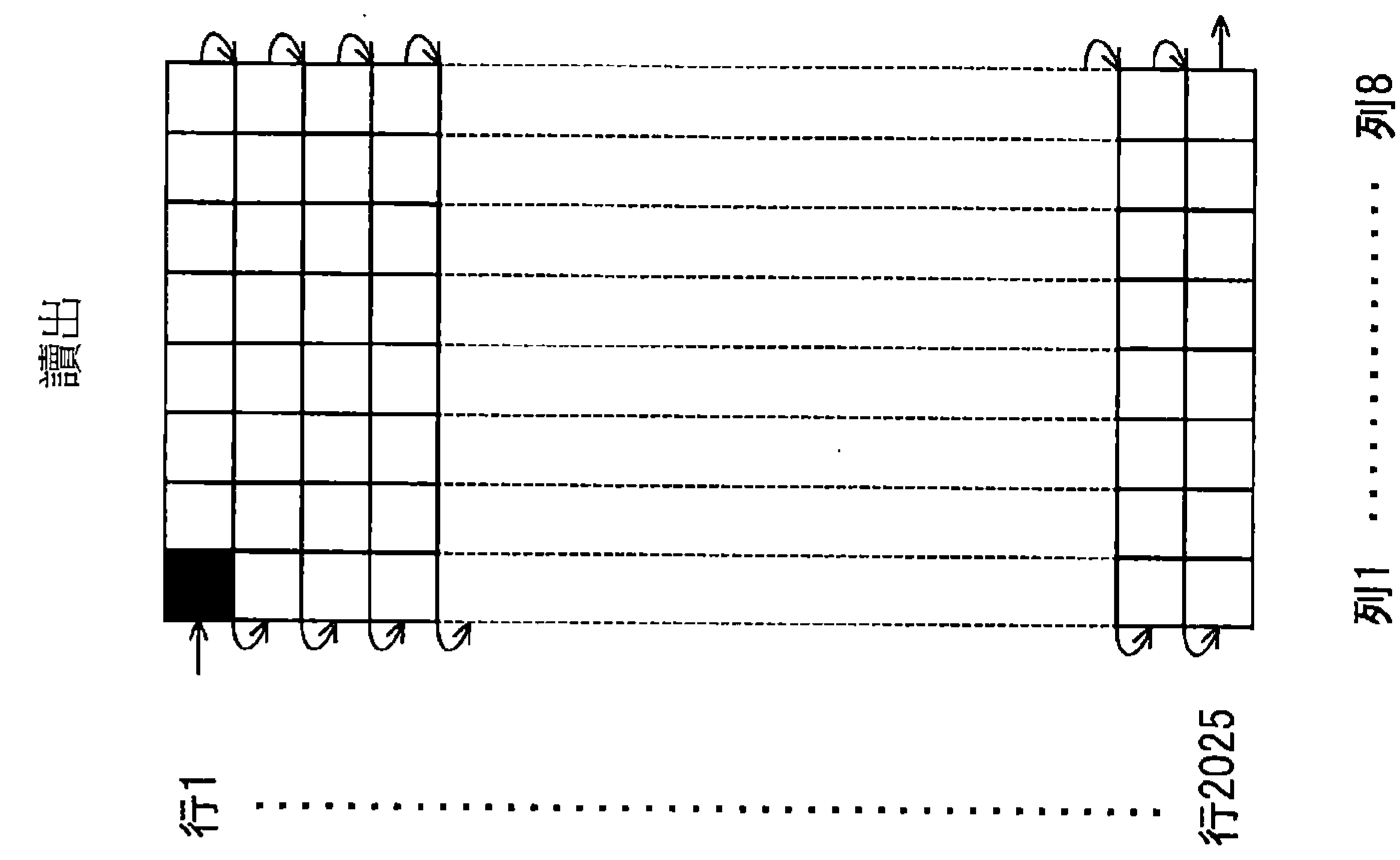


第 9 圖

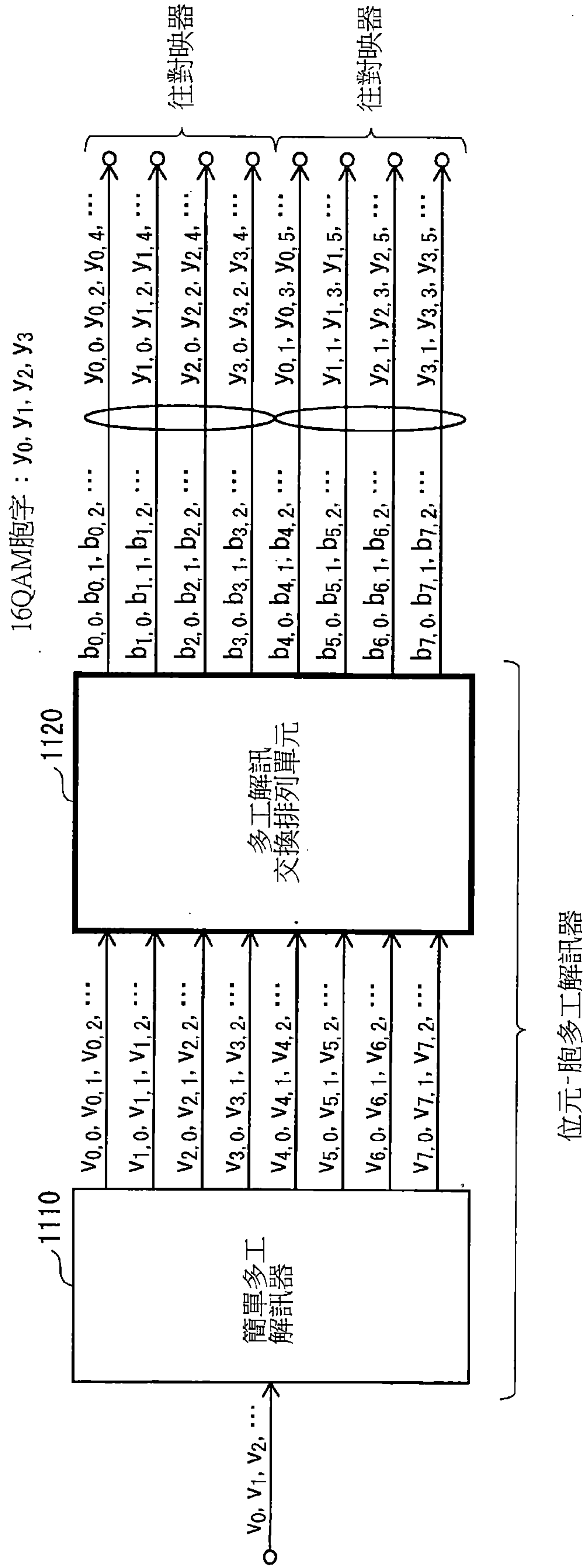
(a)



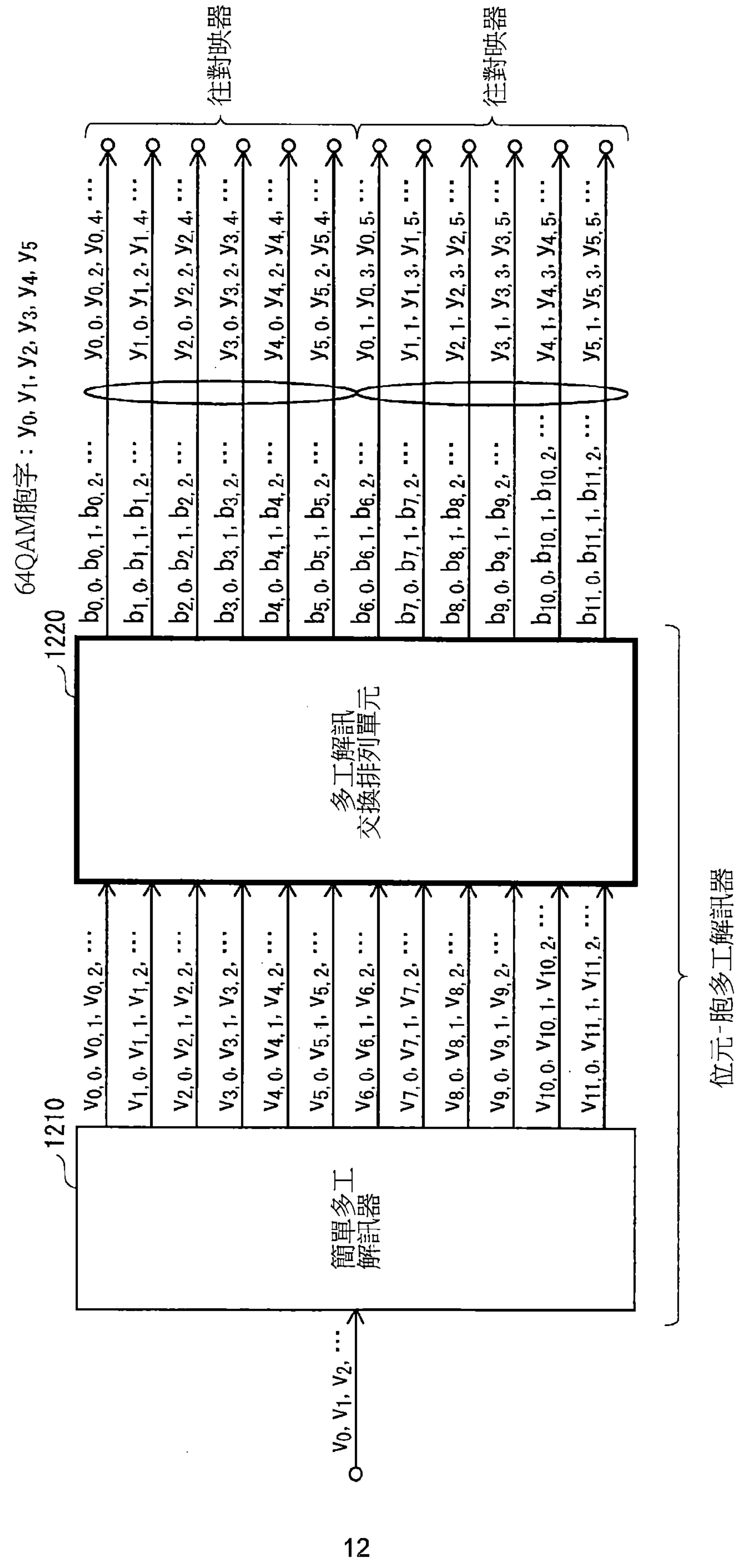
(b)



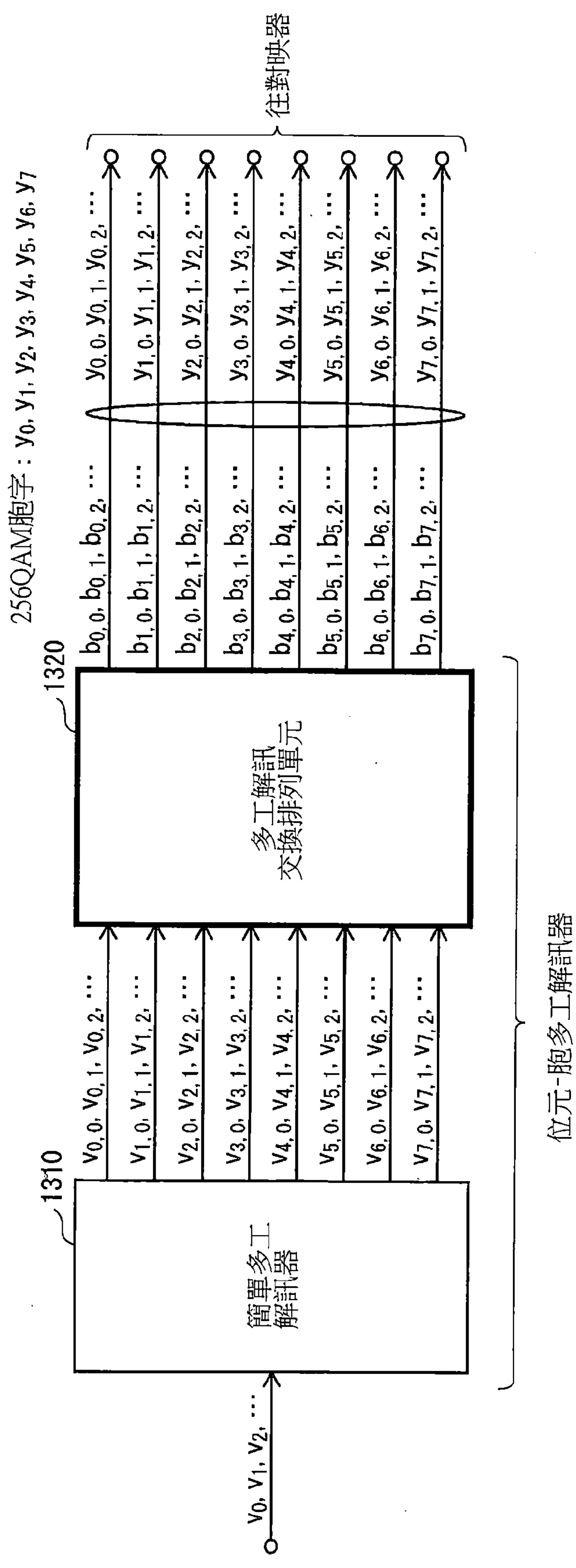
第 10 圖



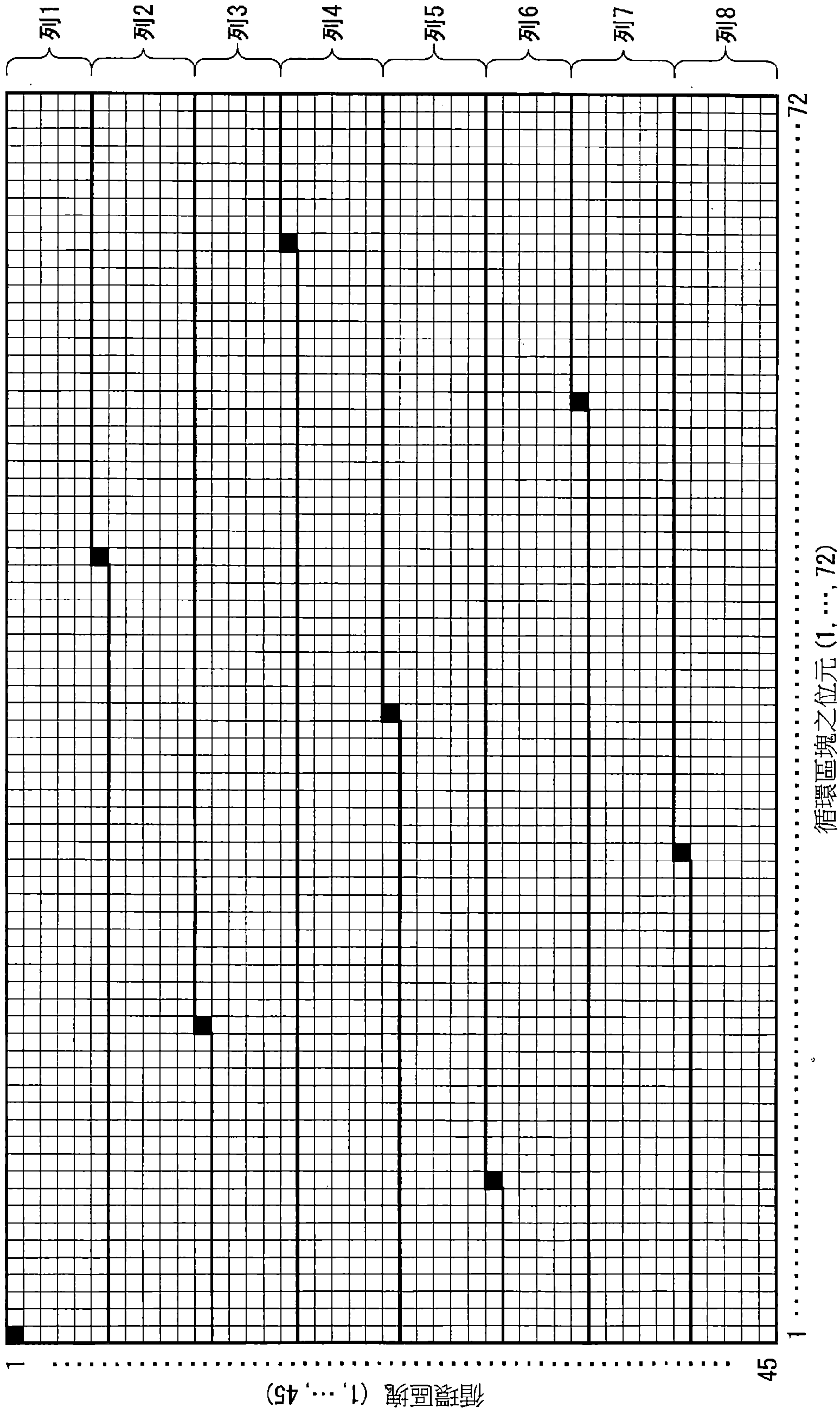
第 11 圖



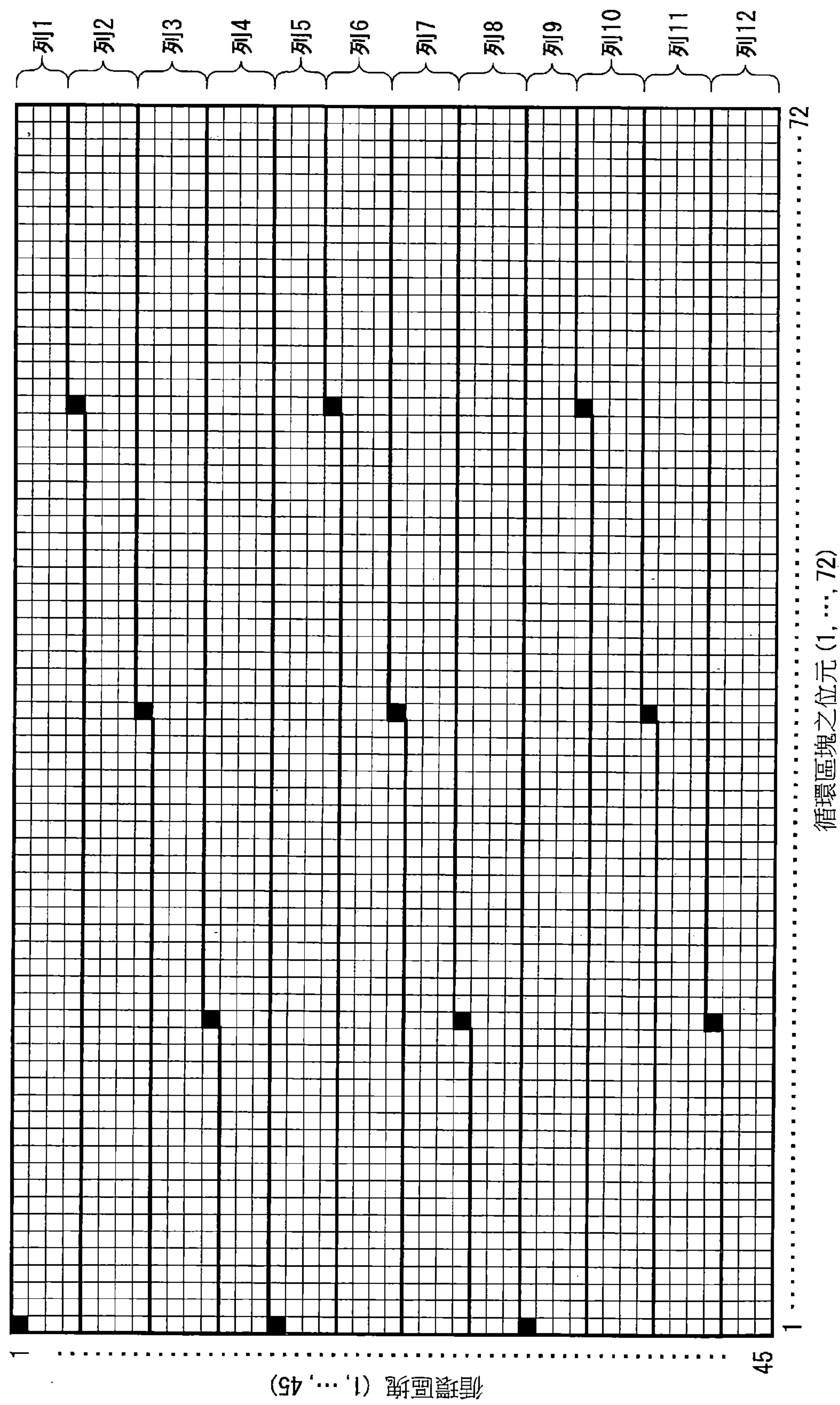
第 12 圖



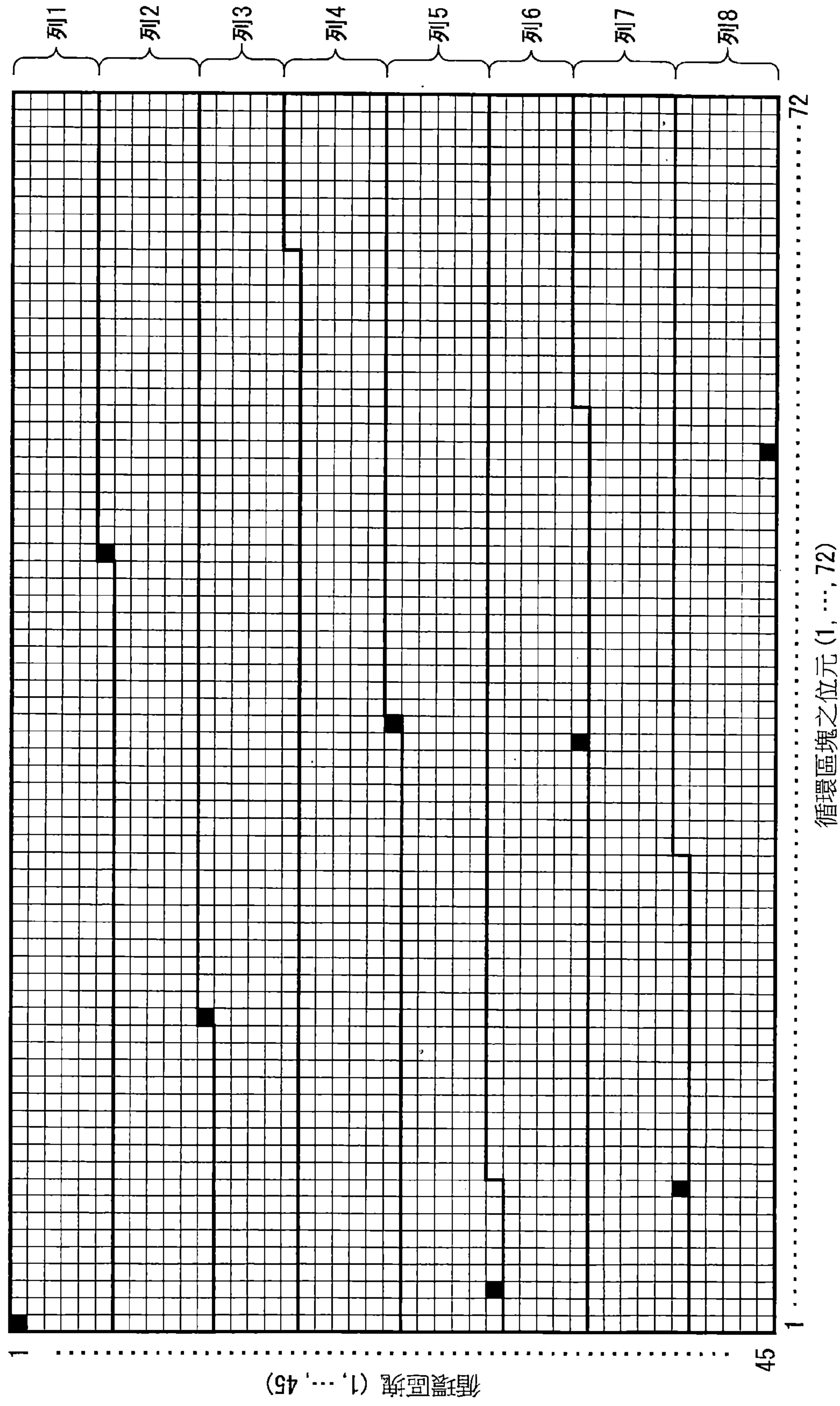
第 13 圖



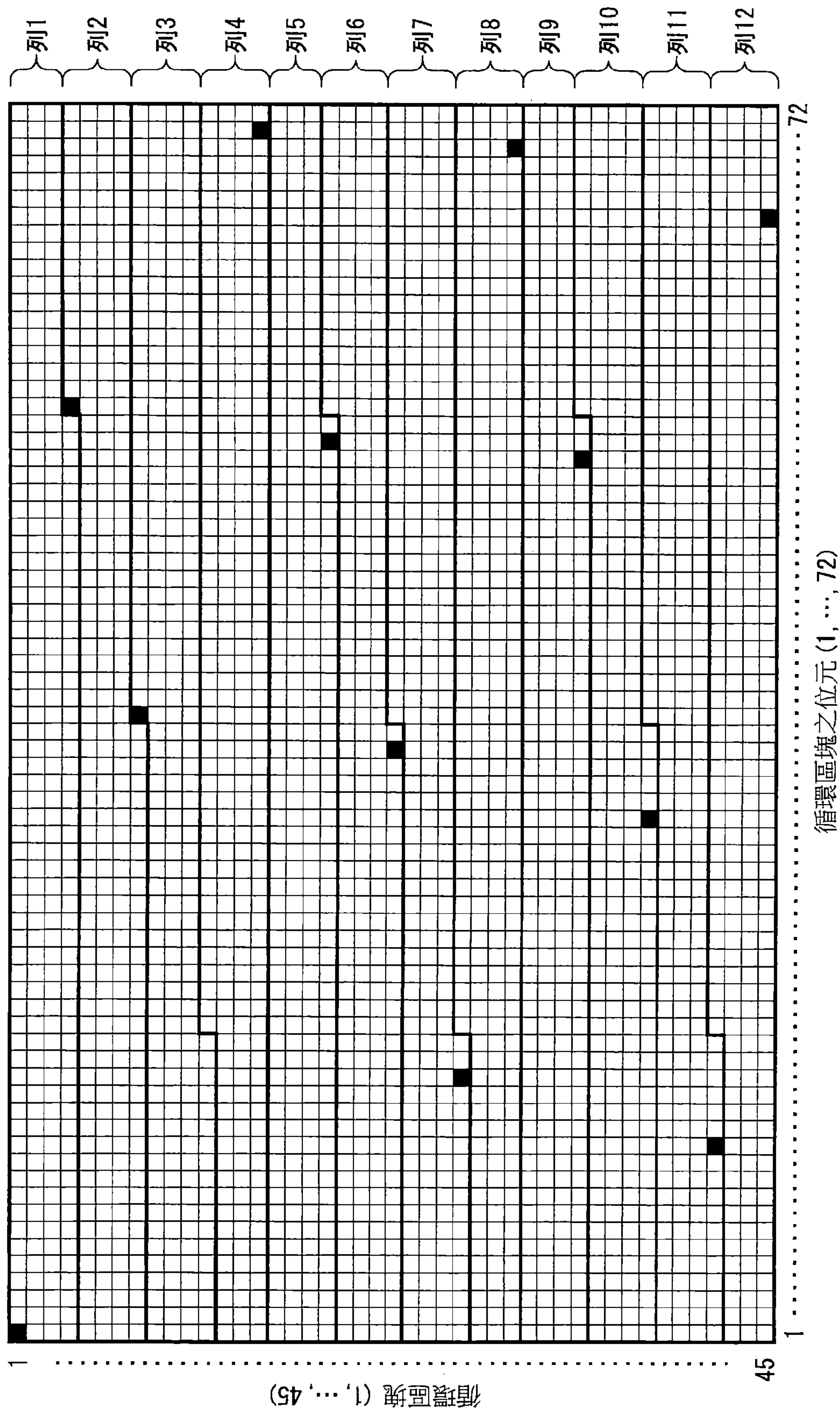
第 14 圖



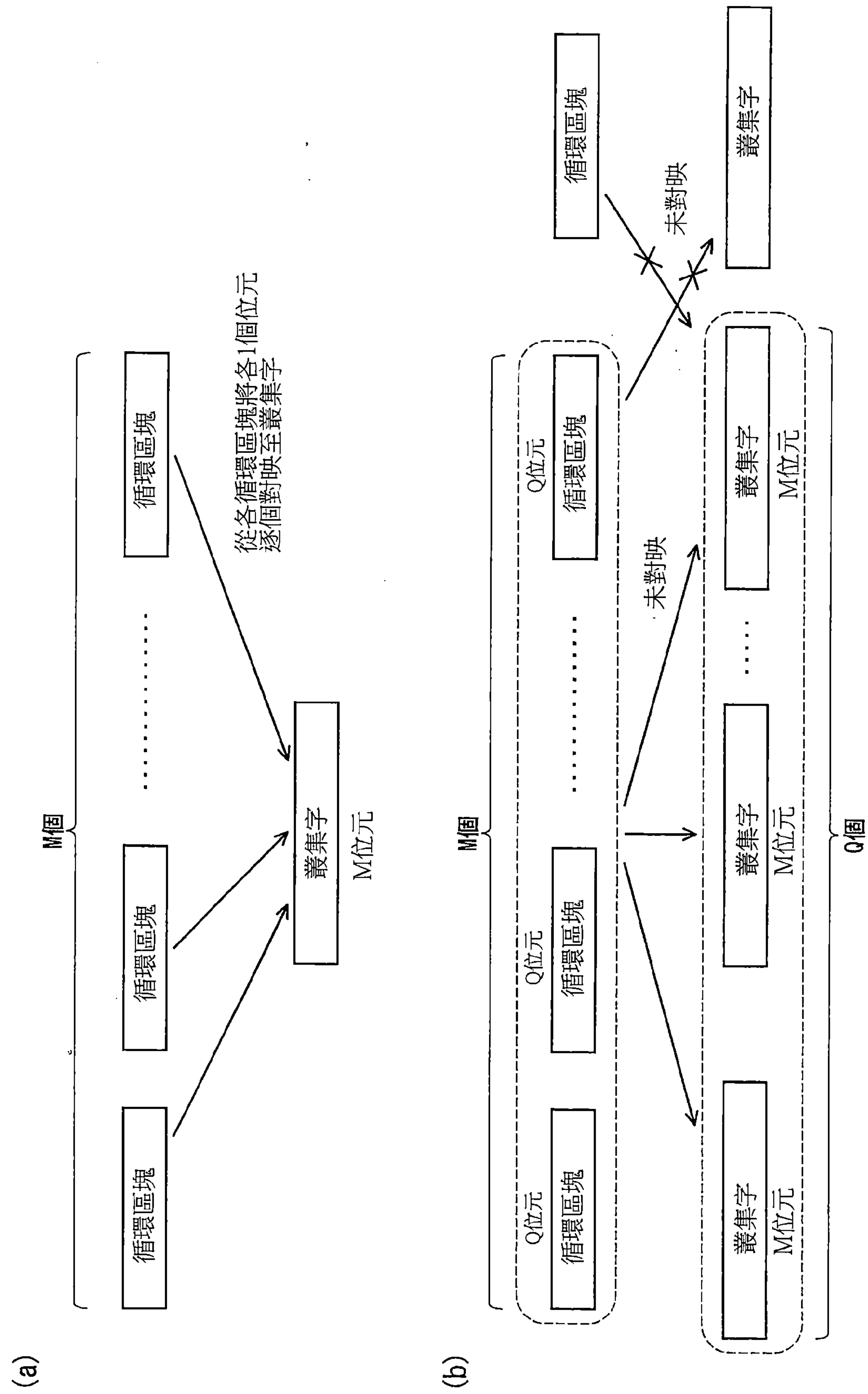
第 15 圖



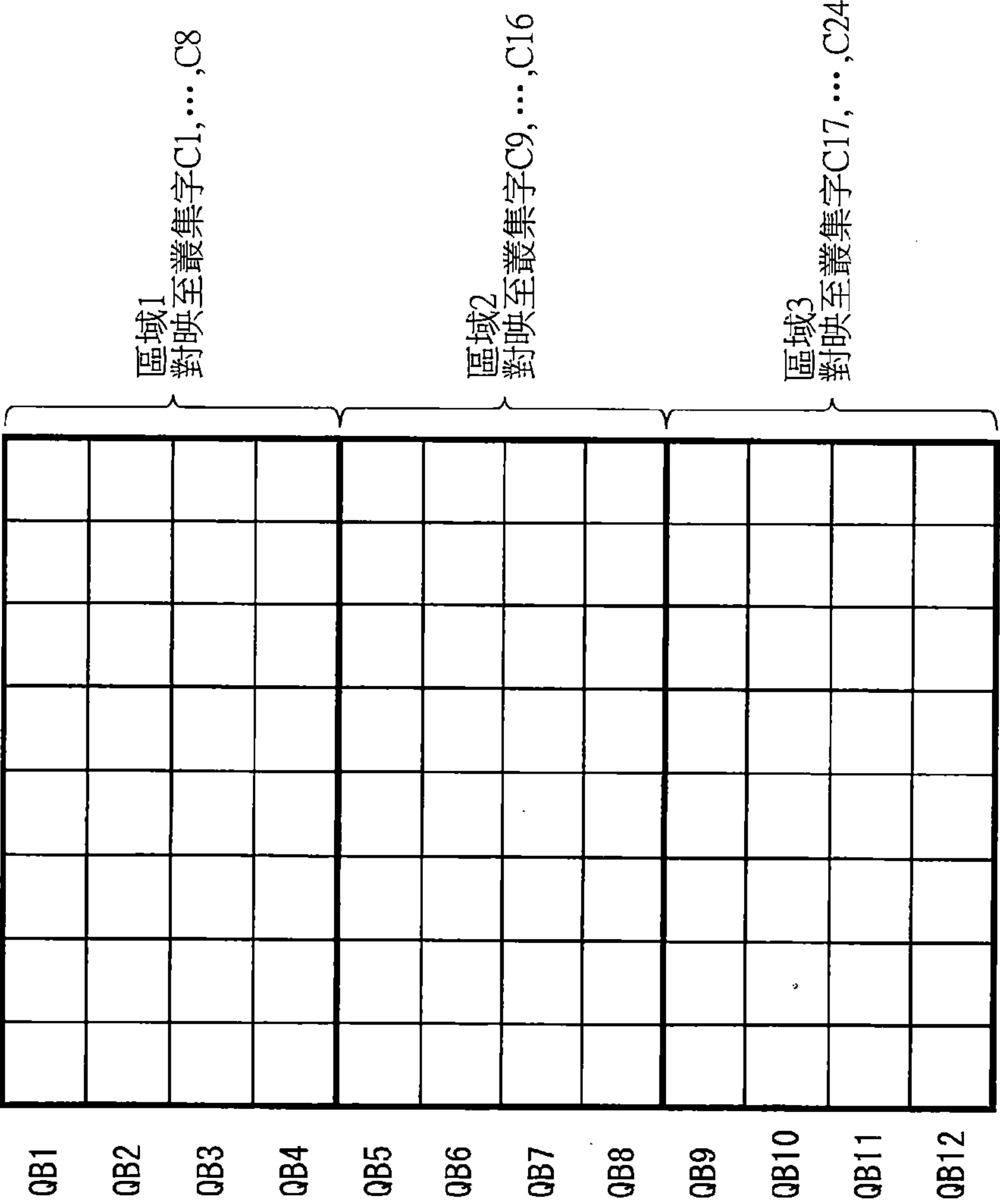
第 16 圖



第 17 圖

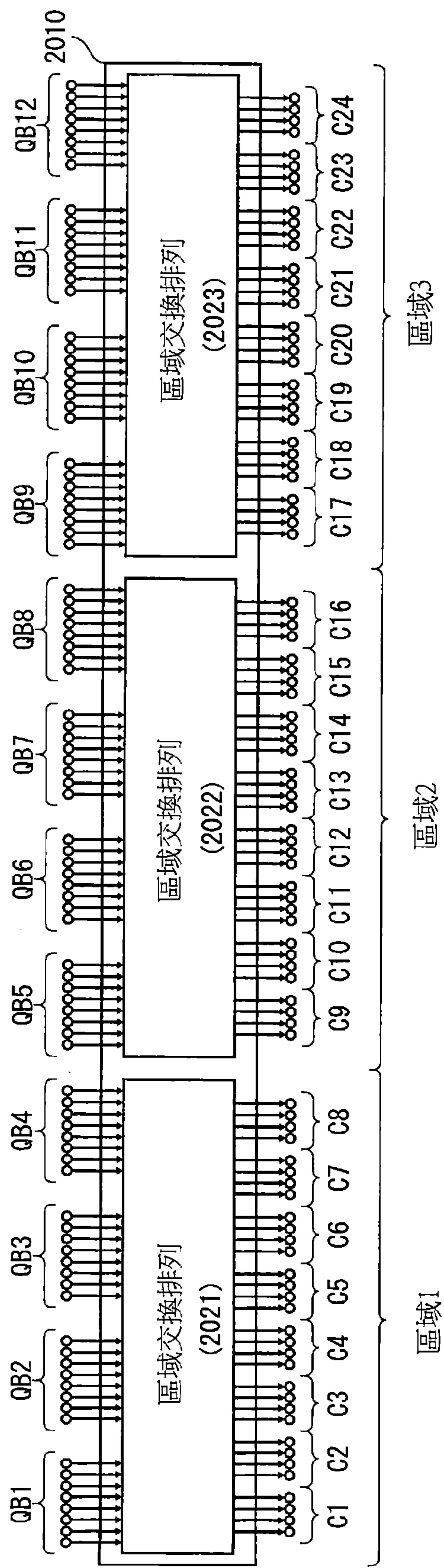


第 18 圖

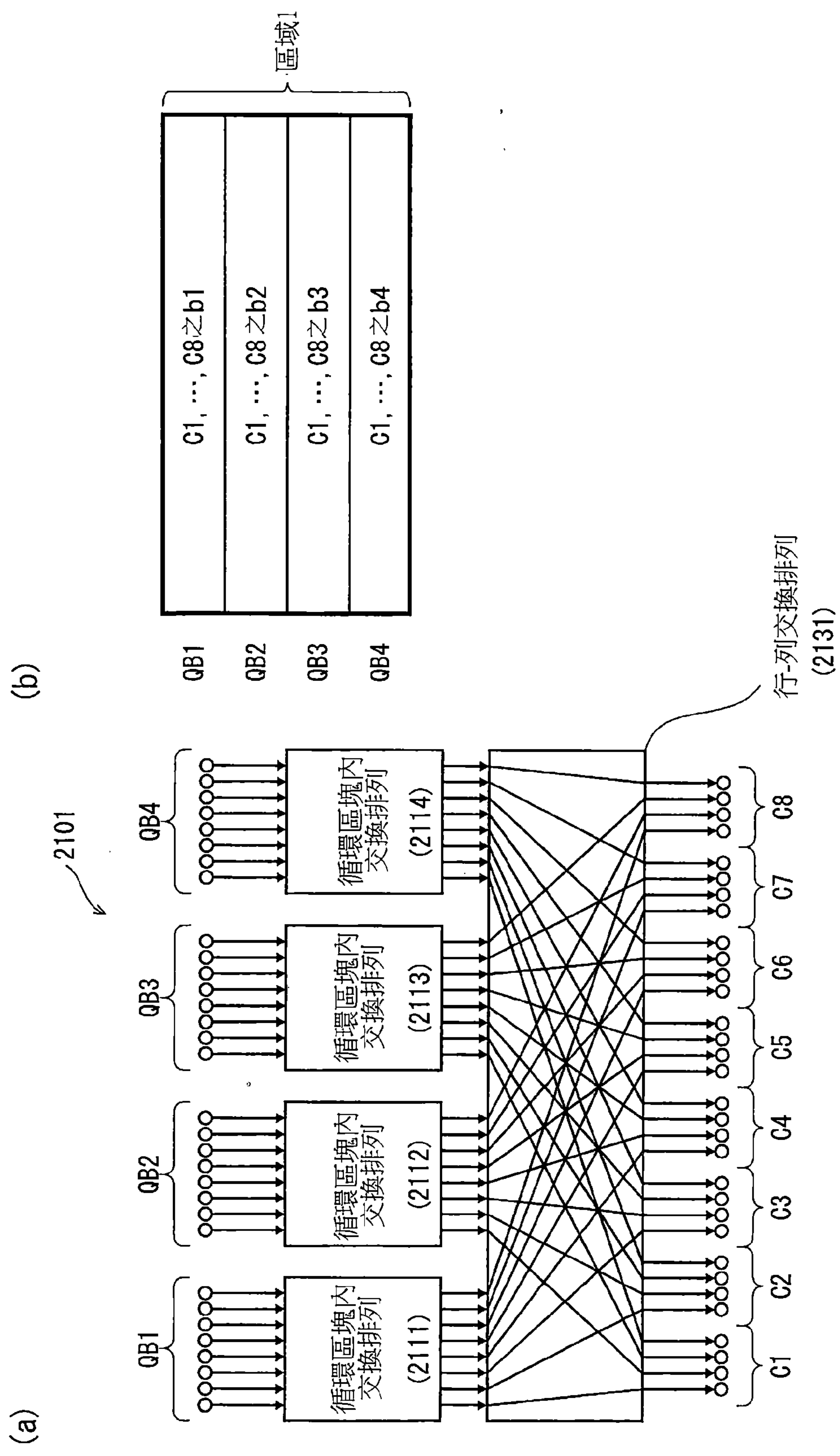


第 19 圖

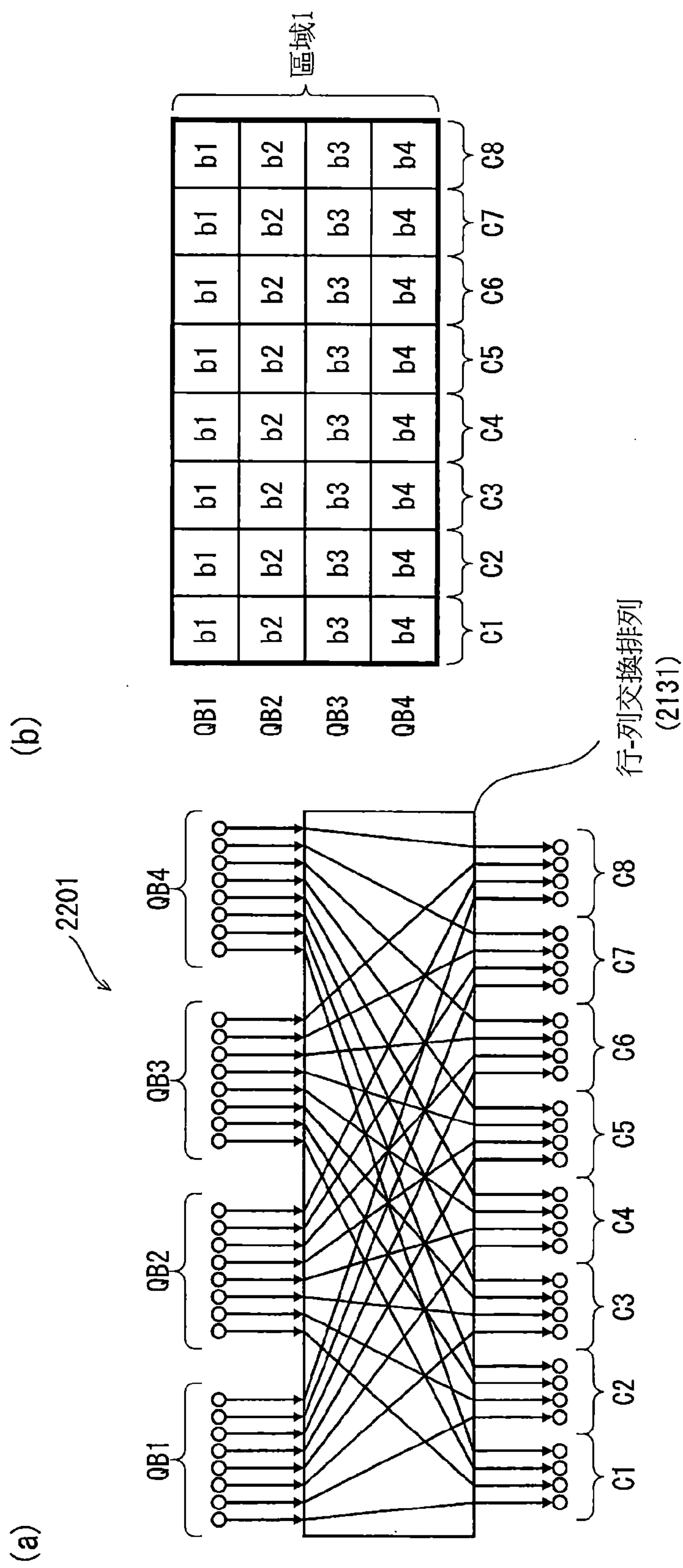
2000



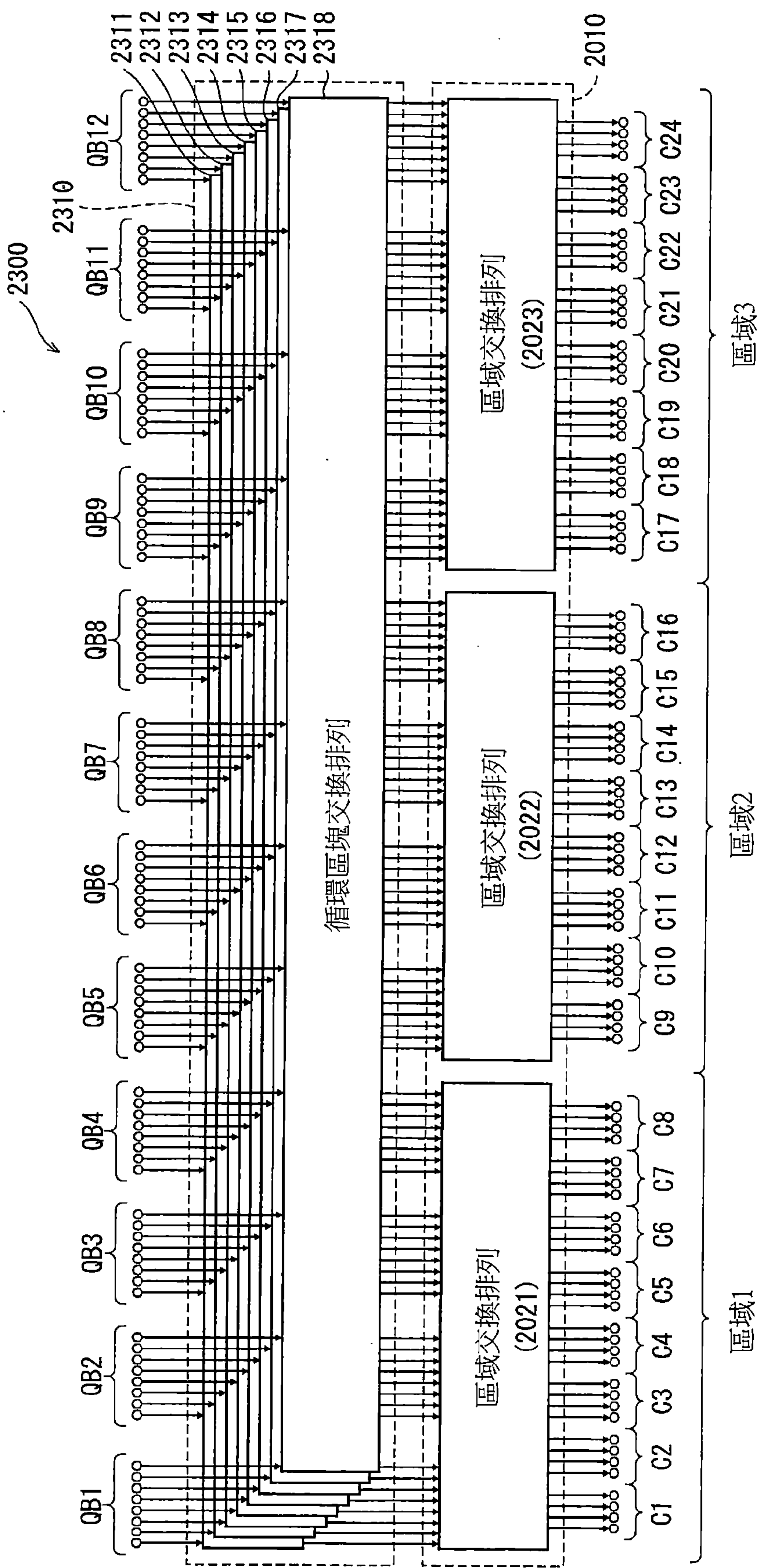
第 20 圖



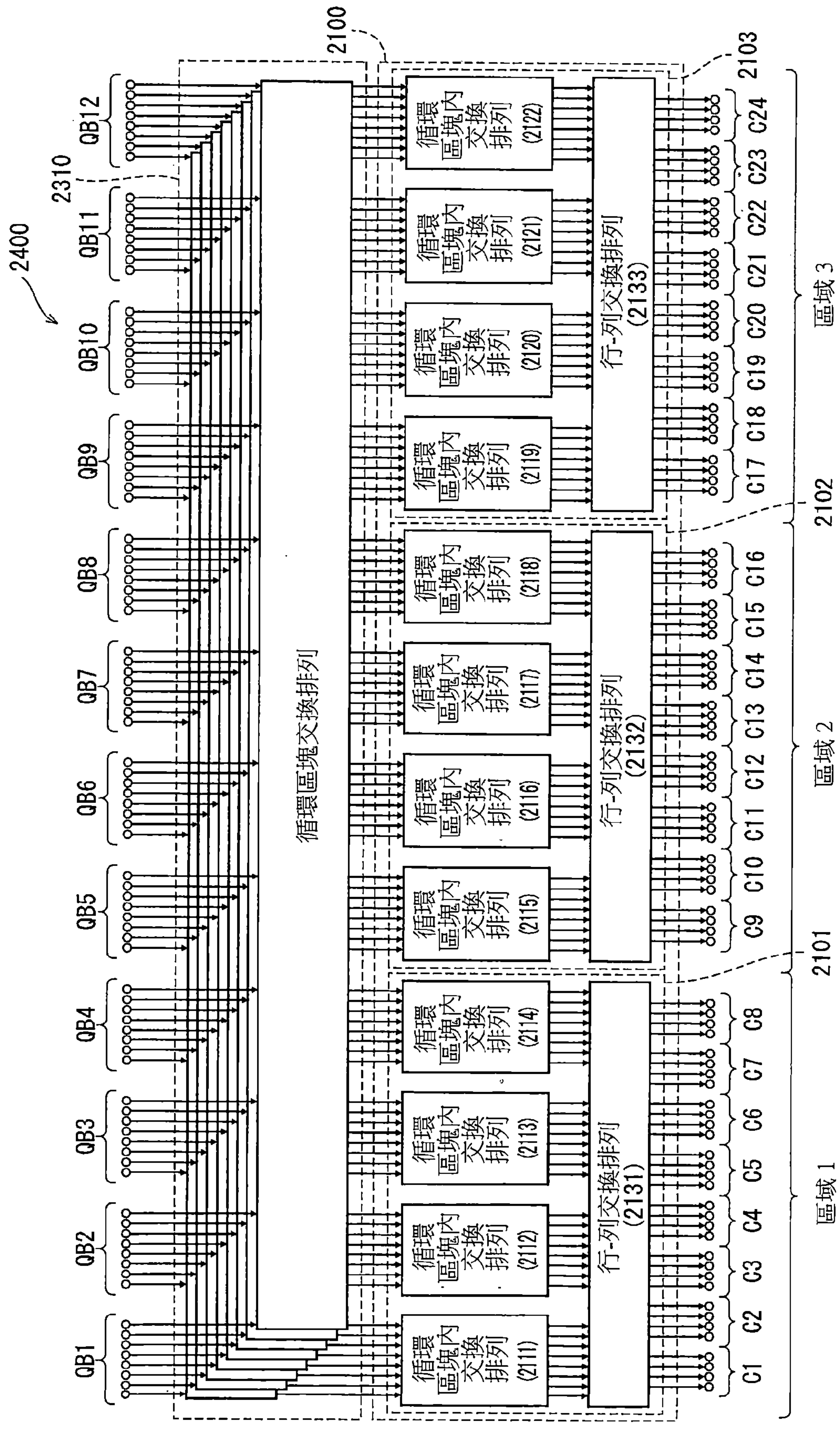
第 21 圖



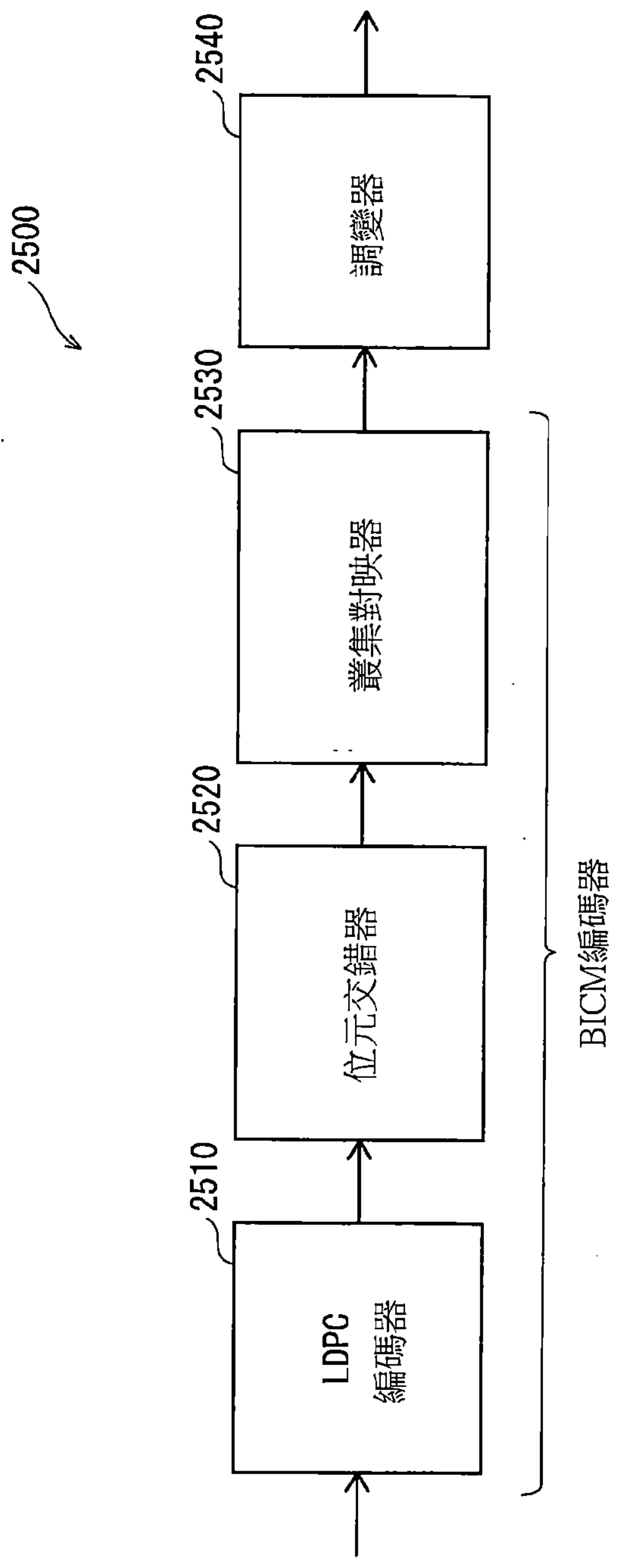
第 22 圖



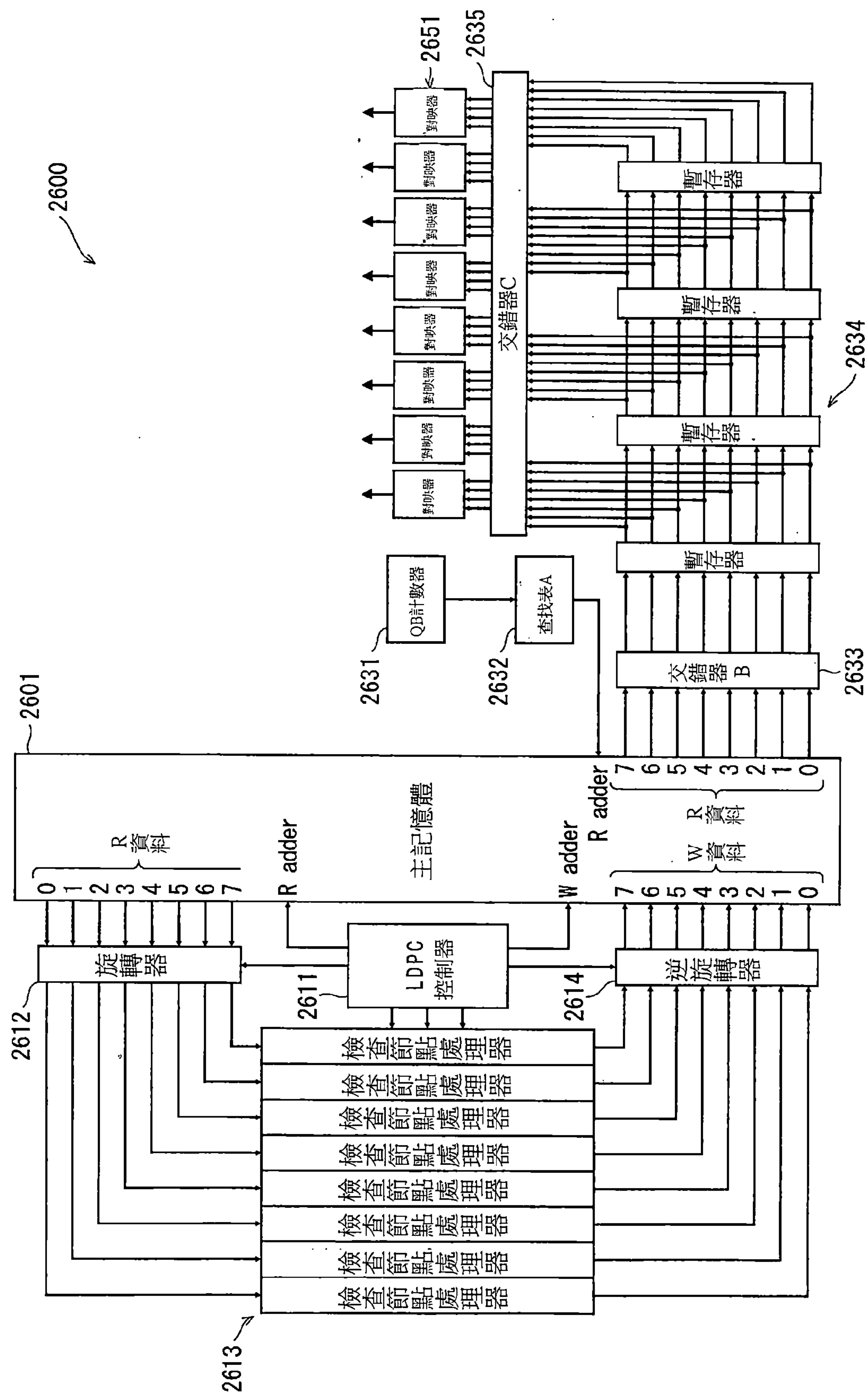
第 23 圖



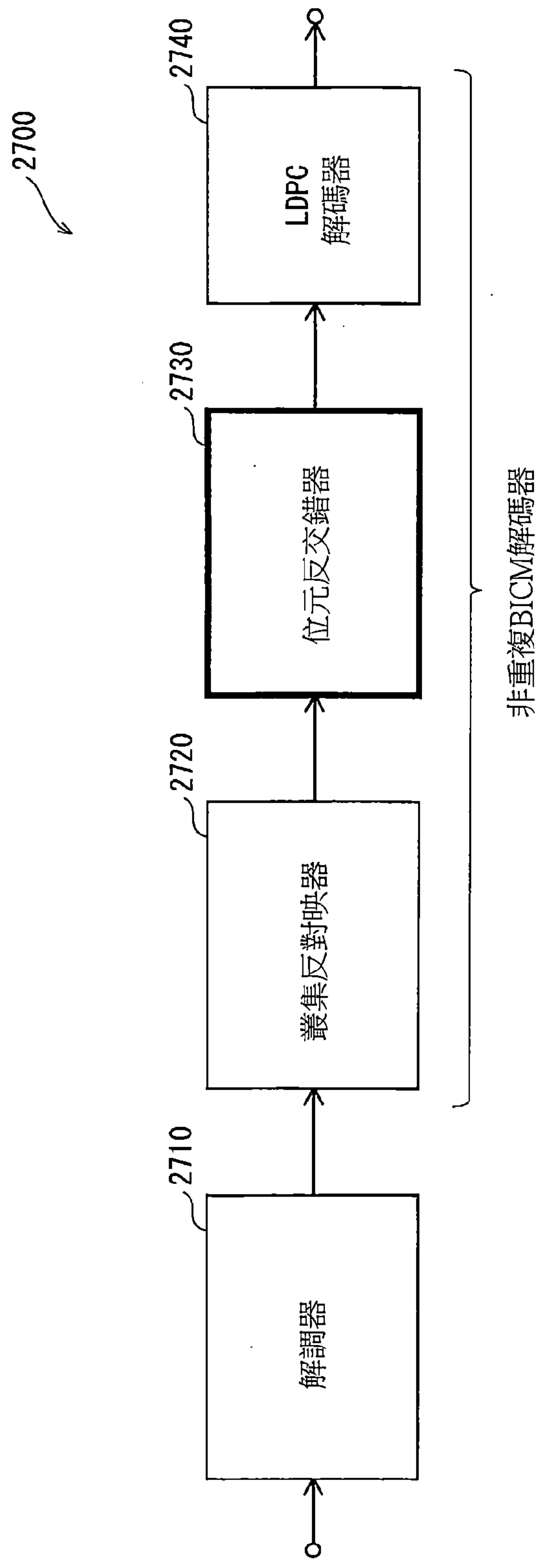
第 24 圖



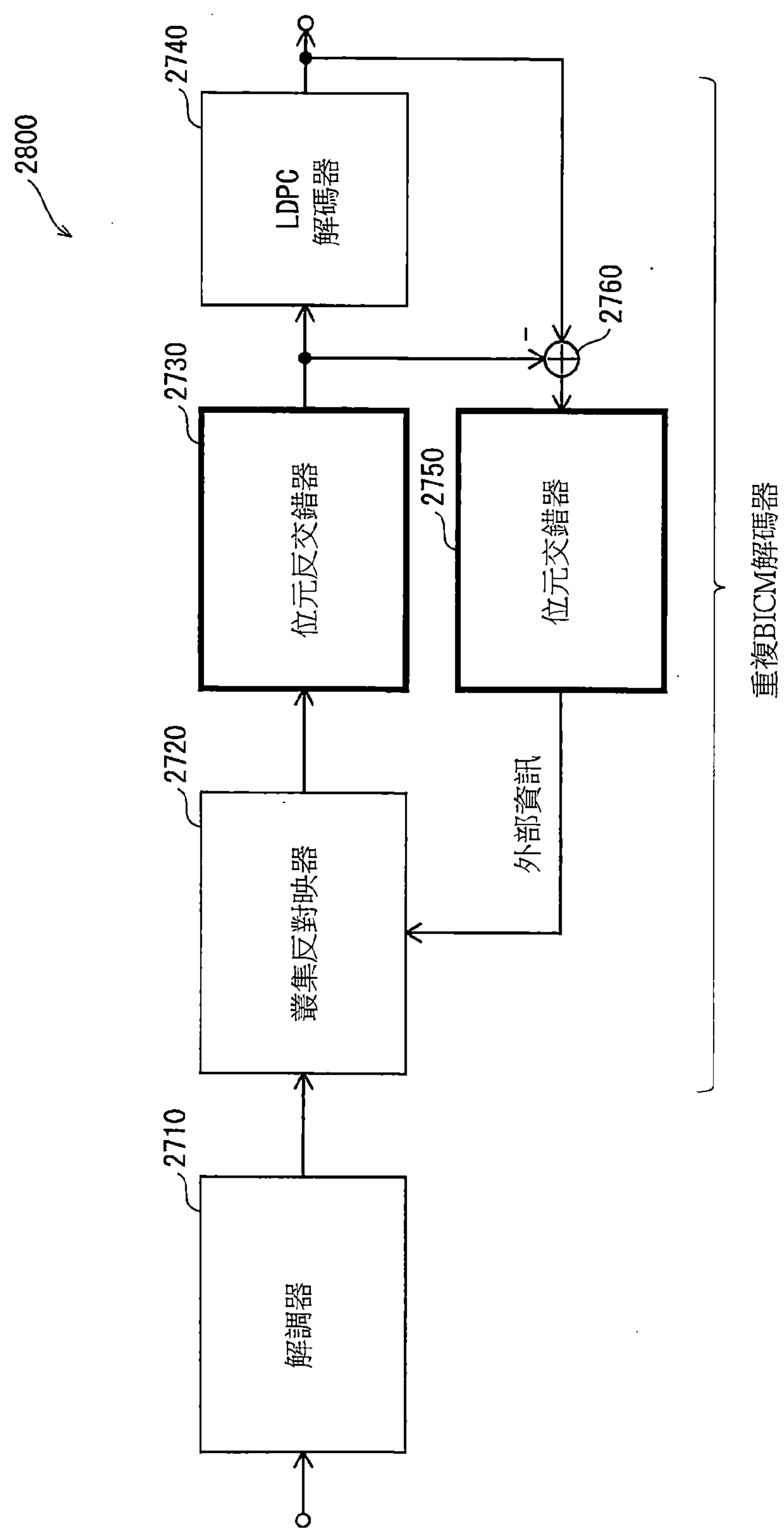
第 25 圖



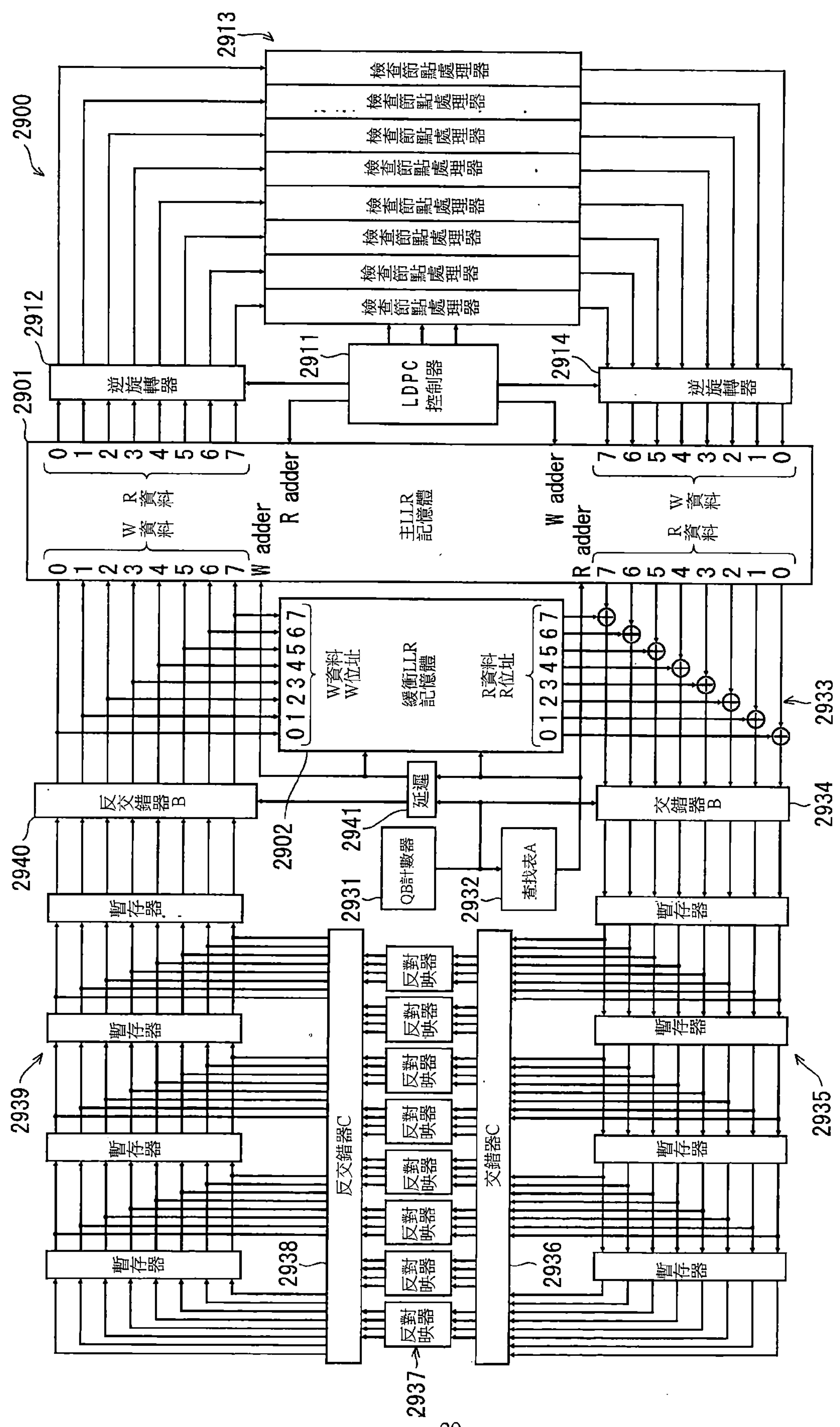
第 26 圖



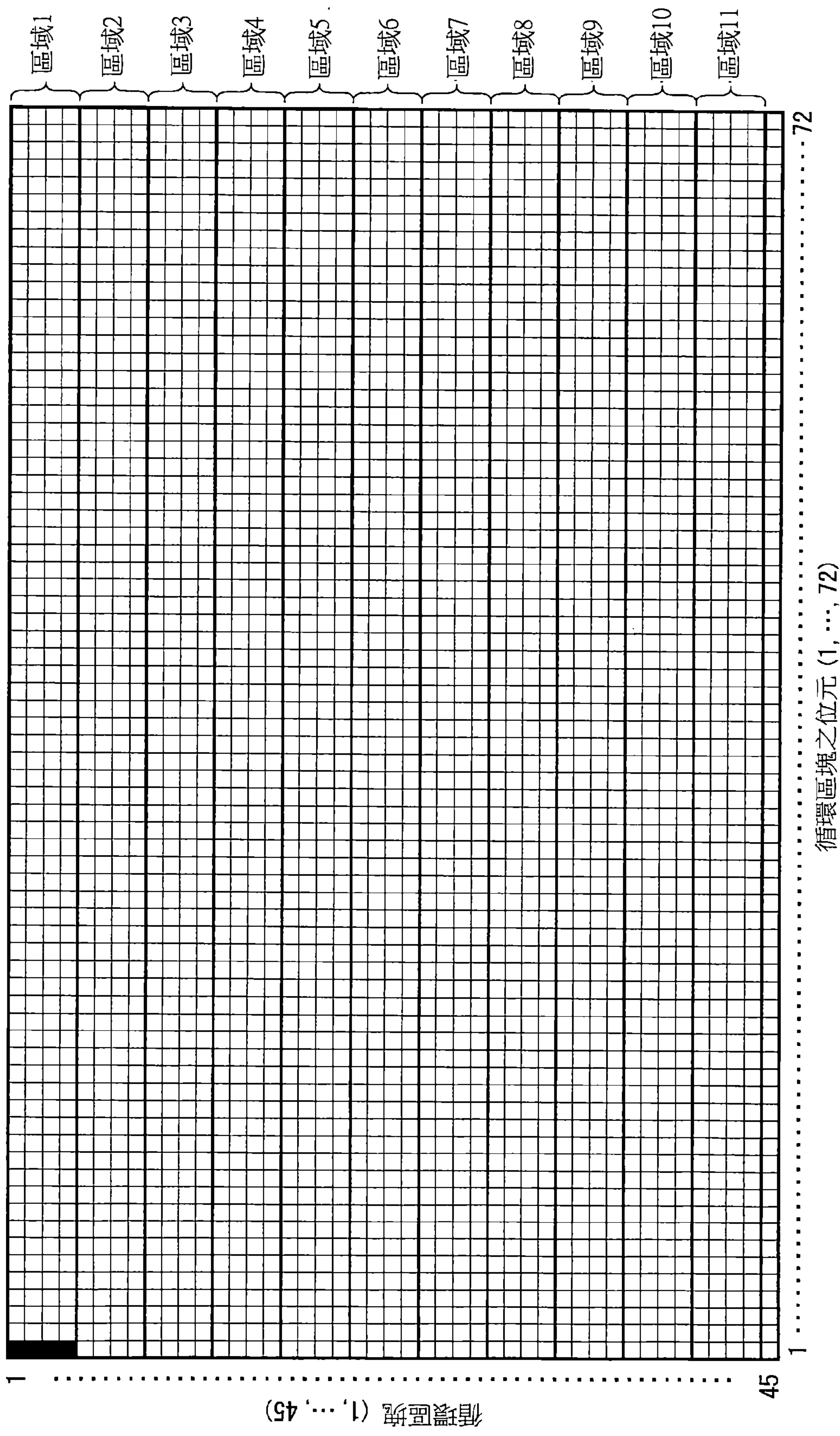
第 27 圖



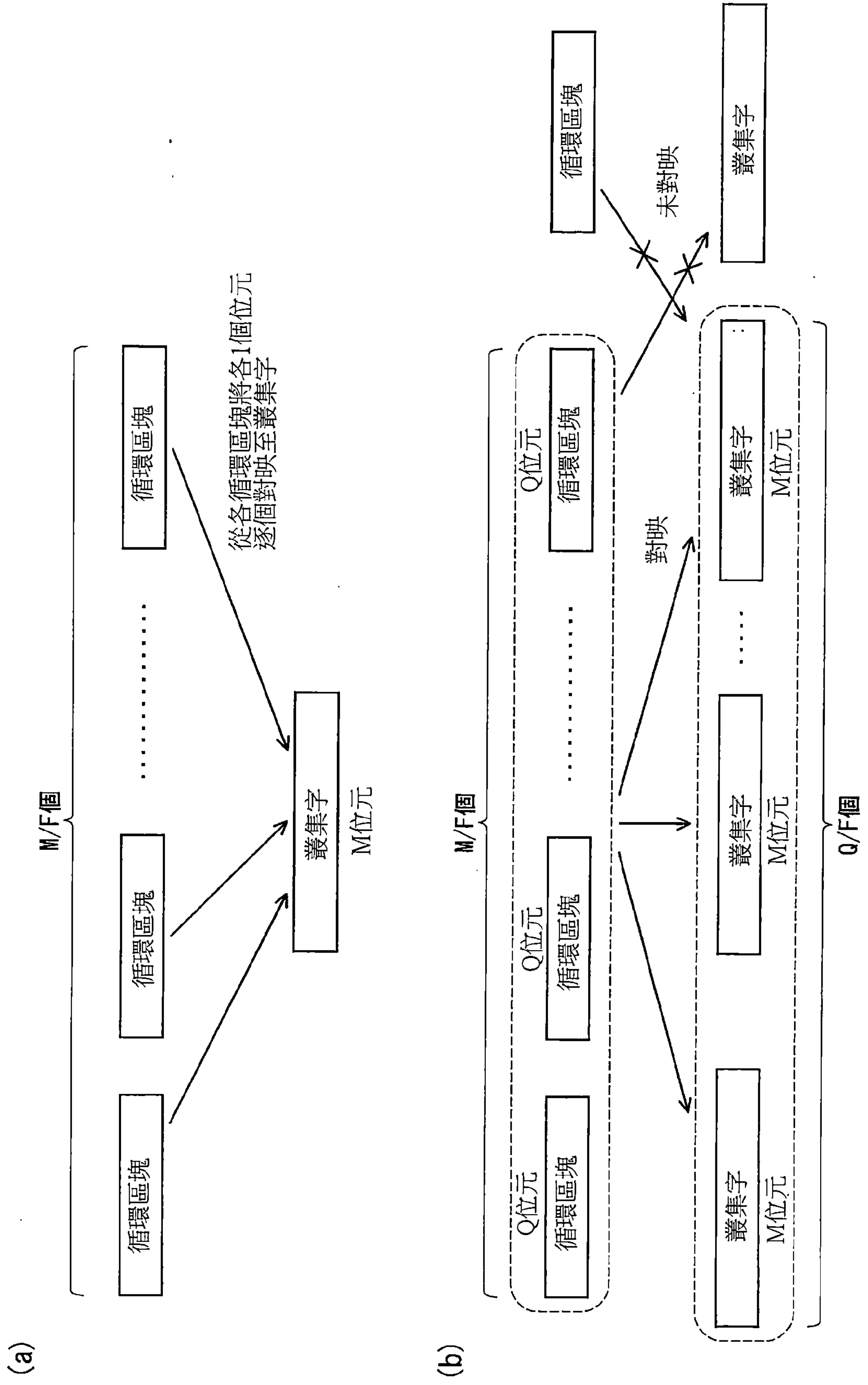
第 28 圖



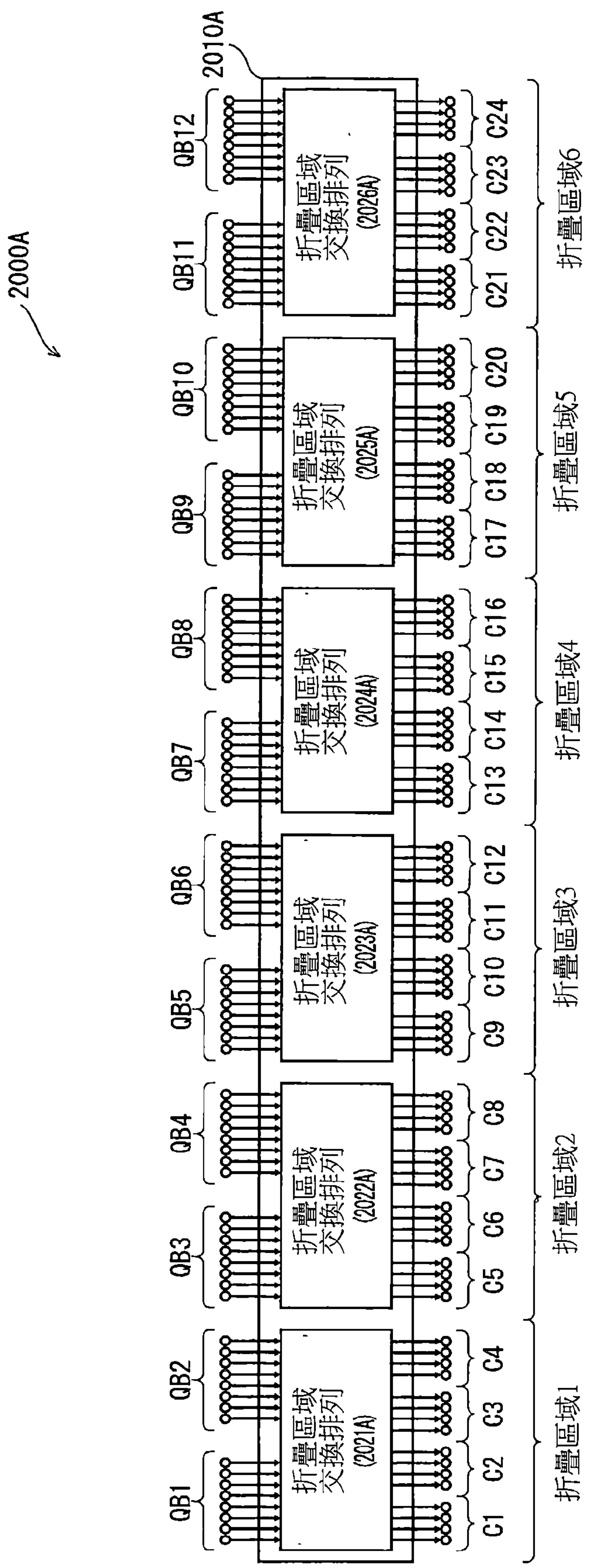
第 29 圖



第 30 圖



第 31 圖



第 32 圖

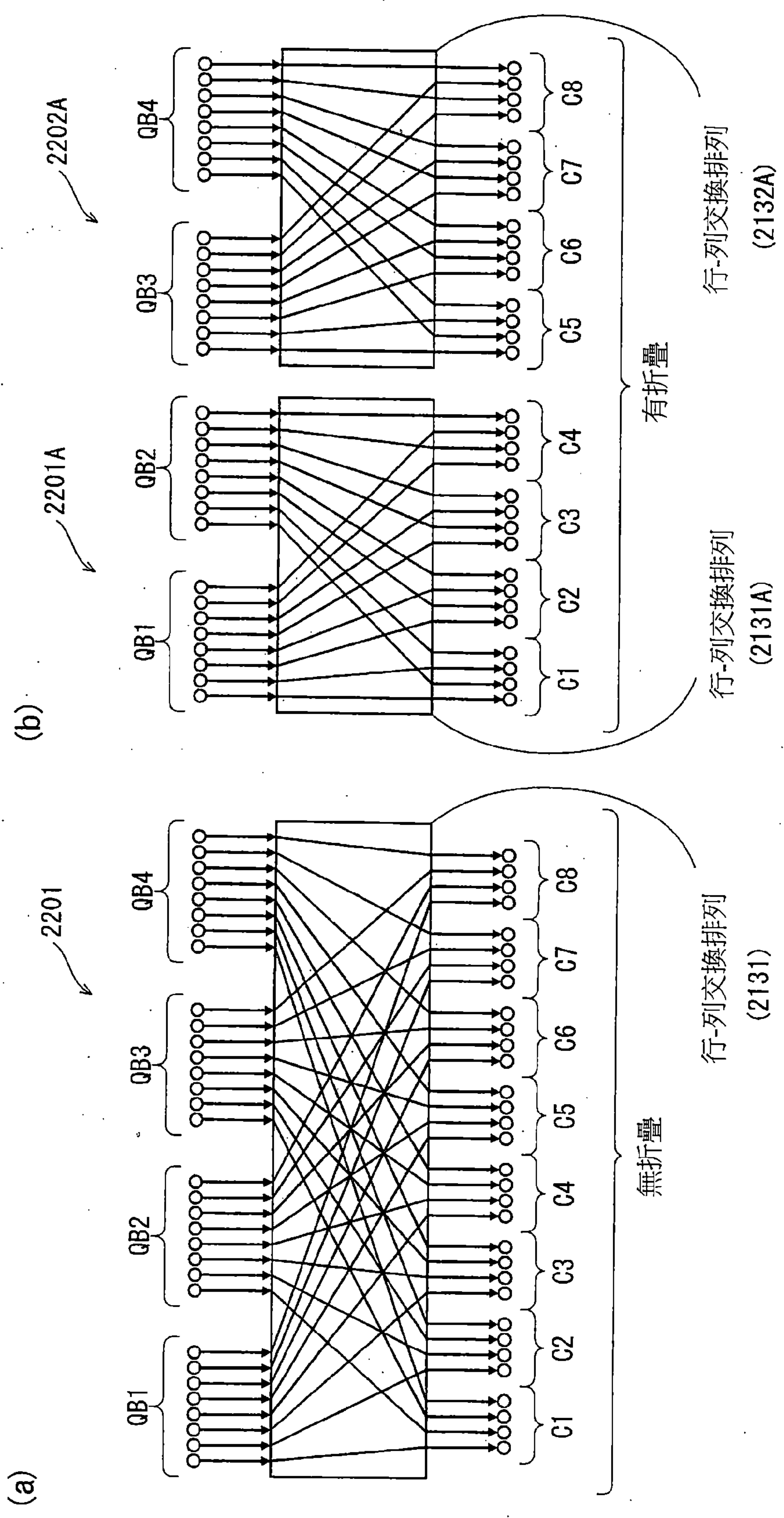
(a)

無折疊				折疊區域1(區域1)							
QB1	b1 C1	b1 C2	b1 C3	b1 C4	b1 C5	b1 C6	b1 C7	b1 C8			
QB2	b2 C1	b2 C2	b2 C3	b2 C4	b2 C5	b2 C6	b2 C7	b2 C8			
QB3	b3 C1	b3 C2	b3 C3	b3 C4	b3 C5	b3 C6	b3 C7	b3 C8			
QB4	b4 C1	b4 C2	b4 C3	b4 C4	b4 C5	b4 C6	b4 C7	b4 C8			

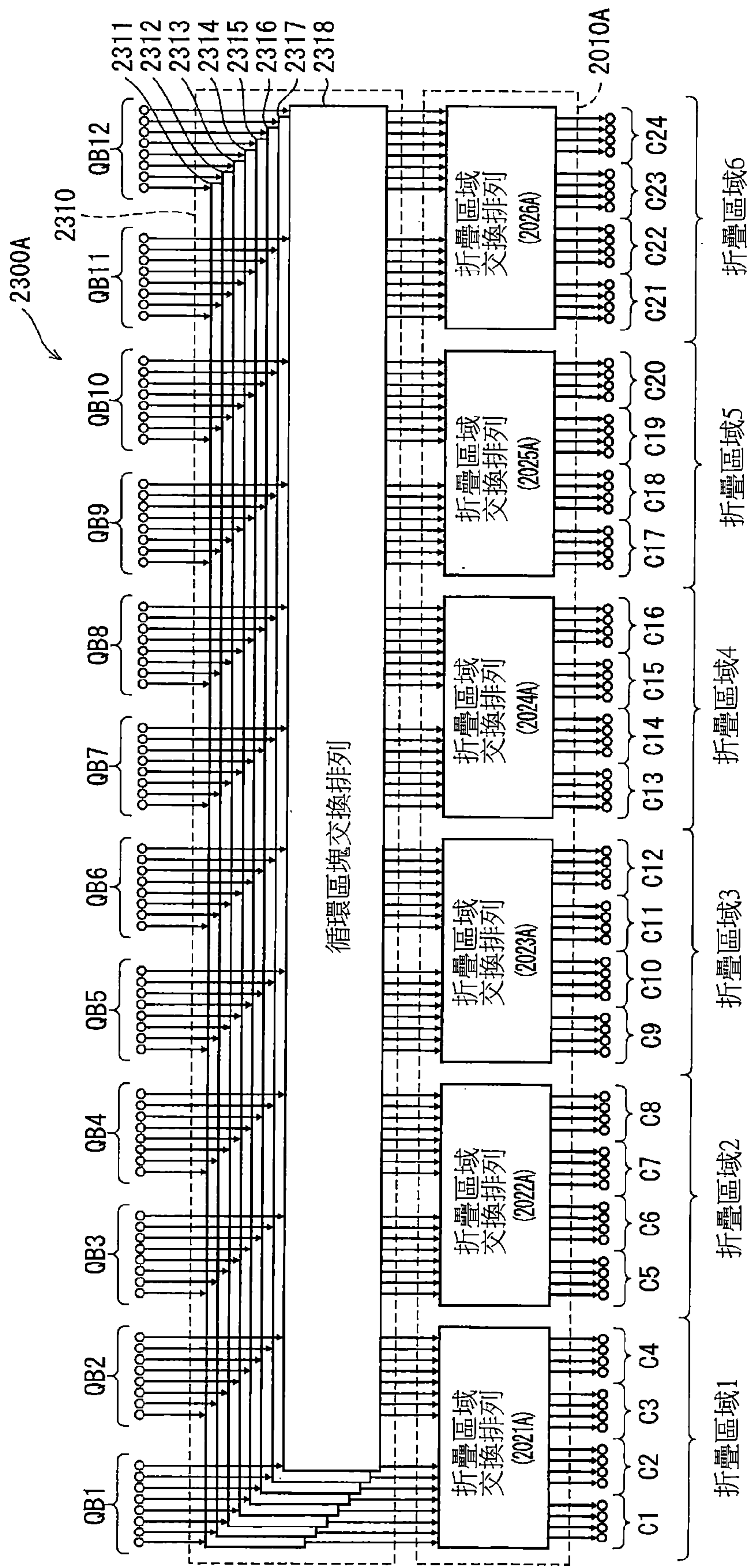
(b)

有折疊 (F=2)				折疊區域1				折疊區域2			
QB1	b1 C1	b3 C1	b1 C2	b3 C2	b1 C3	b3 C3	b1 C4	b3 C4			
QB2	b2 C1	b4 C1	b2 C2	b4 C2	b2 C3	b4 C3	b2 C4	b4 C4			
QB3	b1 C5	b3 C5	b1 C6	b3 C6	b1 C7	b3 C7	b1 C8	b3 C8			
QB4	b2 C5	b4 C5	b2 C6	b4 C6	b2 C7	b4 C7	b2 C8	b4 C8			

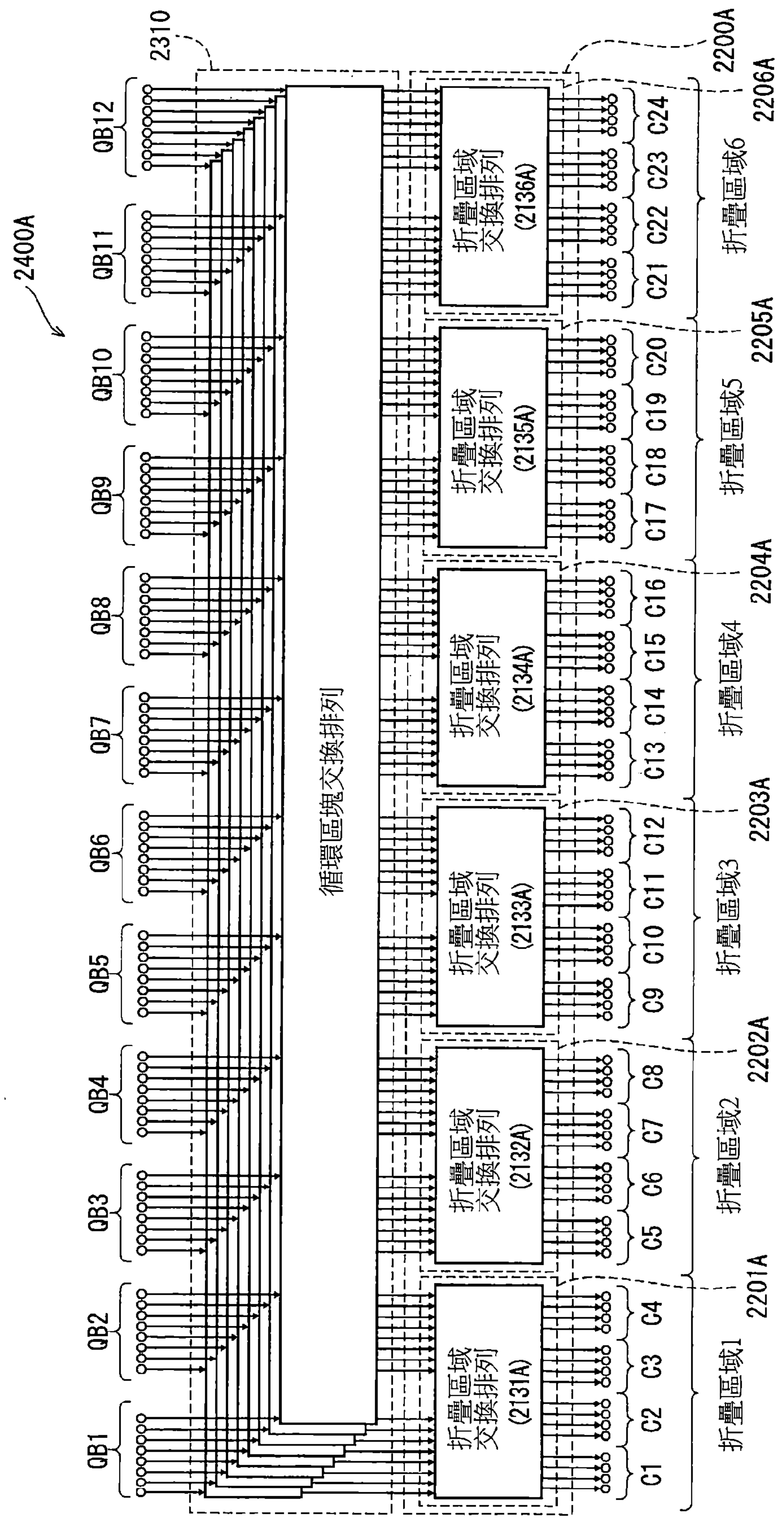
第 33 圖



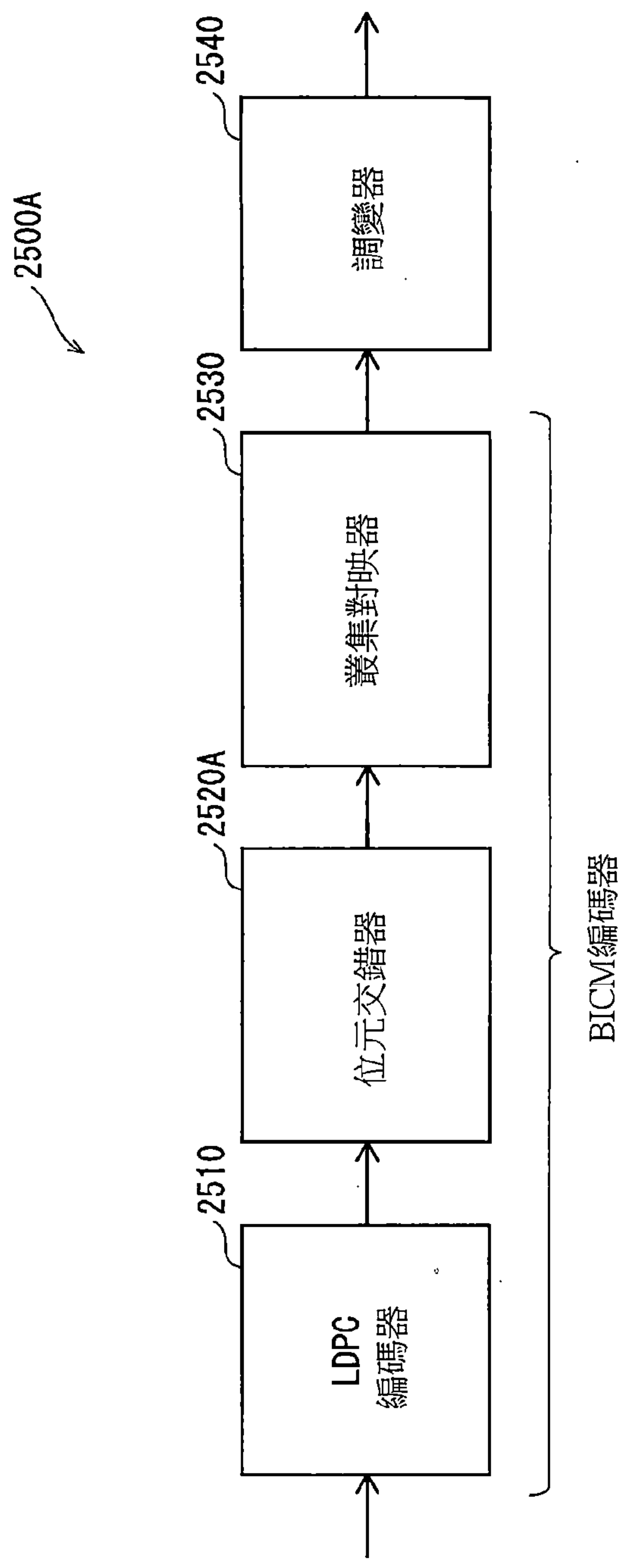
第 34 圖



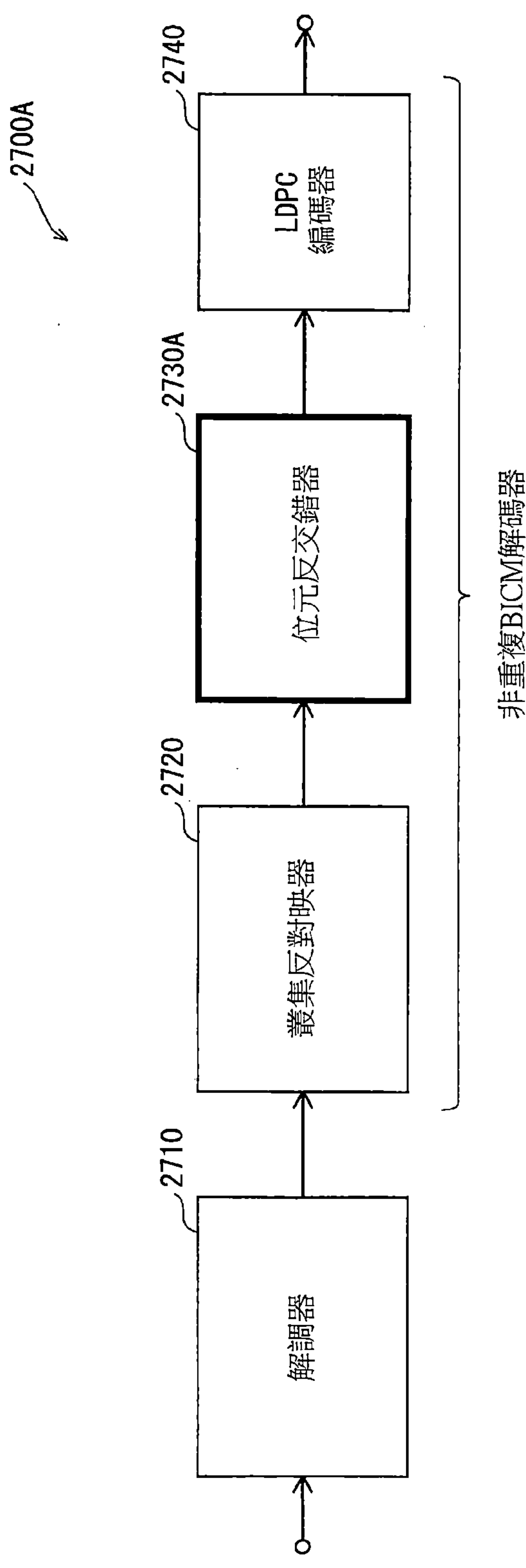
第 35 圖



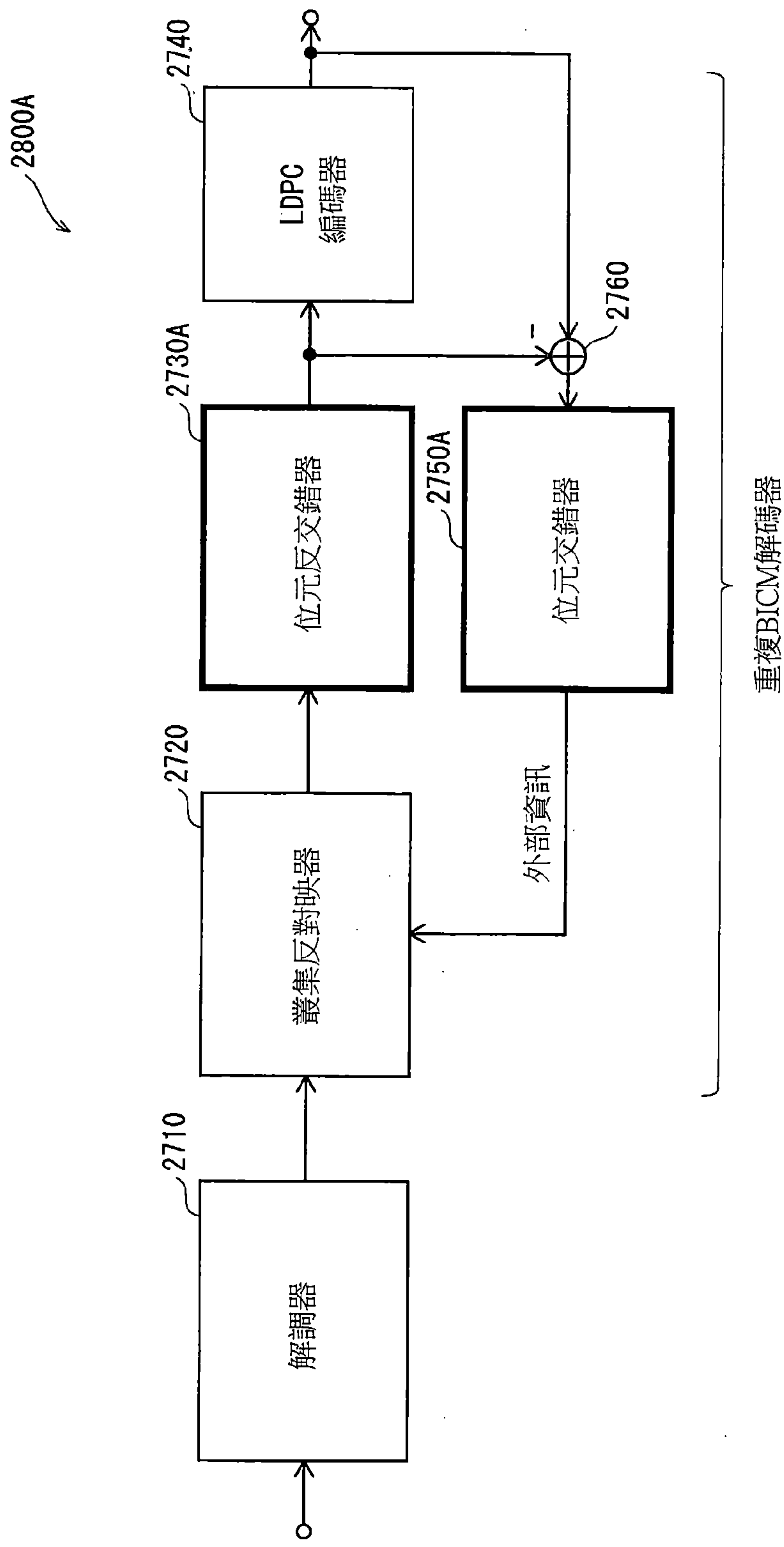
第 36 圖



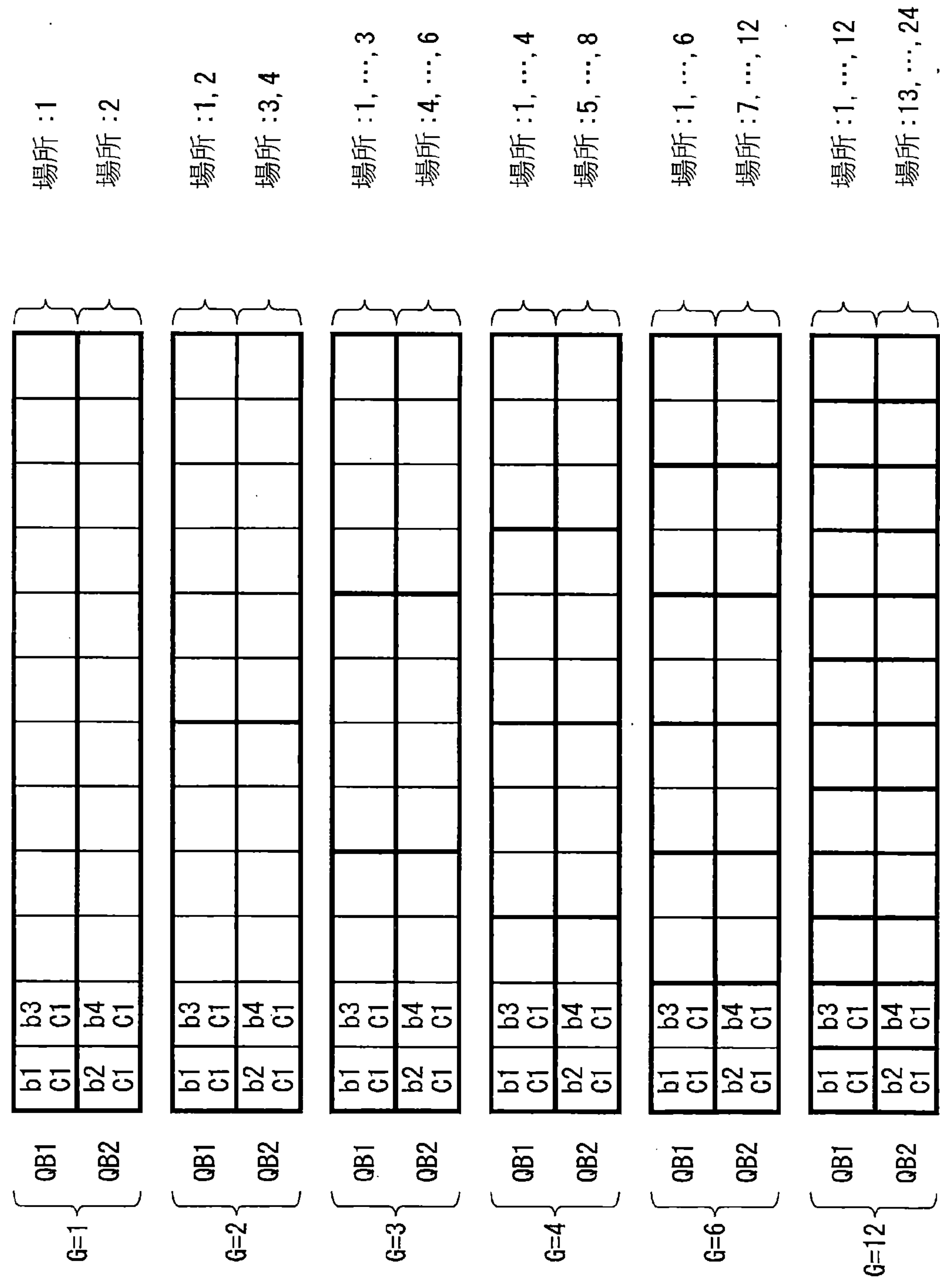
第 37 圖



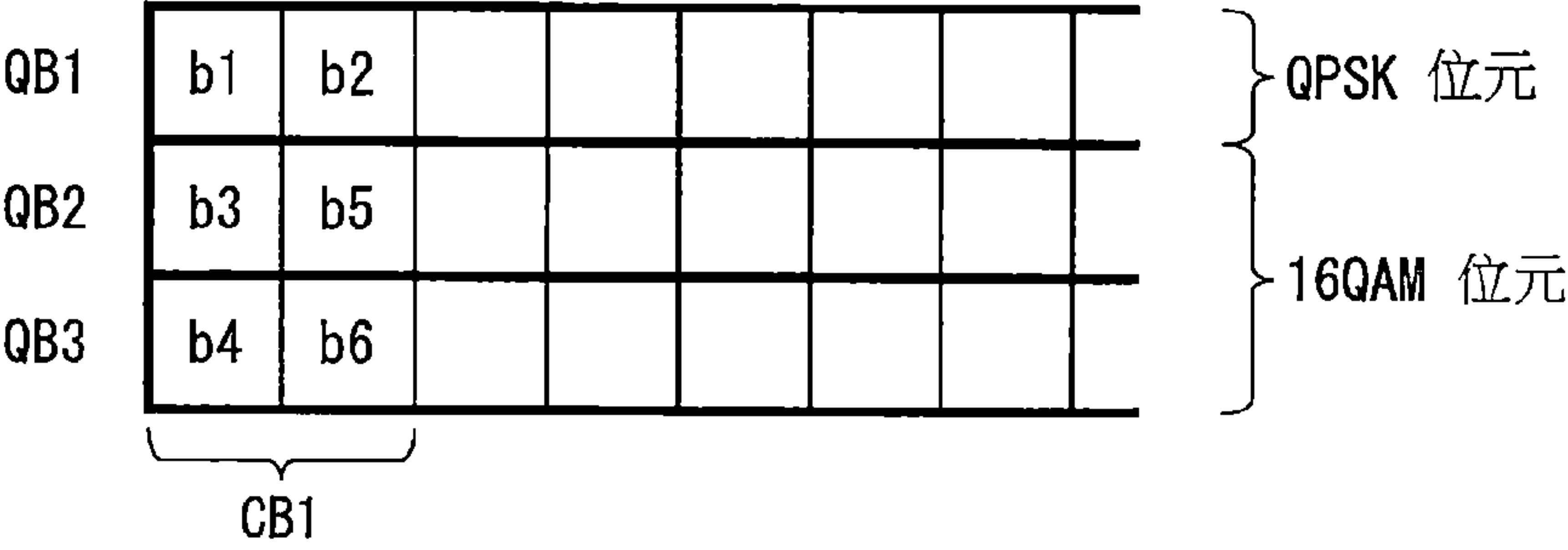
第 38 圖



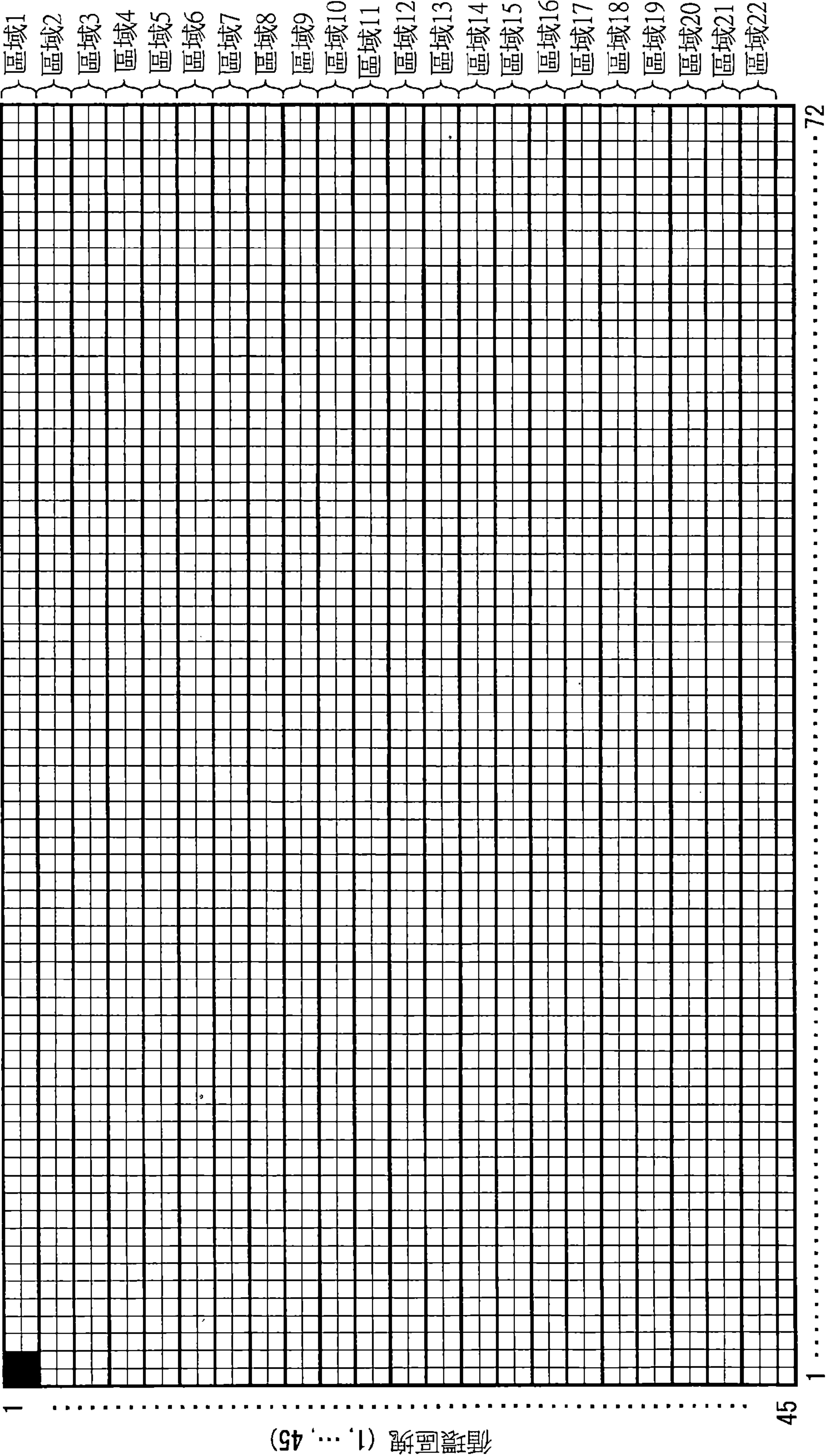
第 39 圖



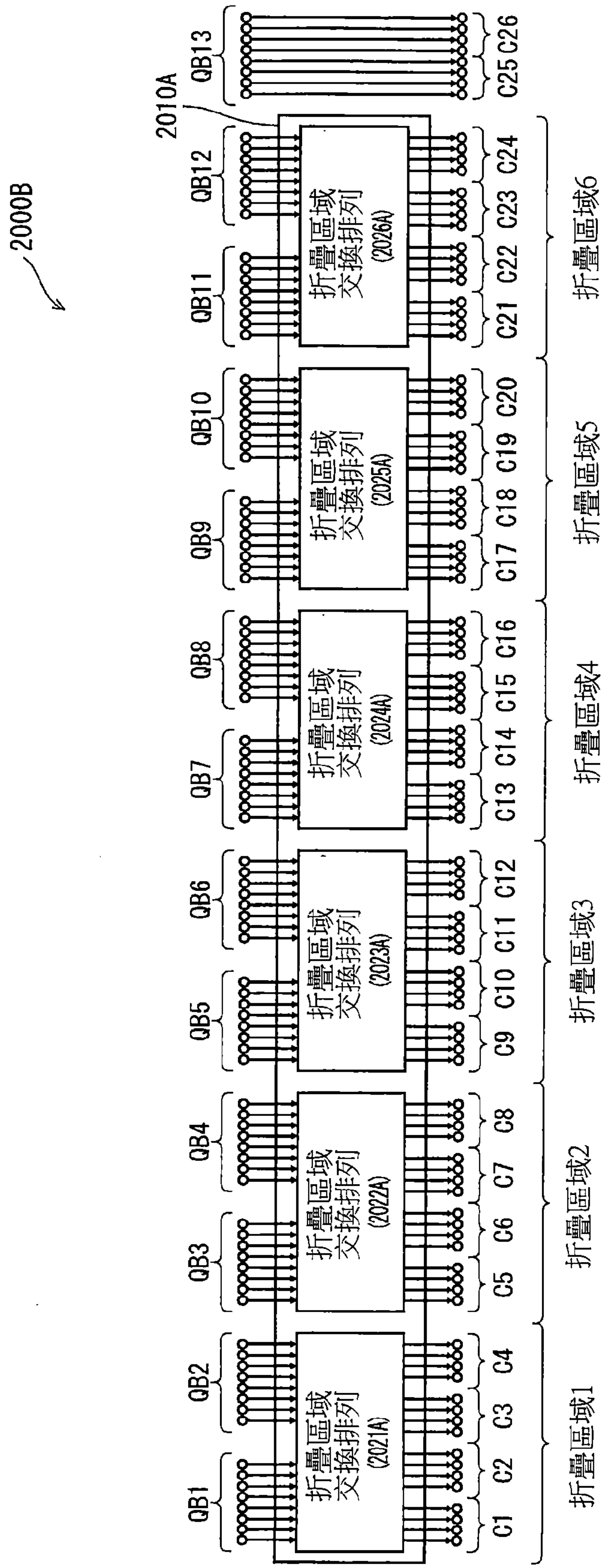
第 40 圖



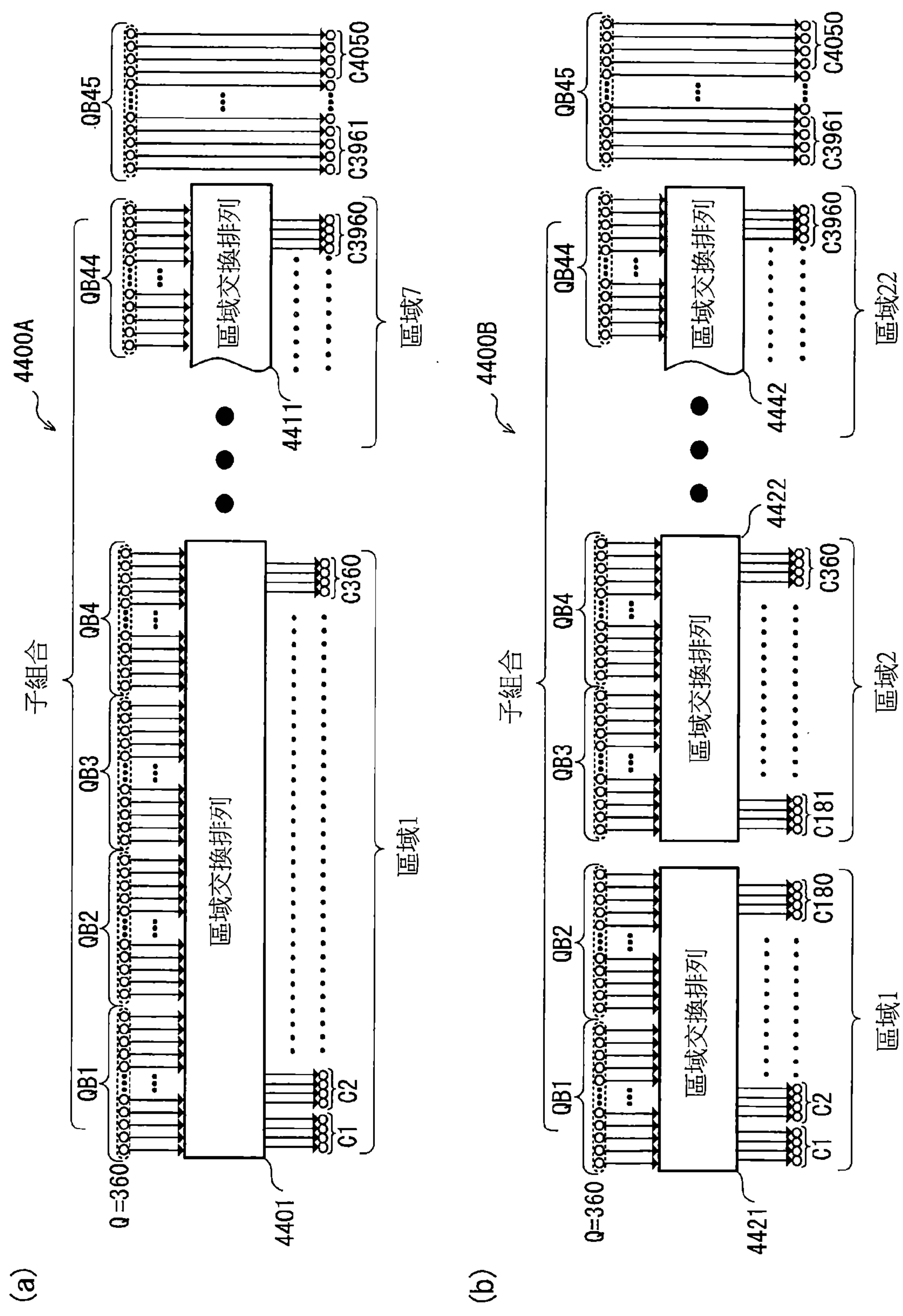
第 41 圖



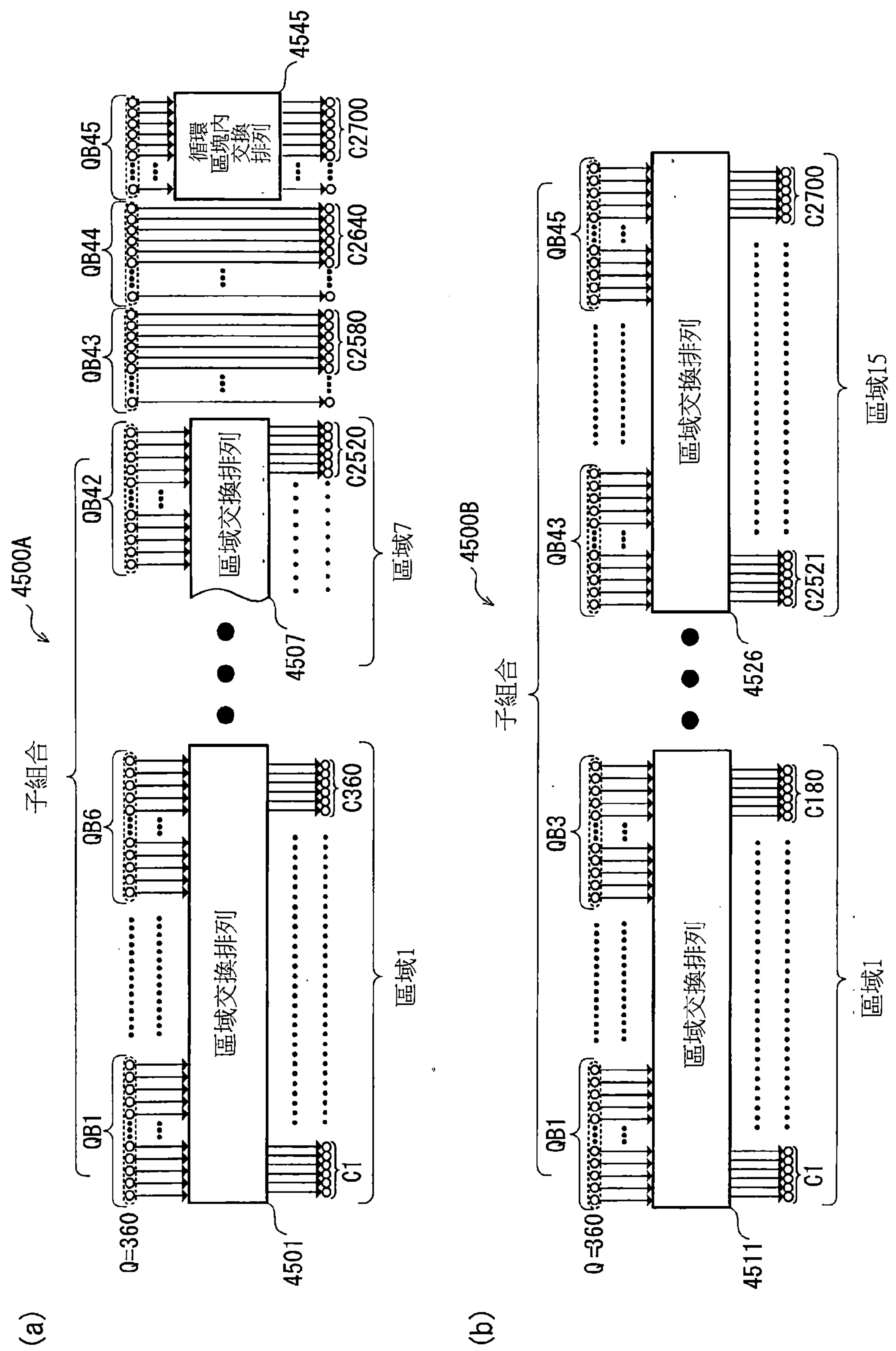
第 42 圖



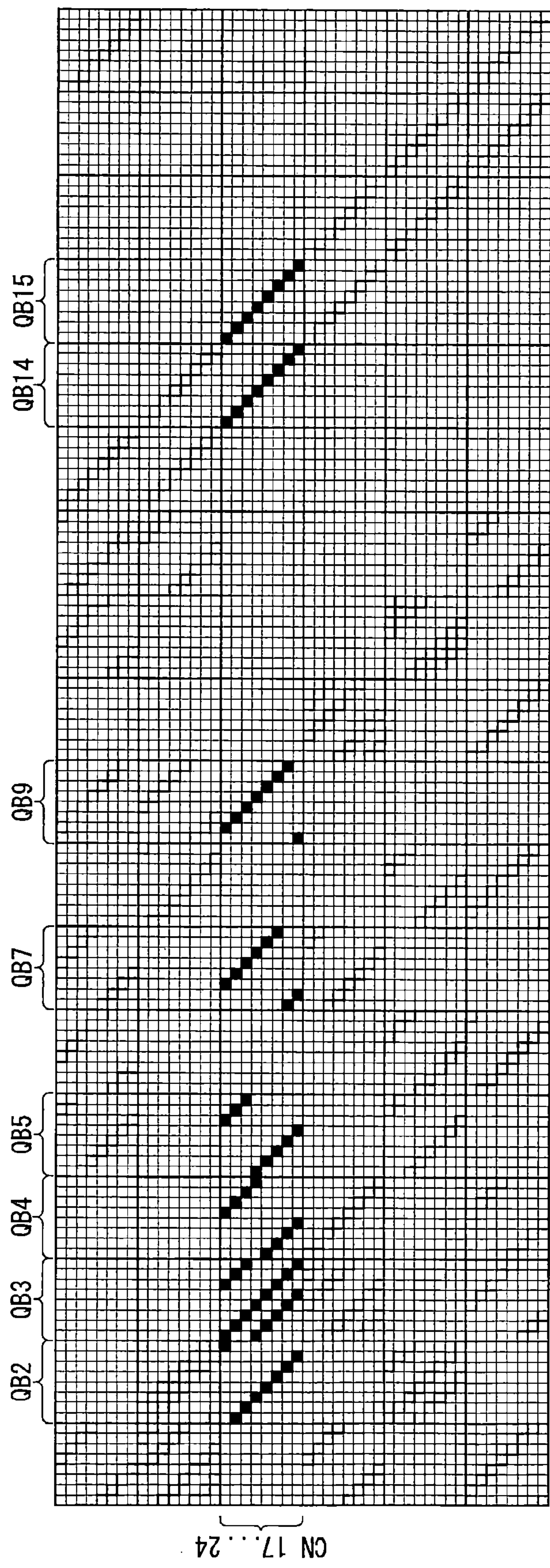
第 43 圖



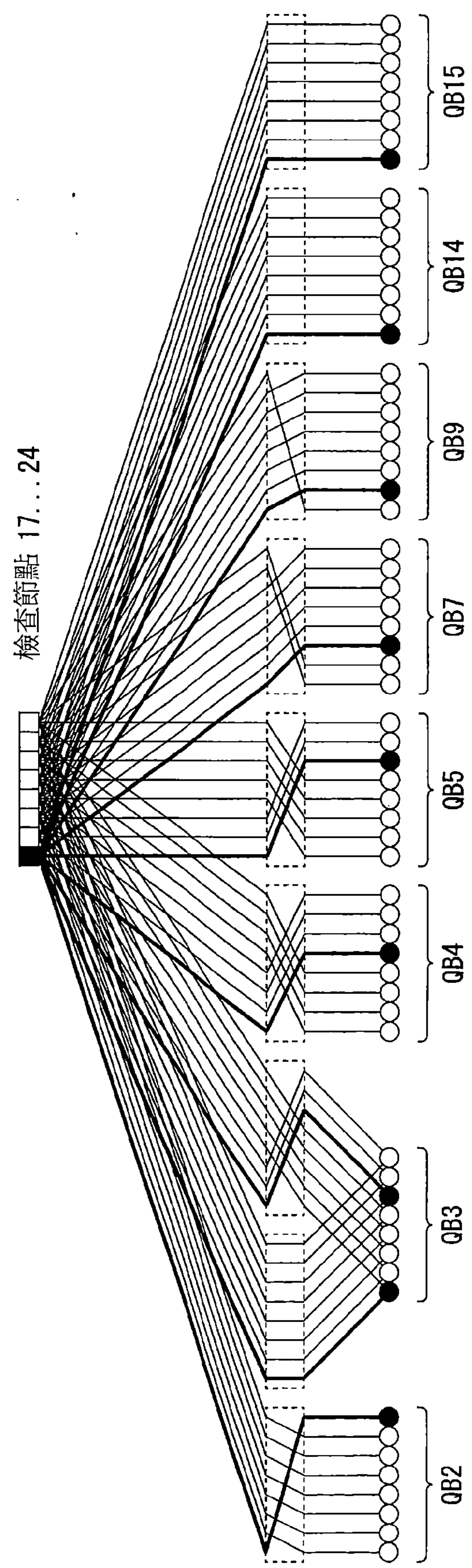
第 44 圖



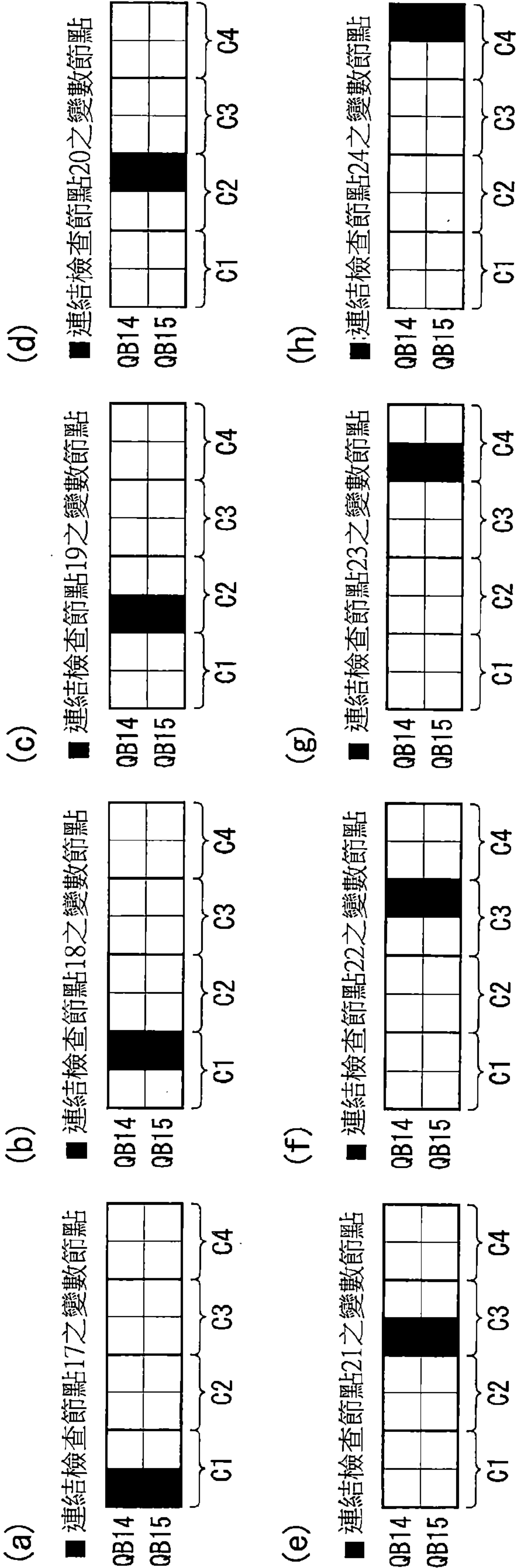
第 45 圖



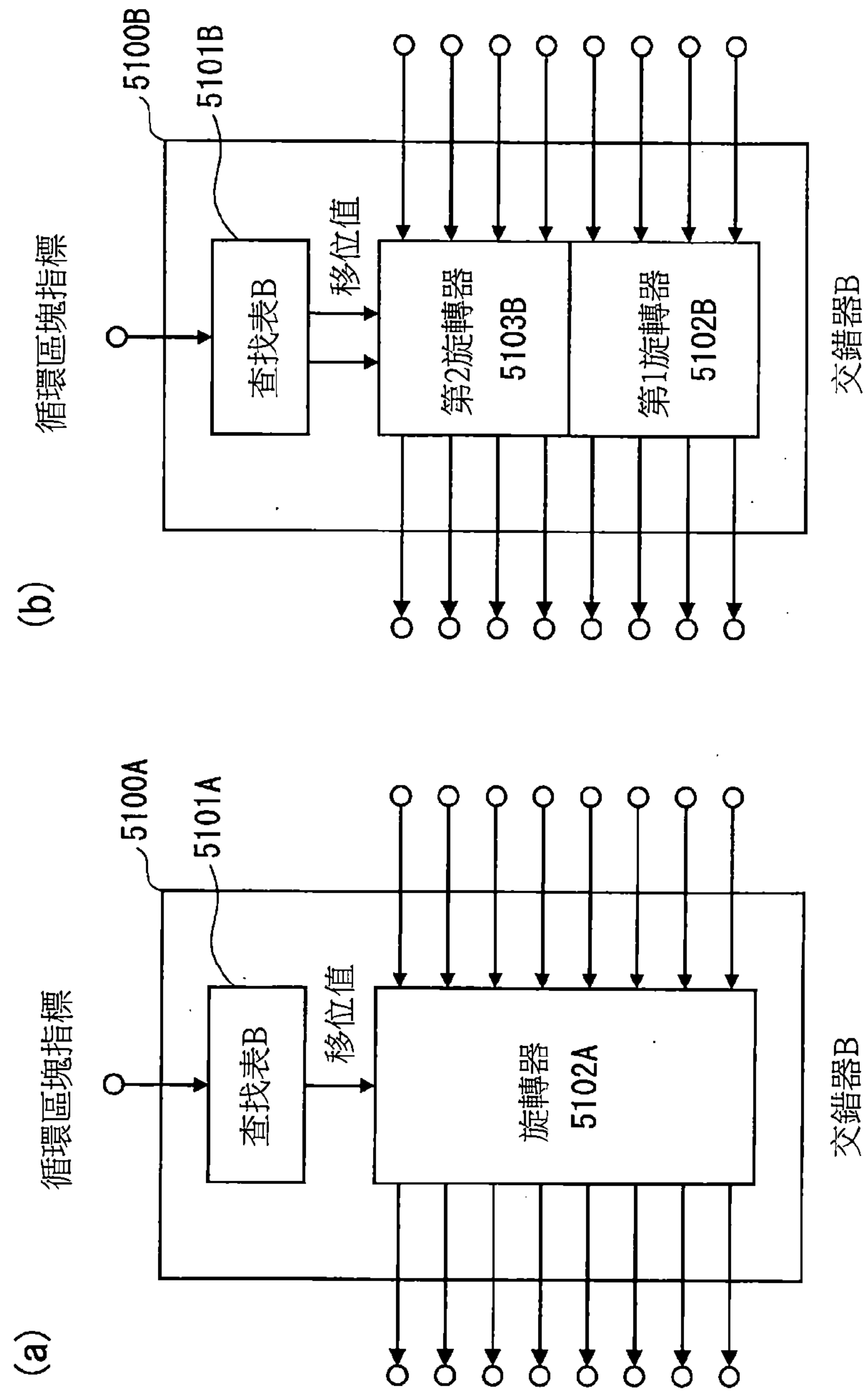
第 46 圖



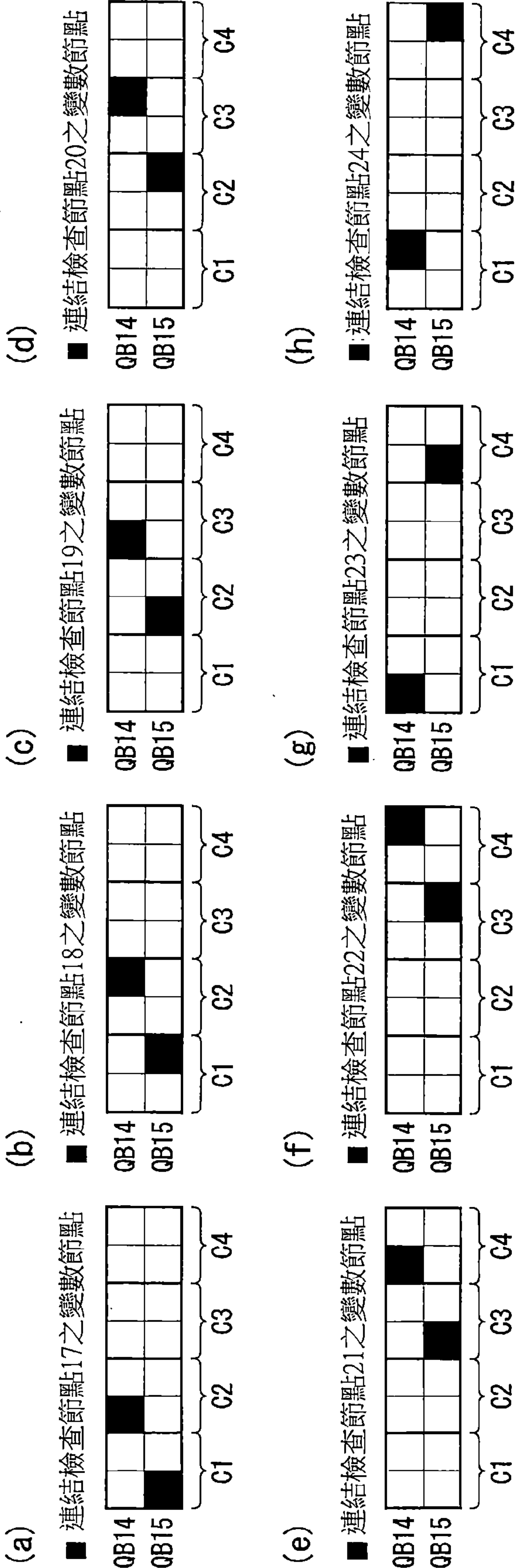
第 47 圖



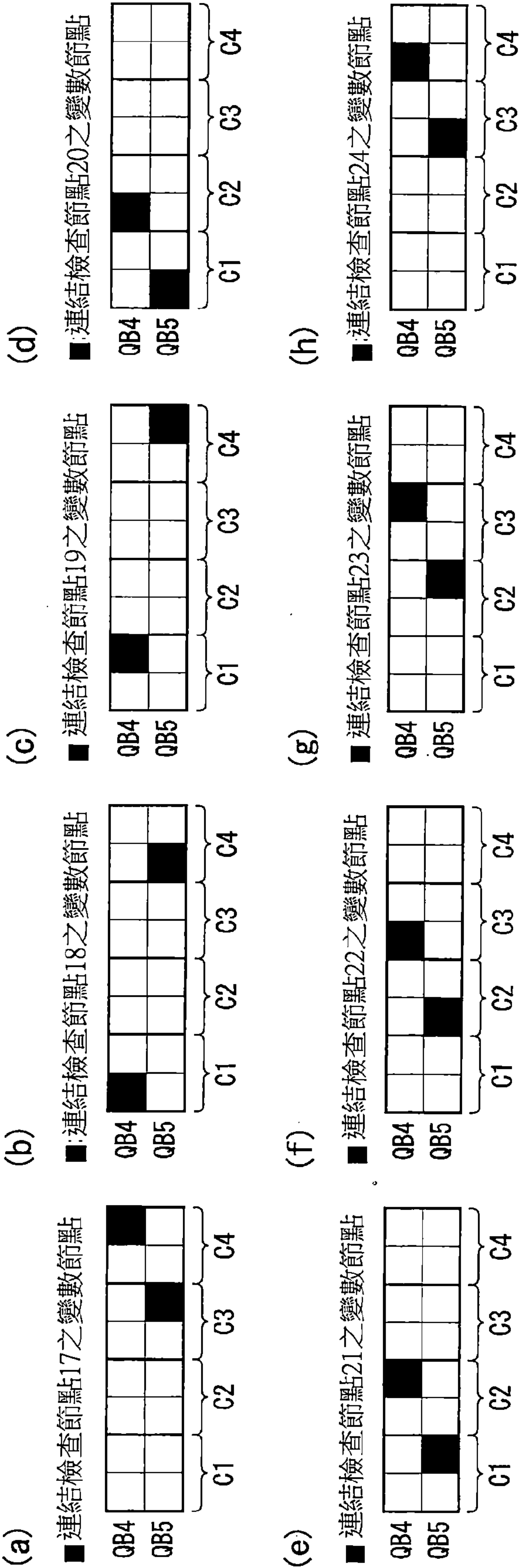
第 49 圖



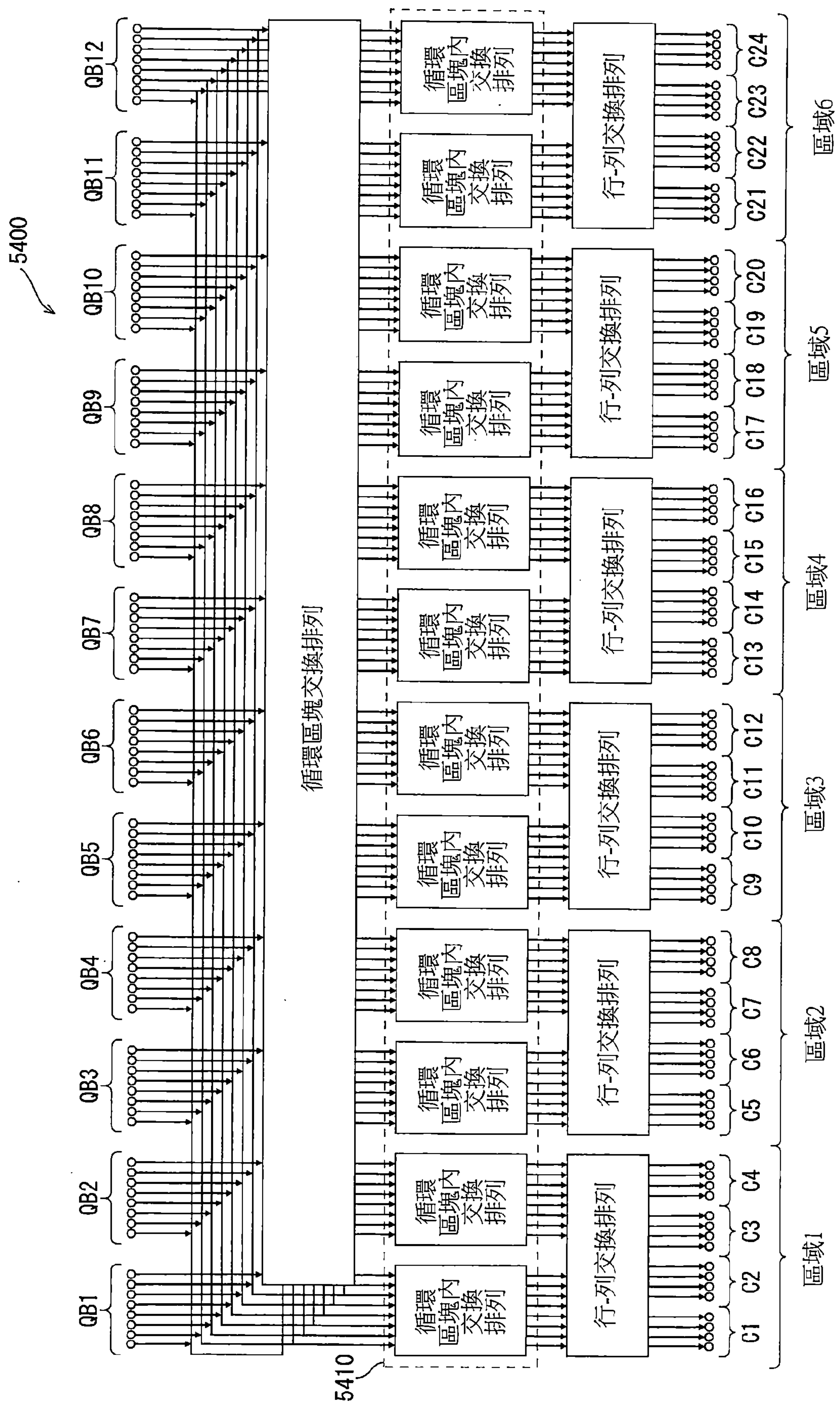
第 51 圖



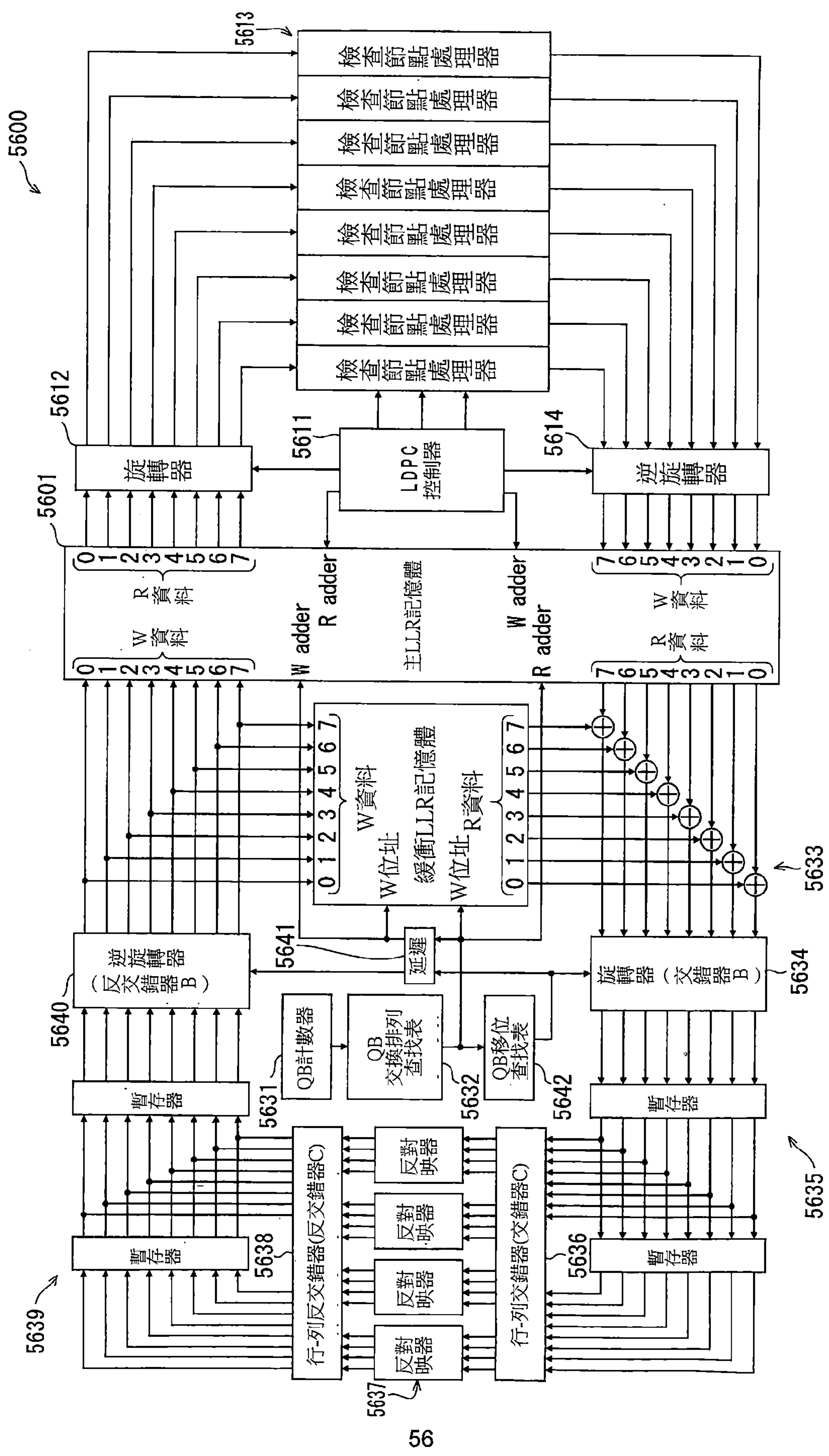
第 52 圖



第 53 圖



第 54 圖



第 56 圖