



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월24일
(11) 등록번호 10-1679230
(24) 등록일자 2016년11월18일

(51) 국제특허분류(Int. Cl.)

H03F 1/32 (2006.01)

(52) CPC특허분류

H03F 1/3247 (2013.01)

H03F 1/3258 (2013.01)

(21) 출원번호 10-2015-0094677

(22) 출원일자 2015년07월02일

심사청구일자 2015년07월02일

(56) 선행기술조사문헌

US20100253426 A1*

WO2015019091 A1

KR101095183 B1

US20140254716 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

성원진

서울특별시 서초구 잠원로4길 34-11, 101동 1508호 (잠원동, 녹원한신아파트)

육준형

인천광역시 계양구 새벌로112번길 12, 404동 1104호 (효성동, 현대4차아파트)

홍대형

서울특별시 은평구 진관4로 48-50, 725동 402호 (진관동, 은평뉴타운상림마을)

(74) 대리인

특허법인충현

전체 청구항 수 : 총 10 항

심사관 : 오성환

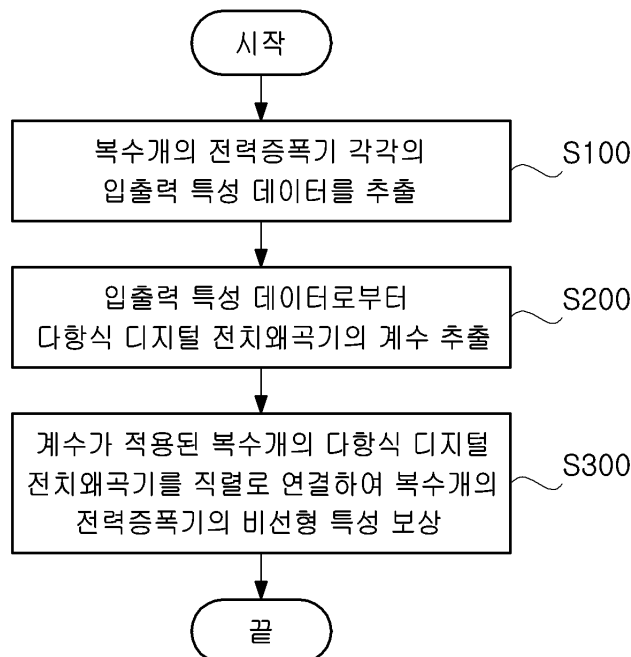
(54) 발명의 명칭 전력증폭기의 비선형 특성을 보상하는 다항식 디지털 전치왜곡 장치 및 그 방법

(57) 요약

본 발명은 전력증폭기의 비선형 특성을 보상하는 다항식 디지털 전치왜곡 장치 및 그 방법에 관한 것으로, 다항식 디지털 전치왜곡기를 이용하여 직렬로 연결된 복수 개의 전력증폭기의 비선형 특성을 보상하는 방법은, 직렬로 연결하고자 하는 복수 개의 전력증폭기 각각의 입출력 특성 데이터를 추출하고, 각각의 입출력 특성 데이터로

(뒷면에 계속)

대표도 - 도2



부터 각각의 전력증폭기에 대응하는 다항식 디지털 전치왜곡기의 계수들을 추출하며, 추출된 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결하고, 다항식 디지털 전치왜곡기의 계수를 추출하는 방법은, 입출력 특성 데이터에 볼테라 급수를 적용하여 다항식 형태의 입출력 특성을 추정하고, 다항식 형태의 입출력 특성에 LMS(Least Mean Squares) 알고리즘을 적용하여 다항식 디지털 전치왜곡기의 계수를 결정하고, 상기 계수를 입력 전력의 진폭변조 구간의 주소에 따라 저장함으로써, 복수 개의 전력증폭기의 비선형 특성을 보상한다.

따라서, 직렬로 연결된 복수 개의 전력증폭기에 대한 계수를 각각 추출하고, 추출된 각각의 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결하여 여러 개의 함수 형태로 이루어진 비선형 특성을 보상하는 효과가 있다.

(52) CPC특허분류

H03F 1/3294 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 B0101-14-0171

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 글로벌전문기술개발사업

연구과제명 소형셀 Radio unit과 Millimeter-wave를 이용한 무선 Link unit이 결합된 Fronthaul system 개발

기 여 율 1/1

주관기관 (주)케이엠더블유

연구기간 2014.07.01 ~ 2015.06.30

명세서

청구범위

청구항 1

다항식 디지털 전치왜곡기를 이용하여 직렬로 연결된 복수 개의 전력증폭기의 비선형 특성을 보상하는 방법에 있어서,

직렬로 연결하고자 하는 복수 개의 전력증폭기 각각의 입출력 특성 데이터를 추출하는 단계;

상기 각각의 입출력 특성 데이터로부터 상기 각각의 전력증폭기에 대응하는 다항식 디지털 전치왜곡기의 계수들을 추출하는 단계; 및

상기 추출된 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결하여 상기 복수 개의 전력증폭기의 비선형 특성을 보상하는 단계;를 포함하고,

상기 다항식 디지털 전치왜곡기의 계수를 추출하는 단계는,

상기 입출력 특성 데이터에 볼테라 급수를 적용하여 다항식 형태의 입출력 특성을 추정하는 단계; 및

상기 다항식 형태의 입출력 특성에 LMS(Least Mean Squares) 알고리즘을 적용하여 상기 다항식 디지털 전치왜곡기의 계수를 결정하고, 상기 계수를 입력전력의 진폭변조 구간의 주소에 따라 저장하는 단계;를 포함하는 다항식 디지털 전치왜곡 방법.

청구항 2

제 1 항에 있어서,

상기 입출력 특성 데이터를 추출하는 단계는,

상기 전력증폭기에 입력되는 신호의 이득을 조절하여 입력 전력의 진폭변조 구간을 변화시키는 단계;

상기 조절된 이득에 따라 입력 신호를 생성하고, 상기 입력 신호를 메모리의 입력 주소공간에 저장하는 단계; 및

상기 입력 신호에 따른 상기 전력증폭기의 출력 신호를 측정하고, 상기 측정된 출력 신호를 상기 메모리의 출력 주소공간에 저장하는 단계;를 포함하는 것을 특징으로 하는 다항식 디지털 전치왜곡 방법.

청구항 3

제 2 항에 있어서,

상기 입력 전력의 진폭변조 구간은,

포화구간과 선형구간으로 분리하여 상기 계수를 복수 개의 구간으로 구성하는 것을 특징으로 하는 다항식 디지털 전치왜곡 방법.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 직렬로 연결된 복수 개의 전력증폭기는,

주 증폭기와 보조 증폭기가 병렬로 연결된 하나 이상의 도허티 전력증폭기를 포함하며,

상기 도허티 전력증폭기는 상기 주 증폭기와 상기 보조 증폭기의 동작점을 서로 다르게 설계한 하나의 전력증폭기로 적용하여 상기 계수를 추출하는 것을 특징으로 하는 다항식 디지털 전치왜곡 방법.

청구항 6

제 1 항에 있어서

상기 비선형 특성을 보상하는 단계는,

상기 복수 개의 전력증폭기 각각의 비선형 특성과 대응되도록 상기 복수 개의 전력증폭기를 직렬로 연결한 순서의 역순서로 상기 추출된 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기로 직렬 연결되는 것을 특징으로 하는 다항식 디지털 전치왜곡 방법.

청구항 7

전력증폭기의 비선형 특성을 선형화하기 위한 복수 개의 다항식 디지털 전치왜곡기;

상기 복수 개의 다항식 디지털 전치왜곡기의 출력신호를 변조하는 직교 변조기; 및

상기 변조된 출력신호를 증폭하기 위해서 직렬로 연결하고자 하는 복수 개의 전력증폭기;를 포함하되,

상기 복수 개의 다항식 디지털 전치왜곡기는,

상기 복수 개의 전력증폭기 각각의 입출력 특성 데이터를 추출하고, 상기 입출력 특성 데이터로부터 상기 각각의 전력증폭기에 대응하는 다항식 디지털 전치왜곡기의 계수들을 추출하며, 상기 추출된 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결하고,

상기 다항식 디지털 전치왜곡기의 계수는,

상기 입출력 특성 데이터에 볼테라 급수를 적용하여 다항식 형태의 입출력 특성을 추정하고, 상기 다항식 형태의 입출력 특성에 LMS(Least Mean Squares) 알고리즘을 적용하여 상기 다항식 디지털 전치왜곡기의 계수를 결정하며, 상기 계수를 입력 전력의 진폭변조 구간의 주소에 따라 저장하여 추출하는 것을 특징으로 하는 다항식 디지털 전치왜곡 장치.

청구항 8

제 7 항에 있어서

상기 입출력 특성 데이터는,

상기 복수 개의 전력증폭기 각각에 입력되는 신호의 이득을 조절하여 입력 전력의 진폭변조 구간을 변화시키고, 상기 조절된 이득에 따라 입력 신호를 생성하며, 상기 입력 신호를 메모리의 입력 주소공간에 저장하고, 상기 입력 신호에 따른 상기 전력증폭기의 출력 신호를 측정하여 상기 메모리의 출력 주소공간에 저장하는 것을 특징으로 하는 다항식 디지털 전치왜곡 장치.

청구항 9

제 8 항에 있어서,

상기 입력 전력의 진폭변조 구간은,

포화구간과 선형구간으로 분리하여 상기 계수를 복수 개의 구간으로 구성하는 것을 특징으로 하는 전력증폭기의 비선형 특성을 보상하기 위한 다항식 디지털 전치왜곡 장치.

청구항 10

삭제

청구항 11

제 7 항에 있어서,

상기 복수 개의 전력증폭기는,

주 증폭기와 보조 증폭기가 병렬로 연결된 도허티 전력증폭기를 더 포함하며,

상기 도허티 전력증폭기는 상기 주 증폭기와 상기 보조 증폭기의 동작점을 서로 다르게 설계한 하나의 전력증폭

기로 적용하여 상기 계수를 추출하는 것을 특징으로 하는 다항식 디지털 전치왜곡 장치.

청구항 12

제 7 항에 있어서,

상기 복수 개의 다항식 디지털 전치왜곡기는,

상기 복수 개의 전력증폭기 각각의 비선형 특성과 대응되도록 상기 복수 개의 전력증폭기를 직렬로 연결한 순서의 역순서로 상기 추출된 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기로 직렬 연결되는 것을 특징으로 하는 다항식 디지털 전치왜곡 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전력증폭기의 비선형 특성을 보상하는 다항식 디지털 전치왜곡 장치 및 그 방법에 관한 것으로, 더욱 상세하게는 직렬로 연결된 복수 개의 전력증폭기의 계수들을 추출하고 추출된 계수를 적용한 복수 개의 전치왜곡기를 직렬로 연결하여 비선형 특성을 보상하는 전력증폭기의 비선형 특성을 보상하는 다항식 디지털 전치왜곡 장치 및 그 방법에 관한 것이다.

배경 기술

[0002] 전치왜곡기의 등장은 디지털 무선 이동통신 시스템이 발전함에 따라 나타났다. 이동통신 시스템이 발전에 따라 전송속도에 대한 소비자의 요구가 높아졌고, 전송속도를 높이기 위해 안테나 출력을 크게 하는 방향으로 기술이 발전했다.

[0003] 안테나 출력을 크게 하기 위해서 전력증폭기가 고출력 즉, 이득이 높은 것을 사용해야 한다. 하지만 고출력 증폭기를 사용함에 따라 입력으로 들어오는 신호의 크기가 커질수록 고출력 증폭기의 이득이 감소하는 비선형성이 크게 나타났다.

[0004] 따라서 비선형성이 증가함에 따라 전력증폭기를 거친 출력 신호의 인접대역 스펙트럼이 증가하여 옆 채널의 간섭을 증가시키게 된다. 옆 채널 간섭을 주는 영향 정도에 따라 비트 오류가 커지게 되고, 데이터 수율이 낮아지게 된다.

[0005] 이러한 고출력 증폭기의 비선형성으로 인한 채널 간섭현상을 극복할 수 있는 방안으로 피드백, 전방향 그리고 디지털 전치왜곡기의 연구가 진행되어 왔고 대중적으로 디지털 전치왜곡기가 사용되어 왔다.

[0006] 최근 전력증폭기의 모델은 여러 개의 비선형 특성을 가진 모델의 병합을 통해 사용되고 있으며, 이는 하나의 전력증폭기의 단점을 두 개 이상의 비선형 특성을 가진 전력증폭기를 통해 고출력에 대한 제한을 극복하기 위해서다. 다만 현재까지 디지털 전치왜곡기는 병합된 비선형적인 출력 형태를 하나의 디지털 전치왜곡 시스템을 이용하여 비선형적인 출력특성을 보정하는 것이다.

[0007] 따라서, 디지털 전치왜곡기는 출력특성이 여러 개의 함수 형태로 이루어진 것에 대해서 최적화된 형태가 아니라는 문제점이 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 대한민국 공개특허공보 10-2013-0039886(2013.04.23)

발명의 내용

해결하려는 과제

[0009] 본 발명은 상술한 종래기술의 문제점을 극복하기 위한 것으로서, 직렬로 연결된 복수 개의 전력증폭기에 대한 계수를 각각 추출하고, 추출된 각각의 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결하여

여러 개의 함수 형태로 이루어진 비선형 특성을 보상하는 데에 그 목적이 있다.

[0010] 또한, 본 발명은 직렬로 연결된 복수 개의 전력증폭기의 복합적인 비선형특성을 보상하기 위해 피드백이 없는 다항식 디지털 전치왜곡기를 복수 개로 구성하고, 계수 또한 복수 개의 구간으로 구성하여 ACLR(Adjacent Channel Leakage Ratio), EVM(Error Vector Magnitude) 성능을 향상시키는 데에 그 목적이 있다.

과제의 해결 수단

[0011] 상기 목적을 달성하기 위해 본 발명은 다항식 디지털 전치왜곡기를 이용하여 직렬로 연결된 복수 개의 전력증폭기의 비선형 특성을 보상하는 방법에 있어서, 직렬로 연결하고자 하는 복수 개의 전력증폭기 각각의 입출력 특성 데이터를 추출하는 단계와, 상기 각각의 입출력 특성 데이터로부터 상기 각각의 전력증폭기에 대응하는 다항식 디지털 전치왜곡기의 계수들을 추출하는 단계 및 상기 추출된 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결하여 상기 복수 개의 전력증폭기의 비선형 특성을 보상하는 단계를 포함하고,

상기 다항식 디지털 전치왜곡기의 계수를 추출하는 단계는,

상기 입출력 특성 데이터에 볼테라 급수를 적용하여 다항식 형태의 입출력 특성을 추정하는 단계; 및

상기 다항식 형태의 입출력 특성에 LMS(Least Mean Squares) 알고리즘을 적용하여 상기 다항식 디지털 전치왜곡기의 계수를 결정하고, 상기 계수를 입력전력의 진폭변조 구간의 주소에 따라 저장하는 단계를 포함하여 구성된다.

[0012] 본 발명에 따른 다항식 디지털 전치왜곡 방법에 있어서, 상기 입출력 특성 데이터를 추출하는 단계는 상기 전력증폭기에 입력되는 신호의 이득을 조절하여 입력 전력의 진폭변조 구간을 변화시키는 단계와, 상기 조절된 이득에 따라 입력 신호를 생성하고, 상기 입력 신호를 메모리의 입력 주소공간에 저장하는 단계 및 상기 입력 신호에 따른 상기 전력증폭기의 출력 신호를 측정하고, 상기 측정된 출력 신호를 상기 메모리의 출력 주소공간에 저장하는 단계를 포함하는 것을 특징으로 한다.

[0013] 본 발명에 따른 다항식 디지털 전치왜곡 방법에 있어서, 상기 입력 전력의 진폭변조 구간은 포화구간과 선형구간으로 분리하여 상기 계수를 복수 개의 구간으로 구성하는 것을 특징으로 한다.

[0014] 본 발명에 따른 다항식 디지털 전치왜곡 방법에 있어서, 상기 다항식 디지털 전치왜곡기의 계수를 추출하는 단계는 상기 입출력 특성 데이터에 볼테라 급수를 적용하여 다항식 형태의 입출력 특성을 추정하는 단계 및 상기 다항식 형태의 입출력 특성에 LMS(Least Mean Squares) 알고리즘을 적용하여 상기 다항식 디지털 전치왜곡기의 계수를 결정하고, 상기 계수를 입력전력의 진폭변조 구간의 주소에 따라 저장하는 단계를 포함하는 것을 특징으로 한다.

[0015] 본 발명에 따른 다항식 디지털 전치왜곡 방법에 있어서, 상기 직렬로 연결된 복수 개의 전력증폭기는 주 증폭기와 보조 증폭기가 병렬로 연결된 하나 이상의 도허티 전력증폭기를 포함하며, 상기 도허티 전력증폭기는 상기 주 증폭기와 상기 보조 증폭기의 동작점을 서로 다르게 설계한 하나의 전력증폭기로 적용하여 상기 계수를 추출하는 것을 특징으로 한다.

[0016] 본 발명에 따른 다항식 디지털 전치왜곡 방법에 있어서, 상기 비선형 특성을 보상하는 단계는 상기 복수 개의 전력증폭기 각각의 비선형 특성과 대응되도록 상기 복수 개의 전력증폭기를 직렬로 연결한 순서의 역순서로 상기 추출된 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기로 직렬 연결되는 것을 특징으로 한다.

[0017] 또한, 본 발명은 전력증폭기의 비선형 특성을 선형화하기 위한 복수 개의 다항식 디지털 전치왜곡기와, 상기 복수 개의 다항식 디지털 전치왜곡기의 출력신호를 변조하는 직교 변조기 및 상기 변조된 출력신호를 증폭하기 위해서 직렬로 연결하고자 하는 복수 개의 전력증폭기를 포함하되, 상기 복수 개의 다항식 디지털 전치왜곡기는 상기 복수 개의 전력증폭기 각각의 입출력 특성 데이터를 추출하고, 상기 입출력 특성 데이터로부터 상기 각각의 전력증폭기에 대응하는 다항식 디지털 전치왜곡기의 계수들을 추출하며, 상기 추출된 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결하고, 상기 다항식 디지털 전치왜곡기의 계수는, 상기 입출력 특성 데이터에 볼테라 급수를 적용하여 다항식 형태의 입출력 특성을 추정하고, 상기 다항식 형태의 입출력 특성에 LMS(Least Mean Squares) 알고리즘을 적용하여 상기 다항식 디지털 전치왜곡기의 계수를 결정하며, 상기 계수를 입력 전력의 진폭변조 구간의 주소에 따라 저장하여 추출하는 것을 특징으로 한다.

[0018] 본 발명에 따른 다항식 디지털 전치왜곡 장치에 있어서, 상기 입출력 특성 데이터는 상기 복수 개의 전력증폭기 각각에 입력되는 신호의 이득을 조절하여 입력 전력의 진폭변조 구간을 변화시키고, 상기 조절된 이득에 따라

입력 신호를 생성하며, 상기 입력 신호를 메모리의 입력 주소공간에 저장하고, 상기 입력 신호에 따른 상기 전력증폭기의 출력 신호를 측정하여 상기 메모리의 출력 주소공간에 저장하는 것을 특징으로 한다.

[0019] 본 발명에 따른 다항식 디지털 전치왜곡 장치에 있어서, 상기 입력 전력의 진폭변조 구간은 포화구간과 선형구간으로 분리하여 상기 계수를 복수 개의 구간으로 구성하는 것을 특징으로 한다.

[0020] 본 발명에 따른 다항식 디지털 전치왜곡 장치에 있어서, 상기 다항식 디지털 전치왜곡기의 계수는 상기 입출력 특성 데이터에 볼테라 급수를 적용하여 다항식 형태의 입출력 특성을 추정하고, 상기 다항식 형태의 입출력 특성에 LMS(Least Mean Squares) 알고리즘을 적용하여 상기 다항식 디지털 전치왜곡기의 계수를 결정하며, 상기 계수를 입력 전력의 진폭변조 구간의 주소에 따라 저장하여 추출하는 것을 특징으로 한다.

[0021] 본 발명에 따른 다항식 디지털 전치왜곡 장치에 있어서, 상기 복수 개의 전력증폭기는 주 증폭기와 보조 증폭기가 병렬로 연결된 도허티 전력증폭기를 더 포함하며, 상기 도허티 전력증폭기는 상기 주 증폭기와 상기 보조 증폭기의 동작점을 서로 다르게 설계한 하나의 전력증폭기로 적용하여 상기 계수를 추출하는 것을 특징으로 한다.

[0022] 본 발명에 따른 다항식 디지털 전치왜곡 장치에 있어서, 상기 복수 개의 다항식 디지털 전치왜곡기는 상기 복수 개의 전력증폭기 각각의 비선형 특성과 대응되도록 상기 복수 개의 전력증폭기를 직렬로 연결한 순서의 역순서로 상기 추출된 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기로 직렬 연결되는 것을 특징으로 한다.

발명의 효과

[0023] 상기와 같이 구성된 본 발명에 따른 다항식 디지털 전치왜곡 장치 및 그 방법에 의하면, 직렬로 연결된 복수 개의 전력증폭기에 대한 계수를 각각 추출하고, 추출된 각각의 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결하여 여러 개의 함수 형태로 이루어진 비선형 특성을 보상하는 효과가 있다.

[0024] 또한, 상기와 같이 구성된 본 발명에 따른 다항식 디지털 전치왜곡 장치 및 그 방법에 의하면, 직렬로 연결된 복수 개의 전력증폭기의 복합적인 비선형특성을 보상하기 위해 피드백이 없는 다항식 디지털 전치왜곡기를 복수 개로 구성하고, 계수 또한 복수 개의 구간으로 구성하여 ACLR(Adjacent Channel Leakage Ratio), EVM(Error Vector Magnitude) 성능을 향상시키는 효과가 있다.

도면의 간단한 설명

[0025] 도 1은 적응형 다항식 디지털 전치왜곡기의 구조를 나타내는 도면이다.

도 2는 본 발명에 바람직한 실시 예에 따른 전력증폭기의 비선형 특성을 보상하는 다항식 디지털 전치왜곡 방법을 나타내는 순서도이다.

도 3은 본 발명에 따른 전력증폭기의 입출력 특성 데이터를 추출하는 구조를 나타내는 도면이다.

도 4는 본 발명에 따른 복수 개의 구간으로 다항식 계수를 구성하는 그래프를 나타내는 도면이다.

도 5는 본 발명에 따른 다항식 전치왜곡기의 계수 추출 구조를 나타내는 도면이다.

도 6은 본 발명의 일 실시 예에 따른 직렬로 연결된 복수 개의 전력증폭기에 복수 개의 다항식 디지털 전치왜곡기를 직렬로 병합한 구조를 나타내는 도면이다.

도 7은 본 발명의 일 실시 예에 따른 도허티 증폭기가 결합된 형태의 전력증폭기에 복수 개의 다항식 디지털 전치왜곡기를 직렬로 병합한 구조를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명은 다양한 변형 및 여러 가지 실시 예를 가질 수 있는바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 보다 상세하게 설명하고자 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0027] 이하, 본 발명의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하기로 한다.

[0028] 먼저, 도 1을 통해 종래의 다항식 디지털 전치왜곡기에 대해서 설명한다. 도 1은 적응형 다항식 디지털 전치왜곡기의 구조를 나타내는 도면으로, 도 1을 참조하면 통신신호를 송신하는 송신단은 디지털 전치왜곡기(110), 전력증폭기(120), 다항식 전치왜곡기 알고리즘 수행부(130), 신호 이득 조절부(140)를 포함하여 구성된다.

- [0029] 디지털 전치왜곡기(110)는 전력증폭기(120)에서 출력되는 신호의 비선형성을 제거하기 위해 전력증폭기(120)에 입력되는 신호를 사전에 왜곡시킨다. 디지털 전치왜곡기(110)는 전력증폭기(120)에서 비선형 출력 특성을 알고 있어야 입력되는 신호의 비선형 역특성으로 사전 왜곡을 할 수 있으므로 전력증폭기(120)의 특성을 파악해야 한다.
- [0030] 전력증폭기(120)의 특성은 입력되는 신호와 출력되는 신호를 피드백 받아서 신호 이득 조절부(140)를 통과하여 신호의 이득을 맞춘 후 비교하여 파악할 수 있다. 이렇게 받은 입력 신호와 피드백 받은 출력 신호의 비교를 다항식 전치 왜곡기 알고리즘 수행부(130)에서 수행한다.
- [0031] 다항식 전치 왜곡기 알고리즘 수행부(130)에서 알아낸 전력증폭기(120) 특성에 대해서 역특성을 가지도록 디지털 전치왜곡기(110)의 다항식 계수를 업데이트 함으로써 신호를 왜곡한다.
- [0032] 이상 상기와 같은 구성으로 종래의 다항식 디지털 전치왜곡기에 구성 및 신호 왜곡 방법에 대해서 살펴보았다. 종래의 기술은 피드백이 필요하며, 복수 개의 전력 증폭기의 구성으로 인한 여러 개의 함수 형태로 이루어진 비선형 특성을 보상하기에는 적합하지 않다. 따라서 상기 문제를 해결하기 위한 본 발명의 다항식 디지털 전치왜곡 장치 및 그 방법에 대해서 설명하겠다.
- [0033] 도 2는 본 발명에 바람직한 실시 예에 따른 전력증폭기의 비선형 특성을 보상하는 다항식 디지털 전치왜곡 방법을 나타내는 순서도이다. 도 2를 참조하면, 먼저 직렬로 연결하고자 하는 복수 개의 전력증폭기 각각의 입출력 특성 데이터를 추출한다(S100). 여기서 전력증폭기는 출력을 증폭하는 기능을 수행하며, 출력을 더 향상시키기 위해서는 복수 개의 전력증폭기를 직렬로 연결함으로써 달성할 수 있다. 구체적으로 전력증폭기의 입출력 특성 데이터를 추출하는 방법은 도 3을 참조하여 설명하겠다.
- [0034] 도 3은 본 발명에 따른 전력증폭기의 입출력 특성 데이터를 추출하는 구조를 나타내는 도면이다. 도 3을 참조하면 전력증폭기의 입출력 특성 데이터를 추출하기 위해서 입력구간 조절부(210), 신호 생성부(220), 전력증폭기(230), 신호 측정부(240), 메모리(250)를 포함하는 구조로 구성된다.
- [0035] 입력구간 조절부(210)는 신호 생성부(220)에서 생성하는 입력 신호의 이득을 조절함으로써 입력 전력의 진폭변조(AM) 구간을 변화시켜준다. 신호 생성부(220)는 입력구간 조절부(210)에서 조절한 이득에 따라 입력 신호를 생성하게 되고, 생성된 신호는 메모리(250)의 첫 번째 입력 주소공간인 $x_1(n)$ 에 해당되는 곳에 입력특성 I/Q 데이터가 저장된다.
- [0036] 다음으로 신호 생성부(220)에서 생성된 입력 신호가 전력증폭기(230)로 입력되고, 전력증폭기(230)에서 증폭한 출력신호를 신호 측정부(240)에서 측정한다. 신호 측정부(240)에서 측정한 신호에서 출력특성 I/Q 데이터를 추출하여 메모리(250)의 첫 번째 출력 주소공간인 $z_1(n)$ 에 저장하게 된다.
- [0037] 상기와 같은 방법으로 입력구간 조절부(210)에서 입력 신호의 이득을 다르게 하면서 입력 전력의 진폭변조 구간을 변화시킨 후 신호 생성부(220)와 신호측정부(240)에서 데이터를 메모리(250)에 저장하는 것을 반복한다. 반복된 데이터 저장을 통해 전력증폭기(230)의 입출력 특성 데이터를 추출할 수 있게 된다.
- [0038] 여기서 진폭변조 구간을 설정하는 방법에 대해서는 도 4를 통해 설명하겠다. 도 4는 본 발명에 따른 복수 개의 구간으로 다항식 계수를 구성하는 그래프를 나타내는 도면이다. 도 4를 참조하면, 일반적인 비선형성을 가진 전력증폭기의 입력진폭의 출력진폭 특성을 확인할 수 있다. 비선형성 특성은 크게 두 개의 구간으로 구분된다. P1dB 지점의 오른쪽으로는 포화구간으로, 왼쪽은 선형구간으로 나타낼 수 있다. 따라서 다항식 디지털 전치왜곡기의 복수 개 구간의 다항식 계수를 이용하기 위해서는 선형구간 포화구간으로 구분 지어 계수를 구성할 수 있다.
- [0039] 상기와 같이 계수를 복수 개 구간으로 구성하면 하나의 계수로 전체의 입출력 특성에 대한 역특성을 가지는 다항식 디지털 전치왜곡기의 선형화 성능보다 정밀하고, ACLR(Adjacent Channel Leakage Ratio), EVM(Error Vector Magnitude)이 작게 된다. 따라서 도 4에서는 4개의 구간으로 나누어 다항식 계수를 구성하였으나, 이는 전력증폭기의 입출력 특성에 따라 적합하게 변화할 수 있다.
- [0040] 이상으로 전력증폭기의 입출력 특성 데이터를 추출하는 방법에 대해서 살펴보았다. 다시 도 2로 돌아가 전력증폭기의 비선형 특성을 보상하는 다항식 디지털 전치왜곡 방법에 대해서 설명하겠다.
- [0041] 복수 개의 전력증폭기 각각의 입출력 특성 데이터를 추출하는 단계(S100)에서 추출한 각각의 입출력 특성 데이터로부터 각각의 복수 개의 전력증폭기 각각과 대응하는 다항식 디지털 전치왜곡기의 계수들을 추출한다(S200).

구체적으로 다항식 디지털 전치왜곡기의 계수들을 추출하는 방법은 도 5를 참조하여 설명하겠다.

[0042] 도 5는 본 발명에 따른 다항식 전치왜곡기의 계수 추출 구조를 나타내는 도면이다. 도 5를 참조하면, 다항식 전치왜곡기의 계수 추출 구조는 메모리(250), 다항식 디지털 전치왜곡기 알고리즘 계수 추출부(260), 계수 메모리(270)를 포함하여 구성된다.

[0043] 먼저 전력증폭기의 입출력 특성 데이터 추출 구조에서 저장한 메모리(260)를 이용하여 비선형성을 보정하고자 했던 전력증폭기의 입출력 특성에 대한 데이터를 다항식 디지털 전치왜곡기 알고리즘 계수 추출부(260)에 입력한다. 여기서 입력되는 데이터는 메모리(260)에 저장된 입력특성 $x(n)$ 과 출력특성 $z(n)$ 을 입력한다.

[0044] 다항식 디지털 전치왜곡기 알고리즘 계수 추출부(260)에서는 볼테라 급수를 이용하여 다항식 형태의 입출력 특성을 추정한다. 볼테라 급수는 아래 수학식 1과 같다.

수학식 1

$$y(n) = \sum_{k=0}^{K-1} a_k x(n) |x(n)|^k$$

[0045]

[0046] 볼테라 급수를 나타내는 수학식 1에서 k 는 다항식 차수를 의미하며, a_k 는 다항식 계수 $x(n)$ 은 입력신호, $y(n)$ 은 출력신호를 의미한다. 볼테라 급수의 계수를 구하기 위해서는 입출력 데이터의 크기가 위상의 차를 최소화되도록 계수를 설정해 주는 LMS(Least Mean Squares) 알고리즘을 사용한다. 다항식 전치왜곡기의 특성은 전력증폭기의 입출력 특성의 역 특성을 가져야 한다.

수학식 2

$$x(n) = \sum_{k=0}^{K-1} a_k y(n) |y(n)|^k$$

[0047]

[0048] 따라서 수학식 2와 같이 메모리(250)에서 얻은 입력구간 별 데이터를 입력신호 $x(n)$ 과 출력신호 $y(n)$ 을 역으로 넣어주고 계수를 LMS 알고리즘을 통해 반복적으로 연습을 하면서 업데이트를 하게 된다. 연습으로 들어온 입출력 신호에 대해 마치게 되면 최종적으로 다항식 전치왜곡기의 계수 a_k 가 결정되게 된다. 계수 메모리(270)에서는 입력구간별 얻은 다항식 전치왜곡기의 계수를 입력구간($p_{set1}, p_{set2}, \dots, p_{setk}$)의 주소에 따라 저장하게 된다.

[0049] 이상으로 입출력 특성 데이터를 이용하여 다항식 디지털 전치왜곡기의 계수를 추출하는 방법에 대해서 설명하였다. 다음으로는 다시 2로 돌아와서 다음 과정에 대해서 설명하겠다.

[0050] 입출력 특성 데이터로부터 추출한 계수들을 복수 개의 다항식 디지털 전치왜곡기에 적용하고, 계수가 적용된 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결하여 복수 개의 전력증폭기의 비선형 특성을 보상한다(S300). 여기서 복수 개의 전력증폭기 각각의 비선형 특성과 대응되도록 복수 개의 전력증폭기를 직렬로 연결한 순서의 역순서로 추출된 계수를 적용한 복수 개의 다항식 디지털 전치왜곡기를 직렬로 연결한다.

[0051] 이상으로 전력증폭기의 비선형 특성을 보상하는 다항식 디지털 전치왜곡 방법에 대해서 설명하였다. 다음으로는 상기 방법을 이용하여 전력증폭기의 비선형 특성을 보상하는 구조에 대해서 설명하겠다.

[0052] 도 6은 본 발명의 일 실시 예에 따른 직렬로 연결된 복수 개의 전력증폭기에 복수 개의 다항식 디지털 전치왜곡기를 직렬로 병합한 구조를 나타내는 도면이다. 도 6을 참조하면, 다항식 디지털 전치왜곡기A(310), 다항식 디지털 전치왜곡기B(320), 직교 변조기, 전력증폭기B(330), 전력증폭기A(340)를 포함하여 구성된다. 이 구조는 피드백이 없는 구조로써 도 2 내지 5의 과정을 통해 직렬로 연결된 복수 개의 전력증폭기 각각의 최적화된 계수를 얻음으로 피드백 신호가 없는 것에 대한 문제점을 해결한다.

[0053] 먼저, 복수 개의 전력증폭기의 간단한 구조인 2개의 전력증폭기B(330), 전력증폭기A(340)로 구성되어있는 경우

전력증폭기B(330)의 특성함수를 $G_1(\cdot)$, 전력증폭기A(340)의 특성함수를 $G_2(\cdot)$ 로 정의한다면 다항식 디지털 전치왜곡기의 특성함수 구성 또한 다항식 디지털 전치왜곡기A(310)은 $G_2^{-1}(\cdot)$, 다항식 디지털 전치왜곡기B(320)는 $G_1^{-1}(\cdot)$ 이 된다. 각각의 다항식 디지털 전치왜곡기의 계수는 도 3 내지 도 5에서 추출하는 방법을 설명하였으므로 생략한다.

[0054] 입력 신호 $x(n)$ 가 다항식 디지털 전치왜곡기A(310)와 다항식 디지털 전치왜곡기B(320)에 입력되면 각각의 계수에 따라 신호가 왜곡되어 직교 변조기에서 변조된다. 변조된 신호는 다시 전력증폭기B(330)와 전력증폭기A(340)에 입력되면서 비선형 특성 보상된 출력이 최종 출력된다. 여기서 최종 출력은 다항식 디지털 전치왜곡기A(310)와 다항식 디지털 전치왜곡기B(320)에서 왜곡시킨 비선형 역특성에 의해 전력증폭기B(330)와 전력증폭기A(340)에서 발생하는 비선형 특성을 보상한다.

[0055] 한편, 도 6의 다항식 디지털 전치왜곡기A(310)와 다항식 디지털 전치왜곡기B(320)의 직렬 연결 순서의 역순서로 전력증폭기B(330)와 전력증폭기A(340)가 직렬 연결되어 있음을 확인할 수 있다. 여기서 전치왜곡기와 전력증폭기의 직렬 연결 순서가 서로 역순으로 구성된 이유는 아래의 수학식 3 내지 6을 통해 설명하겠다.

수학식 3

[0056]

$$y_1(n) = G_2^{-1}(x(n))$$

[0057] 수학식 3은 다항식 디지털 전치왜곡기A(310)의 출력을 나타낸다. 입력신호 $x(n)$ 에 대한 다항식 디지털 전치왜곡기A(310)의 출력신호 $y_1(n)$ 은 수학식 3과 같다.

[0058] 다음으로 다항식 디지털 전치왜곡기A(310)의 출력신호 $y_1(n)$ 은 다항식 디지털 전치왜곡기B(320)의 입력신호로 입력되며, 다항식 디지털 전치왜곡기B(320)는 수학식 4와 같이 출력신호 $y_2(n)$ 을 출력한다.

수학식 4

[0059]

$$y_2(n) = G_1^{-1}(G_2^{-1}(x(n)))$$

[0060] 출력된 다항식 디지털 전치왜곡기B(320)의 출력신호 $y_2(n)$ 은 직교 변조기에 의해 변조되어 전력증폭기B(330)로 입력된다. 전력증폭기B(330)의 출력신호 $o_1(n)$ 은 수학식 5와 같다.

수학식 5

[0061]

$$o_1(n) = G_1(G_1^{-1}(G_2^{-1}(x(n)))) = G_2^{-1}(x(n))$$

[0062] 수학식 5를 통해 전력증폭기B(330)의 출력신호 $o_1(n)$ 를 확인하면 다항식 디지털 전치왜곡기B(320)의 특성함수와 전치왜곡기B(330)의 특성함수가 서로 소거되어 최종 출력이 다항식 디지털 전치왜곡기A(310)의 출력신호인 $y_1(n)$ 과 동일함을 확인할 수 있다. 결국 전력증폭기A(340)에는 다항식 디지털 전치왜곡기A(310)의 출력신호 $y_1(n)$ 이 입력된다.

[0063] 다음으로 전력증폭기A(340)의 출력신호 $o_2(n)$ 는 수학식 6과 같이 계산되어 최종 출력된다.

수학식 6

$$o_2(n) = G_2(G_2^{-1}(x(n))) = x(n)$$

[0064]

[0065]

수학식 6을 확인하면 다항식 디지털 전치왜곡기A(310)와 전력증폭기A(340)의 특성함수가 서로 소거되어 최종적으로 출력되는 출력신호 $o_2(n)$ 은 처음 입력된 $x(n)$ 임을 확인할 수 있다.

[0066]

결론적으로 상기 수학식 3 내지 6을 통해 입력된 신호는 다항식 디지털 전치왜곡기와 전력증폭기의 특성이 맞물려 삭제되어 그대로 출력되는 것을 확인할 수 있다. 상기와 같이 복수 개의 전력증폭기를 사전 왜곡시키기 위해서는 다항식 디지털 전치왜곡기와 전력증폭기의 연결순서가 역순으로 구성되어야 제대로 된 다항식 디지털 전치왜곡기로 동작할 수 있다.

[0067]

다음으로는 다른 실시 예로 도허티 증폭기가 결합된 형태의 복수 개의 전력증폭기의 비선형 특성을 보상하는 구조에 대해서 설명하겠다. 도 7은 본 발명의 일 실시 예에 따른 도허티 증폭기가 결합된 형태의 전력증폭기에 복수 개의 다항식 디지털 전치왜곡기를 직렬로 병합한 구조를 나타내는 도면이다. 도 7을 참조하면, 다항식 디지털 전치왜곡기A_{1,2}(410), 다항식 디지털 전치왜곡기B(420), 직교 변조기, 전력증폭기B(430), 전력증폭기A₁(440), 전력증폭기A₂(450)를 포함하여 구성된다.

[0068]

특히, 도 7에서는 복수 개의 전력증폭기가 직렬과 병렬의 병합된 구조임을 확인할 수 있다. 여기서 병렬로 연결된 전력증폭기는 도허티 증폭기 형태의 병렬 전력증폭기가 병합된 구성으로 도허티 증폭기 형태의 병렬 전력증폭기가 병합된 구성에 맞게 가장 앞단의 다항식 디지털 전치왜곡기의 구성은 도 3과 같이 입력 구간에 따른 복수 개의 구간으로 계수를 구성하게 된다.

[0069]

도허티 전력증폭기를 병합한 구조와 도 6의 복수 개의 전력증폭기가 직렬로 병합한 구조의 차별점으로는 도허티 증폭기가 병합된 구조는 단순 직렬로 연결된 전력증폭기 구조에 비해 응용된 형태로서 효율적인 측면에서 이점이 있다. 따라서 이러한 형태에 최적화된 비선형 왜곡 보상을 얻게 된다면 기존 이동통신시스템의 성능향상을 증가시킬 수 있다.

[0070]

도 6의 구조에서 도허티 증폭기는 전력증폭기A₁(440)과 전력증폭기A₂(450)로 구성되어 있는데 전력증폭기A₁(440)은 주 증폭기로, 전력증폭기A₂(450)는 보조 증폭기로 정의한다. 여기서 전력증폭기A₁(440)은 입력신호가 피크 신호 이하인 경우의 대해서 증폭을 수행하고, 전력증폭기A₂(450)는 피크 신호를 초과하는 입력신호를 입력받은 경우 작동하게 된다. 더불어 전력증폭기A₁(440)과 전력증폭기A₂(450)는 동작점이 서로 다르게 설계를 하여 입력 신호의 높은 출력에 대해 비선형적 특성에 따른 효율저하를 전력증폭기A₂(450)를 통해 개선 시킨다.

[0071]

따라서 높은 출력을 기준으로 전력증폭기A₁(440), 전력증폭기A₂(450)의 최적화 된 계수를 도 3과 도 4를 통해 추출 후 다항식 디지털 전치왜곡기A_{1,2}(410)에 피크 신호에 따라 계수 설정을 구현한다. 또한, 다항식 디지털 전치왜곡기B(420)는 도 6과 같이 전력증폭기B(430)에 최적화된 계수를 설정하도록 한다.

[0072]

즉, 전력증폭기A₁(440), 전력증폭기A₂(450)로 구성된 도허티 증폭기를 하나의 전력증폭기로 계산하여 다항식 디지털 전치왜곡기A_{1,2}(410)의 계수를 적용한다.

[0073]

여기서도 도 6에서 설명한 바와 같이 다항식 디지털 전치왜곡기와 전력증폭기가 서로 역순으로 연결되어 각각 특성 함수에 따라 처음 입력된 신호가 최종적으로 출력된다.

[0074]

본 명세서에 기재된 본 발명의 실시 예와 도면에 도시된 구성은 본 발명의 가장 바람직한 실시 예에 관한 것이고, 발명의 기술적 사상을 모두 포괄하는 것은 아니므로, 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있음을 이해하여야 한다. 따라서 본 발명은 상술한 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 권리범위 내에 있게 된다.

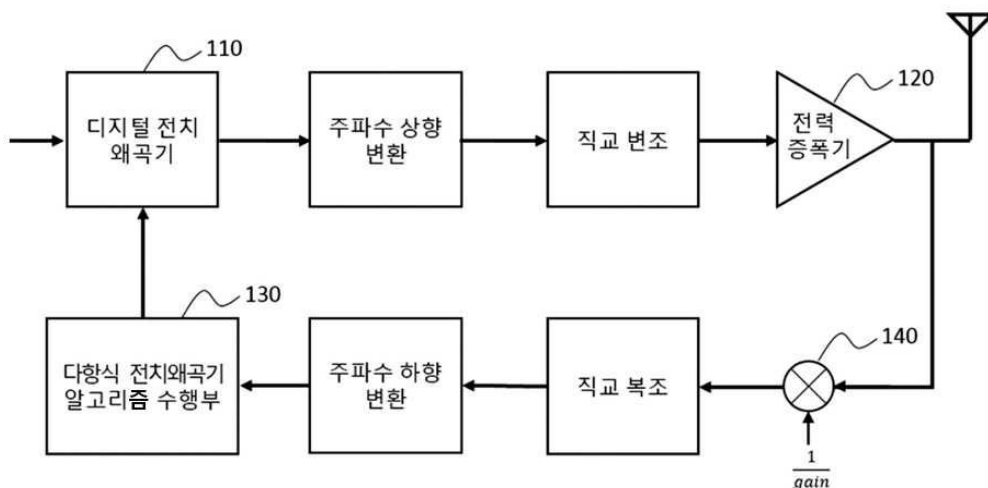
부호의 설명

[0075]

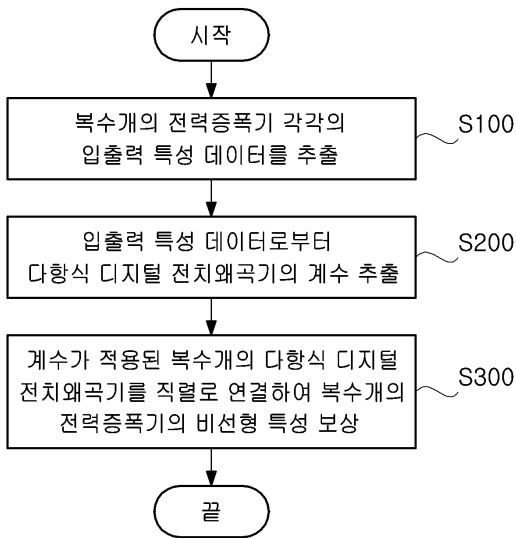
디지털 전치왜곡기: 110
 전력증폭기: 120, 230
 다항식 전치왜곡기 알고리즘 수행부: 130
 신호 이득 조절부: 140
 입력구간 조절부: 210
 신호 생성부: 220
 신호 측정부: 240
 메모리: 250
 다항식 디지털 전치왜곡기 알고리즘 계수 추출부: 260
 계수 메모리: 270
 다항식 디지털 전치 왜곡기A: 310
 다항식 디지털 전치 왜곡기B: 320, 420
 전력증폭기A: 340
 전력증폭기B: 330, 430
 다항식 디지털 전치 왜곡기A_{1,2}: 410
 전력증폭기A₁: 440
 전력증폭기A₂: 450

도면

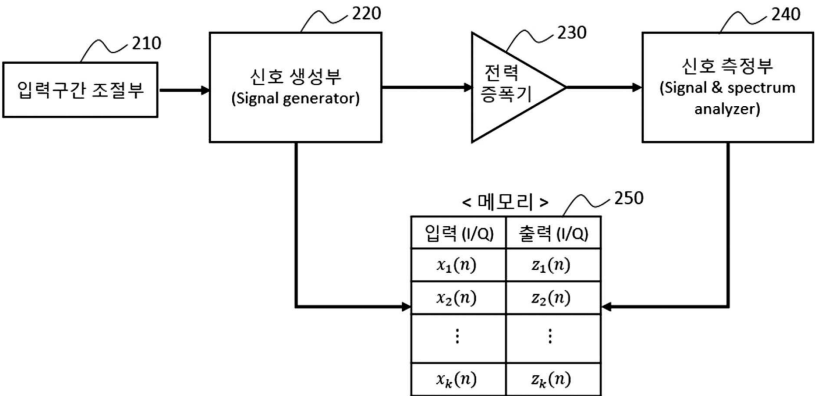
도면1



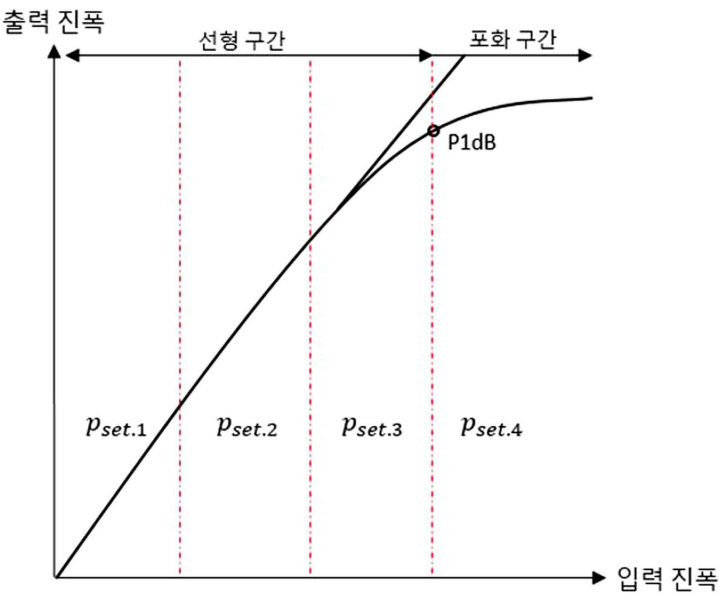
도면2



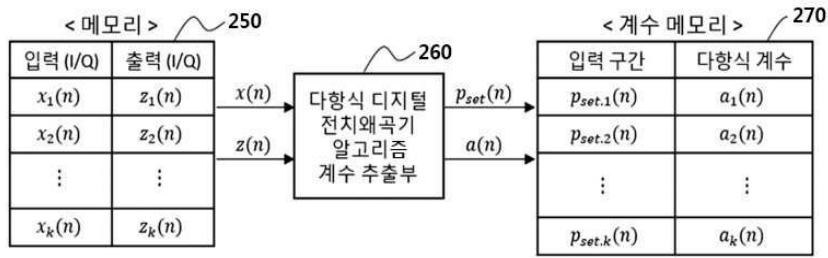
도면3



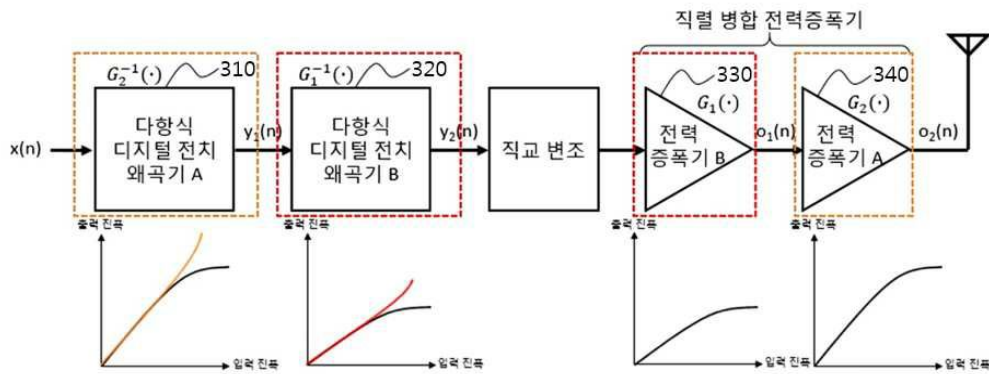
도면4



도면5



도면6



도면7

