



(12) 发明专利申请

(10) 申请公布号 CN 119183608 A

(43) 申请公布日 2024. 12. 24

(21) 申请号 202380039835.5

(22) 申请日 2023.05.26

(30) 优先权数据

2022-101718 2022.06.24 JP

(85) PCT国际申请进入国家阶段日

2024.11.11

(86) PCT国际申请的申请数据

PCT/JP2023/019756 2023.05.26

(87) PCT国际申请的公布数据

W02023/248718 JA 2023.12.28

(71) 申请人 住友电气工业株式会社

地址 日本大阪

(72) 发明人 金田达志

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

专利代理师 李丹

(51) Int.Cl.

H01L 25/07 (2006.01)

H01L 23/48 (2006.01)

H01L 25/18 (2023.01)

H02M 7/48 (2007.01)

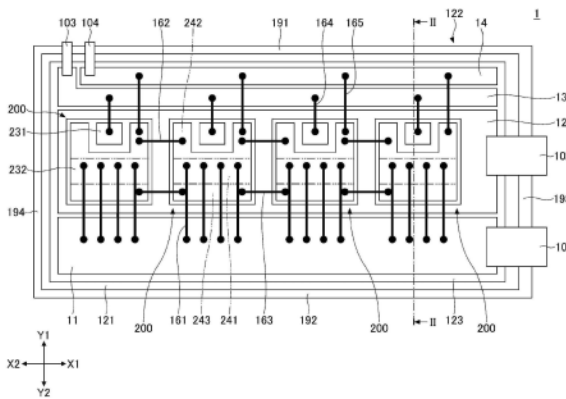
权利要求书2页 说明书11页 附图9页

(54) 发明名称

半导体器件

(57) 摘要

一种半导体器件,具有多个晶体管和导电部件,多个所述晶体管相互并联地电连接,并包括第一焊盘,所述第一焊盘是源极焊盘或发射极焊盘,所述第一焊盘具有第一连接区域、第二连接区域以及第三连接区域,所述第一连接区域被夹在所述第二连接区域与所述第三连接区域之间,所述半导体器件具有:第一连接部件,将所述第一连接区域与所述导电部件连接;第二连接部件,将多个所述晶体管中的两个所述晶体管的所述第二连接区域彼此连接;以及第三连接部件,将多个所述晶体管中的所述两个所述晶体管的所述第三连接区域彼此连接。



1. 一种半导体器件,具有多个晶体管和导电部件,
多个所述晶体管相互并联地电连接,并包括第一焊盘,
所述第一焊盘是源极焊盘或发射极焊盘,
所述第一焊盘具有第一连接区域、第二连接区域以及第三连接区域,
所述第一连接区域被夹在所述第二连接区域与所述第三连接区域之间,
所述半导体器件具有:
第一连接部件,将所述第一连接区域与所述导电部件连接;
第二连接部件,将多个所述晶体管中的两个所述晶体管的所述第二连接区域彼此连接;以及
第三连接部件,将多个所述晶体管中的所述两个所述晶体管的所述第三连接区域彼此连接。
2. 根据权利要求1所述的半导体器件,其中,
所述第二连接区域具有第一内部连接区域及第二内部连接区域,所述第二内部连接区域与所述第一内部连接区域分离,
所述半导体器件具有将所述第一内部连接区域与所述第二内部连接区域连接的第四连接部件。
3. 根据权利要求2所述的半导体器件,其中,
所述第二连接部件与所述第四连接部件为一体。
4. 根据权利要求2或3所述的半导体器件,其中,
所述第一焊盘在所述第一内部连接区域与所述第二内部连接区域之间具有间隙。
5. 根据权利要求1至4中任一项所述的半导体器件,其中,
所述半导体器件具有绝缘基板,多个所述晶体管安装于所述绝缘基板。
6. 根据权利要求1至4中任一项所述的半导体器件,其中,
所述半导体器件具有多个绝缘基板,
在每个所述绝缘基板安装有多个所述晶体管中的一部分所述晶体管,
在安装于不同的所述绝缘基板的所述两个所述晶体管之间,所述第二连接区域彼此通过所述第二连接部件而连接,所述第三连接区域彼此通过所述第三连接部件而连接。
7. 根据权利要求1至6中任一项所述的半导体器件,其中,
所述第二连接部件及所述第三连接部件的与长度方向垂直的截面积等于所述第一连接部件的与长度方向垂直的截面积。
8. 根据权利要求1至6中任一项所述的半导体器件,其中,
所述晶体管具有栅极焊盘,
所述半导体器件具有与所述栅极焊盘连接的第五连接部件,
所述第二连接部件及所述第三连接部件的与长度方向垂直的截面积等于所述第五连接部件的与长度方向垂直的截面积。
9. 根据权利要求1至8中任一项所述的半导体器件,其中,
所述半导体器件具有与所述多个晶体管并联地电连接的二极管。
10. 根据权利要求9所述的半导体器件,其中,
所述二极管是碳化硅二极管。

11. 根据权利要求1至10中任一项所述的半导体器件,其中,所述晶体管是碳化硅晶体管。
12. 根据权利要求1至11中任一项所述的半导体器件,其中,在从与所述晶体管的设置有所述第一焊盘的面垂直的方向观察时,所述第一连接区域、所述第二连接区域及所述第三连接区域相互分离。
13. 一种半导体器件,具有:
晶体管,包括第一焊盘;
密封材料,密封所述晶体管;
第一端子,与所述第一焊盘连接,并从所述密封材料向第一方向延伸;以及
第二端子,与所述第一焊盘连接,并从所述密封材料向与所述第一方向不同的第二方向延伸,
所述第一焊盘是源极焊盘或发射极焊盘。
14. 根据权利要求13所述的半导体器件,其中,所述半导体器件具有:
第一引线,将所述第一焊盘与所述第一端子连接;以及
第二引线,将所述第一焊盘与所述第二端子连接。
15. 根据权利要求13或14所述的半导体器件,其中,
所述半导体器件具有第三端子,所述第三端子与所述第一焊盘连接,并从所述密封材料向与所述第二端子相反的方向延伸。
16. 根据权利要求15所述的半导体器件,其中,
所述半导体器件具有将所述第一焊盘与所述第三端子连接的第三引线。
17. 根据权利要求13至16中任一项所述的半导体器件,其中,
所述晶体管是碳化硅晶体管。

半导体器件

技术领域

[0001] 本公开涉及半导体器件。

[0002] 本申请要求以2022年6月24日提交的日本申请第2022-101718号为基础的优先权，并在此引入上述日本申请中记载的全部记载内容。

背景技术

[0003] 作为半导体器件之一，已知一种功率模块，其中，为了确保电流容量，将多个晶体管并联连接。另外，为了抑制晶体管的栅电极的电位的振荡，提出了在多个晶体管之间使源电极等主电极彼此连接的功率模块(专利文献1、2及3)。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2016-184667号公报

[0007] 专利文献2:日本特开2010-178615号公报

[0008] 专利文献3:日本特开2013-012560号公报

发明内容

[0009] 本公开的半导体器件具有多个晶体管和导电部件，多个所述晶体管相互并联地电连接，并包括第一焊盘，所述第一焊盘是源极焊盘或发射极焊盘，所述第一焊盘具有第一连接区域、第二连接区域以及第三连接区域，所述第一连接区域被夹在所述第二连接区域与所述第三连接区域之间，所述半导体器件具有：第一连接部件，将所述第一连接区域与所述导电部件连接；第二连接部件，将多个所述晶体管中的两个所述晶体管的所述第二连接区域彼此连接；以及第三连接部件，将多个所述晶体管中的所述两个所述晶体管的所述第三连接区域彼此连接。

附图说明

[0010] 图1是示出第一实施方式所涉及的半导体器件的俯视图。

[0011] 图2是示出第一实施方式所涉及的半导体器件的截面图。

[0012] 图3是示出晶体管的结构示意图。

[0013] 图4是示出第二实施方式所涉及的半导体器件的俯视图。

[0014] 图5是示出第三实施方式所涉及的半导体器件的俯视图。

[0015] 图6是示出第四实施方式所涉及的半导体器件的俯视图。

[0016] 图7是示出第五实施方式所涉及的半导体器件的俯视图。

[0017] 图8是示出第六实施方式所涉及的半导体器件的俯视图。

[0018] 图9是示出第六实施方式所涉及的半导体器件的截面图。

[0019] 图10是示出第六实施方式所涉及的半导体器件的使用方法的图。

具体实施方式

[0020] [本公开要解决的技术问题]

[0021] 即便是利用现有的半导体器件也无法充分地抑制振荡,难以使多个晶体管之间的并联动作稳定。

[0022] 本公开的目的在于提供能够提高多个晶体管之间的并联动作的稳定性的半导体器件。

[0023] [本公开的效果]

[0024] 根据本公开,能够提高多个晶体管之间的并联动作的稳定性。

[0025] [本公开的实施方式的说明]

[0026] 首先,列出本公开的实施方面进行说明。

[0027] (1)本公开的一方面所涉及的半导体器件具有多个晶体管和导电部件,多个所述晶体管相互并联地电连接,并包括第一焊盘,所述第一焊盘是源极焊盘或发射极焊盘,所述第一焊盘具有第一连接区域、第二连接区域以及第三连接区域,所述第一连接区域被夹在所述第二连接区域与所述第三连接区域之间,所述半导体器件具有:第一连接部件,将所述第一连接区域与所述导电部件连接;第二连接部件,将多个所述晶体管中的两个所述晶体管的所述第二连接区域彼此连接;以及第三连接部件,将多个所述晶体管中的所述两个所述晶体管的所述第三连接区域彼此连接。

[0028] 在各晶体管中,到达第一连接区域的电流流入第一连接部件,到达第二连接区域的电流经由第一连接区域流入第一连接部件,到达第三连接区域的电流经由第一连接区域流入第一连接部件。也就是说,到达第一焊盘的电流经由被夹在第二连接区域与第三连接区域之间的第一连接区域而流向第一连接部件。另外,两个晶体管的第二连接区域彼此通过第二连接部件而连接,第三连接区域彼此通过第三连接部件而连接。在没有第二连接部件或第三连接部件的情况下,在两个晶体管之间,第二连接区域间的电位容易产生差异、或者第三连接区域间的电位容易产生差异。当第二连接区域间的电位或第三连接区域间的电位产生差异时,可能因为第一焊盘间的电位差而产生振荡。与之相对地,通过设置第二连接部件及第三连接部件,能够降低第一焊盘间的电位差而抑制振荡。为此,能够提高多个晶体管之间的并联动作的稳定性。

[0029] (2)在(1)中,也可以是,所述第二连接区域具有第一内部连接区域及第二内部连接区域,所述第二内部连接区域与所述第一内部连接区域分离,所述半导体器件具有将所述第一内部连接区域与所述第二内部连接区域连接的第四连接部件。在这种情况下,容易抑制各第二连接区域内的电位差。

[0030] (3)在(2)中,所述第二连接部件与所述第四连接部件也可以为一体。在这种情况下,能够通过针脚式键合(stitch bond)连续地形成第二连接部件及第四连接部件,能够降低键合引线的切断频率,抑制随着切断而对晶体管造成的损伤。

[0031] (4)在(2)或(3)中,所述第一焊盘也可以在所述第一内部连接区域与所述第二内部连接区域之间具有间隙。在这种情况下,能够在第一内部连接区域与第二内部连接区域之间配置栅极布线。

[0032] (5)在(1)至(4)中的任一项中,也可以是,具有绝缘基板,多个所述晶体管安装于所述绝缘基板。在这种情况下,容易将多个晶体管相互靠近地配置。

[0033] (6)在(1)至(4)中的任一项中,也可以是,具有多个绝缘基板,在每个所述绝缘基板安装有多个所述晶体管中的一部分所述晶体管,在安装于不同的所述绝缘基板的所述两个所述晶体管之间,所述第二连接区域彼此通过所述第二连接部件而连接,所述第三连接区域彼此通过所述第三连接部件而连接。在这种情况下,抑制安装于不同的绝缘基板的晶体管之间的热交换。

[0034] (7)在(1)至(6)中的任一项中,所述第二连接部件及所述第三连接部件的与长度方向垂直的截面积也可以等于所述第一连接部件的与长度方向垂直的截面积。在这种情况下,容易形成第一连接区域、第二连接部件及第三连接部件。

[0035] (8)在(1)至(6)中的任一项中,也可以是,所述晶体管具有栅极焊盘,所述半导体器件具有与所述栅极焊盘连接的第五连接部件,所述第二连接部件及所述第三连接部件的与长度方向垂直的截面积等于所述第五连接部件的与长度方向垂直的截面积。在这种情况下,容易形成第二连接部件、第三连接部件及第五连接部件。

[0036] (9)在(1)至(8)中的任一项中,也可以具有与所述多个晶体管并联地电连接的二极管。在这种情况下,能够将二极管用作续流二极管。

[0037] (10)在(9)中,所述二极管也可以是碳化硅二极管。在这种情况下,二极管容易实现高耐压。

[0038] (11)在(1)至(10)中的任一项中,所述晶体管也可以是碳化硅晶体管。在这种情况下,晶体管容易实现高耐压。

[0039] (12)在(1)至(11)中的任一项中,在从与所述晶体管的设置有所述第一焊盘的面垂直的方向观察时,所述第一连接区域、所述第二连接区域及所述第三连接区域也可以相互分离。在这种情况下,容易降低第一焊盘间的电位差,容易抑制振荡。

[0040] (13)本公开的另一方面所涉及的半导体器件具有:晶体管,包括第一焊盘;密封材料,密封所述晶体管;第一端子,与所述第一焊盘连接,并从所述密封材料向第一方向延伸;以及第二端子,与所述第一焊盘连接,并从所述密封材料向与所述第一方向不同的第二方向延伸,所述第一焊盘是源极焊盘或发射极焊盘。

[0041] 在以使晶体管并联地电连接的方式使用多个半导体器件的情况下,通过将第二端子彼此连接,能够降低第一焊盘间的电位差而抑制振荡。为此,能够提高多个晶体管之间的并联动作的稳定性。

[0042] (14)在(13)中,也可以是,具有:第一引线,将所述第一焊盘与所述第一端子连接;以及第二引线,将所述第一焊盘与所述第二端子连接。在这种情况下,能够容易地将第一焊盘与第一端子连接,并能够容易地将第一焊盘与第二端子连接。

[0043] (15)在(13)或(14)中,也可以是,具有第三端子,所述第三端子与所述第一焊盘连接,并从所述密封材料向与所述第二端子相反的方向延伸。在这种情况下,通过呈直线地配置多个半导体器件,并将第二端子与第三端子连接,能够降低第一焊盘间的电位差。

[0044] (16)在(15)中,也可以是,具有将所述第一焊盘与所述第三端子连接的第三引线。在这种情况下,能够容易地将第一焊盘与第三端子连接。

[0045] (17)在(13)至(16)中的任一项中,所述晶体管也可以是碳化硅晶体管。在这种情况下,晶体管容易实现高耐压。

[0046] [本公开的实施方式的详情]

[0047] 以下,对本公开的实施方式进行详细说明,但本公开并不限于此。需要说明的是,在本说明书及附图中,对于实质上具有相同的功能结构的构成要素,有时会标注相同的附图标记而省略重复的说明。在本说明书及附图中,将X1-X2方向、Y1-Y2方向、Z1-Z2方向设为相互正交的方向。将包括X1-X2方向及Y1-Y2方向的面设为XY面,将包括Y1-Y2方向及Z1-Z2方向的面设为YZ面,将包括Z1-Z2方向及X1-X2方向的面设为ZX面。为了方便,将Z1方向设为上方向,将Z2方向设为下方向。另外,在本公开中,俯视观察是指从Z1侧观察对象物。

[0048] (第一实施方式)

[0049] 首先,对第一实施方式进行说明。图1是示出第一实施方式所涉及的半导体器件的俯视图。图2是示出第一实施方式所涉及的半导体器件的截面图。图2相当于沿着图1中的II-II线的截面图。

[0050] 如图1及图2所示,第一实施方式所涉及的半导体器件1具有散热板121、框体122、源极端子101、漏极端子102、栅极端子103及感测源极端子104。半导体器件1还具有第一导电层11、第二导电层12、第三导电层13、第四导电层14及绝缘基板123。半导体器件1还具有多个晶体管200。晶体管200的数量并不限定,作为一例,为四个。

[0051] 晶体管200是场效应晶体管,具有碳化硅衬底210、栅极焊盘231、源极焊盘232及漏电极233。栅极焊盘231及源极焊盘232设置于晶体管200的上表面(Z1侧的表面),漏电极233设置于晶体管200的下表面(Z2侧的表面)。源极焊盘232具有第一连接区域241、第二连接区域242及第三连接区域243。第一连接区域241位于第二连接区域242的Y2侧,第三连接区域243位于第一连接区域241的Y2侧。因而,第一连接区域241被夹在第二连接区域242与第三连接区域243之间。源极焊盘232是第一焊盘的一例。

[0052] 散热板121例如是俯视观察时为矩形状的厚度均匀的板状体。散热板121的材料是作为热导率高的材料的金属、例如铜(Cu)、铜合金、铝(Al)。散热板121使用热界面材料(thermal interface material:TIM)等而固定于冷却器等。

[0053] 框体122例如在俯视观察时形成为框状,框体122的外形与散热板121的外形等同。框体122的材料是树脂等绝缘体。框体122具有相互对置的一对侧壁部191和192以及将侧壁部191和192的两端相连的一对端壁部193和194。侧壁部191和192与ZX面平行地配置,端壁部193和194与YZ面平行地配置。侧壁部191配置于侧壁部192的Y1侧,端壁部193配置于端壁部194的X1侧。

[0054] 在侧壁部191的上表面(Z1侧的表面)配置有栅极端子103及感测源极端子104。栅极端子103及感测源极端子104分别由金属板构成。

[0055] 在端壁部193的上表面(Z1侧的表面)配置有源极端子101及漏极端子102。例如,漏极端子102配置于源极端子101的Y1侧。源极端子101及漏极端子102分别由金属板构成。

[0056] 在框体122的内侧,绝缘基板123配置于散热板121的Z1侧。第一导电层11、第二导电层12、第三导电层13及第四导电层14设置于绝缘基板123的Z1侧的面。在绝缘基板123的Z2侧的面设置有第五导电层15。第五导电层15通过第二接合材料132接合于散热板121。绝缘基板123的材料例如是氮化硅(SiN)、氧化铝(Al_2O_3)或氮化铝(AlN)。第一导电层11、第二导电层12、第三导电层13、第四导电层14及第五导电层15的材料例如是铜。第二接合材料132的材料例如是包含锡(Sn)的无铅焊料等焊料。第一导电层11是导电部件的一例。

[0057] 源极端子101与第一导电层11连接,漏极端子102与第二导电层12连接。栅极端子

103与第三导电层13连接,感测源极端子104与第四导电层14连接。

[0058] 半导体器件1还具有第一键合引线161、第二键合引线162、第三键合引线163、第四键合引线164及第五键合引线165。

[0059] 晶体管200设置于第二导电层12之上。晶体管200沿着X1-X2方向排列。晶体管200的源极焊盘232的第一连接区域241通过多条第一键合引线161而与第一导电层11连接。晶体管200的漏电极233通过第一接合材料131而与第二导电层12接合。第一接合材料131的材料例如是包含锡(Sn)的无铅焊料等焊料。晶体管200的栅极焊盘231通过第四键合引线164而与第三导电层13连接。晶体管200的源极焊盘232通过第五键合引线165也与第四导电层14连接。在X1-X2方向上相邻的晶体管200之间,第二连接区域242彼此通过第二键合引线162而连接,第三连接区域243彼此通过第三键合引线163而连接。第一键合引线161是第一连接部件的一例,第二键合引线162是第二连接部件的一例,第三键合引线163是第三连接部件的一例。第四键合引线164是第五连接部件的一例。

[0060] 在此,对晶体管200中的电流的路径进行说明。图3是示出晶体管200的结构示意图。

[0061] 如图3所示,晶体管200主要具有碳化硅衬底210、栅极焊盘231、源极焊盘232及漏电极233。

[0062] 碳化硅衬底210包括碳化硅单晶衬底211和碳化硅单晶衬底211之上的碳化硅外延层212。碳化硅衬底210具有主面210A以及与主面210A相对的主面210B。碳化硅外延层212构成主面210A,碳化硅单晶衬底211构成主面210B。虽然省略图示,但在碳化硅外延层212设置多个晶体管单元。栅极焊盘231及源极焊盘232设置于主面210A上,漏电极233设置于主面210B上。

[0063] 在各晶体管单元中,电流I从漏电极233朝向源极焊盘232流动。另外,在源极焊盘232内,电流I朝向与第一键合引线161连接的第一连接区域241流动。然后,电流I通过第一连接区域241而流向第一键合引线161。到达第一连接区域241的电流I直接流向第一键合引线161。另外,到达第二连接区域242的电流I经由第一连接区域241而流向第一键合引线161,到达第三连接区域243的电流I经由第一连接区域241而流向第一键合引线161。在靠近第一连接区域241的晶体管单元与第一键合引线161之间的电流路径和远离第一连接区域241的晶体管单元与第一键合引线161之间的电流路径之间,长度及电阻不同。为此,在没有第二键合引线162或第三键合引线163的情况下,在两个晶体管200之间,第二连接区域242间的电位容易产生差异、或者第三连接区域243间的电位容易产生差异。当第二连接区域242间的电位或第三连接区域243间的电位产生差异时,在源极焊盘232间产生电位差,可能因为该电位差而产生振荡。与之相对地,在本实施方式中,通过设置第二键合引线162及第三键合引线163,能够降低源极焊盘232间的电位差而抑制振荡。为此,能够提高多个晶体管200之间的并联动作的稳定性。

[0064] 另外,由于在绝缘基板123安装多个晶体管200,因此容易将多个晶体管200相互靠近地配置。

[0065] 通过使晶体管200为包括碳化硅衬底210的碳化硅晶体管,容易实现高耐压。

[0066] 第二键合引线162及第三键合引线163的与长度方向垂直的截面积并不限定,但可以等于第一键合引线161的与长度方向垂直的截面积。在这种情况下,能够在不更换引线

的情况下形成第一键合引线161、第二键合引线162及第三键合引线163。因而,容易形成第一键合引线161、第二键合引线162及第三键合引线163。

[0067] 另外,第二键合引线162及第三键合引线163的与长度方向垂直的截面积也可以等于第四键合引线164的与长度方向垂直的截面积。在这种情况下,能够在不更换引线的情况下形成第四键合引线164、第二键合引线162及第三键合引线163。因而,容易形成第四键合引线164、第二键合引线162及第三键合引线163。

[0068] (第二实施方式)

[0069] 接着,对第二实施方式进行说明。第二实施方式主要在晶体管的结构这一点以及还包括键合引线这一点上与第一实施方式不同。图4是示出第二实施方式所涉及的半导体器件的俯视图。

[0070] 如图4所示,第二实施方式所涉及的半导体器件2具有晶体管300而取代晶体管200。晶体管300具有栅极焊盘231、源极焊盘332、漏电极233及栅极布线(栅极流道)234。栅极焊盘231、栅极布线334及源极焊盘332设置于半导体器件1的上表面(Z1侧的表面),漏电极233设置于半导体器件1的下表面(Z2侧的表面)。

[0071] 源极焊盘332具有第一连接区域341、第二连接区域342及第三连接区域343。第一连接区域341位于第二连接区域342的Y2侧,第三连接区域343位于第一连接区域341的Y2侧。因而,第一连接区域341被夹在第二连接区域342与第三连接区域343之间。

[0072] 源极焊盘332具有源极焊盘332A和源极焊盘332B。源极焊盘332A及332B在X1-X2方向上相互分离。源极焊盘332A位于源极焊盘332B的X1侧。第一连接区域341、第二连接区域342及第三连接区域343跨源极焊盘332A及332B。第二连接区域342具有源极焊盘332A内的第一内部连接区域351以及源极焊盘332B内的第二内部连接区域352。第二内部连接区域352与第一内部连接区域351分离。源极焊盘332在第一内部连接区域351与第二内部连接区域352之间具有间隙353。第一内部连接区域351位于第二内部连接区域352的X1侧。源极焊盘332是第一焊盘的一例。

[0073] 栅极布线334设置于源极焊盘332A与源极焊盘332B之间,并沿着Y1-Y2方向延伸。栅极布线334与栅极焊盘231连接。栅极布线334设置于间隙353。

[0074] 晶体管300的其他结构与晶体管200的结构相同。

[0075] 半导体器件2还具有第六键合引线166。在晶体管200内,第一内部连接区域351及第二内部连接区域352通过第六键合引线166而连接。第六键合引线166是第四连接部件的一例。

[0076] 第二实施方式的其他结构与第一实施方式的结构相同。

[0077] 根据第二实施方式,也能够得到与第一实施方式相同的效果。另外,由于第一内部连接区域351与第二内部连接区域352通过第六键合引线166而连接,因此容易抑制第二连接区域342内的电位差。进而,由于在第一内部连接区域351与第二内部连接区域352之间具有间隙353,因此能够在第一内部连接区域351与第二内部连接区域352之间配置栅极布线334。

[0078] 第二键合引线162与第六键合引线166也可以为一体。例如,第二键合引线162及第六键合引线166也可以通过针脚式键合而形成。在这种情况下,能够在形成第二键合引线162及第六键合引线166时降低键合引线的切断频率,抑制随着切断而对晶体管300造成的

损伤。

[0079] (第三实施方式)

[0080] 接着,对第三实施方式进行说明。第三实施方式主要在晶体管的结构这一点上与第二实施方式不同。图5是示出第三实施方式所涉及的半导体器件的俯视图。

[0081] 如图5所示,第三实施方式所涉及的半导体器件3具有晶体管400而取代晶体管300。晶体管400具有栅极焊盘231、源极焊盘432、漏电极233及栅极布线(栅极流道)434。栅极焊盘231、栅极布线434及源极焊盘432设置于半导体器件1的上表面(Z1侧的表面),漏电极233设置于半导体器件1的下表面(Z2侧的表面)。

[0082] 源极焊盘432具有第一连接区域441、第二连接区域442及第三连接区域443。第一连接区域441位于第二连接区域442的Y2侧,第三连接区域443位于第一连接区域441的Y2侧。因而,第一连接区域441被夹在第二连接区域442与第三连接区域443之间。

[0083] 源极焊盘432具有源极焊盘432A、源极焊盘432B及导通区域432C。源极焊盘432A及432B在X1-X2方向上相互分离。源极焊盘432A位于源极焊盘432B的X1侧。第一连接区域441、第二连接区域442及第三连接区域443跨源极焊盘332A及332B。导通区域432C与源极焊盘432A的X2侧且Y2侧的角部以及源极焊盘432B的X1侧且Y2侧的角部连接,使源极焊盘432A及432B相互导通。导通区域432C包含在第三连接区域443中。第二连接区域442具有源极焊盘432A内的第一内部连接区域451以及源极焊盘432B内的第二内部连接区域452。第二内部连接区域452与第一内部连接区域451分离。源极焊盘432在第一内部连接区域451与第二内部连接区域452之间具有间隙453。第一内部连接区域451位于第二内部连接区域452的X1侧。源极焊盘432是第一焊盘的一例。

[0084] 栅极布线434设置于源极焊盘432A与源极焊盘432B之间,并沿着Y1-Y2方向延伸。栅极布线434与栅极焊盘231连接。栅极布线434的Y2侧的端部位于导通区域432C附近,但与导通区域432C分离。栅极布线434设置于间隙453。

[0085] 晶体管400的其他结构与晶体管300的结构相同。另外,第三实施方式的其他结构与第二实施方式的结构相同。

[0086] 根据第三实施方式,也能够得到与第一实施方式相同的效果。另外,由于第一内部连接区域451与第二内部连接区域452通过第六键合引线166而连接,因此容易抑制第二连接区域442内的电位差。进而,由于在第一内部连接区域451与第二内部连接区域452之间具有间隙453,因此能够在第一内部连接区域451与第二内部连接区域452之间配置栅极布线434。

[0087] (第四实施方式)

[0088] 接着,对第四实施方式进行说明。第四实施方式主要在具有二极管这一点上与第一实施方式不同。图6是示出第四实施方式所涉及的半导体器件的俯视图。

[0089] 如图6所示,第四实施方式所涉及的半导体器件4除了具有多个晶体管200以外,还具有多个二极管500。二极管500的数量并不限定,作为一例,为四个。半导体器件4还具有第七键合引线167。

[0090] 二极管500是肖特基势垒二极管,具有阳极焊盘532和阴极电极(未图示)。阳极焊盘532设置于二极管500的上表面(Z1侧的表面),阴极电极设置于二极管500的下表面(Z2侧的表面)。

[0091] 二极管500设置于第二导电层12之上。二极管500沿着X1-X2方向排列。二极管500位于晶体管200的X1侧。二极管500的阳极焊盘532通过多条第七键合引线167而与第一导电层11连接。二极管500的阴极电极通过第三接合材料(未图示)而与第二导电层12接合。第三接合材料的材料例如是包含锡(Sn)的无铅焊料等焊料。

[0092] 第四实施方式的其他结构与第一实施方式的结构相同。

[0093] 根据第四实施方式,也能够得到与第一实施方式相同的效果。另外,能够将二极管500用作续流二极管。当二极管500为包括碳化硅衬底的碳化硅二极管时,容易实现高耐压。

[0094] (第五实施方式)

[0095] 接着,对第五实施方式进行说明。第五实施方式主要在绝缘基板的结构这一点上与第一实施方式不同。图7是示出第五实施方式所涉及的半导体器件的俯视图。

[0096] 如图7所示,第五实施方式所涉及的半导体器件5具有绝缘基板623及624而取代绝缘基板123。

[0097] 在框体122的内侧,绝缘基板623及624配置于散热板121的Z1侧。绝缘基板623位于绝缘基板624的X1侧。在绝缘基板623的Z1侧的面及绝缘基板624的Z1侧的面设置有第一导电层11、第二导电层12、第三导电层13及第四导电层14。在绝缘基板623的Z2侧的面及绝缘基板624的Z2侧的面设置有第五导电层15。绝缘基板623及624的材料例如是氮化硅(SiN)、氧化铝(Al_2O_3)或氮化铝(AlN)。

[0098] 四个晶体管200设置于绝缘基板623上的第二导电层12之上,其他四个晶体管200设置于绝缘基板624上的第二导电层12之上。晶体管200沿着X1-X2方向排列。

[0099] 半导体器件5还具有第八键合引线168、第九键合引线169、第十键合引线170及第十一键合引线171。绝缘基板623上的第一导电层11与绝缘基板624上的第一导电层11通过多条第八键合引线168而连接。绝缘基板623上的第二导电层12与绝缘基板624上的第二导电层12通过多条第九键合引线169而连接。绝缘基板623上的第三导电层13与绝缘基板624上的第三导电层13通过第十键合引线170而连接。绝缘基板623上的第四导电层14与绝缘基板624上的第四导电层14通过第十一键合引线171而连接。

[0100] 源极端子101与绝缘基板623上的第一导电层11连接,漏极端子102与绝缘基板623上的第二导电层12连接。栅极端子103与绝缘基板624上的第三导电层13连接,感测源极端子104与绝缘基板624上的第四导电层14连接。

[0101] 第五实施方式的其他结构与第一实施方式的结构相同。

[0102] 根据第五实施方式,也能够得到与第一实施方式相同的效果。另外,抑制安装于绝缘基板623的晶体管200与安装于绝缘基板624的晶体管200之间的热交换。

[0103] 在本公开中,第二连接部件及第三连接部件并不限定于键合引线,也可以是铜夹或带等。

[0104] (第六实施方式)

[0105] 接着,对第六实施方式进行说明。图8是示出第六实施方式所涉及的半导体器件的俯视图。图9是示出第六实施方式所涉及的半导体器件的截面图。图9相当于沿着图8中的IX-IX线的截面图。

[0106] 如图8及图9所示,第六实施方式所涉及的半导体器件6具有晶体管710、密封材料720、第一源极端子731、第二源极端子732、第三源极端子733、栅极端子740、漏极端子750及

芯片焊盘760。在图8中,透视过密封材料720。

[0107] 半导体器件6还具有第一键合引线781、第二键合引线782、第三键合引线783及第四键合引线784。第一键合引线781、第二键合引线782、第三键合引线783及第四键合引线784例如是铝(Al)线。

[0108] 晶体管710是场效应晶体管,具有碳化硅衬底711、栅极焊盘771、源极焊盘772及漏电极773。栅极焊盘771及源极焊盘772设置于晶体管710的上表面(Z1侧的表面),漏电极773设置于晶体管710的下表面(Z2侧的表面)。源极焊盘772是第一焊盘的一例。

[0109] 漏极端子750与芯片焊盘760一体地形成,并从芯片焊盘760向Y2侧延伸。第一源极端子731位于漏极端子750的X1侧,并与漏极端子750平行地延伸。栅极端子740位于漏极端子750的X2侧,并与漏极端子750平行地延伸。第二源极端子732与芯片焊盘760分离地位于芯片焊盘760的X1侧,并沿着X1-X2方向延伸。第三源极端子733与芯片焊盘760分离地位于芯片焊盘760的X2侧,并沿着X1-X2方向延伸。

[0110] 晶体管710设置于芯片焊盘760之上。晶体管710的漏电极773通过接合材料790而与芯片焊盘760接合。接合材料790的材料例如是包含锡(Sn)的无铅焊料等焊料。晶体管710的源极焊盘772通过多条第一键合引线781而与第一源极端子731连接。晶体管710的源极焊盘772通过第二键合引线782也与第二源极端子732连接。晶体管710的源极焊盘772通过第三键合引线783也与第三源极端子733连接。晶体管710的栅极焊盘771通过第四键合引线784而与栅极端子740连接。第一源极端子731是第一端子的一例,第二源极端子732是第二端子的一例,第三源极端子733是第三端子的一例。另外,第一键合引线781是第一引线的一例,第二键合引线782是第二引线的一例,第三键合引线783是第三引线的一例。

[0111] 密封材料720密封晶体管710。密封材料720也密封第一键合引线781、第二键合引线782、第三键合引线783及第四键合引线784。密封材料720也密封第一源极端子731的与第一键合引线781的连接部、第二源极端子732的与第二键合引线782的连接部、以及第三源极端子733的与第三键合引线783的连接部。密封材料720也密封栅极端子740的与第四键合引线784的连接部。

[0112] 第一源极端子731、栅极端子740及漏极端子750从密封材料720向Y2侧延伸。第二源极端子732从密封材料720向X1侧延伸。第三源极端子733从密封材料720向X2侧延伸。第一源极端子731、栅极端子740及漏极端子750延伸的方向是第一方向的一例。第二源极端子732延伸的方向是第二方向的一例。

[0113] 在此,对第六实施方式所涉及的半导体器件6的使用方法进行说明。图10是示出第六实施方式所涉及的半导体器件6的使用方法的图。

[0114] 如图10所示,使用多个半导体器件6。多个半导体器件6相互并联连接。另外,在多个半导体器件6中的两个半导体器件6之间,第二源极端子732与第三源极端子733连接。例如,第二源极端子732与第三源极端子733通过焊接、软钎焊或螺纹紧固而相互连接。

[0115] 这样,即使在使用分立型的半导体器件6的情况下,也能够多个半导体器件6之间抑制源极焊盘772的电位的偏差而抑制振荡。为此,能够提高多个晶体管710之间的并联动作的稳定性。

[0116] 另外,通过使用第一键合引线781、第二键合引线782及第三键合引线783,能够容易地将源极焊盘772与第一源极端子731、第二源极端子732及第三源极端子733连接。

[0117] 通过使晶体管710为包括碳化硅衬底711的碳化硅晶体管,容易实现高耐压。

[0118] 需要说明的是,晶体管200、300、400及710不必是场效应晶体管,例如也可以是绝缘栅双极型晶体管(insulated gate bipolar transistor:IGBT)。在这种情况下,发射极焊盘被用作第一焊盘。IGBT也可以是碳化硅IGBT。

[0119] 以上,对实施方式进行了详细说明,但并不限定于特定的实施方式,能够在权利要求所记载的范围内进行各种变形及变更。

[0120] 附图标记说明

[0121] 1、2、3、4、5、6:半导体器件

[0122] 11:第一导电层(导电部件)

[0123] 12:第二导电层

[0124] 13:第三导电层

[0125] 14:第四导电层

[0126] 15:第五导电层

[0127] 101:源极端子

[0128] 102:漏极端子

[0129] 103:栅极端子

[0130] 104:感测源极端子

[0131] 121:散热板

[0132] 122:箱体

[0133] 123、623、624:绝缘基板

[0134] 131:第一接合材料

[0135] 132:第二接合材料

[0136] 161:第一键合引线(第一连接部件)

[0137] 162:第二键合引线(第二连接部件)

[0138] 163:第三键合引线(第三连接部件)

[0139] 164:第四键合引线(第五连接部件)

[0140] 165:第五键合引线

[0141] 166:第六键合引线(第四连接部件)

[0142] 167:第七键合引线

[0143] 168:第八键合引线

[0144] 169:第九键合引线

[0145] 170:第十键合引线

[0146] 171:第十一键合引线

[0147] 191、192:侧壁部

[0148] 193、194:端壁部

[0149] 200、300、400:晶体管

[0150] 210:碳化硅衬底

[0151] 210A:主面

[0152] 210B:主面

- [0153] 211:碳化硅单晶衬底
- [0154] 212:碳化硅外延层
- [0155] 231:栅极焊盘
- [0156] 232、332、332A、332B、432、432A、432B:源极焊盘(第一焊盘)
- [0157] 233:漏电极
- [0158] 234、334、434:栅极布线
- [0159] 241、341、441:第一连接区域
- [0160] 242、342、442:第二连接区域
- [0161] 243、343、443:第三连接区域
- [0162] 351、451:第一内部连接区域
- [0163] 352、452:第二内部连接区域
- [0164] 353、453:间隙
- [0165] 432C:导通区域
- [0166] 500:二极管
- [0167] 532:阳极焊盘
- [0168] 710:晶体管
- [0169] 711:碳化硅衬底
- [0170] 720:密封材料
- [0171] 731:第一源极端子
- [0172] 732:第二源极端子
- [0173] 733:第三源极端子
- [0174] 740:栅极端子
- [0175] 750:漏极端子
- [0176] 760:芯片焊盘
- [0177] 771:栅极焊盘
- [0178] 772:源极焊盘(第一焊盘)
- [0179] 773:漏电极
- [0180] 781:第一键合引线(第一引线)
- [0181] 782:第二键合引线(第二引线)
- [0182] 783:第三键合引线(第三引线)
- [0183] 784:第四键合引线
- [0184] 790:接合材料
- [0185] I:电流。

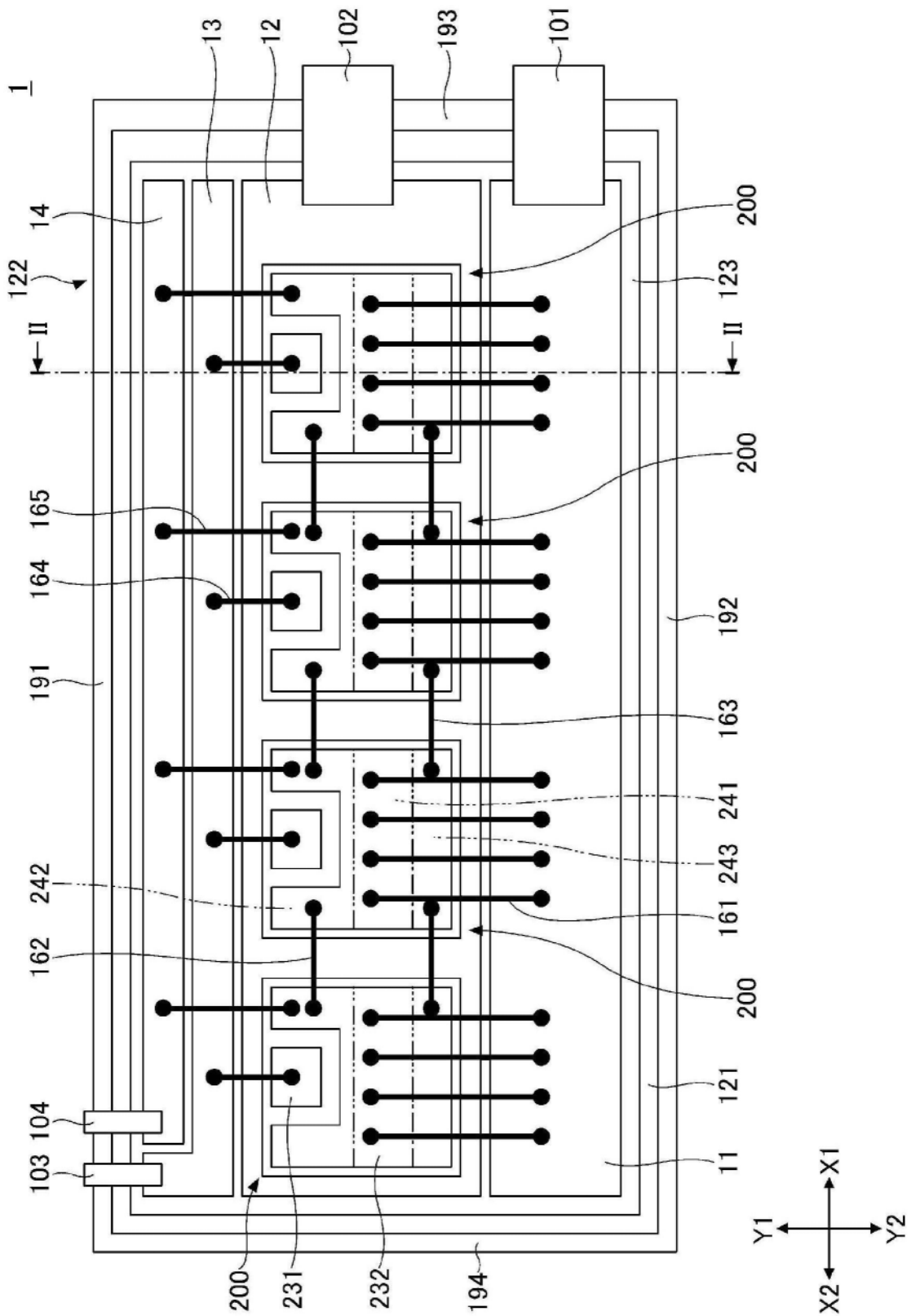


图1

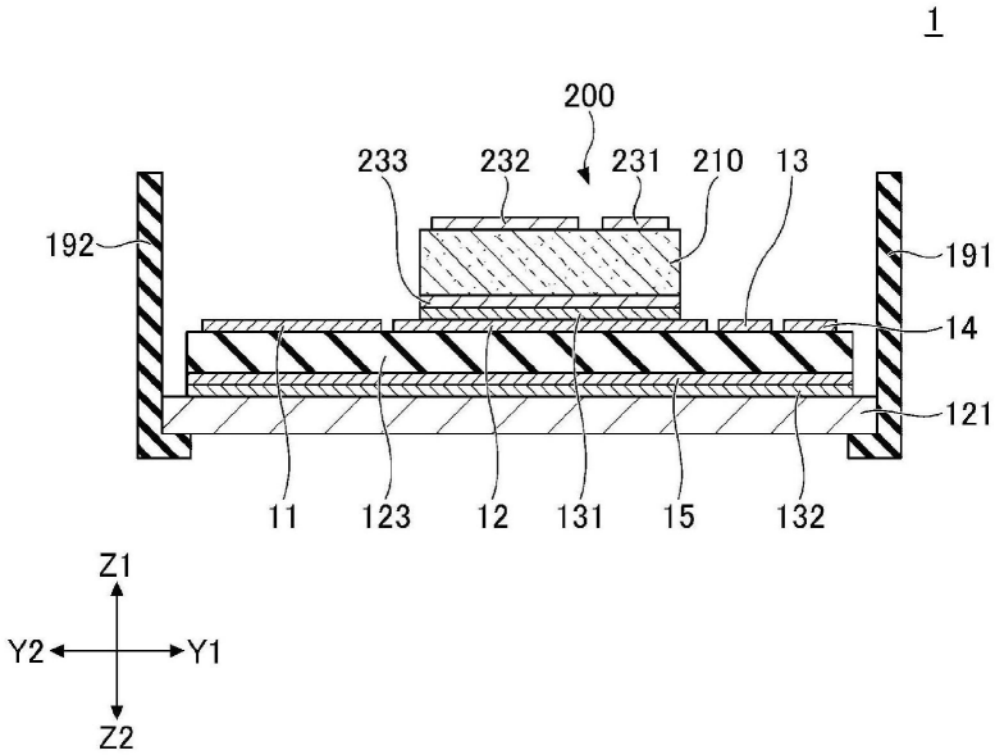


图2

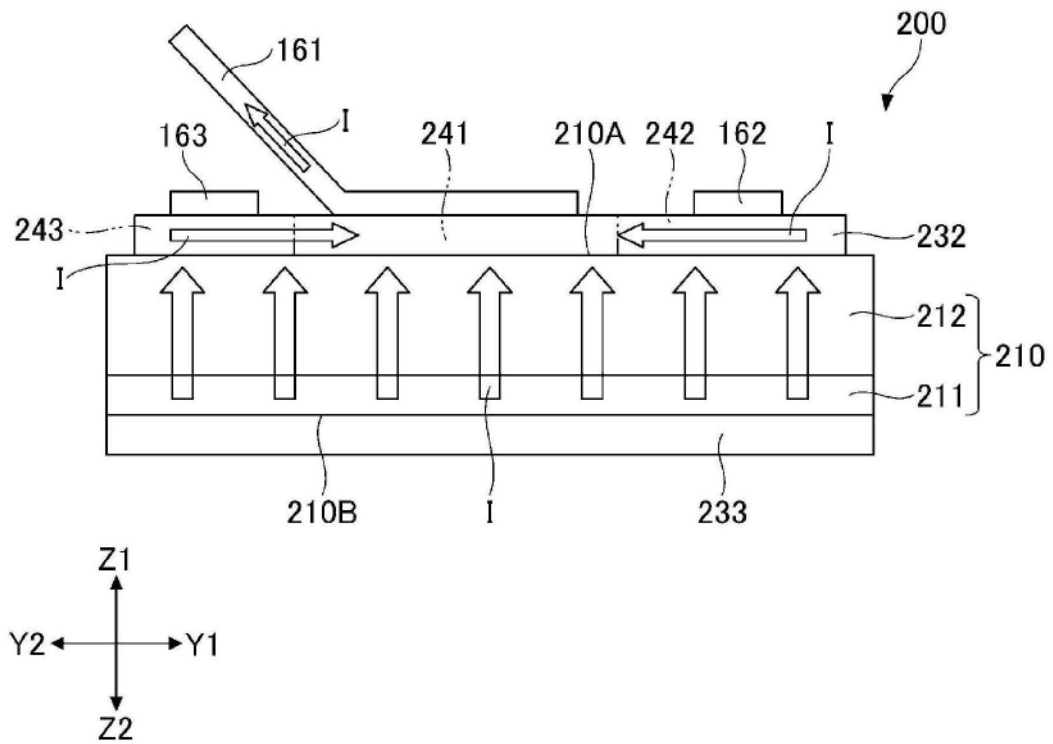


图3

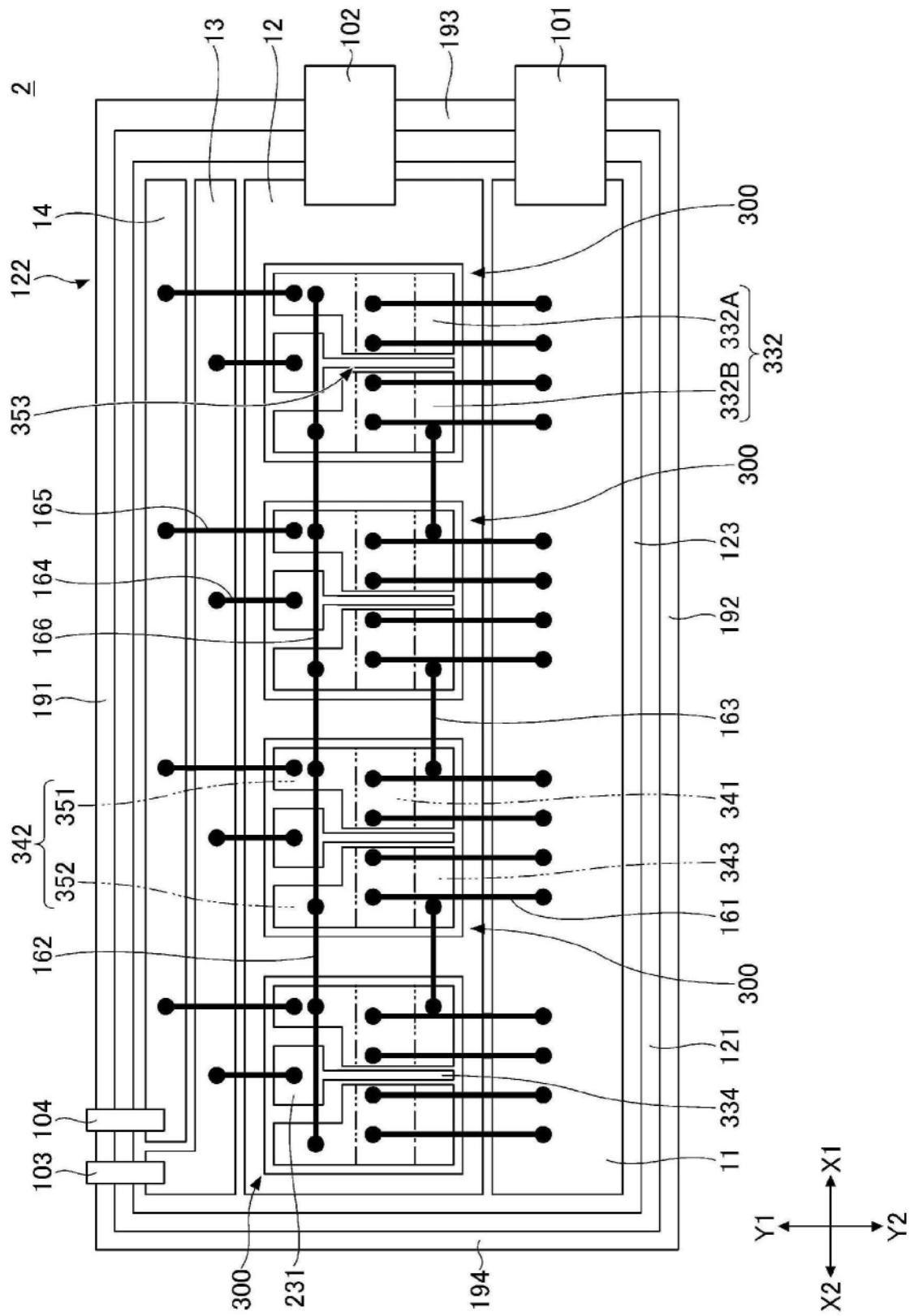


图4

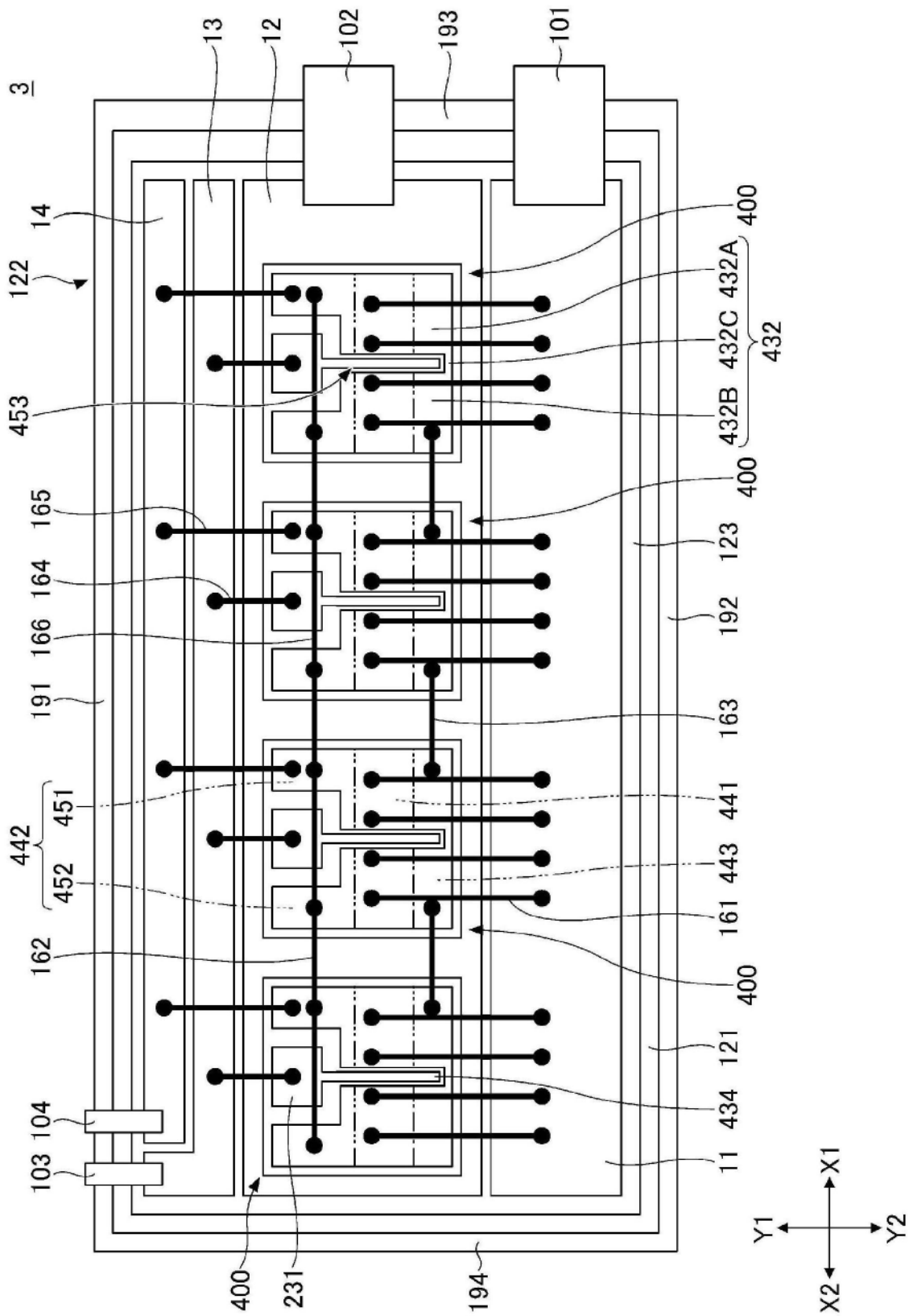


图5

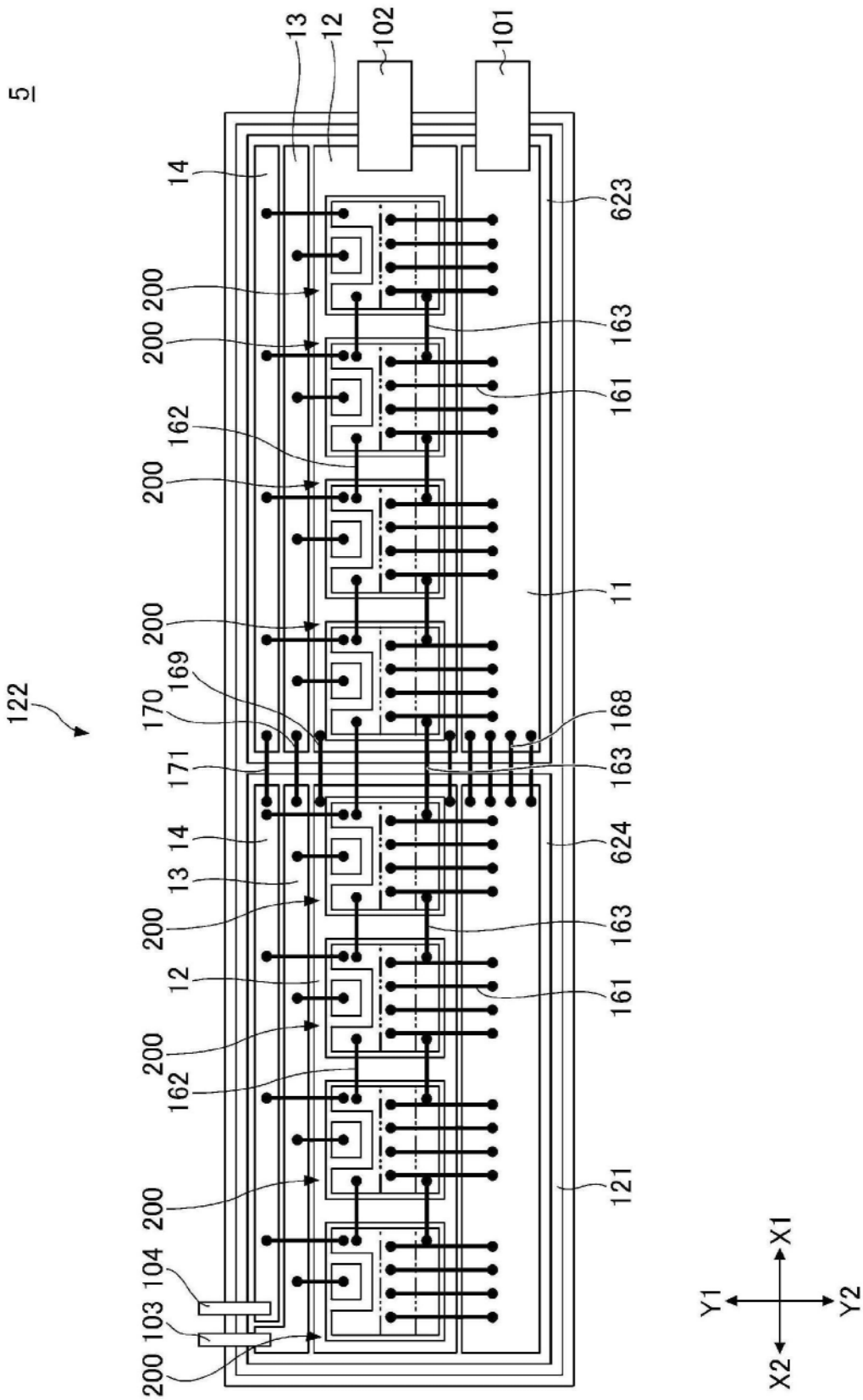


图7

6

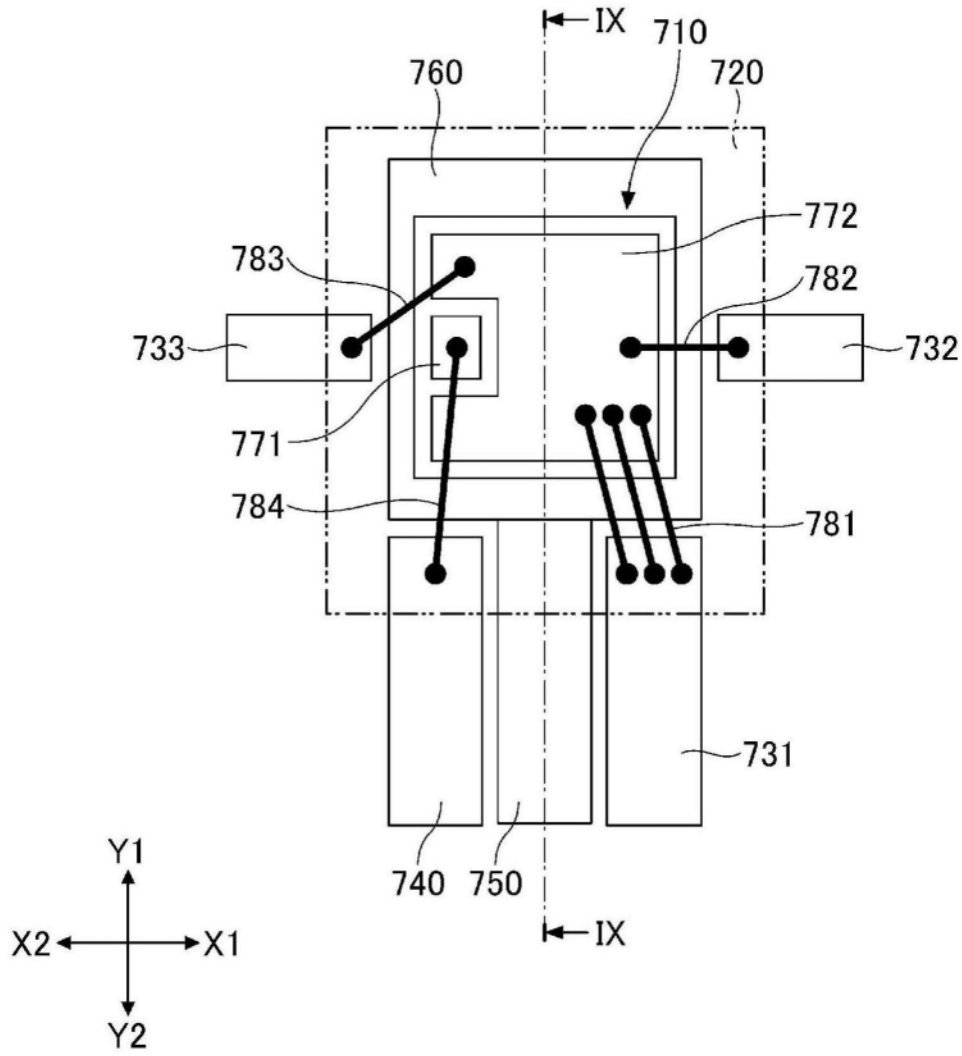


图8

6

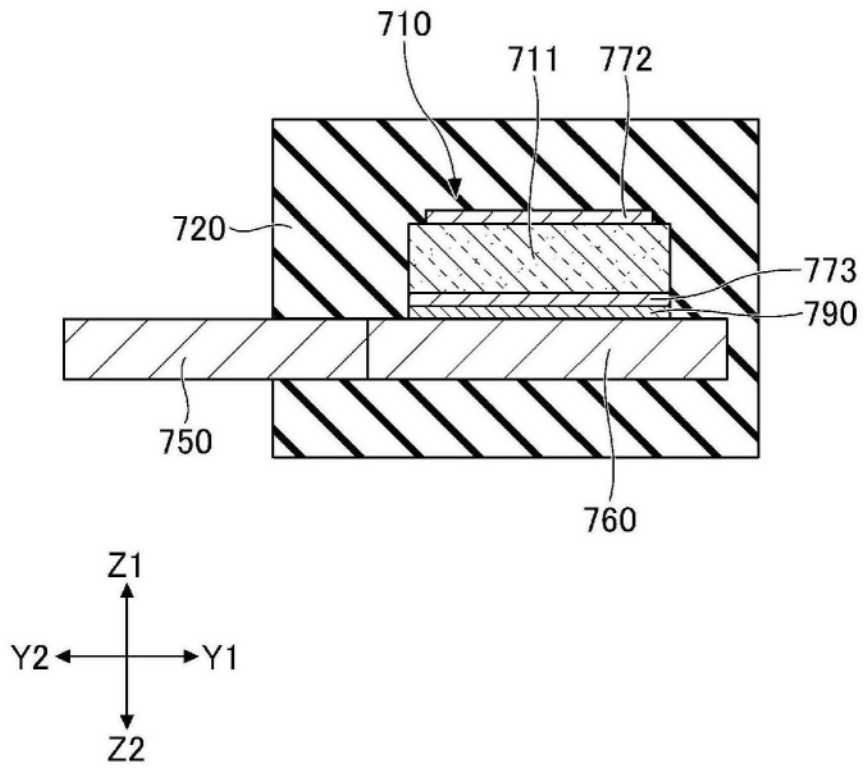


图9

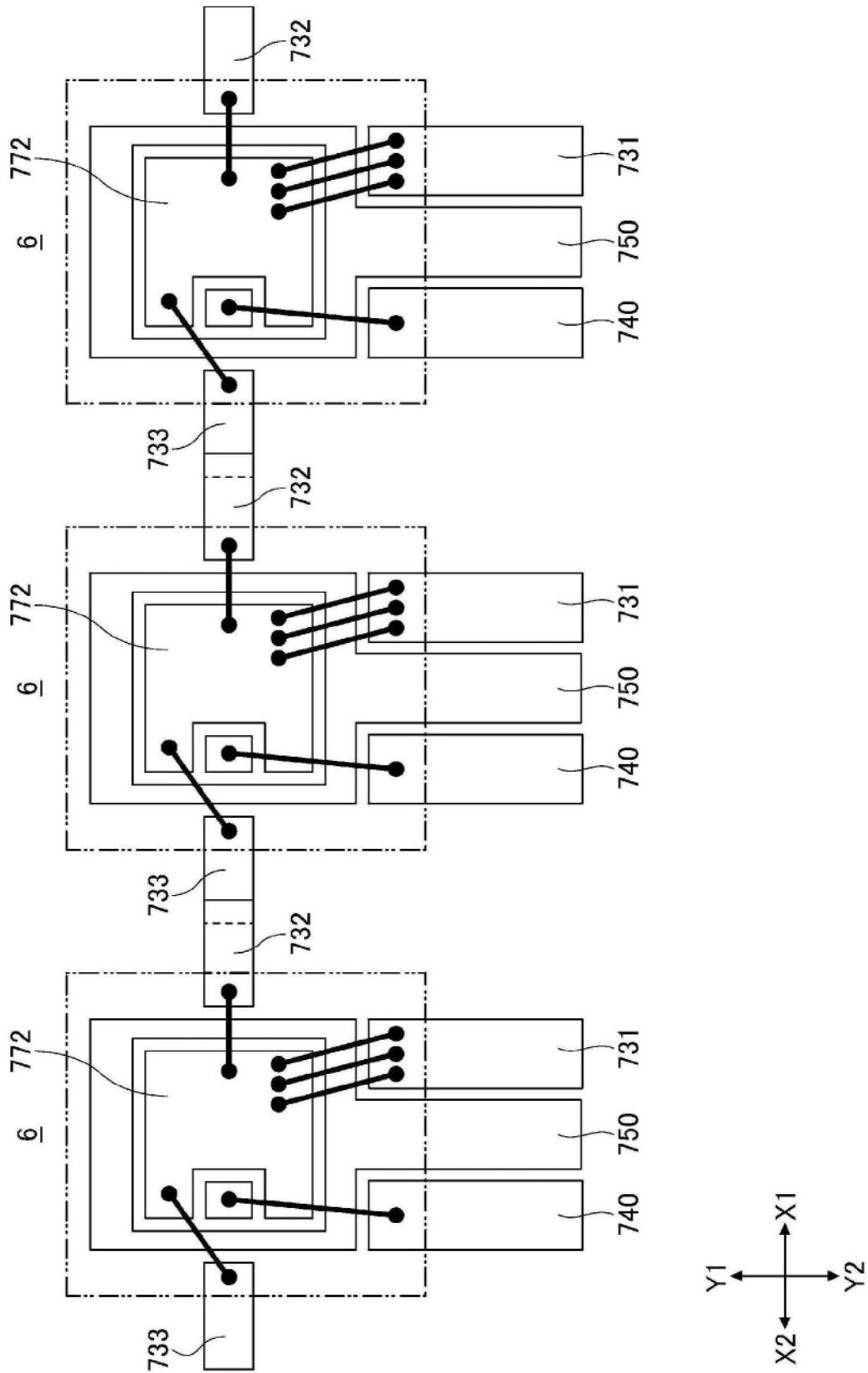


图10