申請日期	87. 1. 20.
案號	87100721
類別	G06F3/00

（以上各欄由本局填註）

A4
C4

公告本

發明 ~~新型~~ 專利說明書 480428

一、發明 ~~新型~~ 名稱	中文	資料輸入/輸出電路及使用該電路之方法
	英文	"CIRCUIT OF DATA INPUT/OUTPUT AND METHOD USING THE SAME"
二、發明 ~~創作~~ 人	姓名	李楨培
	國籍	韓國
	住、居所	大韓民國京畿道軍浦市山本2洞朱夢住公APT 1006棟1205號
三、申請人	姓名（名稱）	韓商三星電子股份有限公司
	國籍	韓國
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞416番地
	代表人姓名	尹鍾龍

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
韓國	1997年6月23日	97-26473	□有☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1　）

1.發明之背景

本發明乃關於一半導體記憶體中輸入及輸出資料之電路及方法，特別關於(在一同步半導體記憶體中)之(供輸入及輸出資料電路)(以便在每一參考時鐘信號週期產生許多資料字，並將產生之資料字至記憶體)，及一方法。

2.有關技藝之敘述

最近之電腦系統通常用一同步半導體記憶體，由一系統時鐘信號驅動，作爲一主記憶體以增加作業速度。此外，同步半導體記憶體使用二倍資料速度(DDR)方法以傳輸及接收資料，利用一時鐘信號之升緣及降緣以進一步增加資料處理速度。

以DDR方法，在一參考時鐘信號週期可以處理二個或更多資料字。此時，同步半導體記憶體應同步處理不同內部資料。以此作法以便增加作業邊際。

在DDR狀況下，參考時鐘tCC(時鐘週期)之半數，即tCC/2爲一向外輸出之一資料字之一位時間。此時，半導體記憶體包括具有tCC位時間之二線，一線之資料依照時鐘信號之升緣加以處理，而另一線之資料則依照時鐘信號之下降邊緣予以處理。

圖1顯示一傳統資料輸入/輸出方法。以記憶體資料讀出模式中一資料路徑利用一多工器101及驅動器103。多工器103自二個內資料線依照ΦCLK及/ΦCLK選擇其中一資料線。驅動器103由多工器101之一輸出信號所驅動。

記憶體資料寫入模式中之資料路徑使用二個輸入接收機

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2 ）

105及107。二個輸入接收機105及107分別由ΦCLK及ΦCLK所激勵。在記憶體中，特別是DRAM，必須發展一個電流以使輸入接收機之作業電流爲最低。

圖2顯示一輸入接收機之一例。當第一個控制信號即SAMPLE最初爲接收之外輸入資料而上升至高時，路徑電路體201及203爲導電。自參考電壓終端及經由路徑電晶體201及203之充電被儲存於終端205及207中。當控制信號SAMPLE下降爲低時，路徑電晶體201及203停止導電。此時，鎖存器209之上拉電晶體211爲導電。當第二個控制信號SENSE升至高時，鎖存器209之下拉電晶體213爲導電以將儲存於終端205及207中之電荷放大。所放大之資料由其他電路所收到(未示出)。

輸入接收機消耗一些功率。但由傳統技藝，需要一輸入接收機供在一參考時鐘週期以處理每一資料字。因此，當每二時鐘週期內處理資料字數目增加時，輸入接收機之數目必須增加。因此，功率消耗亦必增加。

本發明之略述

本發明之目的爲提供一輸入及輸出資料之電路而具有在(每一時鐘週期處理之資料字增加時，其功率消耗仍可較小)，及一用電路之方法。

達成本發明之目的，一資料輸入及輸出電路包括一非重疊時鐘產生器，以產生許多非重疊時鐘信號，每一信號在不同時間爲活動的；一資料輸出電路選擇性地輸出許多內部資料信號之一以響應非重疊時鐘信號；一導體連接至資

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

訂

線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3　）

料輸出電路之輸出；及一資料輸入電路具有一輸入連接至另一導體，其選擇性接收自導體之資料信號以響應非重疊時鐘信號。

輸入及輸出資料之方法包括下列步驟：產生許多非重疊時鐘信號，每一信號在不同時間爲活動的；選出許多內部資料信號之一以響應此非重疊時鐘信號；發射此選出之內部資料信號至另一電路；及選擇性接收發射之信號以響應非重疊時鐘信號。

圖說之簡略說明

本發明之以上目的及優點在較佳具體實例之詳述及參考所附圖說後將更爲明顯，其中：

圖1爲一傳統資料輸入/輸出電路；

圖2爲一輸入接收機；

圖3爲本發明之資料輸入/輸出電路之第一個具體實例；

圖4爲本發明之資料輸入/輸出電路之第二個具體實例；

圖5爲利用一PLL之非重疊時鐘產生器之一具體實例；

圖6爲圖5之相位頻率檢波器；

圖7爲圖5之充電泵浦之一具體實例；

圖8爲圖5之電壓控制振盪器之具體實例；及

圖9爲圖5之非重疊時鐘產生器內之選擇信號之定時圖。

較佳具體實例之敘述

參考圖3本發明之資料輸入及輸出電路包括一非重疊時鐘產生器319，一資料輸出電路301，一導體303及一資料輸入電路305。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4 ）

非重疊時鐘產生器319產生許多非重疊時鐘信號Φ0，Φ0，...，Φ(n-1)，每一信號在不同時間爲活動的。資料輸出電路301自許多內部資料信號DB0，DB1，...，DB(n-1)，選擇內部資料以響應每一非重疊時鐘信號Φ0，Φ1，...，Φ(n-1)及輸出選出之內部資料。導體連接至資料輸出電路301以將資料輸出電路301之輸出資料至資料輸入/輸出電路之其他部分。資料輸入電路305有一終端連接至導體303，及選擇性輸入一導體303之資料信號至一半導體記憶體裝置以響應非重疊時鐘信號Φ0，Φ1，...，Φ(n-1)。因此，本發明之資料輸入/輸出電路有一結構，其中，依照非重疊時鐘信號由資料輸出電路301所產生之資料信號由資料輸出電路305經由一導體303收到。

資料輸出電路301現將說明於下。資料輸出電路301包括一多工器307及一驅動器311。

多工器307有許多內部資料信號DB0，DB1，...，DB(n-1)作爲輸入信號，及輸出由非重疊時鐘信號Φ0，Φ1，...，Φ(n-1)所選擇之內部資料信號。

當一非重疊時鐘信號Φ0，Φ1，...，Φ(n-1)被激勵時，DB0，DB1，...，DB(n-1)中之一對應之內部資料信號被選出，選出之內部資料信號被發射並在多工器307之輸出終端N308被輸出。

驅動器311有一輸出終端N302與導體303連接，及一輸入終端連接至多工器307之輸出終端N308。驅動器311由多工器307之輸出信號所驅動。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(5)

本具體實例之驅動器311包括一MOS電晶體313。MOS電晶體313有一漏極連接在導體303，一源連接至一地電壓VSS，及一閘連接至多工器307之輸出終端N308。驅動器311成爲導電或不導電以響應多工器307之輸出信號。

本發明之驅動器311可包括一NMOS電晶體。因此當多工器307之輸出信號爲低時，MOS電晶體313被停止導電。此時，導體303之邏輯狀態視外信號而定。導體303被連接至電源電壓VCC及一具有高電阻之電阻器(未示出)而成爲邏輯高狀態。

當多工器307之輸出信號爲邏輯高狀態，MOS電晶體313開始導電。此時，導電303變爲邏輯低狀態。

MOS電晶體可以PMOS電晶體或標準推挽驅動器來代替。

簡言之，資料輸出電路301利用非重疊時鐘信號Φ0，Φ1，...，Φ(n-1)選擇一個內部資料信號DB0，DB1，...，DB(n-1)。

現在說明資料輸入電路305如下。該電路305包括一輸入接收機315及許多內部輸入裝置317a，317b，...，317n。

輸入接收機315接收一預定參考電壓VREF及自導體303所發射之一外部資料信號XIN。輸入接收機315將外部資料信號XIN與VREF加以比較以產生一預資料信號XPRE。輸入315有一反相輸入終端(-)，參考電壓VREF即加在其上，及一未反相輸入終端(+)，一外部資料信號XIN加在其上。因此，當一外部資料信號XIN較參考電壓VREF爲高時，自輸入接收機315之預資料信號XPRE輸出爲高。當外

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
訂
線

五、發明說明（6　）

部資料信號XIN之電壓較參考電壓VREF爲低時，自輸入接收機315之預資料信號XPRE爲低。

許多內部輸入裝置317a，317b，...，317n輸入預資料信號XPRE進入半導體記憶體以響應許多非重疊時鐘信號Φ0，Φ1，...，Φ(n-1)。

內部輸入裝置317a，317b，...，317n每一均包括一個D觸發器。每一D觸發器有一D輸入連接至非重疊時鐘信號Φ0，Φ1，...，Φ(n-1)之對應信號。因此，當一非重疊時鐘信號爲活動時，連接至活動時鐘信號之D觸發器即自其非反相輸出輸出一相同邏輯位準之預資料信號XPRE。

意即當時鐘信號Φ0爲活動時，第一個D觸發器317a操作並輸出一相同邏輯位準之預資料信號XPRE作爲輸出信號至記憶體之其他電路。此時，所有時鐘信號除Φ0外均爲不活動，預資料信號來自D觸發器輸出。當時鐘信號Φ1爲活動時，相同邏輯位準之預資料信號XPRE自操作之第二個D觸發器307b輸出，作爲輸出信號DI1至記憶體之其他電路。

因此，輸入電路305接收資料輸出電路301之輸出信號並經由非重疊時鐘信號選擇之D觸發器輸出接收之信號至記憶體之其他電路。因此，本發明之資料輸入/輸出電路發射由非重疊之時鐘信號所選擇之預定內部資料信號經由預定之D觸發器至記憶體之其他內部電路。

當時鐘信號Φ爲活動的，內部資料信號DB0被選出並產生出來作爲資料輸入電路之一輸出信號DI0輸出至記憶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7 ）

之其他內部電路。當時鐘信號Φ1爲活動時，內部資料信號DB1被選出並由資料輸入電路產生作爲其輸出信號DI1以輸出至記憶體之其他內部電路。因此，資料輸入/輸出電路可在每一時鐘週期發射許多資料信號。

圖4顯示資料輸入/輸出電路之第二個具體實例。參考圖4，第二個資料輸入/輸出電路與第一個具體實例電路相等，除了資料輸出電路401不同。

即，資料輸出電路401包括一多工器407，一鎖存器409及一驅動器411。多工器407接收許多內部資料信號DB0，DB1，...DB(n-1)作爲輸入信號及產生由非重疊時鐘信號Φ0，Φ1，...，Φ(n-1)所選擇之一內部資料信號。

鎖存器409將多工器407之輸出信號加以鎖存。驅動器411有一輸出終端N402連接至導體403及一輸入終端連接至鎖存器409之一輸出終端N410，其由鎖存器409之一輸出信號所驅動。

位於多工器407及驅動器411之間的鎖存器409使非重疊時鐘產生器之設計限制上得以緩和。當不使用鎖存器409，非重疊時鐘信號之邊緣必須精確地與許多內部資料信號DB0，DB1，...，DB(n-1)之邊緣重合。如時鐘信號之邊緣不重合，可產生無效之間隔，而維持資料之功率不必要的被消耗。

此電路之結構及作業與第一個具體實例相同。

非重疊時鐘信號可由不同方式產生。其一是利用相位鎖住環路(PLL)。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8 ）

圖5顯示利用一PLL之非重疊時鐘產生器之一具體實例。產生四個非重疊時鐘信號。參考圖5，此非重疊時鐘產生器包括一相位頻率偵感器501，一充電泵浦503及一電壓控制振盪器505及一解碼器507。

圖6顯示圖5中相位頻率偵感器501之一具體實例。參考圖5，相位頻率偵感器501將一參考時鐘信號ΦCLK與非重疊時鐘信號Φ0之反相信號OSC之相位及頻率加以比較，以產生第一及第二泵浦控制信號UP及DOWN。

當參考時鐘信號ΦCLK之降落邊緣較反相信號OSC之下降邊緣爲早時，第一泵浦控制信號UP被激勵至低位直到反相信號OSC及參考時鐘信號ΦCLK之下降邊緣重合爲止。當參考時鐘信號ΦCLK之下降邊緣較反相信號OSC之邊緣爲晚，第二泵浦控制信號DOWN爲活動的並爲低狀態直到反相信號OSC及參考時鐘信號ΦCLK之下降邊緣重合爲止。當參考時鐘信號ΦCLK之相位與反相信號OSC之相位相同，第一及第二泵浦控制信號UP及DOWN均被去激勵至高狀態。

參考圖7，其顯示圖5之充電泵浦503之一具體實例，泵浦503包括三個反相器701，703及705，一PMOS開關電晶體707，一NMOS開關電晶體709及一RC濾波器771。因此，當第一個泵浦控制信號UP被激勵至低時而第二泵浦控制信號DOWN被去激勵至高時，振盪器控制器XVCO之電壓，即充電泵浦503之輸出信號，因而上升。當第一泵浦控制信號UP被去激勵至高時，而第二泵浦控制信號DOWN被勵

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明（9 ）

爲低時，振盪器控制信號XVCO之電壓降低。當第一及第二泵浦控制信號UP及DOWN均爲高狀態時，振盪器控制信號XVCO有一不變電壓。

圖8爲圖5中電壓控制振盪器505之一具體實例。參考圖8，延遲時鐘信號X0，X1，...，X7之頻率可由振盪控制信號XVCO予以控制。

解碼器507利用延遲時鐘信號X0，X1，...，X7根據圖9中之定時關係以產生非重疊時鐘信號Φ0，Φ1，Φ2，及Φ3。參考圖9，可產生具有與參考時鐘信號ΦCLK相同頻率之四個非重疊時鐘信號。

當圖5至圖9所示之非重疊時鐘產生器予以延伸，非重疊時鐘信號之特殊數目"n"個可以產生。根據一使用PLL之非重疊時鐘信號產生器，非重疊時鐘信號與參考時鐘信號確切同步，並在參考時鐘信號之準確區分中爲活動的。

根據本發明之資料輸入/輸出電路，包括一非重疊時鐘產生器，一資料輸出電路及資料輸入電路。

非重疊時鐘產生器產生許多非重疊時鐘信號，每一信號均在一外時鐘信號之一週期之期間之不同時間爲活動的。資料輸出電路選出性輸出許多內部資料信號以響應非重疊時鐘信號，資料輸入電路輸入由資料輸出電路之資料輸出至另一記憶體電路以響應非重疊時鐘信號。

本發明並僅限於說明之具體實例，許多改變及修正均可由此技藝人士在本發明範圍內爲之。

根據本發明之資料輸入/輸出電路及資料輸入/輸出方

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

法，許多資料字可在一外部時鐘信號之一週期時間予以處理，因而可改進資料處理速率，由於僅用一個輸入接收機，功率消耗亦可降低。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：　資料輸入/輸出電路及使用該電路之方法　）

一種在一半導體記憶裝置中輸入及輸出資料之電路及方法。此資料輸入/輸出電路包括非重疊時鐘產生器，一資料輸出電路及一資料輸入電路。非重疊時鐘產生器產生許多非重疊時鐘信號，在每一外時鐘週期之期間，每一時鐘信號在一不同時間均爲活動的。資料輸出電路選擇及輸出許多內部資料信號之一，此資料輸入電路接收資料輸出電路之資料及將其輸出至記憶體以響應非重疊時鐘信號。因此，資料處理速度可以改進，功率消耗亦可降低。

英文發明摘要（發明之名稱：　"CIRCUIT OF DATA INPUT/OUTPUT AND METHOD USING THE SAME"　）

A circuit for inputting and outputting data in a semiconductor memory device and a method therefor. The data input/output circuit includes a nonoverlapping clock generator, a data output circuit and a data input circuit. The nonoverlapping clock generator generates a plurality of nonoverlapping clock signals each of which is active at a different time during a period of one external clock cycle. The data output circuit selects and outputs one of a plurality of internal data signals, and the data input circuit receives the data of the data output circuit and outputs it to the memory, in response to the nonoverlapping clock signals. Accordingly, data processing speed is improved, and power consumption is reduced.

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A8
B8
C8
D8

六、申請專利範圍

1. 在一半導體記憶體中之一資料輸入電路由一參考時鐘予以同步，包括：

一非重疊時鐘產生器，產生許多非重疊時鐘信號，每一信號在不同時間爲活動的；

一輸入接收機，接收一預定參考電壓及一外部資料信號，及比較此外部資料信號與參考電壓以產生一預資料信號；及

許多內部資料輸入裝置，每一均接收預資料信號及輸出預資料信號至半導體記憶體以響應各別非重疊時鐘信號。

2. 根據申請專利範圍第1項之資料輸入電路，其中該輸入接收機是一具有連接於參考電壓之反相輸入和連接於外部資料信號之非反相輸入的比較器，該比較器放大該外部資料信號和參考電壓之間的差距。

3. 根據申請專利範圍第1項之資料輸入電路，其中之輸入接收機裝置包括一D觸發器其具有一資料輸入連接至預資料信號及一時鐘輸入連接至一非重疊時鐘信號，當連接之預定時鐘信號爲活動時，D觸發器輸出此預資料信號。

4. 在一半導體記憶體內之資料輸出電路，其由一參考時鐘同步，包括：

一非重疊時鐘產生器，產生許多非重疊時鐘信號，每一信號均在不同時間爲活動的；

一多工器接收許多內部資料信號，及輸出根據非重疊時鐘信號所選擇之內部資料信號；及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

一驅動器接收多工器之輸出及輸出所接收之信號。

5. 根據申請專利範圍第4項之資料輸出電路，其中之多工器接收非重疊時鐘信號，當一非重疊時鐘信號爲活動時，輸出與活動非重疊時鐘信號對應之內部資料信號。

6. 根據申請專利範圍第4項之資料輸出電路，其中之驅動器包括一MOS電晶體，其具有一漏極連接至驅動器之輸出，一源連接至一地電壓及一閘連接至多工器之輸出，該多工器被開啓與關閉以響應多工器之輸出信號。

7. 在半導體記憶體中之資料輸出電路，該記憶體由參考時鐘予以同步，包括：

一非重疊時鐘產生器，其產生許多非重疊時鐘信號，每一信號在不同時間爲活動的；

一多工器接收許多內部資料信號及輸出一個由依照每一非重疊時鐘信號所選出之內部資料信號；

一鎖存器其將多工器之輸出信號鎖存；及

一驅動器接收鎖存器之輸出及輸出接收之信號。

8. 根據申請專利範圍第7項之資料輸出電路，其中之多工器接收非重疊時鐘信號，及當一非重疊時鐘信號爲活動時，輸出與活動的非重疊時鐘信號對應之內部資料信號。

9. 根據申請專利範圍第7項之資料輸出電路，其中之驅動器包括一MOS電晶體，其具有一漏極連接至驅動器之輸出，一源連接至一地電壓，及一閘連接至鎖存器之輸出，該鎖存器被開啓及關閉以響應鎖存器之輸出信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

10. 半導體記憶體中之一資料輸入/輸出電路，該記憶體由一參考時鐘同步，包括：

一非重疊時鐘產生器產生許多非重疊時鐘信號，每一信號均在不同時間爲活動的；

一資料輸出電路選擇性輸出許多內部資料信號以響應非重疊時鐘信號；

一導體連接至資料輸出電路之輸出；及

一資料輸入電路具有一輸入連至另一導體，其選擇性接收自導體之資料信號以響應非重疊時鐘信號。

11. 根據申請專利範圍第10項之資料輸入/輸出電路，其中之資料輸入電路包括：

一輸入接收機，其接收一預定參考電壓及一外部資料信號，及比較外部資料信號與參考電壓以產生預資料信號；

許多內部資料輸入裝置，每一均接收預資料信號及輸出預資料信號至半導體記憶體以響應各別非重疊時鐘信號。

12. 根據申請專利範圍第11項之資料輸入/輸出電路，其中之輸入接收機爲一比較器，具有一反相輸入連接至參考電壓及一非反相輸入連接至外部資料信號，其將外部資料信號與參考電壓之差予以放大。

13. 根據申請專利範圍第11項之資料輸入/輸出電路，其中一內部輸入裝置包括一D觸發器，其具有一資料輸入連接至預資料信號及一時鐘輸入連接至一非重疊時鐘信號，當

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

連接之預定時鐘信號爲活動時，D觸發器輸出一預資料信號。

14. 根據申請專利範圍第10項之資料輸入/輸出電路，其中之資料輸出電路包括：

一多工器其接收許多內部資料信號及輸出一根據非重疊時鐘信號選出之一內部資料信號；

一鎖存器將多工器之輸出信號鎖存；及

一驅動器接收鎖存器之輸出信號及輸出所接收之信號。

15. 根據申請專利範圍第14項之資料輸入/輸出電路，其中之多工器接收非重疊時鐘信號，及當一非重疊時鐘信號爲活動時輸出與活動之非重疊時鐘信號對應之內部資料信號。

16. 根據申請專利範圍第14項之資料輸入/輸出電路，其中之驅動器包括一MOS電晶體，其具有一漏極連接至鎖存器之輸出，鎖存器響應鎖存器之輸出信號而被開啓及關閉。

17. 一方法以輸入資料至一由參考時鐘同步之半導體記憶體中，包括下列步驟：

產生許多非重疊之時鐘信號，每一信號均在不同時間爲活動的；

接收及比較一預定之參考電壓及一輸入資料信號以產生一預資料信號；及

輸出一預資料信號至半導體記憶體以響應非重疊之時鐘信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

18. 自一半導體記憶體輸出資料之方法，該記憶體由一參考時鐘所同步，包括下列步驟：

產生許多非重疊時鐘信號，每一信號在不同時間爲活動的；

多工許多內部資料信號以輸出一個依照非重疊時鐘信號所選出之內部資料信號；及

驅動一驅動器以響應選擇之區間資料信號。

19. 輸出在半導體記憶體中資料之方法，該記憶體由一參考時鐘所同步，包括下列步驟：

產生許多非重疊時鐘信號，每一信號均在不同時間；

多工許多內部資料信號以輸出一個依照非重疊時鐘信號所選出之一內部資料信號；

鎖存選出之區間資料信號；及

驅動一驅動器以響應鎖存之信號。

20. 輸入/輸出在一半導體記憶體內資料之方法，該記憶體由一參考時鐘所同步，包括下列步驟：

產生許多非重疊時鐘信號，每一信號均在不同時間爲活動的；

選擇許多內部資料信號之一以響應非重疊時鐘信號；

發射選擇之區間資料信號至另一電路；及

選擇地接收所發射之信號以響應非重疊時鐘信號。

21. 根據申請專利範圍第20項之輸入/輸出資料之方法，其中接收資料步驟尚含以下步驟：

接收及比較一預定參考電壓與一輸入資料信號以產生一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

預資料信號；及

輸出預資料信號至一半導體記憶體以響應非重疊時鐘信號。

22. 根據申請專利範圍第20項之輸入/輸出資料之方法，其中選擇步驟尚包括下列步驟：

多工許多內部資料信號以輸出一個依照非重疊時鐘信號所選出之一內部資料信號；及

驅動一驅動器以響應選出之區間資料信號。

23. 根據申請專利範圍第20項之輸入/輸出資料之方法，其中之選擇步驟尚包含下列步驟：

多工許多內部資料信號以輸出一個依照非重疊時鐘信號所選出之一內部資料信號；

鎖存選出之區間資料信號；及

驅動一驅動器以響應鎖存之信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

圖 1 （以往技藝）

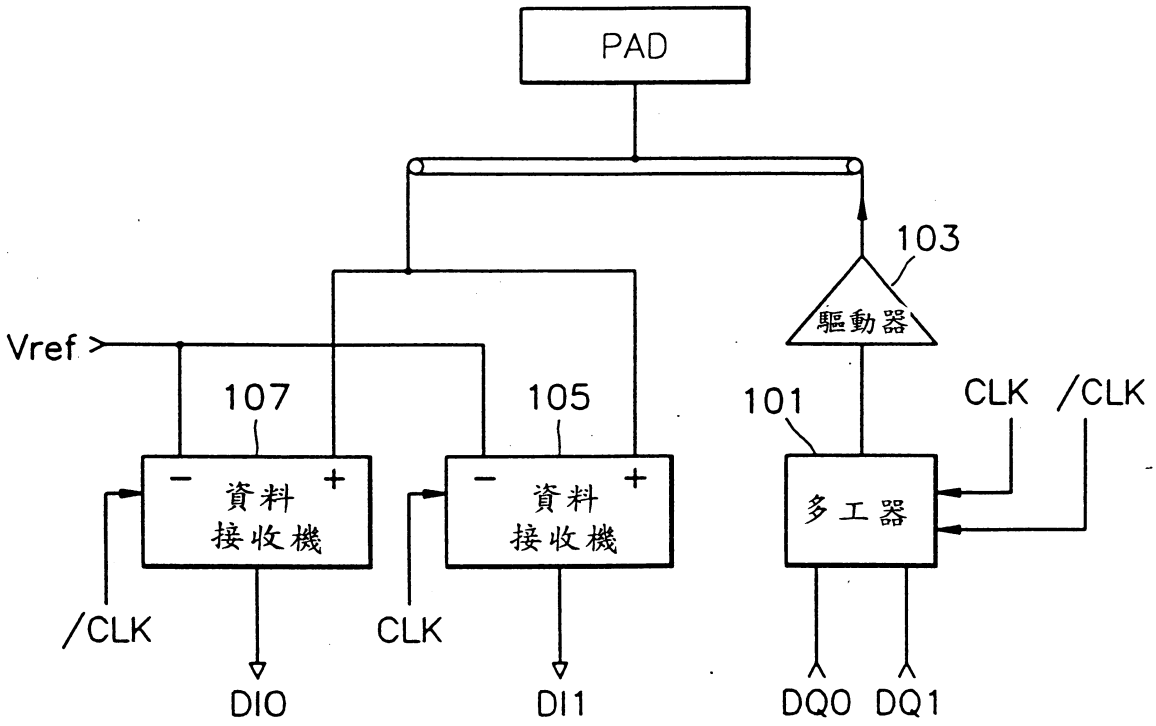
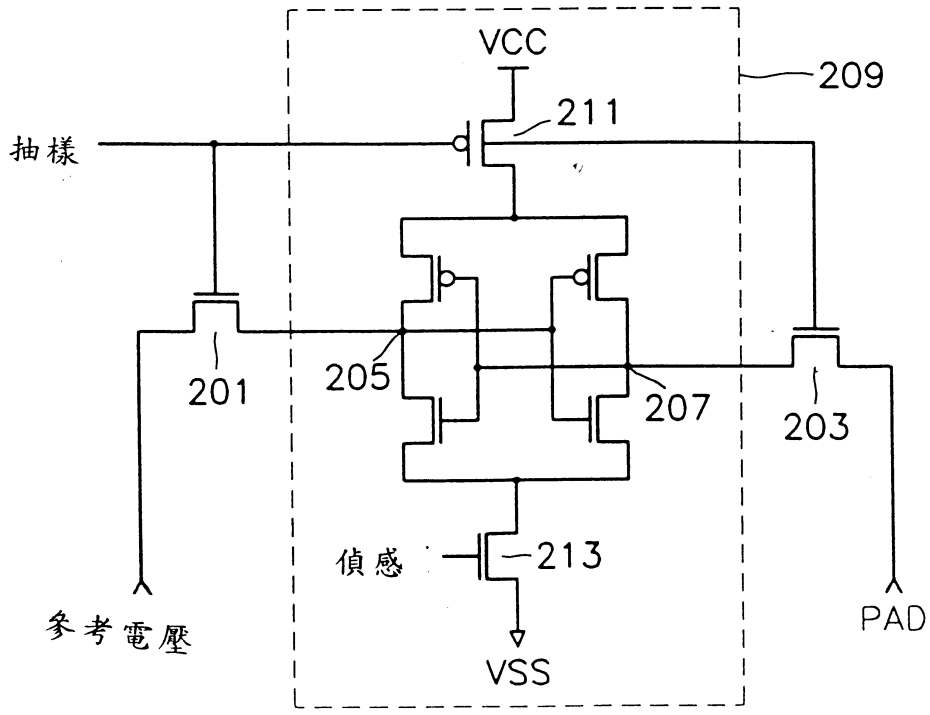


圖 2 （以往技藝）



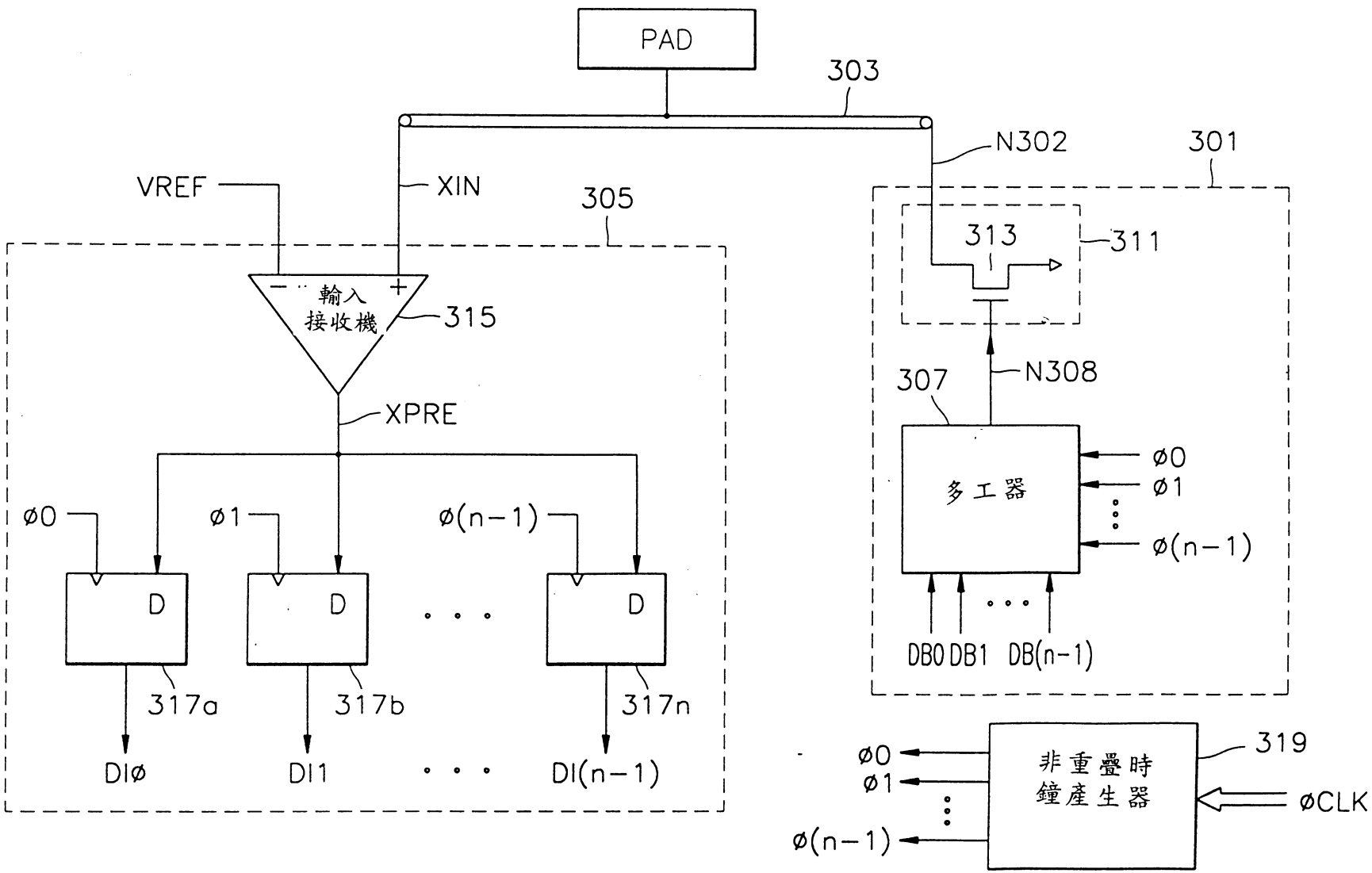

PAD
303
N302
301
VREF
XIN
305
313
311
輸入
接收機
315
307
N308
XPRE
多工器
ø0
ø1
ø(n−1)
ø0
ø1
ø(n−1)
D
D
D
DB0 DB1 DB(n−1)
317a
317b
317n
DIø
DI1
DI(n−1)
ø0
ø1
ø(n−1)
非重疊時
鐘產生器
319
øCLK

圖 3

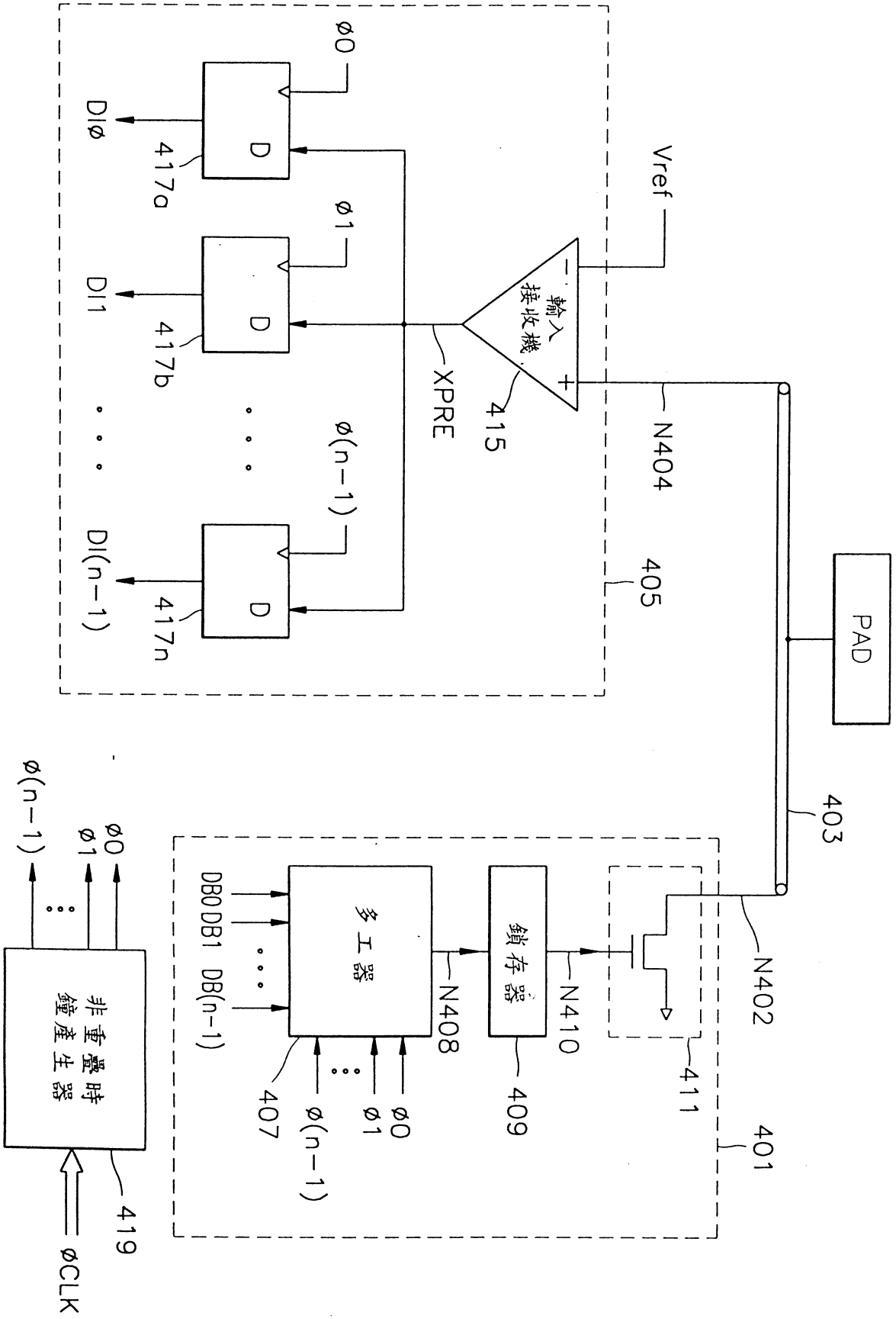

PAD
403
401
N402
411
N410
鎖存器
409
N408
多工器
DB0 DB1 DB(n-1)
407
ø0
ø1
ø(n-1)
非重疊時鐘產生器
419
øCLK
Vref
輸入接收機
415
N404
405
XPRE
ø0
ø1
ø(n-1)
D
DIø
DI1
DI(n-1)
417a
417b
417n

圖 4

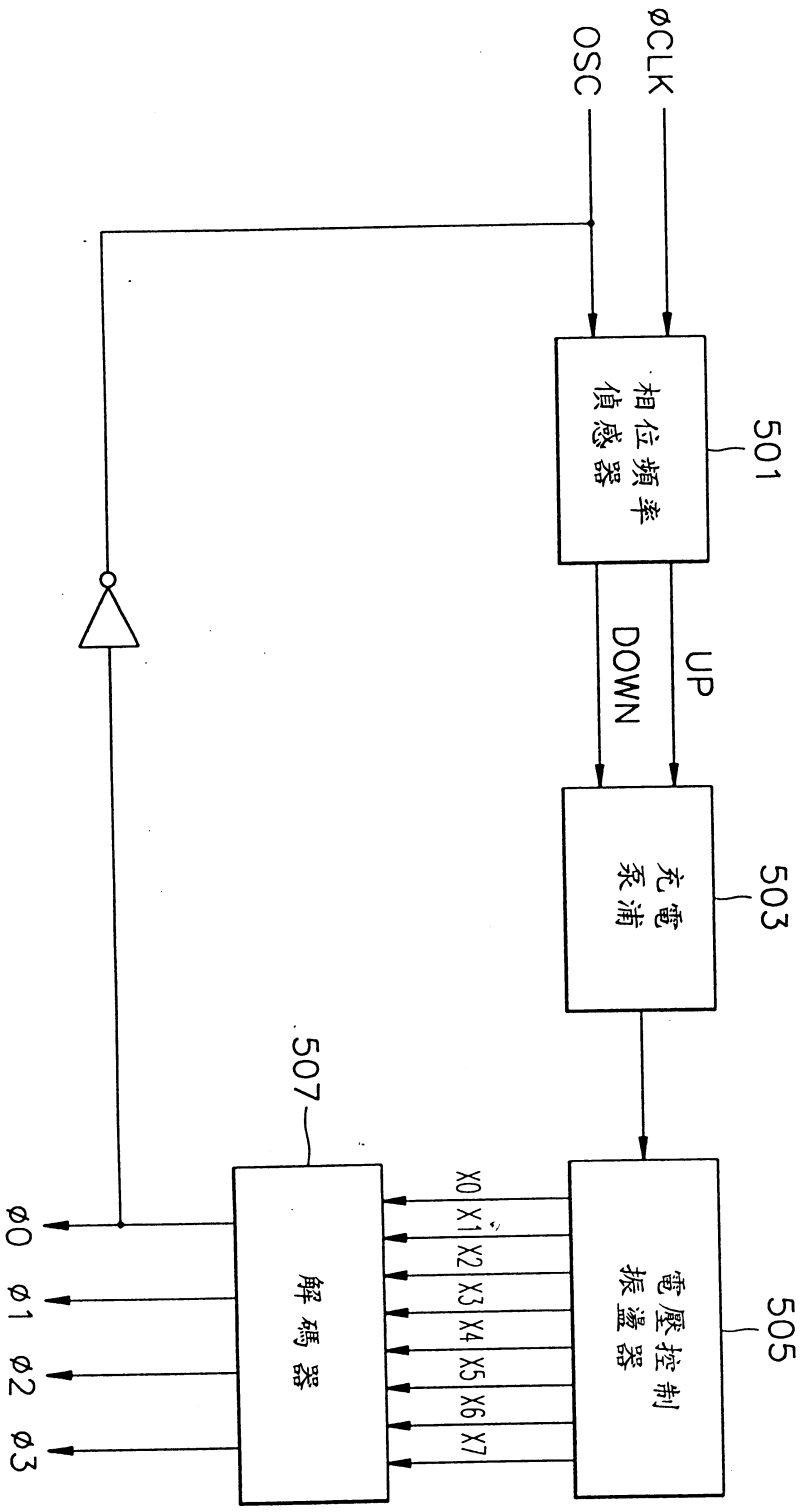

ØCLK
OSC
相位頻率偵感器
501
UP
DOWN
充電泵浦
503
電壓控制振盪器
505
507
解碼器
X0
X1
X2
X3
X4
X5
X6
X7
ø0
ø1
ø2
ø3

圖 5

圖 6

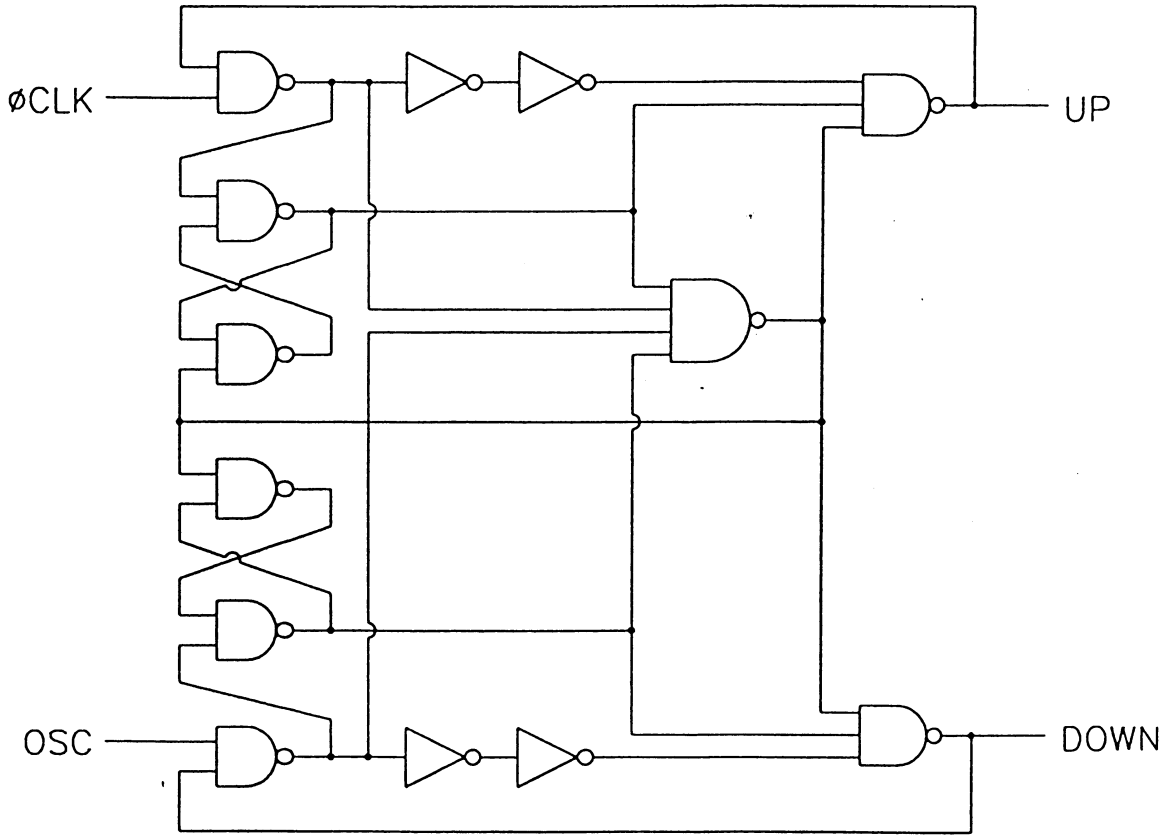
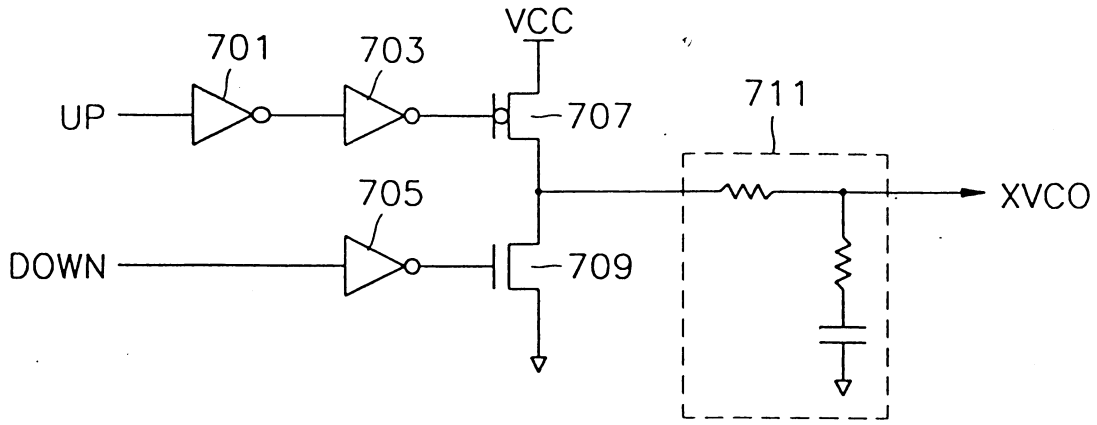


圖 7



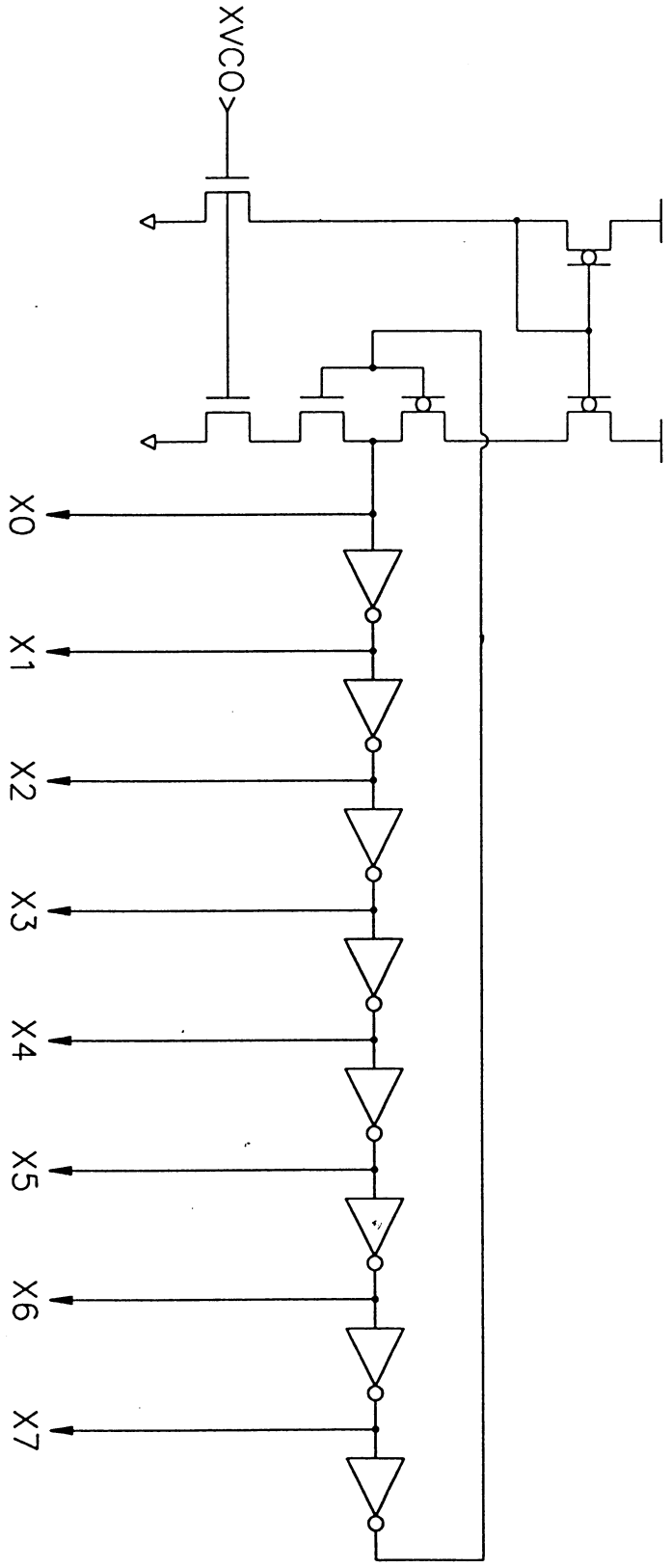


圖 8

圖 9

