

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7146799号
(P7146799)

(45)発行日 令和4年10月4日(2022.10.4)

(24)登録日 令和4年9月26日(2022.9.26)

(51)国際特許分類	F I
H 0 1 L 25/065 (2006.01)	H 0 1 L 25/08 B
H 0 1 L 25/07 (2006.01)	H 0 1 L 21/60 3 1 1 Q
H 0 1 L 25/18 (2006.01)	H 0 1 L 39/00 C
H 0 1 L 21/60 (2006.01)	
H 0 1 L 39/00 (2006.01)	

請求項の数 16 (全24頁)

(21)出願番号	特願2019-554728(P2019-554728)	(73)特許権者	502208397 グーグル エルエルシー Google LLC アメリカ合衆国 カリフォルニア州 9 4 0 4 3 マウンテン ビュー アンフィシ アター パークウェイ 1 6 0 0 1 6 0 0 Amphitheatre P arkway 9 4 0 4 3 Mounta in View, CA U.S.A.
(86)(22)出願日	平成29年9月19日(2017.9.19)	(74)代理人	100108453 弁理士 村山 靖彦
(65)公表番号	特表2020-522120(P2020-522120 A)	(74)代理人	100110364 弁理士 実広 信哉
(43)公表日	令和2年7月27日(2020.7.27)	(74)代理人	100133400 弁理士 阿部 達彦
(86)国際出願番号	PCT/US2017/052132		
(87)国際公開番号	WO2019/059879		
(87)国際公開日	平成31年3月28日(2019.3.28)		
審査請求日	令和1年11月29日(2019.11.29)		

最終頁に続く

(54)【発明の名称】 正確なチップ間分離のためのストップパとしてのピラー

(57)【特許請求の範囲】

【請求項 1】

量子情報処理デバイスを備える第1の基板と、
前記第1の基板に接合される第2の基板と、
前記第1の基板と前記第2の基板との間の複数のバンプボンドであって、前記複数のバンプボンドの各バンプボンドが前記第1の基板と前記第2の基板との間の電気接続を提供する、複数のバンプボンドと、
前記第1の基板と前記第2の基板との間の少なくとも1つのピラーであって、前記第1の基板の第1の表面と前記第2の基板の第1の表面との間の分離距離を定め、各ピラーの横断面積が前記複数のバンプボンドの各バンプボンドの横断面積より大きく、各ピラーのおよび各バンプボンドの前記横断面積が、前記第1の基板の前記第1の表面にまたは前記第2の基板の前記第1の表面に平行な平面に沿って定められ、前記少なくとも1つのピラーが前記第1の基板上の回路素子と前記第2の基板上の回路素子との間の電気接続を提供する、少なくとも1つのピラーと
を備えるデバイス。

【請求項 2】

前記複数のバンプボンドが超伝導バンプボンドである、請求項1に記載のデバイス。

【請求項 3】

前記複数のバンプボンドがインジウムバンプボンドである、請求項2に記載のデバイス。

【請求項 4】

前記複数のバンブボンドの第1のバンブボンドが第1の量子情報処理デバイスと前記第2の基板との間の電気接続を提供する、請求項1に記載のデバイス。

【請求項5】

前記第1の基板と前記第2の基板との間の前記少なくとも1つのピラーが超伝導ピラーである、請求項1に記載のデバイス。

【請求項6】

前記少なくとも1つのピラーがインジウムである、請求項5に記載のデバイス。

【請求項7】

前記第1の基板の前記少なくとも1つの量子情報処理デバイスが量子ビットである、請求項1に記載のデバイス。

【請求項8】

前記少なくとも1つのピラーが円環であり、それにより前記第1の基板および前記第2の基板が前記分離距離にあるときに、前記円環は前記第1の基板の前記少なくとも1つの量子情報処理デバイスを取り囲む、請求項1に記載のデバイス。

【請求項9】

第1の基板を設けるステップと、

第2の基板を設けるステップであって、前記第1の基板または前記第2の基板が複数のバンブボンドを備える、ステップと、

前記第1の基板上または前記第2の基板上に少なくとも1つのピラーを設けるステップであって、前記少なくとも1つのピラーの各ピラーの厚さが前記複数のバンブボンドの各バンブボンドの厚さより小さく、前記少なくとも1つのピラーの各ピラーの前記厚さが、前記少なくとも1つのピラーが形成される表面に垂直である方向に沿って延びる、ステップと、

前記第2の基板に前記第1の基板を接合するステップであって、前記接合が、前記第1の基板と前記第2の基板との間に力を印加して、前記複数のバンブボンドを前記少なくとも1つのピラーの前記厚さと同じ厚さに圧縮するステップを含む、ステップと

を含み、

前記少なくとも1つのピラーが前記第1の基板の回路素子と前記第2の基板の回路素子との間の電気接続を提供する、方法。

【請求項10】

前記第1の基板と前記第2の基板との間に前記力を印加するステップが前記少なくとも1つのピラーを圧縮し、それにより前記少なくとも1つのピラーの幅が拡大する、請求項9に記載の方法。

【請求項11】

前記少なくとも1つのピラーの拡大を測定するステップを含む、請求項10に記載の方法。

【請求項12】

前記少なくとも1つのピラーの前記拡大を測定するステップが、端視顕微鏡を使用して、前記第1の基板と前記第2の基板との間の間隙を通して見られる拡大の量を決定するステップを含む、請求項11に記載の方法。

【請求項13】

前記少なくとも1つのピラーの前記拡大を測定するステップが、前記第1の基板上にパターン化される整合マークに関して前記少なくとも1つのピラーの側方拡大を測定するステップを含む、請求項11に記載の方法。

【請求項14】

前記第2の基板に前記第1の基板を接合する前に較正力を得るステップを含む、請求項9に記載の方法。

【請求項15】

前記較正力を得るステップが、

複数のバンブボンドを備える第3の基板を設けるステップと、

10

20

30

40

50

第4の基板を設けるステップと、

前記第3の基板と前記第4の基板との間に力を印加して前記第3の基板と前記第4の基板との間の所定の分離距離を達成するステップとを含み、

前記第1の基板と前記第2の基板との間に印加される前記力が、前記第3の基板と前記第4の基板との間に印加される前記力と少なくとも同じ大きさである、請求項14に記載の方法。

【請求項16】

前記第1の基板と前記第2の基板との間に印加される前記力が、前記第3の基板と前記第4の基板との間に印加される前記力より大きい、請求項15に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、積層デバイスにおける正確なチップ間分離のためのストッパとしてピラーを使用することに関する。

【背景技術】

【0002】

量子計算は、基底状態の重ね合わせおよびもつれなどの量子効果を利用して、古典デジタルコンピュータより効率的に或る計算を行う比較的新しい計算方法である。デジタルコンピュータがビット（例えば、「1」または「0」）の形態で情報を記憶および操作するのは対照的に、量子計算システムは、量子ビットを使用して情報を操作できる。量子ビットは、複数の状態の重ね合わせ（例えば、「0」および「1」の両状態のデータ）を可能にする量子デバイス、および/または複数の状態のデータの重ね合わせ自体を指すことがある。従来の用語法によれば、量子系における「0」および「1」状態の重ね合わせは、例えば、 $|0\rangle + |1\rangle$ として表され得る。デジタルコンピュータの「0」および「1」状態は量子ビットのそれぞれ $|0\rangle$ および $|1\rangle$ 基底状態に類似している。値 $| \quad |^2$ が、量子ビットが $|0\rangle$ 状態にある確率を表し、値 $| \quad |^2$ は、量子ビットが $|1\rangle$ 基底状態にある確率を表す。

【発明の概要】

【課題を解決するための手段】

【0003】

概して、本明細書に記載される対象の1つの革新的な態様は、量子情報処理デバイスを含む第1の基板、および第1の基板に接合される第2の基板、ならびに第1の基板と第2の基板との間の複数のバンプボンドおよび少なくとも1つのピラーを含むデバイスに具現化可能である。複数のバンプボンドの各バンプボンドは第1の基板と第2の基板との間の電気接続を提供する。少なくとも1つのピラーは第1の基板の第1の表面と第2の基板の第1の表面との間の分離距離を定める。各ピラーの横断面積が複数のバンプボンドの各バンプボンドの横断面積より大きく、各ピラーのおよび各バンプボンドの横断面積は、第1の基板の第1の表面にまたは第2の基板の第1の表面に平行な平面に沿って定められる。

【0004】

本デバイスの実装形態は以下の特徴の1つまたは複数を含むことができる。一部の実装形態では、複数のバンプボンドは超伝導バンプボンド（例えば、インジウムバンプボンド）である。第1の基板と第2の基板との間の少なくとも1つのピラーは超伝導ピラー（例えば、インジウムピラー）であることができる。

【0005】

一部の実装形態では、複数のバンプボンドの第1のバンプボンドが第1の量子情報処理デバイス（例えば、量子ビット）と第2の基板上の回路素子との間の電気接続を提供する。少なくとも1つのピラーは第1の基板上の回路素子と第2の基板上の回路素子との間の電気接続を提供してよい。

【0006】

一部の実装形態では、少なくとも1つのピラーは、第1の基板および第2の基板が分離

10

20

30

40

50

距離であるときに第 1 の基板上の少なくとも 1 つの量子情報処理デバイス（例えば、量子ビット）を円環が取り囲むように円環状である。

【 0 0 0 7 】

概して、本明細書に記載される対象の別の態様は、積層デバイスにおける正確なチップ間分離のためのストッパとしてピラーを使用する動作を含む方法に具現化可能である。本方法は、第 1 の基板および第 2 の基板であって、第 1 の基板が複数のバンプボンドを含み、各ピラーの厚さが複数のバンプボンドの各バンプボンドの厚さより小さく、その厚さが少なくとも 1 つのピラーが形成される第 1 の基板の第 1 の表面に垂直である方向に沿って延びる、第 1 の基板および第 2 の基板と、少なくとも 1 つのピラーとを設けるステップと、第 2 の基板に第 1 の基板を接合するステップとを含むことができる。第 1 の基板および第 2 の基板の接合は、第 1 の基板と第 2 の基板との間に力を印加して、複数のバンプボンドを少なくとも 1 つのピラーの厚さと同じ厚さに圧縮するステップを含む。

10

【 0 0 0 8 】

一部の実装形態では、第 1 の基板と第 2 の基板との間に力を印加するステップは、少なくとも 1 つのピラーの幅が拡大するように少なくとも 1 つのピラーを圧縮する。少なくとも 1 つのピラーの拡大は測定されてよい。例えば、ピラーの拡大を測定するステップは、端視顕微鏡を使用して、第 1 の基板と第 2 の基板との間の間隙を通して見られる拡大の量を決定するステップを含む。別の例では、ピラーの拡大を測定するステップは、第 1 の基板上にパターン化される整合マークに関してピラーの側方拡大を測定するステップを含む。

20

【 0 0 0 9 】

一部の实装形態では、第 2 の基板に第 1 の基板を接合する前に較正力が得られる。例えば、較正力を得るステップは、複数のバンプボンドを含む第 3 の基板および第 4 の基板を設けるステップと、第 3 の基板と第 4 の基板との間に力を印加して第 3 の基板と第 4 の基板との間の所定の分離距離を達成するステップとを含むことができ、そのため第 1 の基板と第 2 の基板との間に印加される力は、少なくとも第 3 の基板と第 4 の基板との間に印加される力と同程度の大きさである、またはそれより大きい。

【 0 0 1 0 】

本明細書に記載される対象の特定の実施形態は、以下の利点の 1 つまたは複数を実現するように実装可能である。本明細書に開示される技術は、第 1 の基板と第 2 の基板との間の分離距離の再現性、精度および均一性を改善し、これは次いで第 1 の基板上の回路素子（例えば、量子ビット）と第 2 の基板上の対応する回路素子（例えば、量子ビット制御回路素子）との間の結合の再現性、精度および場合により均一性を改善できる。これらのピラーを実装することによって、この技術は、積層デバイス（例えば、フリップチップデバイス）の 2 つの基板間のバンプ接合の再現性、精度（例えば、サブミクロン）および均一性を改善する。ピラーおよびバンプボンドを画定および成膜するためのプロセスは、積層デバイス設計において 1 つまたは複数の基板上に存在する回路素子と共存できる。ピラーを使用する一貫した再現可能なチップ間分離は、積層デバイス設計において量子回路素子との量子ビットの 3 D 集積化を改善する。一部の实装形態では、基板上の回路素子の全周の周りに配置されるピラー（例えば、量子情報処理デバイスを取り囲む円環形状のピラー）は回路素子に対して電磁および静電絶縁を提供できる。

30

40

【 0 0 1 1 】

本明細書に記載される対象の 1 つまたは複数の実施形態の詳細が添付図面および以下の説明に明らかにされる。同対象の他の特徴、態様および利点は同説明、図面および請求項から明らかになるであろう。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 A 】 第 1 の基板の一例の上面図を例示する概略図である。

【 図 1 B 】 第 2 の基板の一例の上面図を例示する概略図である。

【 図 1 C 】 積層デバイスの一例の側面図を例示する概略図である。

【 図 2 A 】 第 1 の基板上にピラーおよびバンプボンドを製造するための例示的なプロセス

50

を例示する概略図である。

【図 2 B】第 1 の基板上にピラーおよびバンプボンドを製造するための例示的なプロセスを例示する概略図である。

【図 2 C】第 1 の基板上にピラーおよびバンプボンドを製造するための例示的なプロセスを例示する概略図である。

【図 2 D】第 1 の基板上にピラーおよびバンプボンドを製造するための例示的なプロセスを例示する概略図である。

【図 2 E】第 1 の基板上にピラーおよびバンプボンドを製造するための例示的なプロセスを例示する概略図である。

【図 2 F】第 1 の基板上にピラーおよびバンプボンドを製造するための例示的なプロセスを例示する概略図である。

10

【図 2 G】第 1 の基板上にピラーおよびバンプボンドを製造するための例示的なプロセスを例示する概略図である。

【図 2 H】第 1 の基板上にピラーおよびバンプボンドを製造するための例示的なプロセスを例示する概略図である。

【図 3 A】例示的な整列較正プロセスを例示する概略図である。

【図 3 B】例示的な整列較正プロセスを例示する概略図である。

【図 3 C】例示的な整列較正プロセスを例示する概略図である。

【図 3 D】例示的な整列較正プロセスを例示する概略図である。

【図 4 A】例示的な整列較正プロセスを例示する概略図である。

20

【図 4 B】例示的な整列較正プロセスを例示する概略図である。

【図 5 A】第 1 の基板のためのレイアウト例を例示する上面概略図である。

【図 5 B】第 1 の基板のためのレイアウト例を例示する上面概略図である。

【図 5 C】第 1 の基板のためのレイアウト例を例示する上面概略図である。

【発明を実施するための形態】

【0013】

量子計算は、量子コンピュータの量子ビット（キュービット）に記憶される量子情報をコヒーレントに処理することを伴う。超伝導量子計算は、回路素子が部分的に超伝導材料から形成される量子計算技術の有望な実装形態である。超伝導量子ビットなどの超伝導量子回路素子は、超電導性が達成可能であるように、かつ熱揺らぎがエネルギー準位間の望ましくない遷移を引き起こさないように極低温で動作される。

30

【0014】

量子アニーラなどの或る種類の量子計算プロセッサでは、量子プロセッサの超伝導量子ビットは、各超伝導量子ビットの量子状態が、それが結合される他の超伝導量子ビットの対応する量子状態に影響するように、制御可能な方式で共に動的に結合される。プロセッサ設計に応じて、選ばれるアーキテクチャは、結合のために利用可能な超伝導量子ビットの密度および総数を制限し、したがって多数の超伝導量子ビットを必要とする複雑な問題を行うプロセッサの能力を制限する可能性がある。

【0015】

超伝導量子回路素子を有する量子アニーラなどの量子プロセッサにおいて超伝導量子ビット密度を上昇させて、結合のために利用可能な超伝導量子ビットの数を拡大するために、プロセッサおよび関連する回路素子は、3D集積化（例えば、フリップチップ構成）を使用して構築可能である。すなわち、1および/または2次元（例えば、xおよび/またはy方向）に沿って延びる基板の単一平面内にプロセッサの量子回路素子を製造する代わりに、量子回路素子は、第3の次元（例えば、z方向）に沿って共に結合される複数の基板にも形成可能である。

40

【0016】

3D集積化を達成するための手法は、バンプ接合を使用して基板を結合することであり、基板は、例えば、超伝導バンプボンドによって互いに連結されて積層デバイス（例えば、積層量子情報処理デバイス）を形成する。一部の实装形態では、バンプボンドは、基板

50

の物理的結合に加えてスタック内の異なる基板からの部品を共に電気的に結合するために使用されてよい。代替的に、バンプボンドは専ら、異なる基板の物理的結合を提供するために使用されてよい。結合のために超伝導バンプボンドを使用することによって、さもなければ損失性非超伝導材料により発生し得るエネルギー損失およびデコヒーレンスの低減を達成することが可能である。

【 0 0 1 7 】

本開示の対象は、第 1 と第 2 の基板間の分離距離の均一性ならびにフリップチップ構成のためのバンプ接合の正確さを上げるための技術に関する。全体的に、同技術は、第 1 の基板上にピラー（例えば、超伝導ピラー）を形成すること、および第 1 の基板に第 2 の基板を接合することを包含しており、ピラーはバンプ接合プロセスのための整列ストッパとして作用する。ピラーは、1) 所定の距離を達成して、共に接合される基板間の分離距離の均一性を上げるために、かつ/または 2) 本明細書で説明される或る測定技術を通じて接合プロセスの再現性および精度（例えば、サブミクロン精度）についての情報を得るために、圧縮性ストッパとして使用されてよい。基板分離距離の再現性および精度ならびに接合された基板間の分離距離の均一性は、各それぞれの基板の異なる位置での第 1 の基板上の回路素子（例えば、量子ビット）と第 2 の基板上の対応する回路素子（例えば、量子ビット制御回路素子）との間の改善された結合に至る。

【 0 0 1 8 】

図 1 A ~ 図 1 B は、それぞれ、第 1 の基板 1 0 0 および第 2 の基板 1 0 2 の一例の上面図を例示する概略図であり、第 1 の基板 1 0 0 が第 2 の基板 1 0 2 に接合されることになる。図 1 A は、第 1 の基板 1 0 0 上に形成される 1 つまたは複数の第 1 の回路素子 1 0 6 および 1 つまたは複数の拡散障壁 1 0 8 を含む、レイアウト 1 0 4 の一例を持つ第 1 の基板 1 0 0 の上面図を例示する概略図である。第 1 の回路素子 1 0 6 は、例えば、量子情報処理演算を行うための量子情報処理デバイスを含むことができる。すなわち、量子情報処理デバイスは、重ね合わせおよびもつれなどの量子力学的現象を使用して非決定論的方式でデータに演算を行うように構成可能である。

【 0 0 1 9 】

量子ビットなどの或る量子情報処理デバイスは、同時に 2 つ以上の状態にある情報を表して演算するように構成可能である。一部の実装形態では、量子情報処理デバイスは、例えば、数ある中で、超伝導コプレーナ導波路（例えば、超伝導量子ビット測定共振器および超伝導量子ビットカップラ）、量子 LC 発振器、超伝導量子干渉素子（SQUID）（例えば、RF-SQUID または DC-SQUID）、量子ビット制御素子など、超伝導材料から部分的に形成される回路素子を含む。第 1 の回路素子 1 0 6 は、素子型および設計に応じて、例えば、超伝導材料（例えば、薄膜アルミニウム）および誘電体（例えば、酸化アルミニウム）などの材料の 1 つまたは複数の層で形成可能である。エネルギー損失およびデコヒーレンスを低減させるために、第 1 の回路素子 1 0 6 のための第 1 の基板 1 0 0 は、単結晶シリコンまたはサファイヤなどの低損失誘電材料から形成可能である。回路素子 1 0 6（例えば、超伝導量子ビット）が図 1 A の例において十字の形状を有するのを図示されるが、回路素子 1 0 6 は、使用される回路素子の種類に応じて異なる形状を有してよい。

【 0 0 2 0 】

図 1 B は、レイアウト例 1 1 4 を有する第 2 の基板 1 0 2 の上面図を例示する概略図である。レイアウト 1 1 4 は、第 2 の基板 1 0 2 上にまたは内に形成される 1 つまたは複数の第 2 の回路素子 1 2 0 を含む。第 2 の回路素子 1 2 0 も、超伝導量子ビット、量子ビット測定共振器、量子ビットカップラ素子および量子ビット制御素子など、本明細書に記載されるような量子情報処理デバイスを含むことができる。同様に、第 2 の基板 1 0 2 は、単結晶シリコンまたはサファイヤなど、量子情報処理デバイスに適する低損失誘電材料から形成可能である。

【 0 0 2 1 】

一部の实装形態では、第 2 の基板 1 0 2 の第 2 の回路素子 1 2 0 は、超伝導バンプボン

10

20

30

40

50

ド 1 1 6 によって確立される電気接続を通して第 1 の基板 1 0 0 上に製造された量子回路素子 1 0 6 にデータを送るおよび / またはそれからデータを受けるために使用可能である。

【 0 0 2 2 】

図 1 A および図 1 B に単一部分品として図示されるが、第 1 の回路素子および / または第 2 の回路素子は、異なる材料 (例えば、半導体、誘電体および金属) の層を使用して構築可能である。一部の実装形態では、第 1 の回路素子および / または第 2 の回路素子は、標準的な CMOS 製造プロセスを使用して製造されてよい。

【 0 0 2 3 】

レイアウト例 1 1 4 は、第 2 の基板 1 0 2 の主面に配置される 1 つまたは複数のバンプボンド 1 1 6 および 1 つまたは複数のピラー 1 1 8 も含む。一部の实装形態では、バンプボンド 1 1 6 は、例えば、数ある中で、インジウム、鉛、レニウムまたはパラジウムなどの超伝導材料から形成される。バンプボンド 1 1 6 は、例えば、数ある形状の中で、立方体形状、直方体形状、円柱形状、円環形状および三角柱形状を含め、接合前に様々な幾何学形状を有するように形成されてよい。

10

【 0 0 2 4 】

第 2 の基板 1 0 2 の表面の平面におけるバンプボンド 1 1 6 の最大横寸法 1 1 5 が、接合前にほぼ $1 \mu\text{m} \sim 100 \mu\text{m}$ および接合後にほぼ $2 \mu\text{m} \sim 150 \mu\text{m}$ 間に及んでよい。各バンプボンド 1 1 6 は、例えば、接合前に $1 \mu\text{m}^2$ からほぼ $100 \mu\text{m}^2$ 、および接合後にほぼ $2 \mu\text{m}^2$ から $150 \mu\text{m}^2$ 間に及ぶ横断面積 (例えば、XY 平面に沿う) を有することができる。例えば、バンプボンド 1 1 6 は、接合後に $10 \mu\text{m}^2$ である横断面積 (例えば、XY 平面に沿って規定される) を有してよい。

20

【 0 0 2 5 】

各バンプボンド 1 1 6 は厚さ (例えば、図 1 C における Z 方向に沿う) を有する。例えば、各バンプボンド 1 1 6 は、例えば、ほぼ $1 \mu\text{m}$ からほぼ $50 \mu\text{m}$ の範囲の接合前および接合後の厚さを有してよい。或る実装形態では、第 1 および第 2 の基板間の均一な距離が維持されることを保証するために、かつ第 1 の基板上の回路素子と第 2 の基板上の回路素子との間の適切な電気接続を保証するために、各バンプボンド 1 1 6 は、同じ厚さを有するように形成される。一部の实装形態では、バンプボンド 1 1 6 の幅厚比は 2 : 1 である。バンプボンド 1 1 6 の幅厚比は 1 : 1 比率であることもできる。

【 0 0 2 6 】

バンプボンド 1 1 6 が図 1 B に第 2 の基板 1 0 2 上にだけ形成されるとして図示されるが、バンプボンド 1 1 6 は、第 1 の基板 1 0 0 上に、または第 1 の基板 1 0 0 上にも第 2 の基板 1 0 2 上にも形成されてよい。第 1 の基板上にも第 2 の基板上にもバンプボンド 1 1 6 を設けることによって、一部の实装形態では、接合プロセスにおいて多少の不整列がある場合においても、第 1 の基板と第 2 の基板との間の信頼できる接合を保証することが可能である。例えば、第 1 の基板および第 2 の基板上に矩形のバンプボンド 1 1 6 が形成されてよく、第 1 の基板および第 2 の基板が共に接合されると、それぞれのバンプボンドが重なって十字を形成するように、それぞれの矩形のバンプボンドの長さが互いに関して 90 度に向けられる。十字形状のバンプボンドは、バンプ接合プロセスからの横移動不整列および面内傾斜不整列に影響されにくくなることができる。

30

40

【 0 0 2 7 】

ピラー 1 1 8 も第 2 の基板 1 0 2 の表面に配置されて、接合ステップの間、抵抗を提供して圧縮を止める。すなわち、第 2 の基板 1 0 2 への第 1 の基板 1 0 0 の接合の間、ピラー 1 1 8 は、接合力に逆らうストッパとして働き、第 1 の基板 1 0 0 と第 2 の基板 1 0 2 との間に適切な分離距離が維持されることを保証する。一部の实装形態では、ピラー 1 1 8 は、第 1 の基板 1 0 0 と第 2 の基板 1 0 2 との間に接合力が印加されるときに僅かな弾力性または降伏歪を許容する展性材料から形成される。例えば、ピラー 1 1 8 は、ほぼ 10GPa より小さい材料硬度を持つ材料で形成されてよい。ピラー材料の僅かな弾力性または降伏歪は、接合時に第 1 の基板 1 0 0 と第 2 の基板 1 0 2 との間に不均一な間隙距離が生じる確率を低下させる。ピラー 1 1 8 も超伝導材料から製造されてよく、ピラー 1 1

50

8が圧縮ストッパに加えて第1の基板上の回路素子と第2の基板上の回路素子との間の電気接続として働くのを可能にする。ピラー118として使用されてよい材料の例には、例えば、数ある材料の中で、インジウム、鉛、レニウムまたはパラジウムを含む。対照的に、ピラーが、シリコン、二酸化ケイ素(SiO_2)または窒化ケイ素(SiN)などの比較的硬質の材料から形成される場合、基板が最初に誤った角度で合わされると、第1の基板100と第2の基板102との間の整合の誤差の可能性が高くなる。そのような誤差は、基板とバンプボンドとの間の間隙形成の他に第1の基板と第2の基板との間の不均一な間隙距離に至り得る。非超伝導ピラー118としての使用に適する非超伝導材料には、例えば、金を含む。

【0028】

接合力への十分な抵抗を提供するために、各ピラー118は、接合前のバンプボンド116の横断面積(例えば、XY平面に沿って規定される)より大きい横断面積(例えば、XY平面に沿って規定される)を有してよい。例えば、一部の実装形態では、ピラー118は、接合前にほぼ $100\mu\text{m}^2$ からほぼ $10^6\mu\text{m}^2$ 間に及ぶ横断面積を有する。例えば、ピラー118は、 $500 \times 500\mu\text{m}^2$ である矩形の横断面積(例えば、XY平面に沿って規定される)を有してよい。展性材料から形成される場合、横断面積は接合の圧縮力のため僅かに増加してよい。例えば、ピラーの横断面積は、ほぼ $1 \sim 10\mu\text{m}^2$ の範囲だけ拡大し得る。ピラー118は、接合前に様々な幾何学形状を有するように形成されてよい。例えば、ピラー118は、例えば、数ある形状の中で、立方体形状、直方体形状、円柱形状、円環形状および三角柱形状を有してよい。

【0029】

各ピラー118は、ほぼ $1\mu\text{m}$ からほぼ $50\mu\text{m}$ の範囲の厚み(例えば、Z方向に沿ってなど、基板の表面に垂直に規定される)を有してよい。或る実装形態では、各ピラー118は、両チップにわたる第2の基板102からの第1の基板100の均一な分離を維持するために同じ厚さを有する。一部の实装形態では、ピラー118の厚さは接合前にバンプボンド116の厚さより小さい。第1の基板および第2の基板が次いで共に接合される時、2つの基板を接合するための印加力が最初にバンプボンド116を変形させて(例えば、それらの厚さを減少させて)ピラー118の厚さに一致させることになり、ピラー118は変形したバンプ厚さに対して「ストッパ」として作用して基板間分離距離を設定できる。例えば、各ピラー118は、接合前に5ミクロン厚であるように形成されてよい一方、各バンプボンド116は、接合前に6ミクロン厚であるように形成されてよい。

【0030】

超伝導バンプボンド116の厚さおよび/またはピラー118の厚さは、第1の基板100および第2の基板102が積層デバイスに構成されるときに所定量だけ離間されるように設定されてよい。一部の实装形態では、各ピラー118の厚さおよび横断面積は、基板が共に接合されるときに基板間の特定の整合(例えば、分離距離)が達成されるように設定されてよい。各ピラー118の厚さを決定して特定の分離距離を達成するために、較正プロセスが使用されてよい。例えば、較正プロセスは、特定の印加力で特定の厚さに対して特定の分離距離が達成されるまで、異なる厚さのピラー118に特定の力を印加することを含むことができる。一部の实装形態では、ピラー118の厚さは、第1の基板100上の回路素子と第2の基板102上の回路素子との間の特定の電磁結合を達成するように選択されてよい。図1Cは、積層デバイス140の一例を例示する側面概略図である。積層デバイス140は、第2の基板(例えば、第2の基板102)に接合される第1の基板(例えば、第1の基板100)を含んでおり、積層デバイス140はバンプボンド(例えば、バンプボンド116)およびピラー(例えば、ピラー118)をさらに含む。第1の基板100は分離距離142だけ第2の基板102から分離されてよい。

【0031】

一部の实装形態では、第2の基板102の対向面に向く第1の基板100の表面間の分離距離142は、ほぼ $0.5\mu\text{m}$ からほぼ $100\mu\text{m}$ 間(例えば、ほぼ $1\mu\text{m}$ 、ほぼ $5\mu\text{m}$ 、ほぼ $10\mu\text{m}$ 、ほぼ $20\mu\text{m}$ 、ほぼ $50\mu\text{m}$ またはほぼ $75\mu\text{m}$)であるように設定

10

20

30

40

50

可能である。第1の基板上の量子情報処理デバイスと第2の基板上の量子情報処理デバイスとの間に結合が所望されるデバイスの場合、小さい分離距離ほどデバイス間の大きな電磁結合を許容できるので、分離距離142を上述の範囲の下端に設定することが好ましいであろう。例えば、分離距離142は、ほぼ0.5 μmからほぼ1 μm内であることができる。第1の基板上のデバイスと第2の基板上のデバイスとの間に結合が所望されない他の実装形態では、大きい距離ほどデバイス間の電磁結合を低下させることができるので、分離距離142は上述の範囲の上端に設定されてよい。例えば、分離距離142は、ほぼ50 μmからほぼ100 μm内であることができる。

【0032】

分離の距離142は1つまたは複数の較正手順を通じて設定可能である。較正手順は以下の図3および図4を参照しつつさらに詳細に述べられる。

10

【0033】

一部の实装形態では、スタック内の基板はバンプボンドに対するおよび/またはピラーに対する拡散障壁も含む。例えば、図1に図示されるように、基板100は拡散障壁108を含む。拡散障壁108は、基板100上の1つまたは複数の回路素子106の表面に形成されてよい。代替的にまたは加えて、拡散障壁108は、素子106に電気的に接続する相互接続子または他の回路素子に形成されてよい。例えば、拡散障壁108は、数ある回路素子の中で、相互接続パッドの一部分、コプレーナ導波路（例えば、コプレーナ導波路の中心線に）、接地平面、量子ビット測定共振器、量子ビットカプラ素子または超伝導量子ビットに形成されてよい。拡散障壁の目的は、バンプボンド（および/またはピラー）とバンプボンド（および/またはピラー）が形成される下層との間の材料の拡散を防止することである。例えば、場合により、バンプボンドおよび/またはピラーが、インジウムなどの超伝導材料から、アルミニウムなどの別の異なる超伝導材料に直接かつ接触して形成される場合、アルミニウムとインジウムとの間の拡散があり、デコヒーレンス効果および/または接触の機械的破損を増加させる非超伝導合金を生じさせる可能性がある。超伝導バンプボンド（および/またはピラー）と下位の超伝導層との間の合金の形成を回避するために、拡散障壁層は、下位の超伝導層へのバンプボンド材料（および/またはピラー材料）の拡散を阻止する超伝導材料から形成されてよい。拡散障壁108のために使用されてよい材料例には窒化チタン（TiN）を含む。インジウムから形成されるバンプボンドおよび/またはピラーとアルミニウムから形成される下層との間の拡散を防止するためにTiNが使用されてよい。拡散障壁層108の厚さは、ほぼ1 nmからほぼ100 nm厚間（例えば、60 nm厚）であってもよい。

20

30

【0034】

代替的にまたは加えて、拡散障壁は、第2の基板102上でバンプボンド116と基板102との間に形成される。第2の基板102上の拡散障壁は、回路素子120の一部分に形成されてよく、かつ/または回路素子120に接続する相互接続子に形成される。例えば、第2の基板102上の拡散障壁は、数ある回路素子の中で、相互接続パッド、コプレーナ導波路（例えば、コプレーナ導波路の中心線に）、接地平面、量子ビット測定共振器、量子ビットカプラ素子または超伝導量子ビットに形成されてよい。第2の基板102上の拡散障壁は、例えば、TiNから形成されてよく、例えば、1 nmと100 nmとの間の厚さを有する。

40

【0035】

第2の基板102上に形成されるピラー118の位置および数は変化してよい。一部の实装形態では、ピラー118は第2の基板102の外周の近くに形成される。例えば、ピラー118は基板102のそれぞれの隅に形成されてよい（図1Bに描かれるように）。第2の基板102上のピラー118の幾何形状およびレイアウトのさらなる詳細は以下の図5A～図5Cを参照しつつ述べられる。

【0036】

図2A～図2Hは、基板200（例えば、第2の基板102）上にピラー（例えば、ピラー118）およびバンプボンド（例えば、バンプボンド116）を製造するための例示

50

的なプロセスを例示する概略図である。図2Aは、第1のレジスト層202が基板200の表面に成膜された基板200を例示する。第1のレジスト層は、例えば、スピニングプロセスを使用して基板200の表面に成膜可能である。第1のレジスト層202のためのレジスト材料例には、ポジ型またはネガ型フォトレジスト、例えば、NR26-25000Pを含むことができる。第1のレジスト層は、ほぼ100nmとほぼ100μmとの間に及ぶ厚さ203（例えば、この例では基板200の表面に垂直に延びる）を有することができる。一部の実装形態では、第1のレジスト層202の厚さ203は、基板200の表面に形成されるピラーの所定の厚さ（例えば、ピラー118厚さのための3~20μm）に部分的に基づいて選択される。一部の实装形態では、レジスト層202は、基板表面に配置される下位の回路素子上に形成される。例えば、レジスト層202は、量子ビット、量子ビット測定共振器、量子ビットカプラ素子または量子ビット制御素子を覆って形成されてよい。レジスト層が形成されてよい回路素子は、例えば、アルミニウムなどの超伝導材料の薄膜層を含むことができる。

10

【0037】

第1のレジスト層202は、焼成されて溶媒を除去し、次いで1つまたは複数の露光技術を使用してパターン化されて、第1のレジスト層202内にピラーの1つまたは複数の次元（例えば、幅205）を画定する。露光プロセスには、電子ビームリソグラフィ、深UV（DUV）リソグラフィ、またはレジスト層202を露光するための別の技術を含むことができる。

【0038】

第1のレジスト層202が露光された後に、第1のレジスト層202は現像プロセスで現像されて、レジスト材料を除去し、ピラーが形成されることになる開口204を形成する（図2Bに例示される）。現像プロセス（例えば、レジスト層を現像するために使用される現像液）は、第1のレジスト層の材料（例えば、ネガ型レジストまたはポジ型レジスト）に部分的に依存できる。一例では、第1のレジスト層202はAZ300MIFを使用して現像される。開口204は幅205を含むことができ、ピラーの幅（例えば、500ミクロンの幅）に対応できる。露光および現像の代わりとして、一部の实装形態では、開口はドライエッチを使用して（例えば、プラズマエッチを使用して）形成されてよい。

20

【0039】

第1のレジスト層202における開口204を通じて基板200上へ第1の成膜プロセスが行われて、ピラー206を形成する。図2Cは、ピラー206を含む第1の成膜層を例示する。第1の成膜プロセスは、例えば、熱蒸着を使用する材料の第1の成膜を含むことができる。第1の成膜材料には、例えば、数ある中で、インジウム、鉛、レニウム、パラジウムを含め、超伝導特性を呈することができる材料を含むことができる。一部の实装形態では、第1の成膜材料には、例えば、シリコン、二酸化ケイ素（SiO₂）および窒化ケイ素（SiN）を含め、非導電材料を含むことができる。一部の实装形態では、成膜プロセスは、第1の拡散障壁層を、続いてピラーを形成する材料の層を形成することを含むことができる。例えば、成膜プロセスは、窒化チタン拡散障壁層（例えば、1nmと100nmとの間）を、続いてピラーを形成する、インジウムなどのより厚い超伝導材料の成膜を形成することを含んでよい。成膜プロセス中に、第1のレジスト層202の上面に余剰材料208が成膜され得る。

30

【0040】

第1のレジスト層202および余剰成膜材料208は、例えば、リフトオフプロセスまたはエッチバックプロセスによって除去される。リフトオフプロセス例には、基板および成膜層を或る期間の間、溶媒（例えば、アセトン、1165）に浸漬することを含む。第1のレジスト層202および余剰成膜材料208のリフトオフ後に、基板200は、図2Dに例示されるように、ピラー206が基板200上に形成されたままとなる。

40

【0041】

図2Eに例示されるように、基板200の表面に第2のレジスト層210が成膜される。第2のレジスト層210は、例えば、スピニングプロセスを使用して基板20

50

0の表面に成膜可能である。第2のレジスト層210のためのレジスト材料例には、NR26-25000Pなどのポジ型またはネガ型フォトリソレジストを含むことができる。第2のレジスト層210は、ほぼ100nmとほぼ100 μ mとの間に及ぶ厚さ211（例えば、基板200の表面に垂直に延びる）を有することができる。一部の実装形態では、第2のレジスト層210の厚さ211は、続いて形成されるバンプボンドがピラー206の厚さより大きい厚さを有するように、第1のレジスト層202の厚さ203より大きい。第2のレジスト層210の厚さ211は、基板200の表面に形成されるバンプボンドの所定の厚さ、例えば3 μ mに部分的に基づいて選択可能である。

【0042】

第2のレジスト層210は、焼成されて溶媒を除去し、次いで1つまたは複数の露光技術を使用してパターン化されて、第2のレジスト層210内に、バンプボンドが形成されることになる開口214の1つまたは複数の次元（例えば、幅212）を画定する。露光プロセスには、電子ビームリソグラフィ、深UV（DUV）リソグラフィ、またはレジスト層210を露光するための別の技術を含むことができる。一部の实装形態では、第2のレジスト層210に画定されるパターンは、バンプボンドの所定の次元に対応する1つまたは複数の次元を画定する。

10

【0043】

第2のレジスト層210がパターン化された後に、第2のレジスト層210は現像プロセスで現像されて、レジスト材料を除去し、バンプボンドが形成されることになる開口214を形成する（図2Fに例示される）。現像プロセスは、使用される現像液を含め、第2のレジスト層210の材料（例えば、ネガ型レジストまたはポジ型レジスト）に部分的に依存できる。一例では、第2のレジスト層210はAZ300MIFを使用して現像される。代替的に、一部の实装形態では、開口214はドライエッチプロセスを使用して形成可能である。開口214は、バンプボンドの幅に対応できる幅212を含むことができる。

20

【0044】

図2Gに図示されるように、第2のレジスト層210における開口214を通じて基板200上へ、バンプボンド216を形成する第2の成膜プロセスが行われる。第2の成膜プロセスは、例えば、熱蒸着を使用する材料の第2の成膜を含むことができる。第2の成膜材料は、第1の成膜材料と同じ材料である、または異なる材料であることができる。第2の成膜材料には、例えば、数ある中で、インジウム、鉛、レニウム、パラジウムなど、超伝導特性を呈することが可能な材料を含むことができる。一部の实装形態では、成膜プロセスは、拡散障壁層を、続いてバンプボンドを形成する材料の層を形成することを含むことができる。例えば、成膜プロセスは、窒化チタン拡散障壁層（例えば、1nmと100nmとの間）を、続いてバンプボンドを形成する、インジウムなどのより厚い超伝導材料の成膜を形成することを含んでよい。開口214に成膜される超伝導材料は、基板200上にかつ第2のレジスト層210下に形成される回路素子（例えば、量子ビット、量子ビット測定共振器、量子ビットカプラ素子、量子ビット制御素子）との電気接続を形成するために使用されてよい。

30

【0045】

第2のレジスト層210および余剰成膜材料218はリフトオフプロセスで除去される。リフトオフプロセス例には、基板および成膜層を或る期間の間、溶媒（例えば、アセトンまたは1165）に浸漬することを含む。第2のレジスト層210および余剰成膜材料218のリフトオフ後に、基板200は、図2Hに例示されるように、バンプボンド216およびピラー206が基板200上に形成されたままとなる。

40

【0046】

一部の实装形態では、ピラー206と基板200との間に、およびバンプボンド216と基板200との間に、拡散障壁層が製造される。拡散障壁層は、バンプボンド216およびピラー206の材料（例えば、インジウム）が基板200（例えば、アルミニウム）上の金属接点（例えば、相互接続子）を損なうのを防止する。

50

【 0 0 4 7 】

積層デバイス 1 4 0 における第 1 の基板 1 0 0 と第 2 の基板 1 0 2 との間の分離の距離 1 4 2 は、1 つまたは複数のピラー 1 1 8 を活用して、接合されて積層デバイスを形成する基板間の分離距離の正確さおよび均一性を改善する 1 つまたは複数の較正ステップを通じて設定可能である。

【 0 0 4 8 】

基板を接合するための例示的なプロセスは以下：(1) 基板間の所定の分離が得られるまで、バンプボンドを有するがピラーを有しない第 1 の試験基板を第 2 の試験基板と接触させること；(2) 試験基板間の所定の分離を達成するために必要とされる力を決定すること；(3) ステップ (2) で決定した量より僅かに多い力を使用して、バンプボンドもピラーも有する第 1 のサンプル基板を第 2 のサンプル基板に接合することを含んでよい。印加される追加力の量は、図 3 A ~ 図 3 D および図 4 A ~ 図 4 B を参照しつつより詳細に述べられることになるように、例えば、赤外線または端視顕微鏡を使用することによって、例えば、圧縮下のピラーの側方拡大を測定することによって決定可能である。ピラーは任意の形状（例えば、円形または正方形横断面）であることができる。場合により、ピラーは基板の全周の周りに円環として形成可能である。

10

【 0 0 4 9 】

図 3 A ~ 図 3 D は、例示的な整列較正プロセス 3 0 0 を例示する概略図である。1 つまたは複数のバンプボンド 3 0 4 を含む第 1 の基板 3 0 2 が、図 3 A に例示されるように、第 1 の基板 3 0 2 の表面および第 2 の基板 3 0 6 の表面が互いに関して平行であるように、第 2 の基板 3 0 6 に近接される。

20

【 0 0 5 0 】

第 1 の基板 3 0 2 と第 2 の基板 3 0 6 との間に基板に垂直な力 3 0 7 が印加されて、第 1 の基板 3 0 2 と第 2 の基板 3 0 6 との間の所定の分離距離 3 0 9 を得る。力 3 0 7 は、2 つの基板間に印加可能、第 2 の基板 3 0 6 が固定して保持されつつ第 1 の基板 3 0 2 に印加可能（図 3 B に例示される）、または第 1 の基板 3 0 2 が固定して保持されつつ第 2 の基板 3 0 6 に印加可能である。一部の実装形態では、第 1 の基板 3 0 2 と第 2 の基板 3 0 6 との間の所定の分離距離 3 0 9 を達成するために印加される力の大きさ 3 0 7 が決定される。所定の分離 3 0 9 を達成するために必要とされる力の大きさ 3 0 7 は、接合プロセス中のバンプボンド 3 0 4 の変形量に部分的に依存する。

30

【 0 0 5 1 】

一部の实装形態では、第 1 の基板 3 0 2 と第 2 の基板 3 0 6 との間の分離距離の量 3 0 9 は端視顕微鏡を使用して測定可能である。接合された基板の複数の縁視図から測定がなされ得るが、複数の測定により、第 1 の基板 3 0 2 と第 2 の基板 3 0 6 との間の分離距離 3 0 9 の均一性についての情報をもたらすことができる。

【 0 0 5 2 】

第 1 の基板 3 0 2 と第 2 の基板 3 0 6 との間の所定の分離距離 3 0 9 を得るために使用される力の大きさ 3 0 7 は較正力として使用可能である。較正力は、第 1 の基板および第 2 の基板を接合する前に決定可能である。例えば、図 3 C は、バンプボンド 3 1 4 を含む第 1 の基板 3 1 2 および第 2 の基板 3 1 6 を例示する。追加的に、第 1 の基板 3 1 2 は少なくとも 1 つのピラー 3 1 8 を含み、ピラー 3 1 8 は厚さ 3 2 0 を有する。一部の实装形態では、厚さ 3 2 0 は所定の分離距離 3 0 9 に等しい。ピラー 3 1 8 は、基板 3 1 2 の表面に平行して規定される幅 3 2 2 も有する。第 1 の基板 3 1 2 は、第 1 の基板 3 1 2 の表面が第 2 の基板 3 1 6 の表面に平行であるように、第 2 の基板 3 1 6 に近接される。

40

【 0 0 5 3 】

図 3 D に例示されるように、第 1 の基板 3 1 2 および第 2 の基板 3 1 6 を接合するために力 3 1 1 が印加される。ピラー 3 1 8 は接合プロセスに対してストップパとして作用し、そのためピラー 3 1 8 は、バンプボンド 3 1 4 のさらなる圧縮を防止して第 1 の基板 3 1 2 と第 2 の基板 3 1 6 との間の 3 0 9 の分離距離を保証する。ピラー 3 1 8 を圧縮して分離距離 3 0 9 を達成することで、ピラー 3 1 8 の幅 3 2 2 が変形する（例えば、側方に拡

50

大する)ようにしてよい。一部の実装形態では、力311は第1の基板312と第2の基板316との間に印加されて、複数のバンプボンド314を1つまたは複数のピラー318の厚さと同じ厚さに圧縮する。一部の実装形態では、第1の基板312および第2の基板316を接合するために印加される力311は、力の大きさ307より大きい、例えば力の大きさ307より5%大きい大きさを有する。

【0054】

第1の基板312および第2の基板316を接合するために印加される追加力の量が、例えば、接合プロセス中のピラー318の変形(例えば、幅322の変形)を測定することによって決定可能である。図4A~図4Bは、別の整列較正プロセス例400の様々な図を例示する概略図である。図4Aは、第2の基板316に接合される第1の基板312の側面図である一方、図4Bは、第2の基板316を通して見られる積層デバイス402の上面図である。ピラー318は、x軸に沿って規定される第1の幅322aおよびy軸に沿って規定される第2の幅322bを含み、ただし、両方が第1の幅322aである。

10

【0055】

第1の基板312および第2の基板316を接合するために力404が印加され、幅322aおよび幅322bの測定値がとられ得る。一部の实装形態では、第1の基板312と第2の基板316との間を接触させるために力の大きさ404が印加される。一例では、力404は、第1の基板312および第2の基板を接合するために、漸次大きさを増しつつ、例えば、1%刻みの増力、2%刻みの増力、5%刻みの増力等で印加される。幅322aおよび幅322bの測定値は各段階でとられ、ピラー318の圧縮前幅322aおよび圧縮後幅322aの差と基板間に印加される力404との間の関係が決定されてよい。

20

【0056】

一部の实装形態では、力の大きさ404は、図3を参照しつつ記載した較正プロセスにおいて決定される力の大きさ307に対して1%~10%追加された力であるように選択可能である。一例では、力404は、第1の基板312および第2の基板316を接合するために、漸次大きさを増しつつ(例えば、力の大きさ307より1%大きく、力の大きさ307より2%大きく、力の大きさ307より5%大きく)印加される。

【0057】

幅322aおよび幅322bの測定値は、例えば、積層デバイス402のz軸を通して、かつ上部基板が赤外線線で透明(例えば、シリコン)である場合、赤外顕微鏡または赤外線カメラが備えられる業界標準光学顕微鏡を使用することによってとられ得る。

30

【0058】

一部の实装形態では、第2の基板316(例えば、量子情報処理デバイスを含む基板)の接地平面に整合マーク406(例えば、同心リング)がパターン化可能(例えば、フォトリソグラフィを使用してパターン化されたアルミニウム)であり、整合マークは整合幅408(例えば、整合マーク間の1~10μm間隔)だけ離間される。第1の基板および第2の基板が共に接合されるとき、圧縮下のピラーの側方拡大は、整合マーク406に関してピラーの側方拡大を測定することによって、整合マーク406を使用して決定可能である。例えば、ピラーの拡大は、赤外顕微鏡を使用して積層デバイスの第1の基板(例えば、シリコンウエハ)の研磨面を通して観察される、圧縮されたピラーが拡大して達する既知の間隔の同心リングの数に関連があってよい。

40

【0059】

一部の实装形態では、整合マーク406は、上部基板の2つ以上の位置で(例えば、上部基板の隅で)第2の基板316の接地平面にパターン化可能である。第1の基板および第2の基板が共に接合されるとき、各隅でのピラーの側方拡大はそれぞれの整合マーク406を使用して測定可能であり、そのためピラーの測定値は、第1の基板312と第2の基板316との間の分離距離309の均一性についての情報をもたらすことができる。

【0060】

一部の实装形態では、積層デバイス402を接合するために力404が印加されるときにピラー318が閾値量だけ変形する(例えば、幅322aおよび幅322bが閾値幅変

50

形量だけ増す)ように、力404が選択される。閾値変形量(例えば、閾値幅変形量)は0~50 μ mに及ぶことができる。

【0061】

一部の実装形態では、第1の基板と第2の基板との間の分離距離309は、較正プロセスの間、各ピラー318において測定されて、例えば、積層デバイス402にわたる分離距離309の均一性を判定する。分離距離309は、第1の基板312の全周の周りの各ピラー318の変形を測定することによって決定可能である。一部の実装形態では、各ピラー318は第1の幅322aおよび第2の幅322bを含む。第1の基板と第2の基板との間の分離距離は、第1の幅322aの変形量および第2の幅322bの変形量が各ピラー(例えば、ピラー318a、318b、318cおよび318d)について同じであるときに積層デバイス402にわたって均一であると理解されてよい。

10

【0062】

一部の実装形態では、特定の分離距離309を達成するために必要とされる力の量を決定するためのプロセスが、接合プロセス中に積層デバイスに力404が印加されるときにピラー318の厚さ320(図4Aに描かれる)を測定することを含む。圧縮前および圧縮後のピラー318の厚さ320は、例えば、積層デバイス402の端視顕微鏡(例えば、x軸またはy軸に沿う)を使用して測定可能である。

【0063】

一部の実装形態では、特定の分離距離309を達成するために必要とされる力の量を決定するためのプロセスは、圧縮前および圧縮後の複数のピラー318、例えば、積層デバイス402の全周の周りのピラーの厚さ320を測定することを含み、接合プロセス中の積層デバイス402における各ピラー318の等しい変形(例えば、等しい厚さ320)は、分離距離が積層デバイスにわたって均一であることを示すことができる。

20

【0064】

一部の実装形態では、特定の分離距離309を達成するために必要とされる力の量を決定するためのプロセスは、接合プロセス中に積層デバイスに力404が印加されるときにピラー318の幅322(図4Aに描かれる)を測定することを含む。圧縮前および圧縮後のピラー318の幅322は、例えば、積層デバイス402の端視顕微鏡(例えば、x軸またはy軸に沿う)を使用して測定可能である。

【0065】

一部の実装形態では、特定の分離距離309を達成するために必要とされる力の量を決定するためのプロセスは、圧縮前の複数のピラー318の厚さ320を測定すること(例えば、端視顕微鏡法を使用)および圧縮前および圧縮後のピラーの総体積の保存を考慮することによって、圧縮後の複数のピラー318の側方拡大を測定すること(例えば、赤外顕微鏡および整合マーク406を使用)を含む。

30

【0066】

一部の実装形態では、較正プロセス400は、接合プロセス中に積層デバイス402に力404が能動的に印加される間のその場測定を含む。一部の実装形態では、較正プロセス400は、接合プロセス後で積層デバイスに力404が印加されていないときの1つまたは複数の測定(例えば、幅322a、幅322bおよび/または厚さ320の測定)である*ex situ*測定(*ex situ measurement*)を含む。その場測定と*ex situ*測定の両方の組合せも行われ得る。ピラー318は、矩形の横断面を有するとして図4A~図4Bに例示され、かつ第1の基板312の四隅に設けられる。第1の基板312上の他のピラー318のための幾何形状およびピラー318のための構成が考えられる。

40

【0067】

図5A~図5Cは、第1の基板のためのレイアウト例を例示する上面概略図である。一例では、図5Aに例示されるように、ピラー502は、1つまたは複数の回路素子504(例えば、量子情報処理デバイス)および1つまたは複数のパンプボンド506を取り囲む円環形状である。円環形状ピラー502は、第1の基板および第2の基板(例えば、基

50

板 1 0 2) が分離距離 (例えば、分離距離 1 4 2) で共に接合される (例えば、積層デバイス 1 4 0) ときに、円環形状ピラー 5 0 2 が少なくとも 1 つの量子情報処理デバイス (例えば、量子ビット) を取り囲むように第 1 の基板 (例えば、基板 1 0 0) 上に形成可能である。一部の実装形態では、円環形状ピラー 5 0 2 は、円環形状ピラー 5 0 2 が回路素子 5 0 4 を取り囲みかつ接地平面に電氣的に接続されるファラデー箱として機能でき、そのため円環形状ピラー 5 0 2 は電磁および静電場を回路素子 5 0 4 と相互作用することから除外できる。

【 0 0 6 8 】

別の例では、図 5 B に例示されるように、ピラー 5 1 2 は、1 つまたは複数の回路素子 5 1 4 および 1 つまたは複数のバンプボンド 5 1 6 を取り囲む非連続円環形状を形成するように配置される。

10

【 0 0 6 9 】

別の例では、図 5 C に例示されるように、ピラー 5 2 2 は円形横断面を有し、1 つまたは複数の回路素子 5 2 4 および 1 つまたは複数のバンプボンド 5 2 6 の周囲の全周の隅に設けられる。

【 0 0 7 0 】

本明細書に提示される例が互いに連結される 2 つの基板だけを含む積層デバイスに関係するが、原則および技術的には、3 つ以上の基板を含む積層デバイスに拡張可能である。例えば、積層デバイスが量子情報処理デバイスを有する 2 つの基板を含むことができ、各基板は、本明細書に記載される超伝導バンプボンドおよびピラーを使用して他方に連結され、かつ 2 つの基板のうち一方が、例えば、本明細書に記載される超伝導バンプボンドおよびピラーを通じて、量子情報処理デバイスか古典回路素子かを含む第 3 の基板にも連結される。

20

【 0 0 7 1 】

一部の实装形態では、上述したプロセスおよび特徴技術の一部または全部が、高純度真空室、超伝導材料の超伝導温度を下回る温度またはその組合せを含んでよい制御環境において行われる。

【 0 0 7 2 】

量子回路素子の形成に使用可能である超伝導材料の一例がアルミニウムである。アルミニウムは誘電体と組み合わせ使用されてジョセフソン接合を確立してよく、これは量子回路素子の一般的な部品である。アルミニウムで形成されてよい量子回路素子の例には、数ある中で、超伝導コプレーナ導波路、量子 LC 発振器、量子ビット (例えば、磁束量子ビットまたは電荷量子ビット)、超伝導量子干渉素子 (S Q U I D) (例えば、R F - S Q U I D または D C - S Q U I D)、インダクタ、コンデンサ、伝送線路、接地平面などの回路素子を含む。

30

【 0 0 7 3 】

アルミニウムは、超伝導量子回路素子と相互運用可能である超伝導古典回路素子の他に相補型金属酸化膜半導体 (C M O S) 回路網に基づく他の古典回路素子の形成にも使用されてよい。アルミニウムで形成されてよい古典回路素子の例には、高速単一磁束量子 (R S F Q) デバイス、相互量子論理 (R Q L) デバイス、およびバイアス抵抗器を使用しない R S F Q の省エネルギー版である E R S F Q デバイスを含む。他の古典回路素子も同様にアルミニウムで形成されてよい。古典回路素子は、データに基本算術、論理および / または入出力動作を行うことによってコンピュータプログラムの命令を集合的に実施するように構成されてよく、データはアナログまたはデジタル形式で表される。

40

【 0 0 7 4 】

本明細書に記載されるプロセスは、超伝導体、誘電体および / または金属などの 1 つまたは複数の材料の成膜を伴ってよい。選択された材料に応じて、これらの材料は、数ある成膜プロセスの中で、化学蒸着、物理蒸着 (例えば、蒸着もしくはスパッタリング) またはエピタキシャル技術などの成膜プロセスを使用して成膜されてよい。本明細書に記載されるプロセスは、製造中のデバイスからの 1 つまたは複数の材料の除去も伴ってよい。除

50

去されることになる材料に応じて、除去プロセスには、例えば、ウェットエッチング技術、ドライエッチング技術またはリフトオフプロセスを含んでよい。

【0075】

本明細書に記載される量子対象および量子演算の実装形態は、適切な量子回路網または、より一般的には、本明細書に開示される構造およびそれらの構造等価物を含む、量子計算システムで、またはそれらの1つもしくは複数の組合せで実装されてよい。用語「量子計算システム」には、量子コンピュータ、量子情報処理システム、量子暗号システムまたは量子シミュレータを含んでよいが、これに限定されない。

【0076】

用語、量子情報および量子データは、量子系によって搬送、保持または記憶される情報またはデータを指し、最小の非自明な系が量子ビット、例えば量子情報の単位を規定する系である。用語「量子ビット」が、対応する文脈において2準位系として最適に近似可能である全ての量子系を包含することが理解される。そのような量子系には、例えば、2準位以上の多準位系を含んでよい。例として、そのような系には、原子、電子、光子、イオンまたは超伝導量子ビットを含むことができる。多くの実装形態では、計算基底状態は基底の第1の励起状態と識別されるが、しかしながら、計算状態が高準位励起状態と識別される他の構成が可能であることが理解される。量子メモリが、高忠実度および効率で長時間、量子データを記憶できるデバイス、例えば、伝送のために光が使用され、重ね合わせまたは量子コヒーレンスなどの量子データの量子特徴を記憶および保持するために物質が使用される光物質インタフェースであることが理解される。

【0077】

量子処理動作を行うために量子回路素子が使用されてよい。すなわち、量子回路素子は、重ね合わせおよびもつれなどの量子力学的現象を使用して非決定論的方式でデータに演算を行うように構成されてよい。量子ビットなどの或る量子回路素子は、同時に2つ以上の状態にある情報を表して演算するように構成されてよい。本明細書に開示されるプロセスで形成されてよい超伝導量子回路素子の例には、数ある中で、コプレーナ導波路、量子LC発振器、量子ビット（例えば、磁束量子ビットまたは電荷量子ビット）、超伝導量子干渉素子（SQUID）（例えば、RF-SQUIDまたはDC-SQUID）、インダクタ、コンデンサ、伝送線路、接地平面などの回路素子を含む。

【0078】

対照的に、古典回路素子は一般に決定論的方式でデータを処理する。古典回路素子は、データに基本算術、論理および/または入出力動作を行うことによってコンピュータプログラムの命令を集成的に実施するように構成されてよく、データはアナログまたはデジタル形式で表される。一部の实装形態では、古典回路素子は、電気または電磁接続を通して量子回路素子にデータを送るおよび/またはそれからデータを受けるために使用されてよい。本明細書に開示されるプロセスで形成されてよい古典回路素子の例には、高速単一磁束量子（RSFQ）デバイス、相互量子論理（RQL）デバイス、およびバイアス抵抗器を使用しないRSFQの省エネルギーであるERSFQデバイスを含む。他の古典回路素子も同様に本明細書に開示されるプロセスで形成されてよい。

【0079】

本明細書に記載される回路素子などの超伝導量子回路素子および/または超伝導古典回路素子を使用する量子計算システムの動作の間、超伝導回路素子は、超伝導材料が超伝導特性を呈するのを可能にする温度までクライオスタット内で冷却される。超伝導体（代替的に超伝導）材料は、超伝導臨界温度以下で超伝導特性を呈する材料として理解可能である。超伝導材料の例には、アルミニウム（ほぼ1.2ケルビンの超伝導臨界温度）、インジウム（ほぼ3.4ケルビンの超伝導臨界温度）、NbTi（ほぼ10ケルビンの超伝導臨界温度）およびニオブ（ほぼ9.3ケルビンの超伝導臨界温度）を含む。したがって、超伝導トレースおよび超伝導接地平面などの超伝導構造は、超伝導臨界温度以下で超伝導特性を呈する材料から形成される。

【0080】

10

20

30

40

50

本明細書が多くの具体的な実装詳細を含むが、これらは、特許請求され得るものの範囲に対する限定としてでなく、むしろ特定の実装形態に特有である特徴の記述として解釈されるべきである。別々の実装形態の文脈で本明細書に記載される或る特徴が、組み合わせで単一の実装形態でも実装可能である。反対に、単一の実装形態の文脈で記載される様々な特徴が、別々に複数の実装形態でも、または任意の適切な下位組合せでも実装可能である。その上、特徴が或る組合せで作用すると上記され、しかもそのように最初に特許請求され得るが、特許請求された組合せからの1つまたは複数の特徴が、一部の場合には、同組合せから削除可能であり、特許請求された組合せは、下位組合せまたは下位組合せの変形とされ得る。

【0081】

多くの実装形態が記載された。にもかかわらず、本発明の趣旨および範囲から逸脱することなく様々な修正がなされてよいことが理解されるであろう。他の実装形態は以下の請求項の範囲内である。

【符号の説明】

【0082】

100	第1の基板	
102	第2の基板	
104	レイアウト	
106	第1の回路素子	
108	拡散障壁	20
114	レイアウト	
115	最大横寸法	
116	バンプボンド	
118	ピラー	
120	第2の回路素子	
140	積層デバイス	
142	分離距離	
200	基板	
202	第1のレジスト層	
203	厚さ	30
204	開口	
205	幅	
206	ピラー	
208	余剰成膜材料	
210	第2のレジスト層	
211	厚さ	
212	幅	
214	開口	
216	バンプボンド	
218	余剰成膜材料	40
302	第1の基板	
304	バンプボンド	
306	第2の基板	
307	力	
309	所定の分離距離	
311	力	
312	第1の基板	
314	バンプボンド	
316	第2の基板	
318	ピラー	50

- 3 2 0 厚さ
- 3 2 2 幅
- 3 2 2 a 第 1 の幅
- 3 2 2 b 第 2 の幅
- 4 0 2 積層デバイス
- 4 0 4 カ
- 4 0 6 整合マーク
- 4 0 8 整合幅
- 5 0 2 ピラー
- 5 0 4 回路素子
- 5 0 6 バンプボンド
- 5 1 2 ピラー
- 5 1 4 回路素子
- 5 1 6 バンプボンド
- 5 2 2 ピラー
- 5 2 4 回路素子
- 5 2 6 バンプボンド

10

【図面】

【図 1 A】

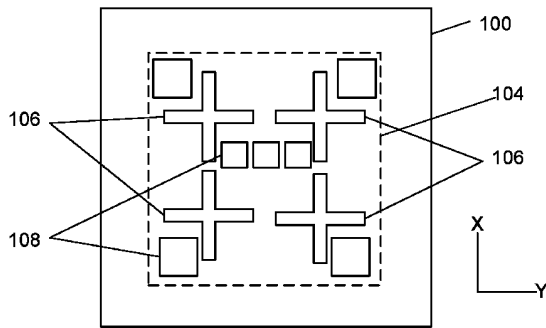


FIG. 1A

【図 1 B】

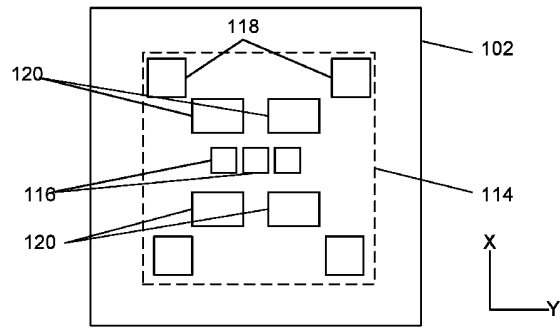


FIG. 1B

20

30

40

50

【 図 1 C 】

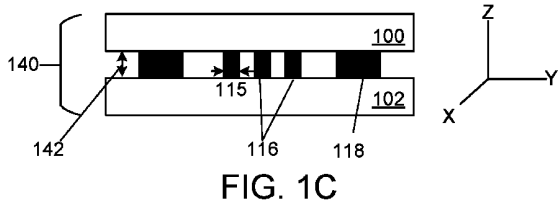


FIG. 1C

【 図 2 A 】

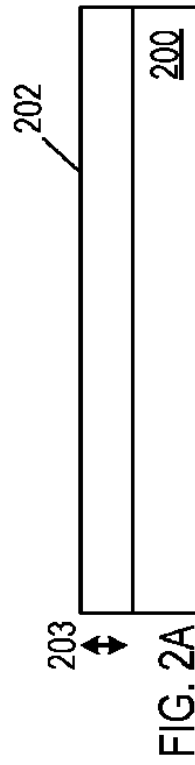


FIG. 2A

【 図 2 B 】

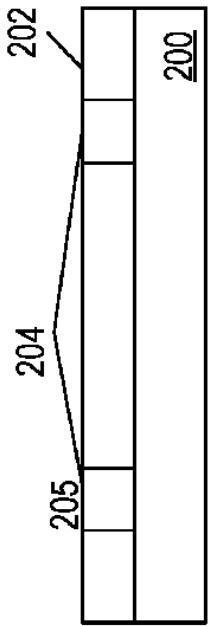


FIG. 2B

【 図 2 C 】

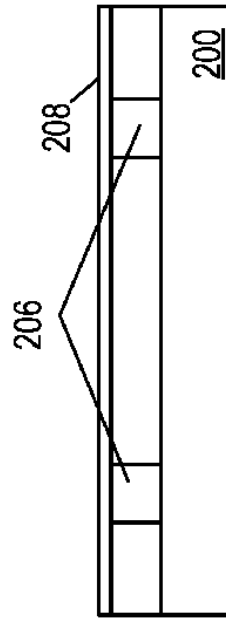


FIG. 2C

10

20

30

40

50

【 図 2 D 】

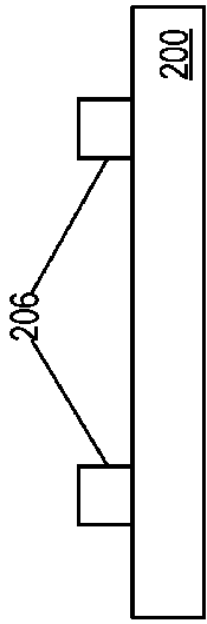


FIG. 2D

【 図 2 E 】

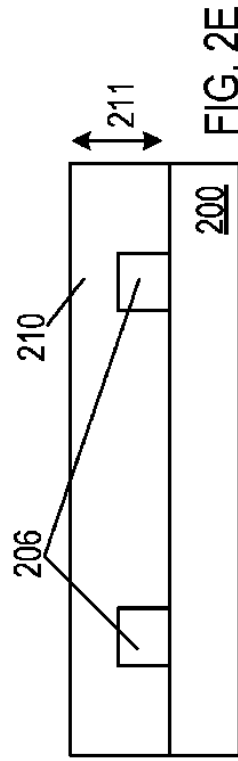


FIG. 2E

【 図 2 F 】

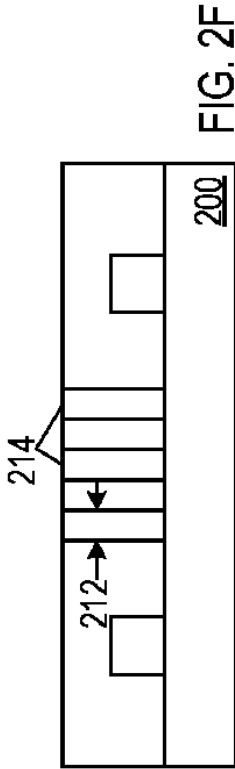


FIG. 2F

【 図 2 G 】

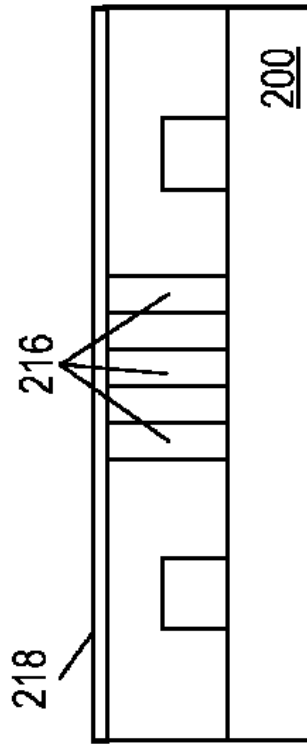


FIG. 2G

10

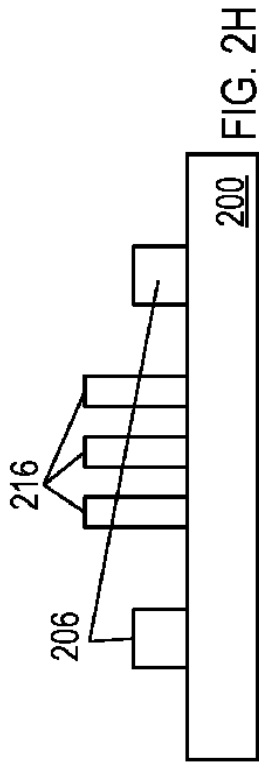
20

30

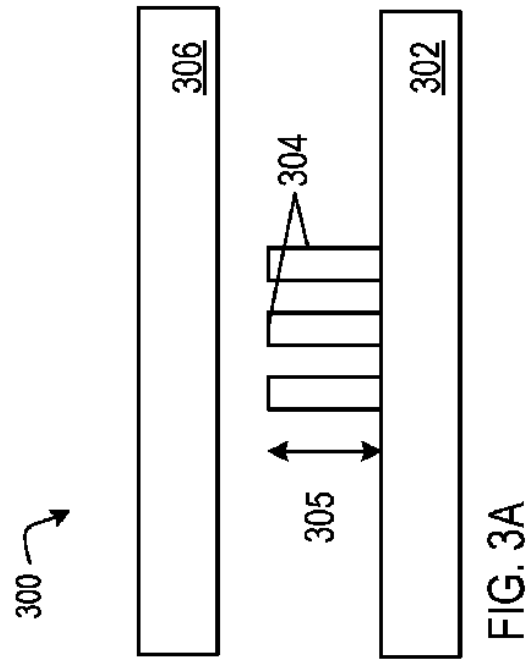
40

50

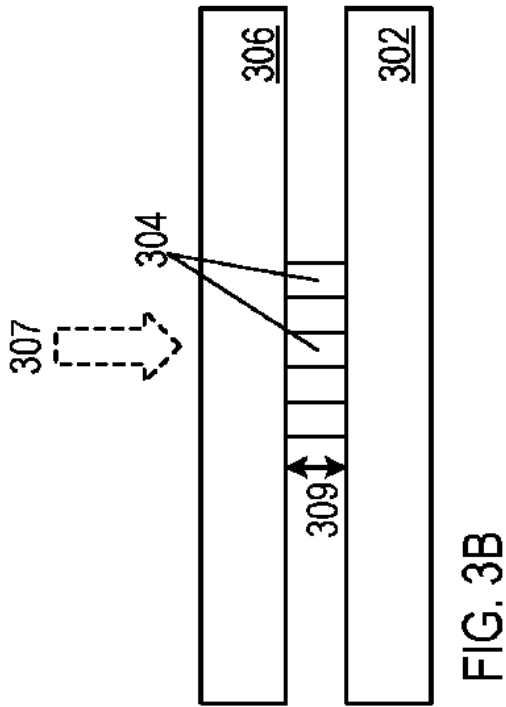
【 図 2 H 】



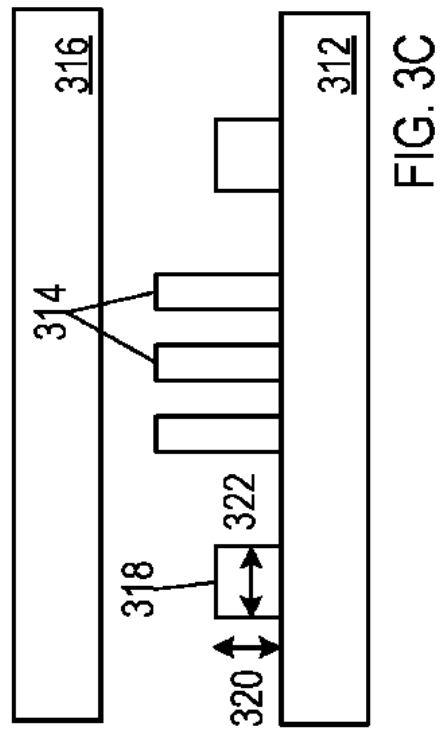
【 図 3 A 】



【 図 3 B 】



【 図 3 C 】



10

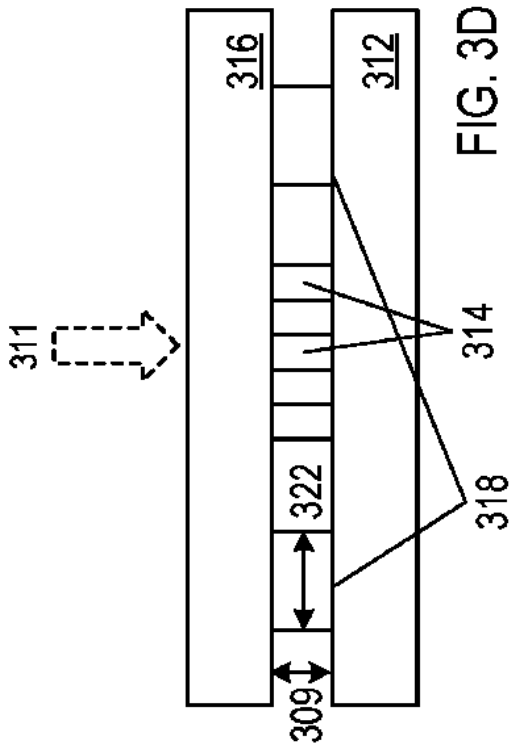
20

30

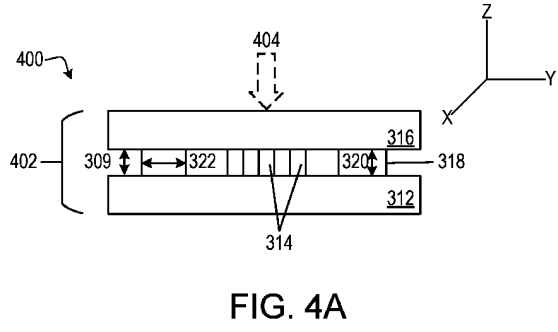
40

50

【 図 3 D 】

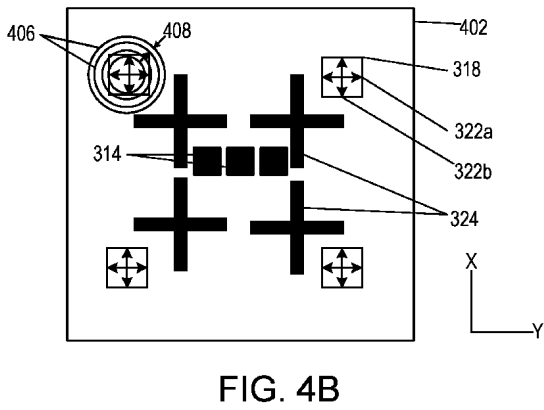


【 図 4 A 】

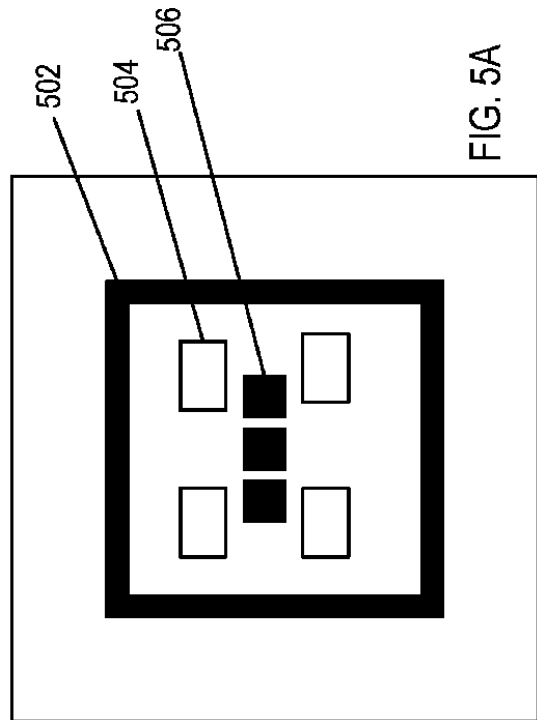


10

【 図 4 B 】



【 図 5 A 】

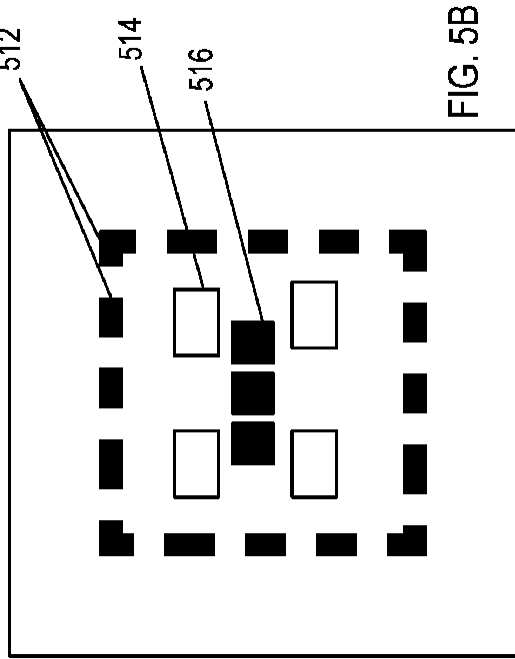


30

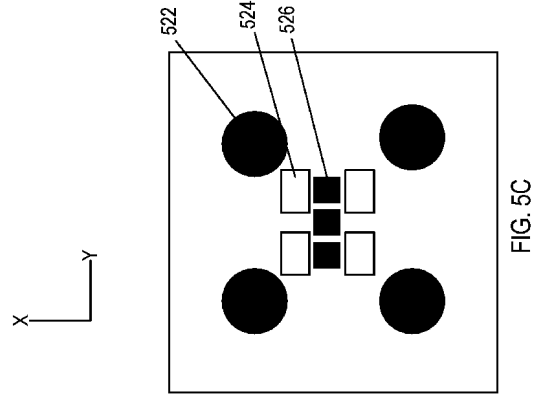
40

50

【 5 B 】



【 5 C 】



10

20

30

40

50

フロントページの続き

(72)発明者 エリック・アンソニー・ルセロ

アメリカ合衆国・カリフォルニア・94043・マウンテン・ビュー・アンフィシアター・パーク
ウェイ・1600

審査官 平林 雅行

(56)参考文献 特開平10-189660(JP,A)

特開平09-252026(JP,A)

米国特許出願公開第2003/0032217(US,A1)

特開2009-302189(JP,A)

中国特許出願公開第101436560(CN,A)

FOXEN B, QUBIT COMPATIBLE SUPERCONDUCTING INTERCONNECTS, QUANTUM SCIENCE AND TECHNOLOGY, 米国, 2017年08月14日, <https://arxiv.org/pdf/1708.04270v1.pdf>

(58)調査した分野 (Int.Cl., DB名)

H01L 21/447 - 21/449

H01L 21/60 - 21/607

H01L 25/00 - 25/07

H01L 25/10 - 25/11

H01L 25/16 - 25/18

H01L 27/18

H01L 39/00

H01L 39/06 - 39/12

H01L 39/18

H01L 39/22 - 39/24