

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年12月12日 (12.12.2002)

PCT

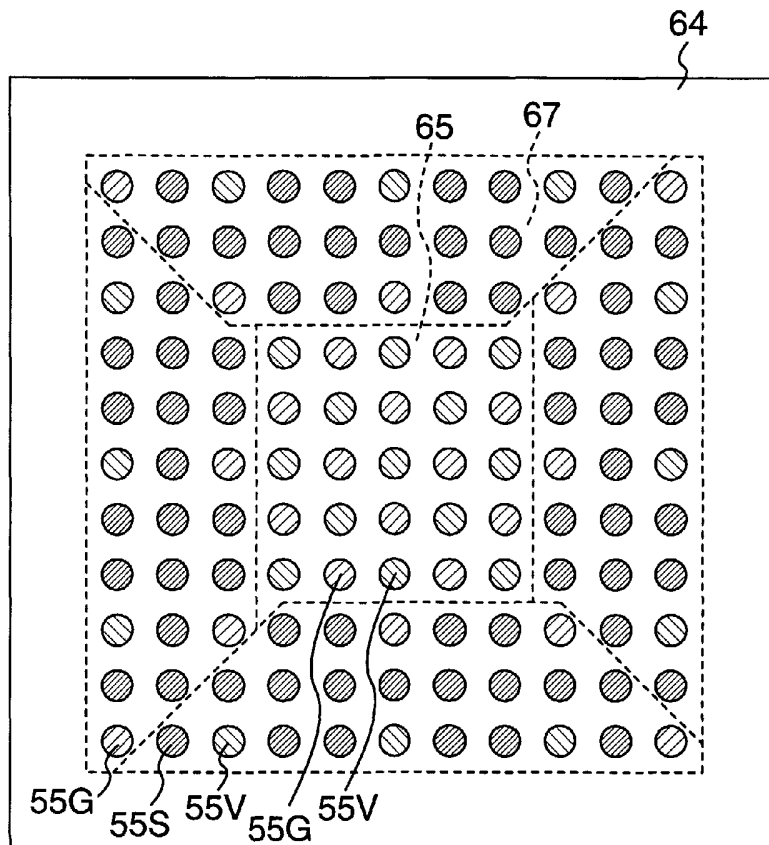
(10) 国際公開番号
WO 02/099876 A1

- (51) 国際特許分類: H01L 23/12
- (21) 国際出願番号: PCT/JP02/05163
- (22) 国際出願日: 2002年5月28日 (28.05.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2001-161914 2001年5月30日 (30.05.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 永田 達也 (NAGATA, Tatsuya) [JP/JP]; 〒300-0013 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内 Ibaraki (JP). 宮本 誠司 (MIYAMOTO, Seiji) [JP/JP]; 〒198-0024 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センター内 Tokyo (JP). 安藤 英子 (ANDO, Hideko) [JP/JP]; 〒198-0024 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センター内 Tokyo (JP).
- (74) 代理人: 浅村 皓, 外 (ASAMURA, Kiyoshi et al.); 〒100-0004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The suppression of the scaling up of a semiconductor device and the reduction of noises. A semiconductor device comprises a base (5) provided with skin layers (9, 11) on both faces of a core layer (7) formed of a printed wiring board and a semiconductor element (1) mounted on the base (5). The semiconductor element (1) is bonded to one skin layer (9) with a bonding member (3), and external terminals (55) are arranged on the other skin layer (11). The core layer (7) has through holes (41, 43, 45, 75, 77) which electrically connect the semiconductor element (1) and the external terminals (55). The through holes (41, 43, 45, 75, 77) consist of array through holes (41, 43, 45) disposed in accordance with the array of the external through holes (55) and one or more additional through holes (75, 77) provided between the array through holes (41, 43, 45).

[続葉有]



WO 02/099876 A1



(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

本発明は、半導体装置の大型化を抑制して、ノイズの発生を軽減させるものである。本発明の半導体装置は、プリント配線板で形成されたコア層（7）の両面に表層（9、11）が設けられたベース（5）と、ベース（5）に搭載された半導体素子（1）とを備え、半導体素子（1）は、一方の表層（9）と接合部材（3）により接合され、他方の表層（11）には、複数の外部端子（55）が配列され、コア層（7）には、半導体素子（1）と複数の外部端子（55）とを電氣的に接続する複数のスルーホール（41、43、45、75、77）が形成され、複数のスルーホール（41、43、45、75、77）は、複数の外部端子（55）の配列に対応して配置された複数の配列スルーホール（41、43、45）と、複数の配列スルーホール（41、43、45）の間に設けられた1つ以上の付加スルーホール（75、77）を含んでなる。

明 細 書

半導体装置

5 技術分野

本発明は、半導体装置に関する。

背景技術

格子状に端子が形成されたボールグリットアレイ半導体装置（以下、BGA半導体装置と称する）、ピングリットアレイ半導体装置（以下、PGA半導体装置と称する）、ランドグリットアレイ半導体装置（以下、LGA半導体装置と称する）、素子スケールパッケージ半導体装置（以下、CSP半導体装置と称する）などは、収容できる信号線の数が多いなどの理由から広く利用されている。

これら半導体装置では、電氣的ノイズを低減するため、特開平7-153869号公報に記載の半導体装置のように、グランド層と電氣的に接続された第1のグランドスルーホールに加え、底面の所定の部位に設けられたグランドパターンに、グランド層と電氣的に接続された複数の第2のグランドスルーホールを設けることが提案されている。例えば、この特開平7-153869号公報に記載の半導体装置は、実効的に電流が流れるグランド層の領域を拡大することにより、ノイズの発生を抑制することができる。

20 発明の開示

しかし、これらの半導体装置では、各電極の周囲を囲むように、グランドパターンを設け、このグランドパターンにグランド層と電氣的に接続する第2のグランドスルーホールを設けているため、グランドパターンを形成した分、半導体装置が大型化してしまう。半導体装置が大型化すると、半導体装置のコストが増大するとともに、半導体装置の実装面積が大きくなり、半導体装置を搭載する電子機器のコストが増大するなどの問題がある。

本発明の目的は、半導体装置の大型化を抑制して、ノイズの発生を軽減させることにある。

本発明は、上記目的を次の手段により達成する。すなわち、本発明は、プリン

ト配線板で形成されたコア層の両面に表層が設けられたベースと、このベースに搭載された半導体素子とを備え、この半導体素子は、表層のうち一方の表層と接合部材により接合され、表層のうち他方の表層には、複数の外部端子が配列され、コア層には、半導体素子と複数の外部端子とを電氣的に接続する複数のスルーホールが形成され、この複数のスルーホールは、複数の外部端子の配列に対応して配置された複数の配列スルーホールと、この複数の配列スルーホールの中に設けられた1つ以上の付加スルーホールを含んでなる半導体装置を提供する。

このように、ベースのコア層に、外部端子の配列に対応して配置された配列スルーホールに加えて、自己外部端子、つまり、対応する外部端子を持たない付加スルーホールを、配列スルーホールと配列スルーホールの中に設けることにより、配列スルーホールの近傍に付加スルーホールを設けることができ、インダクタンスを軽減することができる。また、付加スルーホールは、対応する外部端子を持たないので、スルーホールの外部端子やパターンをベース面に形成するのに比べ、半導体装置の外部端子の数を少なくでき、半導体装置を小型化することができる。

15 このため、半導体装置の大型化を回避するとともに、インダクタンスを小さくすることができ、半導体装置におけるノイズの発生を軽減することができる。

また、本発明の半導体装置では、複数の外部端子が、外部信号端子と、外部電源端子と、外部グランド端子とから成り、複数のスルーホールは、外部信号端子と半導体素子とを電氣的に接続する信号スルーホールと、外部電源端子と半導体素子とを電氣的に接続する電源スルーホールと、外部グランド端子と半導体素子とを電氣的に接続するグランドスルーホールと、外部電源端子と半導体素子または外部グランド端子と半導体素子とを電氣的に接続する付加スルーホールとを含んで構成することもできる。このとき、スルーホールを、外部端子の数より付加スルーホールの分だけ多く設けることもできる。

25 このように、外部信号端子と半導体素子とを電氣的に接続する信号スルーホールと、外部電源端子と半導体素子とを電氣的に接続する電源スルーホールと、外部グランド端子と半導体素子とを電氣的に接続するグランドスルーホールと、外部電源端子と半導体素子とを電氣的に接続する、または、外部グランド端子と半導体素子とを電氣的に接続する付加スルーホールとを含んで構成された複数のス

ルーホールは、外部端子の数より付加ルーホールの分だけ多く設けられているので、付加ルーホールを設けた分、グラウンドや電源のインダクタンスを小さくすることができ、半導体装置のノイズの発生を軽減することができる。また、外部端子を設けない分、半導体装置の大型化を抑制することもできる。

- 5 また、本発明の半導体装置は、複数のルーホールが、複数の外部端子の配列に対応して配置された複数の配列ルーホールと、これら配列ルーホールと配列ルーホールとの間に設けられた1つまたは2つ以上の付加ルーホールからなる。これら複数のルーホールは、外部端子の数より付加ルーホールの分だけ多く設けられている。複数の配列ルーホールは、外部信号端子と半導体素子とを電気的に接続し、かつ、配列された外部信号端子に対応して配置された配列信号ルーホールと、外部電源端子と半導体素子とを電気的に接続し、かつ、配列された外部電源端子に対応して配置された配列電源ルーホールと、外部グラ
10 ンド端子と半導体素子とを電気的に接続し、かつ、配列された外部グラウンド端子に対応して配置された配列グラウンドルーホールとを含む。付加ルーホールを、
15 外部電源端子と半導体素子とを電気的に接続、または、外部グラウンド端子と半導体素子とを電気的に接続し、配列して設けられた配列信号ルーホールと配列信号ルーホールとの間に配置することもできる。

- このように、ベースのコア層に、外部端子の数より付加ルーホールの分だけ多くのルーホールが設けられているので、付加ルーホールの分だけ、グラ
20 ンドおよび電源のインダクタンスを軽減することができる。また、付加ルーホールは、配列信号ルーホールと配列信号ルーホールとの間に設けられているので、配列信号ルーホールの近傍に付加ルーホールを設けることができ、グラ
ンドや電源のインダクタンスを軽減することができる。更に、付加ルーホールは、自己外部端子を持たないので、外部端子やパターンをベース面に形成するの
25 に比べ、半導体装置を小型化することができ、半導体装置およびこれを実装する電子機器の大型化を回避して、コストの増大を抑制することができる。更にまた、外部端子の径がルーホールの径に比べて大きい場合、自己外部端子を持つ配列電源ルーホールや配列グラウンドルーホールに比べ、付加ルーホールは、自己外部端子を持たない分、配列信号ルーホールの近傍に設けることができ、グ

ランドや電源のインダクタンスを軽減することができる。

また、本発明の半導体装置では、ベースを複数の領域に分割して、これら複数の領域に配列スルーホールを設け、これら配列スルーホールが設けられた領域と領域の間に付加スルーホールを設けることもできる。

- 5 このように、ベースを複数の領域に分割して、これら分割された領域と領域の間に付加スルーホールが設けられているので、ベースの周囲にグランドスルーホールを設けるのに比べ、中央部に配置された外部端子に対応する配列スルーホールの近傍に付加スルーホールを設けることができ、インダクタンスを小さくすることができる。また、付加スルーホールに対応する外部端子が設けられていない
- 10 ので、半導体装置の大型化を抑制することができる。

- また、本発明の半導体装置では、付加スルーホールを、略矩形に形成された前記ベースの対角線上近傍に設けることもできる。このように、ベースを対角線で複数の領域に分割して、これら分割された領域と領域の間に、付加スルーホールを設けることにより、従来の半導体装置の配線を大幅に変更することなく、付加
- 15 スルーホールを設けることができる。これら領域は、対角線にそって分割された領域に限るものではなく、ベースの配線が大幅に変更されることがないように、領域を分割すればよく、例えば、ベースを、直交する2直線により分割された領域が略矩形になるように、4分割するなどしてもよい。

- また、半導体装置の配列スルーホールが、中央部に設けられた主な電源スルー
- 20 ホールと、その周辺部に設けられた信号スルーホールと、これら信号スルーホールの間に設けられた電源スルーホールおよびグランドスルーホールとによって構成されている場合、中央部の電源スルーホールの領域と、周辺部の信号スルーホールの領域に分割して、電源スルーホールの領域と信号スルーホールの領域との間に付加スルーホールを設ける。信号スルーホールの領域を更に、ベースの対角
- 25 線などで分割して、それらの間に付加スルーホールを設けてもよい。この場合、それぞれの信号スルーホールの領域は、ほぼ同じ大きさ、または、ほぼ同じ配列スルーホールの数になるように分割するのが好ましい。

 また、信号スルーホールは、電源スルーホールとグランドスルーホールと付加スルーホールとを合わせた数の4倍以内、コア層に設けられているのが好ましい。

例えば、複数の信号スルーホールが設けられ、これら複数の信号スルーホールの近傍に、グランドスルーホールが設けられている場合、複数の信号スルーホールに電流が流れると、この複数の電流の誘導によりグランドスルーホールに電流が流れ、このグランドスルーホールに流れる電流は、電流経路が重なり、インダクタンスが大きくなり好ましくない。信号スルーホールの数が、付加スルーホールと電源スルーホールとグランドスルーホールとを合わせた数の4倍以内であれば、電流経路が重複することによるグランドや電源のインダクタンスの増加を軽減することができる。

本発明の他の目的、特徴及び利点は添付図面に関する以下の本発明の実施例の記載から明らかになるであろう。

図面の簡単な説明

図1は、本発明の一実施形態における半導体装置の概略構成を示す縦断面図である。

図2は、図1の半導体装置の底面図である。

図3は、図1の半導体装置の概略構成を示す横断面図である。

図4は、図1の半導体装置の動作を説明する模式斜視図である。

図5は、本発明の他の実施形態における半導体装置の概略構成を示す横断面図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について、図1～図5を参照して説明する。

本実施形態のBGA半導体装置は、図1に示すように、半導体素子1と、この半導体素子1に接合部材、例えば、半田ボール3により接合されたベース5とを含み構成されている。

半導体素子1は、図示しない端子が、ベース5側の面に一面に設けられ、図示しない端子は、格子状に配列されている。

半導体素子1の格子状に配列された図示しない各端子の間隔、つまり、半導体素子1の図示しない端子のピッチを拡大して、電子装置のマザーボードなどに電氣的に接続するベース5は、プリント配線板により形成されたコア層7と、このコア層7の両面に設けられた高密度配線可能な表層9、11により形成されてい

る。

コア層 7 の両面に設けられた表層 9、11 のうち、半導体素子 1 側の面に設けられた表層 9 は、半導体素子 1 と接合部材である半田ボール 3 により接合され、半導体素子 1 と表層 9 との間は、図示しないエポキシ樹脂などの絶縁体が充填され、封止されている。

半導体素子 1 の図示しない複数の端子は、信号端子、電源端子、グランド端子を含んで構成され、これら図示しない複数の端子は、半導体素子 1 のベース 5 側の面に格子状に設けられている。

表層 9 は、例えば、表層 9 の表面、つまり、半導体素子 1 に対向する面に、半導体素子 1 の図示しない端子と接続する導体層 13 が設けられ、次に、絶縁体層 15、導体層 17 および絶縁体層 19 が、半導体素子 1 側からベース 5 のコア層 7 に向かって形成され、導体層と絶縁体層が交互に積層されている。

導体層 13 は、信号線 20、信号端子 21、電源端子 23 およびグランド端子 25 などを含んで構成されている。導体層 13 の信号端子 21、電源端子 23、グランド端子 25 は、半導体素子 1 に設けられた図示しない信号端子、電源端子、グランド端子にそれぞれ対向する位置に設けられていて、それぞれ半田ボール 3 により接続されている。

導体層 17 は、プレーングランド導体層と、このプレーングランド導体層に形成された開口部に設けられた信号導体層と、電源導体層を含んで構成されている。

コア層 7 は、コア層 7 の表面、つまり、表層 9 の絶縁体層 19 と接する面に、導体層 27 が設けられ、次に、絶縁体層 29、導体層 31、絶縁体層 33、導体層 35、絶縁体層 37 および導体層 39 が、表層 9 側から表層 11 側に向かって形成され、導体層と絶縁体層が交互に積層されている。

導体層 27 は、プレーン電源導体層と、このプレーン電源導体層に形成された開口部に設けられた信号導体層と、グランド導体層とを含んで構成されている。

導体層 31 は、プレーングランド導体層と、このプレーングランド導体層に形成された開口部に設けられた電源導体層を含んで構成されている。

導体層 35 は、プレーン電源導体層と、このプレーン電源導体層に形成された開口部に設けられたグランド導体層とを含んで構成されている。

導体層 3 9 は、プレーングランド導体層と、このプレーングランド導体層に形成された開口部に設けられた信号導体層と、電源導体層を含んで構成されている。

また、コア層 7 には、コア層 7 の両面に設けられた信号導体層を電氣的に接続する配列信号スルーホール 4 1 と、同じくコア層 7 に設けられたプレーン電源導体層および電源導体層を電氣的に接続する配列電源スルーホール 4 3 と、同じくコア層 7 に設けられたプレーングランド導体層およびグランド導体層を電氣的に接続する配列グランドスルーホール 4 5 とが設けられている。

コア層 7 の配列信号スルーホール 4 1、配列電源スルーホール 4 3、配列グランドスルーホール 4 5 などは、例えば、接続しないプレーンの導体層に穴を形成しておき、ドリルで導体の穴の中を通るように貫通するスルーホールを形成し、無電解銅メッキでスルーホール内面に銅を形成することによって形成される。このとき、プレーンの導体層とスルーホールの内面に設けられた銅は、絶縁体により隔絶されている。また、接続するプレーンの導体層には穴を形成せず、同様にドリルで貫通するスルーホールを形成する。このとき、スルーホールの内面には、プレーンの導体層の端面が露出しているので、無電解銅メッキでスルーホールの内面に銅を形成することにより、スルーホールとプレーンの導体層が接続される。このように、コア層 7 のスルーホールは、コア層 7 であるプリント配線板をドリルで穴を明け、この穴をメッキすることにより形成される。

配列信号スルーホール 4 1 は、コア層 7 の両面に設けられた信号導体層、つまり、導体層 2 7 の信号導体層と導体層 3 9 の信号導体層とを電氣的に接続する。

配列電源スルーホール 4 3 は、コア層 7 の半導体素子 1 側の面に設けられたプレーン電源導体層、つまり、導体層 2 7 のプレーン電源導体層と、導体層 3 5 のプレーン電源導体層と、コア層 7 の表層 1 1 側の面に設けられた電源導体層、つまり、導体層 3 9 の電源導体層とを電氣的に接続する。

配列グランドスルーホール 4 5 は、コア層 7 の半導体素子 1 側の面に設けられたグランド導体層、つまり、導体層 2 7 のグランド導体層と、導体層 3 1 のプレーングランド導体層と、コア層 7 の底面に設けられたプレーングランド導体層、つまり、導体層 3 9 のプレーングランド導体層とを電氣的に接続する。

表層 1 1 は、例えば、表層 9 と同様に、表層 1 1 の面のうち、コア層 7 に接す

る面に絶縁体層 4 7 が設けられ、次に、導体層 4 9、絶縁体層 5 1 および導体層 5 3 が、コア層 7 からベース 5 の底面に向かって形成され、導体層と絶縁体層は、交互に積層されている。

導体層 4 9 は、プレーン電源導体層と、このプレーン電源導体層に形成された開口部に設けられた信号導体層と、グランド導体層とを含んで構成されている。

導体層 5 3 は、外部信号端子 5 5 s、外部電源端子 5 5 v、外部グランド端子 5 5 g などの外部端子 5 5 により形成された導体層であり、これら外部端子 5 5 には、半田ボール 6 2 が接合されている。半田ボール 6 2 は、半導体装置を、図示しない電子装置の基板に接続するために使用される。

10 また、表層 9 には、絶縁体層 1 5 により絶縁された導体層 1 3 と導体層 1 7、絶縁体層 1 9 により絶縁された導体層 1 7 とコア層 7 の導体層 2 7 とをそれぞれ電気的に接続するビア 6 3 が設けられている。表層 1 1 にも、絶縁体層 4 7 により絶縁されたコア層 7 の導体層 3 9 と表層 1 1 の導体層 4 9、絶縁体層 5 1 により絶縁された導体層 4 9 と導体層 5 3 とをそれぞれ電気的に接続するビア 6 3 が
15 設けられている。

フォトリソグラフィやレーザーで絶縁体層に穴を開け、全面に無電解銅メッキで銅を形成し、フォトリソグラフィで銅をエッチングして配線パターンを形成する。絶縁体層の穴は、その上層に形成する層の表面に凹状のへこみを作ることになる。フォトリソグラフィの制約からプレーンの導体層の穴に短い配線を
20 形成し、下層へのビアと上層へのビアの位置をずらしてへこみの量を分散する。

ここで、信号の接続経路は、半導体装置の図示しない信号端子から、半田ボール 3、導体層 1 3、ビア 6 3、導体層 1 7 の信号導体層、ビア 6 3、導体層 2 7 の信号導体層、配列信号スルーホール 4 1、導体層 3 9 の信号導体層、ビア 6 3、導体層 4 9 の信号導体層、ビア 6 3、導体層 5 3 の外部信号端子 5 5 s、半田ボール 6 2 である。半導体素子 1 の図示しない信号端子は、半導体装置の出力端子である導体層 5 3 の外部信号端子 5 5 s とそれぞれ一対一の関係で接続されている。
25

電源の接続経路は、半導体装置 1 の図示しない電源端子から、半田ボール 3、導体層 1 3、ビア 6 3、導体層 1 7 の電源導体層、ビア 6 3、導体層 2 7 のプレ

ーン電源導体層、配列電源スルーホール43、導体層35のプレーン電源導体層、配列電源スルーホール43、導体層39の電源導体層、ビア63、導体層49のプレーン電源導体層、ビア63、導体層53の外部電源端子55v、半田ボール62である。

- 5 グランドの接続経路は、半導体装置1の図示しないグランド端子から、半田ボール3、導体層13、ビア63、導体層17のプレーングランド導体層、ビア63、導体層27の電源導体層、配列グランドスルーホール45、導体層31のプレーングランド導体層、配列グランドスルーホール45、導体層39のプレーングランド導体層、ビア63、導体層49のグランド導体層、ビア63、導体層53の外部グランド端子55g、半田ボール62である。

このように、電源は、ビア63や配列電源スルーホール43により、導体層27のプレーン電源導体層、導体層35のプレーン電源導体層、および、導体層49のプレーン電源導体層のプレーンに配置された電源の導体層に接続され、グランドは、ビア63や配列グランドスルーホール45により、導体層17のプレーングランド導体層、導体層31のプレーングランド導体層、および、導体層39のプレーングランド導体層のプレーンに配置されたグランドの導体層に接続されている。また、プレーンに配置した導体層には多数の穴があり、その穴の中に導体を形成して、信号線を別な層に接続する。

表層11の導体層53を形成する外部端子55は、図2に示すように、表層11の表面、つまり、半導体装置の底面64に格子状に配列され、例えば、11行11列の121個が設けられている。また、図2は、説明のため、半田ボール62が省略されている。外部端子55が格子状に設けられた半導体装置の底面64は、中央部に略正方形に形成された内部電源領域65と、この内部電源領域65の周囲に形成された信号線領域67に分割されている。信号線領域67は、ベース5の対角線の近傍で4分割されている。

半導体装置の底面64の中央部に形成された内部電源領域65には、5行5列に格子状に計25個の外部電源端子55vと外部グランド端子55gが設けられ、外部電源端子55vと外部グランド端子55gは、隣り合うように配置され、外部電源端子55vを外部グランド端子55gが取り囲むように配置されている。

一方、外部グランド端子 5 5 g を取り囲むように外部電源端子 5 5 v が配置されている。つまり、内部電源領域 6 5 では、ほぼ同数の外部電源端子 5 5 v と外部グランド端子 5 5 g とが互い違いに配置されている。

内部電源領域 6 5 の周囲に形成された信号線領域 6 7 は、半導体装置の底面 6 4 の対角線により 4 つの領域に分割され、分割された信号線領域 6 7 には、それぞれ外部信号端子 5 5 s、外部電源端子 5 5 v、外部グランド端子 5 5 g が配置されている。信号線領域 6 7 の内部電源領域 6 5 に隣接する内周部、および、底面 6 4 の対角線上には、外部グランド端子 5 5 g が、ほぼ均等な間隔を有して配置されている。つまり、信号線領域 6 7 の内部電源領域 6 5 側の角部、および、

10 信号線領域 6 7 の外側の角部に、外部グランド端子 5 5 g が設けられ、信号線領域 6 7 の内部電源領域 6 5 側の角部に設けられた各外部グランド端子 5 5 g の中間部にも外部グランド端子 5 5 g が設けられている。この信号線領域 6 7 の内部電源領域 6 5 側の各外部グランド端子 5 5 g の間には、例えば、外部信号端子 5 5 s が 2 個ずつ配置されている。更に、信号線領域 6 7 の内部電源領域 6 5 側の

15 各外部グランド端子 5 5 g は、内部電源領域 6 5 内の外部電源端子 5 5 v に隣接して配置されている。また、信号線領域 6 7 に設けられた外部電源端子 5 5 v は、信号線領域 6 7 の外周部にほぼ均等な間隔を有して配置されており、この信号線領域 6 7 の外周部に設けられた各外部電源端子 5 5 v の間には、外部信号端子 5 5 s が配置されている。このように、信号線領域 6 7 には、ほぼ同数の外部電源

20 端子 5 5 v と外部グランド端子 5 5 g とが設けられ、これら外部電源端子 5 5 v および外部グランド端子 5 5 g を合わせた数のほぼ 3 倍の数の外部信号端子 5 5 s が設けられ、外部電源端子 5 5 v および外部グランド端子 5 5 g の周囲には外部信号端子 5 5 s が隣接して設けられている。

本実施形態の半導体装置の動作と本発明の特徴部について説明する。本実施形

25 態の半導体装置は、図 3 に示すように、外部信号端子 5 5 s に対応して設けられた配列信号スルーホール 4 1、外部電源端子 5 5 v に対応して設けられた配列電源スルーホール 4 3、外部グランド端子 5 5 g に対応して設けられた配列グランドスルーホール 4 5、対応する外部端子 5 5 を持たない付加グランドスルーホール 7 5、および、対応する外部端子 5 5 を持たない付加電源スルーホール 7 7 が

設けられている。

コア層 7 に形成された複数のグラウンド導体層を電氣的に接続する付加グラウンドスルーホール 7 5 と、同じくコア層 7 に形成された複数の電源導体層を電氣的に接続する付加電源スルーホール 7 7 は、図 3 に示すように、ほぼ同数が、コア層 5 7 に形成されている。

付加グラウンドスルーホール 7 5 は、図 1 に示すように、コア層 7 の表面にもうけられた導体層 2 7 のグラウンド導体層と、コア層 7 の底面に設けられた導体層 3 9 のプレーングラウンド導体層とを電氣的に接続するとともに、コア層 7 に内層された導体層 3 1 のプレーングラウンド導体層も電氣的に接続する。また、付加グラ
10 ンドスルーホール 7 5 は、対応する外部端子 5 5 を持たないが、導体層 3 1、3 9 のプレーングラウンド導体層により、配列グラウンドスルーホール 4 5 や外部グラウンド端子 5 5 g と電氣的に接続されている。

付加電源スルーホール 7 7 は、コア層 7 の表面にもうけられた導体層 2 7 のプレーン電源導体層と、コア層 7 の底面に設けられた導体層 3 9 の電源導体層とを
15 電氣的に接続するとともに、コア層 7 に内層された導体層 3 5 のプレーン電源導体層も電氣的に接続する。また、付加電源スルーホール 7 7 は、対応する外部端子 5 5 を持たないが、導体層 2 7、3 5 のプレーン電源導体層により、配列電源スルーホール 4 3 や外部電源端子 5 5 v と電氣的に接続されている。

配列信号スルーホール 4 1、配列電源スルーホール 4 3 および配列グラウンドス
20 ルーホール 4 5 は、それぞれ図 2 に示した外部信号端子 5 5 s、外部電源端子 5 5 v および外部グラウンド端子 5 5 g とほぼ同様に配列されている。また、対角線で分割された信号線領域 6 7 は、内部電源領域 6 5 からベース 5 の外周方向にずらして設けられている。このとき、格子状に配列されたスルーホールの各間隔を 1 ピッチとすれば、各信号線領域 6 7 を半ピッチほど外周方向にずらして設ける
25 ことにより、内部電源領域 6 5 と信号線領域 6 7 の間、および、分割された信号線領域 6 7 同士の間隙を形成し、この隙間に付加グラウンドスルーホール 7 5 および付加電源スルーホール 7 7 が設けられている。付加グラウンドスルーホール 7 5 および付加電源スルーホール 7 7 は、図 1 に示すように、自己端子、つまり、対応する半導体素子 1 の図示しない端子や対応する外部端子 5 5 を持たず、コア

層 7 に形成されている。

つまり、配列信号スルーホール 4 1、配列電源スルーホール 4 3 および配列グランドスルーホール 4 5 は、図 3 に示すように、相対的な配置が図 2 の外部端子 5 5 とほぼ一致して配置されており、付加グランドスルーホール 7 5 と付加電源スルーホール 7 7 は、外部端子 5 5 の配列にない位置に配置されているものである。

付加グランドスルーホール 7 5 と付加電源スルーホール 7 7 は、内部電源領域 6 5 と信号線領域 6 7 の間、つまり、内部電源領域 6 5 の周囲に、交互に設けられている。また、付加グランドスルーホール 7 5 と付加電源スルーホール 7 7 は、信号線領域 6 7 と信号線領域 6 7 の間、つまり、ベース 5 の対角線上に設けられ、付加電源スルーホール 7 7 は、ベース 5 面の対角線上にそれぞれ 2 個ずつ設けられ、これら 2 個の付加電源スルーホール 7 7 の間に、付加グランドスルーホール 7 5 が、それぞれ設けられている。更に、付加グランドスルーホール 7 5 は、信号線領域 6 7 の周囲にほぼ均等な間隔を有して設けられている。

次に、本実施形態の BGA 半導体装置の動作について、図 4 を参照して説明する。図 4 は、BGA 半導体装置の動作を説明するため、ベース 5 の構成を簡略化して表した図であり、導体層 1 3、4 9 の一部の信号線 7 9、8 1 と、これら信号線 7 9、8 1 に電氣的に接続された配列信号スルーホール 4 1 と、導体層 1 7、3 9 のプレーングランド導体層 8 3、8 5 と、これらプレーングランド導体層 8 3、8 5 に電氣的に接続された付加グランドスルーホール 7 5 を示しており、他の構造部材は省略してある。

ベース 5 は、図 4 に示すように、導体層 1 3 の信号線 7 9、導体層 1 7 のプレーングランド導体層 8 3、導体層 3 9 のプレーングランド導体層 8 5、および、導体層 4 9 の信号線 8 1 を含んで構成され、これら導体層の間には、それぞれ図示しない絶縁体層が設けられている。また、導体層 1 3 の信号線 7 9 と導体層 4 9 の信号線 8 1 は、配列信号スルーホール 4 1 により電氣的に接合され、導体層 1 7 のプレーングランド導体層 8 3 と導体層 3 9 のプレーングランド導体層 8 5 は、付加グランドスルーホール 7 5 により電氣的に接合されている。なお、導体層 1 7、3 9 のプレーングランド導体層 8 3、8 5 には、それぞれ開口部 8 7、

89が形成され、これら開口部87、89に配列信号スルーホール41が形成され、配列信号スルーホール41とプレーングランド導体層83、85は、電氣的に接合されていない。

5 半導体素子1の信号入出力では、例えば、信号の電圧をL (Low) からH (High) に切り換えると、半導体素子1に接続された導体層13の半導体素子1近傍の信号線79に電流が流れ、その信号線79に対向する導体層17のプレーングランド導体層83に、誘導により逆方向の帰還電流が流れる。

10 信号線79と、この信号線79の近傍にプレーングランド導体層83が設けられている場合、信号線79に過渡的に電流が流れると、磁場が発生し、誘導電流がプレーングランド導体層83に流れる。誘導電流は、電流による磁場が最小になるように信号線79を流れる電流と逆向きに、プレーングランド導体層83を流れる。この逆向きの電流を帰還電流と称している。付加グランドスルーホール75、プレーングランド導体層85を流れる誘導電流も同様である。

15 導体層13の信号線79を流れる電流と、導体層17のプレーングランド導体層83を流れる帰還電流は、両者の間の静電容量を介して連続な電流ループを形成する。この信号切換時の電流は、半導体素子1の近傍に流れ、時間の経過と共に半導体素子1から遠方に伝播する。つまり、同じ1本の信号線でも信号が伝播した部分には電流が流れ、信号が到達していない部分に電流は流れていないことになる。帰還電流は、導体層13の信号線79と対向する導体層17のプレーングランド導体層83に流れ、通常、電流と帰還電流は、対になっている。信号線20 79の電流が配列信号スルーホール41に達すると、対向するプレーングランド導体層83を流れる帰還電流も、配列信号スルーホール41が形成されたプレーングランド導体層83の開口部87に達する。

25 配列信号スルーホール41に達した電流は、配列信号スルーホール41に電流経路があるため、そのまま配列信号スルーホール41を伝わり、同時に付加グランドスルーホール75に逆方向の帰還電流を誘導する。電流は、配列信号スルーホール41を流れて、導体層49の信号線81に達する。信号線81に達した電流は、信号線81に電流経路があるため、そのまま導体層49の信号線81を伝わり、時間の経過と共に配列信号スルーホール41から遠方に伝播する。信号線

8 1 を流れる電流は、同時に導体層 3 9 のプレーングランド導体層に逆方向の帰還電流を誘導する。導体層 4 9 の信号線 8 1 を流れる電流と、導体層 3 9 のプレーングランド導体層 8 5 を流れる帰還電流は、両者の間の静電容量を介して連続な電流ループを形成する。

- 5 プレーングランド導体層 8 5 を流れる帰還電流は、導体層 4 9 の信号線 8 1 を流れる電流と逆向きに流れるため、配列信号スルーホール 4 1 に向かって流れるが、配列信号スルーホール 4 1 は、プレーングランド導体層 8 5 の開口部 8 9 に設けられているので、開口部 8 9 に達したプレーングランド導体層 8 5 を流れる帰還電流は、行き場がない。このため、プレーングランド導体層 8 5 を流れる帰還電流は、プレーングランド導体層 8 5 の開口部 8 9 の周囲に蓄積して電位が変化し、近傍の付加グランドスルーホール 7 5 に、未結合電流となり流れ込む。また、プレーングランド導体層 8 3 を流れる帰還電流は、静電容量を使って流れるため、導体層 1 7 のプレーングランド導体層 8 3 の開口部 8 7 の周囲の電位が下がり、近傍の付加グランドスルーホール 7 5 から未結合電流が、導体層 1 7 のプレーングランド導体層 8 3 の開口部 8 7 の周囲に供給される。
- 10
15

ここでは、帰還電流が流れることによりプレーンの導体層の電位が変化して、この電位の変化により発生する電流を未結合電流と称している。

- 配線直下のプレーングランド導体層 8 3、8 5 を流れる帰還電流は、薄い絶縁体層を挟んで設けられた信号線 7 9、8 1 と、磁場が密に結合するためインダクタンスが小さいが、未結合電流は、信号線 7 9、8 1 を流れる電流との磁場の結合が小さいので、大きなインダクタンスを持つことがわかった。グランドのインダクタンスが大きいとグランドノイズが大きくなる。そのため、信号線 7 9、8 1 に接続された配列信号スルーホール 4 1 のなるべく近傍に、帰還電流を流す付加グランドスルーホール 7 5 を配置すれば、グランドのインダクタンスを小さくできることが新たにわかった。この例では信号線 7 9、8 1 に対向して設けられているのは、プレーングランド導体層 8 3、8 5 であるが、プレーン電源導体層の場合も同様である。
- 20
25

このように、付加グランドスルーホール 7 5 と付加電源スルーホール 7 7 を、信号線領域 6 7 と信号線領域 6 7 の間に設けることにより、付加グランドスルー

ホール75および付加電源スルーホール77を配列信号スルーホール41の近傍に設けることができ、未結合電流のインダクタンスを低減できるため、ノイズを低減することができる。また、付加グランドスルーホール75と付加電源スルーホール77は、対応する外部端子55を持たないので、外部端子55を増加させることなく、グランドおよび電源のスルーホールを増やすことができるので、BGA半導体装置の大型化を抑制して、電源やグランドのインダクタンスを低減することができる。

また、コア層7において、信号線領域67を内部電源領域65の外側に配置することにより、コーナー部、外辺部、内部電源領域65と信号線領域67との間の隙間に、付加グランドスルーホール75や付加電源スルーホール77を配置できるため、配線設計が容易になる。

また、半導体素子1の出力回路は、例えば、信号線と電源を接続するスイッチAと、信号線とグランドを接続するスイッチBを含み構成されている。Lの信号を出力する時にはスイッチBを接続状態、スイッチAを切断状態とし、Hの信号を出力する時には逆の組み合わせとする。そのため、電流経路は、HからLの時に、信号線の静電容量に蓄えられた電荷をグランドに逃がすことになり、信号線に流れる電流の誘導により発生する帰還電流は、グランドに流れる。一方、信号をLからHに切り換える時には、信号線の静電容量を充電するため、信号線に流れる電流の誘導による帰還電流は、電源の導体層を流れる。このように、信号を伝送するため帰還電流は、グランド導体層と電源導体層の両方をながれる。このように、帰還電流は、電源導体層とグランド導体層の両方を流れるため、本実施形態の半導体装置のように、電源のスルーホールと、グランドのスルーホールが、ほぼ同数設けられていると、電源導体層とグランド導体層の両方において、未結合電流のインダクタンスを低減することができる。

また、電源導体層に代わり、すべてグランド導体層を用いる場合、半導体素子の出力トランジスタの電源とグランドとの間に、大きな静電容量を設けることによって、信号を切り換える交流動作では、電源とグランドを交流的にショートする必要がある。こうようにすると、電源とグランドを区別する必要がなくなるが、半導体素子は、面積が小さい方が好ましいので、半導体素子の出力回路に十分大

きな静電容量を設けることができない場合がある。更に、多数の種類半導体素子に、同一のベースを用いる場合、電源とグラウンドのスルーホールをほぼ均等にすると、設計条件の異なる半導体素子を用いることができるので好ましい。

BGA半導体装置は、収容できる信号線の数が多いこと、プレーン状の電源や
5 グラウンドのパターンを設けることによって、電気的なノイズの原因となる電源インピーダンスを低減しやすいことから広く使用されている。

動作周波数の高速化に伴って、BGA半導体装置を使用しても電気的なノイズが生じやすくなっており、特開平7-153869号公報に記載の半導体装置などのように、電気的なノイズを低減するため、帯状のグラウンドパターンの部位に
10 多数のグラウンドスルーホールを設けたものなどが提案されている。

多数のグラウンドスルーホールを設けるとグラウンドに流れる電流が分散するため、ノイズの原因となるグラウンドインダクタンスは低減できるが、更に動作が高速化すると、ノイズを十分に低減できない場合がある。また、BGA半導体装置は多数の信号線を収容するのに適しているが、1000信号以上を収容する大型のB
15 GA半導体装置では、グラウンドスルーホールと、このグラウンドスルーホールに接続する外部端子を多数設けることにより、BGA半導体装置の実装面積が大きくなり、BGA半導体装置やBGA半導体装置を搭載する電子装置が高価となる点について、十分に考慮されていなかった。

BGA半導体装置は半導体装置と電子装置の基板とを接続して信号を伝達する
20 機能を果たすため、なるべく多くの信号を高密度に収容できれば小型、低価格を実現できる。そのためには、電源とグラウンドの外部端子を少なくすればよいが、電源とグラウンドの外部端子を少なくすると電源やグラウンドのインダクタンスが大きくなってノイズが大きくなる問題があった。

これに対し、本実施形態のBGA半導体装置は、プリント配線板で構成したコ
25 ア層7の両面に表層9、11が設けられたベース5に、電気的に接続された半導体素子1が搭載され、外部端子55の配列と対応する配列信号スルーホール41、配列電源スルーホール43および配列グラウンドスルーホール45に加えて、外部端子55の配列から外れた位置に配置した付加グラウンドスルーホール75、付加電源スルーホール77が設けられている。このように、付加グラウンドスルーホー

ル75および付加電源スルーホール77は、外部端子55の配列の間に配置されているので、電源、グランドに電氣的に接続されたスルーホールの数を増加させ、帰還電流のインダクタンスを低減することができる。

また、半導体装置の信号線に接続する配列信号スルーホール41を、それぞれ外部信号端子55sに接続させ、半導体装置の電源あるいはグランドに接続される配列電源スルーホール43、配列グランドスルーホール45、付加グランドスルーホール75および付加電源スルーホール77が、電源あるいはグランドに接続する外部電源端子55v、外部グランド端子gよりも多く設けられている。このように、付加グランドスルーホール75および付加電源スルーホール77を加えることによって、外部端子55の数を増加させることなく、信号切換え時にグランドや電源に流れる帰還電流によるインダクタンスを低減できるので、電氣的なノイズを低減することができる。また、外部端子55の数を増やさないので、半導体装置が大型化するのを回避して、半導体装置のコストの増大を抑制することができる。

15 更に、付加グランドスルーホール75と付加電源スルーホール77は、ベース5の対角に配置することもできるので、配列信号スルーホール41と配列信号スルーホール41の隙間に、付加グランドスルーホール75や付加電源スルーホール77を配置できるため、配線設計が容易になる。

また、本発明の半導体装置におけるスルーホールの配置は、本実施形態のスルーホールの配置に代わり、図5に示すように配置することもできる。断面構造、外部端子55の配列は、実施形態とほぼ同一のため省略する。

図5の実施形態における半導体装置のスルーホールは、外部端子55の配列とほぼ同様に格子状に配置されている。これら格子状に設けられたスルーホールの信号線領域67に、ほぼ同数の付加グランドスルーホール75と付加電源スルーホール77とが設けられている。内部電源領域65に隣接して設けられた配列信号スルーホール41の外周部にほぼ均等な間隔を有して付加電源スルーホール77が設けられている。この配列信号スルーホール41の外周部に設けられた付加電源スルーホール77の更に外周部に付加グランドスルーホール75が設けられている。このとき、それぞれ付加グランドスルーホール75および付加電源スルー

一ホール 7 7 は、配列信号スルーホール 4 1 に隣接して設けられている。

つまり、内部電源領域 6 5 の周囲を取り囲む信号線領域 6 7 が内側周囲、中央周囲、外側周囲の 3 段で形成されている場合、内側周囲と中央周囲の間に付加電源スルーホール 7 7 が設けられ、中央周囲と外側周囲の間に付加グランドスルー

5 ホール 7 5 が設けられている。

言い換えると、格子状に配置されたスルーホールが設けられた領域を縦方向に 3 分割、横方向に 3 分割して、9 分割した場合の信号線領域 6 7 と信号線領域 6 7 との間に付加グランドスルーホール 7 5 および付加電源スルーホールを設け、付加グランドスルーホール 7 5 と付加電源スルーホール 7 7 は、各信号線領域の

10 間に各 1 個ずつ設けられている。

つまり、付加グランドスルーホール 7 5 は、配列されたスルーホールの 1 行目と 2 行目の間で 4 列目と 5 列目の間、1 行目と 2 行目の間で 7 列目と 8 列目の間、4 行目と 5 行目の間で 1 列目と 2 列目の間、4 行目と 5 行目の間で 1 0 列目と 1 1 列目の間、7 行目と 8 行目の間で 1 列目と 2 列目の間、7 行目と 8 行目の間で 1 0 列目と 1 1 列目の間、1 0 行目と 1 1 行目の間で 4 列目と 5 列目の間、および、1 0 行目と 1 1 行目の間で 7 列目と 8 列目の間に設けられている。

付加電源スルーホール 7 7 は、配列されたスルーホールの 2 行目と 3 行目の間で 4 列目と 5 列目の間、2 行目と 3 行目の間で 7 列目と 8 列目の間、4 行目と 5 行目の間で 2 列目と 3 列目の間、4 行目と 5 行目の間で 9 列目と 1 0 列目の間、20 7 行目と 8 行目の間で 2 列目と 3 列目の間、7 行目と 8 行目の間で 9 列目と 1 0 列目の間、9 行目と 1 0 行目の間で 4 列目と 5 列目の間、および、9 行目と 1 0 行目の間で 7 列目と 8 列目の間に設けられている。

このように、配列信号スルーホール 4 1 の近傍に付加グランドスルーホール 7 5 および付加電源スルーホール 7 7 を設けることにより、グランドや電源に流れる未結合電流によるインダクタンスを低減することができる。また、外部端子 5 5 の数を増加させることなく、付加グランドスルーホールや付加電源スルーホールを加えることによって、信号切換え時にグランドや電源に流れる帰還電流によるインダクタンスを低減できるので、電気的なノイズを低減することができる。また、外部端子 5 5 の配列により、スルーホールの配列のピッチが制限を受けて

いる場合、配列信号スルーホール41、配列電源スルーホール43、配列グランドスルーホール45の配置を変えることなく、付加グランドスルーホール75、付加電源スルーホールを、配列信号スルーホール41の間に設けることができる。

本実施形態の半導体装置は、BGA半導体装置であるが、本発明は、プリント
5 基板をベース5としたBGAパッケージに限らず、PGA半導体装置やLGA半導体装置などの面格子端子やエリア端子などを有する半導体装置とすることもできる。また、外部端子55などの配列は、格子状に限らず、千鳥状に配列されていてもよい。

また、半導体装置の外部端子55は、実施形態の端子数によらず、32行列3
10 2列の1024ピンや、40行40列の1600ピンなど適宜選択することができる。このような場合も、ベースを内部電源領域65と信号線領域67に分割し、更に信号線領域67を適宜分割して、分割された信号線領域67の周囲に付加グランドスルーホール75や付加電源スルーホール77を設ければよい。

ベース5は、コア層7と表層9、11により多層に形成されているが、本発明
15 の半導体装置は、本実施のベース5の構成に限られるものではなく、BGA半導体装置のキャリア配線板などの多層配線板などに、付加グランドスルーホール75や付加電源スルーホール77を設けることもでき、コア層7および表層9、11の層数は、外部端子55の数や回路の配線により適宜選択することができる。

産業上の利用可能性

20 本発明は、複数のスルーホールを備えた多層基板を備えたベース、及びそのベースに半導体素子を搭載した半導体装置に適用することができる。

上記記載は実施例についてなされたが、本発明はその精神と添付クレームの範囲内で種々の変更および修正をすることができることは当業者に明らかである。

請求の範囲

1. プリント配線板で形成されたコア層の両面に表層が設けられたベースと、
該ベースに搭載された半導体素子とを備え、
- 5 該半導体素子は、前記表層のうち一方の表層と接合部材により接合され、
前記表層のうち他方の表層には、複数の外部端子が配列され、
前記コア層には、前記半導体素子と前記複数の外部端子とを電氣的に接続する
複数のスルーホールが形成され、
該複数のスルーホールは、前記複数の外部端子の配列に対応して配置された複
10 数の配列スルーホールと、該複数の配列スルーホールの間に設けられた1つ以上
の付加スルーホールを含んでなる半導体装置。
 2. プリント配線板で形成されたコア層の両面に表層が設けられたベースと、
該ベースに搭載された半導体素子とを備え、
該半導体素子は、前記表層のうち一方の表層と接合部材により接合され、
 - 15 前記表層のうち他方の表層には、複数の外部端子が配列され、
前記コア層には、前記半導体素子と前記複数の外部端子とを電氣的に接続する
複数のスルーホールが形成され、
前記複数の外部端子は、外部信号端子と、外部電源端子と、外部グランド端子
とからなり、
 - 20 前記複数のスルーホールは、前記外部信号端子と前記半導体素子とを電氣的に
接続する信号スルーホールと、前記外部電源端子と前記半導体素子とを電氣的に
接続する電源スルーホールと、前記外部グランド端子と前記半導体素子とを電氣
的に接続するグランドスルーホールと、前記外部電源端子と前記半導体素子また
は前記外部グランド端子と前記半導体素子とを電氣的に接続する付加スルーホー
25 ルとを含んでおり、
前記複数のスルーホールは、前記複数の外部端子の数より前記付加スルーホー
ルの分だけ多く設けられている半導体装置。
 3. 請求項1に記載の半導体装置において、前記付加スルーホールは、略矩
形に形成された前記コア層の対角線上近傍に設けられていることを特徴とする半

導体装置。

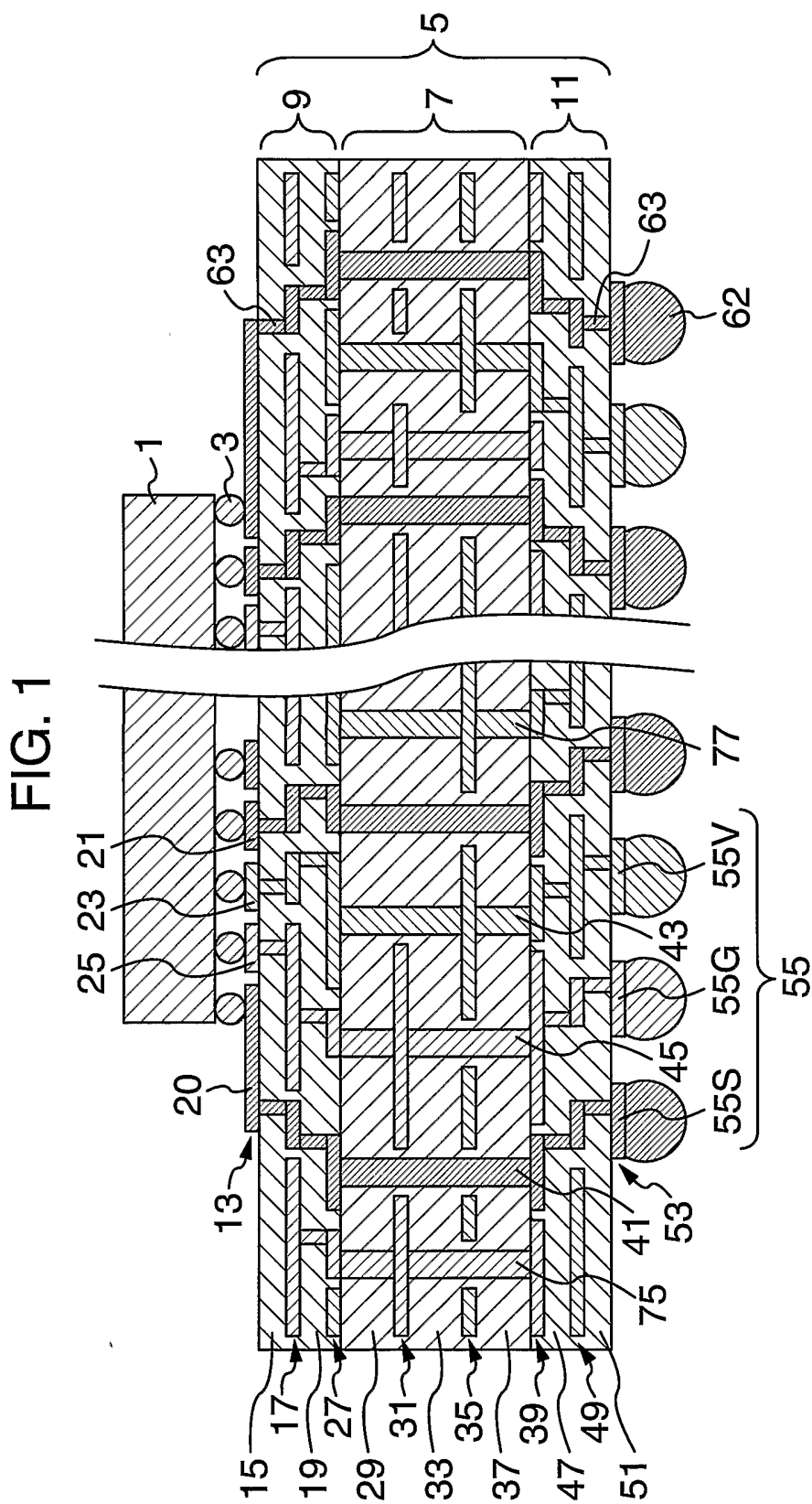


FIG. 2

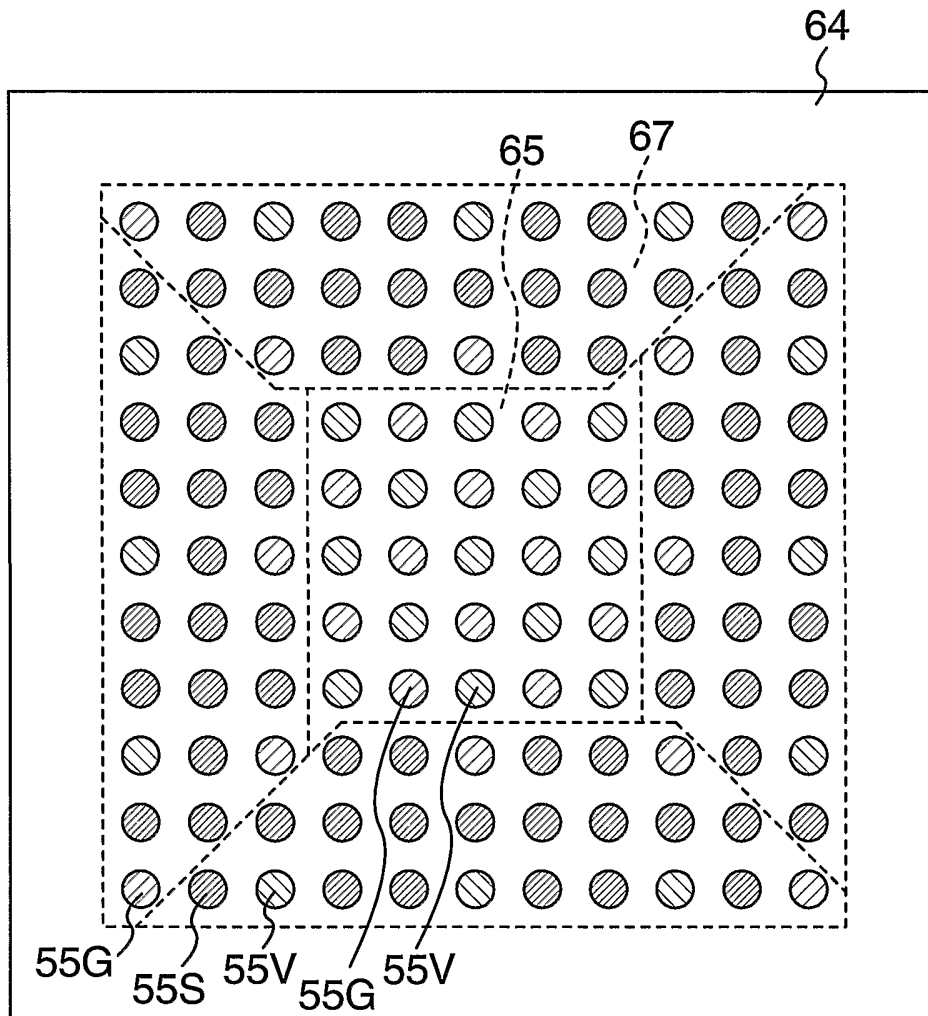


FIG. 3

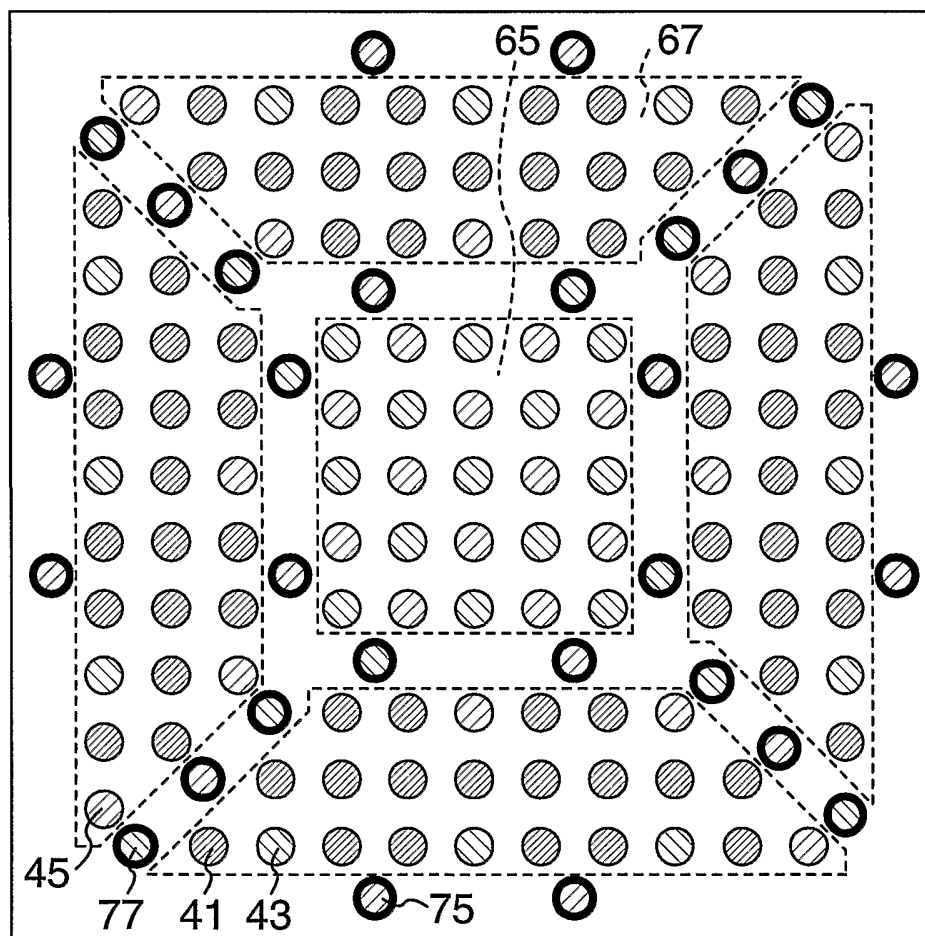


FIG. 4

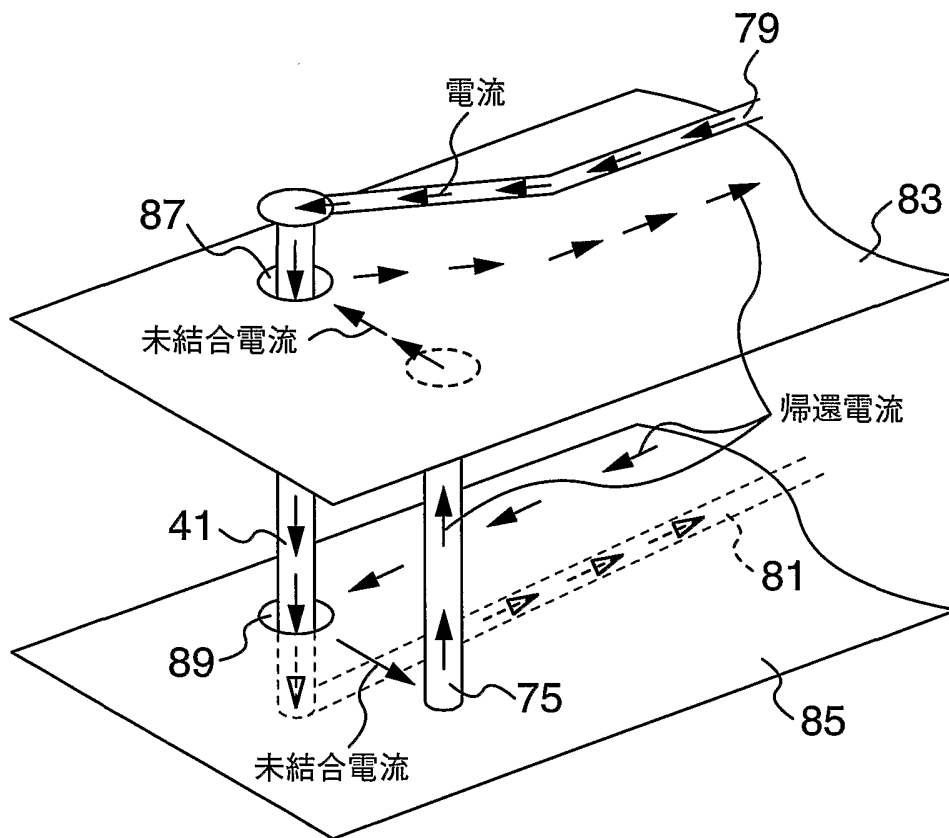
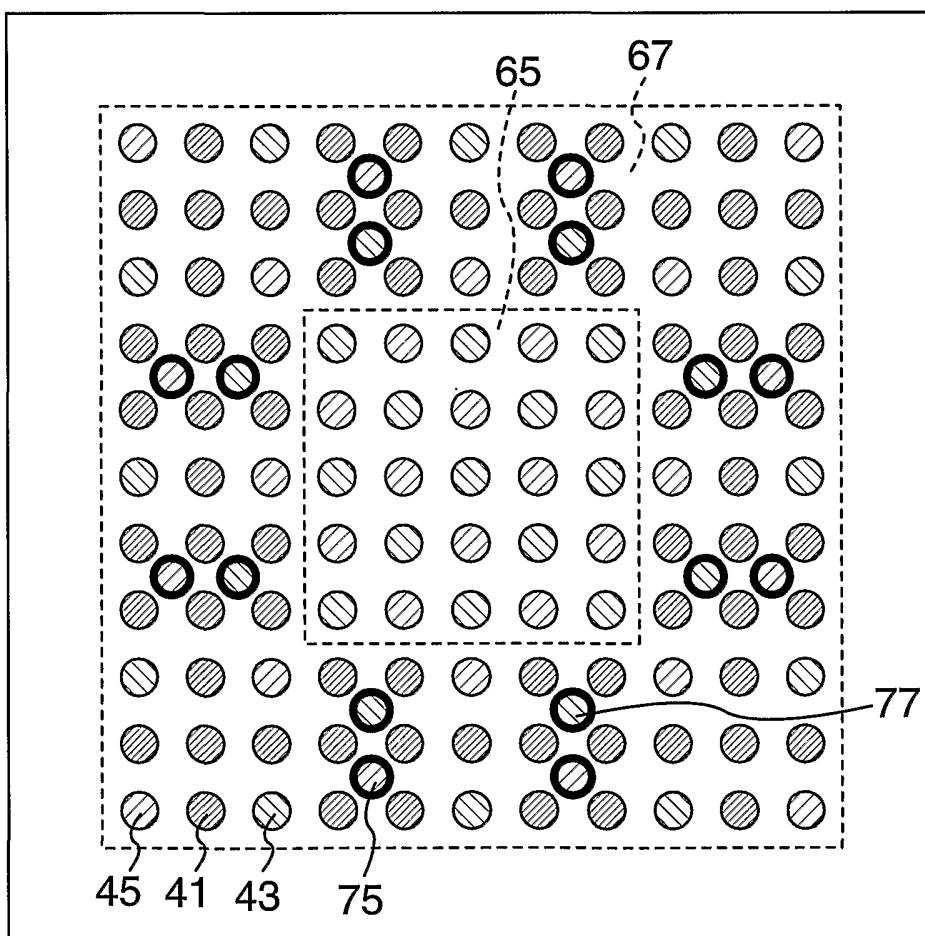


FIG. 5



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/05163

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5331514 A (NGK Spark Plug Co., Ltd.), 19 July, 1994 (19.07.94), Column 1, lines 39 to 43; column 2, lines 44 to 62; column 3, lines 45 to 61; column 4, lines 18 to 23; Fig. 2 & JP 5-41463 A Column 1, lines 31 to 41; column 2, lines 31 to 43; column 3, lines 28 to 40; column 4, lines 14 to 16; Fig. 2	1-3
P, X P, A	JP 2001-284488 A (NGK Spark Plug Co., Ltd.), 12 October, 2001 (12.10.01), Column 5, line 48 to column 6, line 38; Fig. 2 <u>Column 5, line 48 to column 6, line 38; Fig. 2</u> (Family: none)	1, 2 <u>3</u>

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 August, 2002 (15.08.02)	Date of mailing of the international search report 27 August, 2002 (27.08.02)
---	--


Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05163

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	JP 2001-338836 A (Sumitomo Metal Industries, Ltd.), 07 December, 2001 (07.12.01), Column 2, line 37 to column 4, line 17; column 12, line 11 to column 13, line 2; Figs. 3, 4 (Family: none)	1-3
A	US 6084295 A (Shinko Electric Industries Co., Ltd.), 04 July, 2000 (04.07.00), Column 7, lines 4 to 33; Fig. 7(b), 8, 9 & JP 11-163217 A Column 7, line 20 to column 8, line 2; Figs. 8 to 10	1-3
A	JP 7-235620 A (Mitsubishi Electric Corp.), 05 September, 1995 (05.09.95), Fig. 2 (Family: none)	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L23/12		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L23/12		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2002年 日本国登録実用新案公報 1994-2002年 日本国実用新案登録公報 1996-2002年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 5331514 A (NGK SPARK PLUG Co., Ltd.) 1994. 07. 19 第1欄第39行-第43行目, 第2欄第44行-第62行目, 第3欄第45行-第61行目, 第4欄第18行-第23行目, FIG. 2 & JP 5-41463 A 第1欄第31行-第41行目, 第2欄第31行-第43行目, 第3欄第28行-第40行目, 第4欄第14行-第16行目, 図2	1-3
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 15. 08. 02	国際調査報告の発送日 27.08.02	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 田中 永一	4R 3032  電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX PA	JP 2001-284488 A (日本特殊陶業株式会社) 2001. 10. 12 第5欄第48行-第6欄第38行目, 図2 第5欄第48行-第6欄第38行目, 図2 (ファミリーなし)	1, 2 <u>3</u>
PA	JP 2001-338836 A (住友金属工業株式会社) 2001. 12. 07 第2欄第37行-第4欄第17行目, 第12欄第11行-第13欄第2行目, 図3, 図4 (ファミリーなし)	1-3
A	US 6084295 A (SHINKO ELECTRIC IND USTRIES Co., Ltd.) 2000. 07. 04 第7欄第4行-第33行目, FIG. 7 (b), FIG. 8, FI G. 9 & JP 11-163217 A 第7欄第20行-第8欄第2行目, 図8-10	1-3
A	JP 7-235620 A (三菱電機株式会社) 1995. 09. 05 図2 (ファミリーなし)	1-3