(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102543186 B
(45)授权公告日 2016.02.03

(21)申请号 201110430447.9

(22)申请日 2011.12.20

(30)优先权数据
10-2010-0130812 2010.12.20 KR
10-2011-0018584 2011.03.02 KR
10-2011-0030803 2011.04.04 KR
61/448,695 2011.03.03 US

(73)专利权人 三星电子株式会社
地址 韩国京畿道

(72)发明人 金武星 任载禹 柳载悳 朴起台 权五锡

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 钱大勇

(51)Int.Cl.
G11C 16/06(2006.01)
G11C 16/02(2006.01)

(56)对比文件
CN 101060013 A,2007.10.24,
CN 1677572 A,2005.10.05,
US 2008/0117689 A1,2008.05.22,
US 2010/0110793 A1,2010.05.06,
CN 101630531 A,2010.01.20,

审查员 耿翠萍

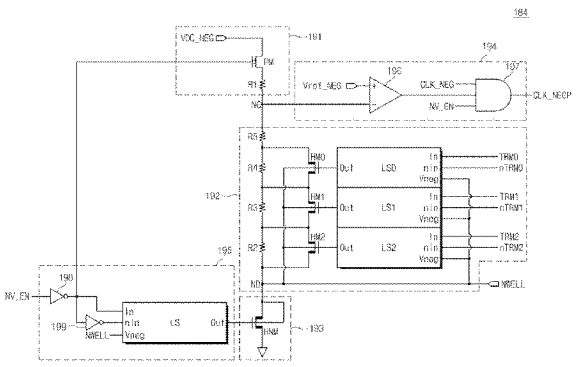
权利要求书4页 说明书50页 附图67页

(54)发明名称

负电压生成器、译码器、非易失性存储器件及存储系统

(57)摘要

一种负电压生成器包括：直流电压生成器，其被配置成生成直流电压；参考电压生成器，其被配置成生成参考电压；振荡器，其被配置成生成振荡时钟；电荷泵，其被配置成响应于泵时钟生成负电压；以及电压检测器。该电压检测器被配置成通过比较分压电压和参考电压来检测负电压，并基于振荡时钟生成与检测的负电压相对应的泵时钟，其中该分压电压是通过对所述直流电压分压得到的。



CN 102543186 B

1. 一种负电压生成器，包括：

直流电压生成器，被配置成生成直流电压；

参考电压生成器，被配置成生成参考电压；

振荡器，被配置成生成振荡时钟；

电荷泵，被配置成响应于泵时钟生成负电压；

电压检测器，被配置成通过比较分压电压和参考电压来检测负电压，并基于振荡时钟生成与检测的负电压相对应的泵时钟，其中该分压电压是通过对直流电压分压得到的；以及

字线负电压生成器，被配置成接收直流电压、参考电压和负电压，并生成与负电压相对应的负字线电压。

2. 如权利要求 1 所述的负电压生成器，其中，所述电压检测器包括：

电源部件，其响应于负电压使能信号向比较节点供应直流电压；

分压部件，其连接在比较节点和被供应以所述负电压的检测节点之间，并且被配置成对所述直流电压分压；

放电部件，其连接在检测节点和接地端之间，并且被配置成响应于反相的负电压使能信号对检测节点的负电压放电，其中该反相的负电压使能信号相对于所述负电压使能信号反相；

比较部件，被配置成通过比较比较节点的电压和参考电压来生成泵时钟；以及

控制部件，其响应于负电压使能信号激活电源部件和电流通过形成部件。

3. 如权利要求 2 所述的负电压生成器，其中，所述电源部件包括：

PMOS 晶体管，其一端被供应以直流电压，并且其栅极被连接为接收所述反相的负电压使能信号；以及

第一电阻器，其连接在该 PMOS 晶体管的另一端与比较节点之间。

4. 如权利要求 2 所述的负电压生成器，其中，所述分压部件包括：

多个电阻器，串联连接在检测节点与比较节点之间；

晶体管，其连接在多个电阻器中的至少一个的一端与另一端之间；以及

电平位移器，被配置成向晶体管的栅极提供与输入的修正码相对应的电压电平。

5. 如权利要求 4 所述的负电压生成器，其中，所述电平位移器包括：

至少一个 PMOS 晶体管，被配置成传送电源端的电源电压；以及

至少一个 NMOS 晶体管，被配置成传送阱电压端的阱电压。

6. 如权利要求 5 所述的负电压生成器，其中，所述至少一个 PMOS 晶体管是低电压晶体管，并且所述至少一个 NMOS 晶体管是高电压晶体管。

7. 如权利要求 5 所述的负电压生成器，其中，所述至少一个 PMOS 晶体管是低电压晶体管，并且所述至少一个 NMOS 晶体管是低电压晶体管。

8. 如权利要求 5 所述的负电压生成器，其中，所述至少一个 PMOS 晶体管是高电压晶体管，并且所述至少一个 NMOS 晶体管是高电压晶体管。

9. 如权利要求 5 所述的负电压生成器，其中，所述至少一个 NMOS 晶体管的主体与阱电压端连接。

10. 如权利要求 2 所述的负电压生成器，其中，所述放电部件包括 NMOS 高电压晶体管，

其一端与检测节点连接，另一端接地，并且其栅极被连接为接收与负电压使能信号相对应的电压电平。

11. 如权利要求 2 所述的负电压生成器，其中，所述比较部件包括：

比较器，被配置成比较参考电压和比较节点的电压；以及

逻辑部件，被配置成通过对比较器的输出、振荡时钟和负电压使能信号执行逻辑与生成所述泵时钟。

12. 如权利要求 2 所述的负电压生成器，其中，所述控制部件包括：

第一反相器，被配置成将负电压使能信号反相；

第二反相器，被配置成将第一反相器的输出反相；以及

电平位移器，被配置成转换成与负电压使能信号相对应的电压电平，并将转换的电压电平输出到电流通过形成部件。

13. 如权利要求 1 所述的负电压生成器，其中，从电荷泵输出的负电压被施加到在其中形成被供应以负字线电压的电路的阱。

14. 如权利要求 1 所述的负电压生成器，其中，所述字线负电压生成器包括：

电源部件，被配置成根据比较节点的电压与参考电压之间的比较结果供应该直流电压；

分压部件，其连接在比较节点与输出节点之间，并被配置成对该直流电压分压，该输出节点输出负字线电压；

放电部件，其连接在输出节点与接地端之间，并且被配置成响应于反相的负电压使能信号对输出节点的负字线电压放电，其中该反相的负电压使能信号相对于所述负电压使能信号反相；

比较部件，被配置成比较比较节点的电压和参考电压；以及

控制部件，其响应于负电压使能信号激活放电部件。

15. 如权利要求 14 所述的负电压生成器，其中，所述放电部件包括 NMOS 高电压晶体管，所述 NMOS 高电压晶体管连接在比较节点与接地端之间，并且其栅极被连接为接收与负电压使能信号相对应的电压。

16. 一种非易失性存储器件，包括：

电压生成器电路，其包括被配置成生成高电压的高电压生成器和被配置成生成负电压和阱电压的负电压生成器；以及

至少一个电路，包括至少一个开关，所述开关被配置成响应于使能信号输出所述高电压和所述阱电压之一，该使能信号用于将负电压施加到与被供应以负电压的字线相对应的线，

其中，该高电压生成器和该负电压生成器被配置成分别响应于独立的振荡时钟生成电压，

其中，所述负电压生成器包括：

直流电压生成器，被配置成生成直流电压；

参考电压生成器，被配置成生成参考电压；

振荡器，被配置成生成振荡时钟；

电荷泵，被配置成响应于泵时钟生成所述负电压；以及

电压检测器，被配置成基于所述直流电压、参考电压和振荡时钟检测所述负电压，并生成与其相对应的泵时钟；以及

字线负电压生成器，被配置成接收所述直流电压、参考电压和振荡时钟，并生成与所述负电压相对应的负字线电压。

17. 如权利要求 16 所述的非易失性存储器件，其中，所述高电压生成器包括：

用于高电压的参考电压生成器，被配置成生成用于高电压的参考电压；

用于高电压的振荡器，被配置成生成用于高电压的时钟；

至少一个电荷泵，被配置成响应于用于高电压的泵时钟生成目标高电压；以及

至少一个电压检测器，被配置成基于用于高电压的参考电压和用于高电压的时钟检测目标高电压，并生成与检测的目标高电压相对应的泵时钟。

18. 如权利要求 16 所述的非易失性存储器件，其中，所述至少一个电压检测器包括：

用于高电压的电源部件，其连接在电源端与被供应以目标高电压的用于高电压的检测节点之间，并被配置成响应于高电压使能信号供应电源电压；

用于高电压的分压部件，其连接在用于高电压的检测节点与用于高电压的比较节点之间，并被配置成对目标高电压分压；

用于高电压的电流通路形成部件，其连接在用于高电压的比较节点与接地端之间，并被配置成响应于高电压使能信号形成电流通路；

用于高电压的比较部件，被配置成比较用于高电压的参考电压与用于高电压的比较节点的电压，并生成与所述比较相对应的用于高电压的泵时钟；以及

用于高电压的控制部件，被配置成接收高电压使能信号并激活电源部件和电流通路形成部件。

19. 如权利要求 17 所述的非易失性存储器件，其中，所述电压生成器电路还包括低电压生成器，其包括：

电源部件，被配置成比较用于低电压的比较节点的电压与用于低电压的参考电压之间的比较结果，供应用于环绕电压的泵电压；

用于低电压的分压部件，其连接在用于低电压的比较节点与输出环绕电压的用于低电压的输出节点之间，并且被配置成对用于环绕电压的泵电压分压；

偏置部件，其连接在用于低电压的比较节点与接地端之间；以及

用于低电压的比较部件，被配置成比较用于低电压的比较节点与用于低电压的参考电压。

20. 如权利要求 16 所述的非易失性存储器件，其中，所述至少一个电路包括：

读取验证电压选择开关电路，被配置成选择低电压生成器生成的环绕电压和负电压生成器生成的负电压中的一个作为读取验证电压。

21. 如权利要求 20 所述的非易失性存储器件，其中，所述至少一个电路还包括：

字线电压选择开关电路，被配置成选择高电压生成器生成的编程电压和读取验证选择开关电路选择的读取验证电压之一作为被选字线的字线电压。

22. 如权利要求 21 所述的非易失性存储器件，其中，所述非易失性存储器件在编程操作期间执行 2 步验证操作。

23. 如权利要求 21 所述的非易失性存储器件，还包括：

至少一个选择线驱动器电路，被配置成向相应的选择线提供读取通过电压或从高电压生成器输出的通过电压以及由字线电压选择开关电路选择的字线电压中的一个。

24. 如权利要求 23 所述的非易失性存储器件，还包括第一行译码器和第二行译码器，该第一行译码器在第一阱形成，并以施加到第一选择线的电压驱动相应的字线，并且该第二行译码器在第二阱形成，并以施加到第二选择线的电压驱动相应的字线。

25. 如权利要求 24 所述的非易失性存储器件，其中，所述至少一个开关电路包括选择线选择开关电路，该选择线选择开关电路被配置成选择将选择线驱动器的多个选择线连接到第一选择线还是第二选择线。

26. 如权利要求 24 所述的非易失性存储器件，其中，所述至少一个开关电路包括阱电压选择开关电路，该阱电压选择开关电路被配置成选择将所述阱电压施加到第一阱还是第二阱。

27. 如权利要求 16 所述的非易失性存储器件，其中，所述非易失性存储器件具有用于存储 2 比特数据的阈值电压分布，所述阈值电压分布包括一个擦除状态和三个编程状态，并且所述编程状态中的至少一个通过负电压来验证。

28. 如权利要求 27 所述的非易失性存储器件，其中，擦除状态的阈值电压下限是 -4V。

负电压生成器、译码器、非易失性存储器件及存储系统

[0001] 优先权声明

[0002] 本申请要求于2011年3月3日提交的美国临时申请第61/488695号、于2010年12月20日提交的韩国专利申请第10-2010-0130812号、于2011年3月2日提交的韩国专利申请第10-2011-0018584号以及于2011年4月4日提交的韩国专利申请第10-2011-0030803号的优先权，上述申请通过全文引用合并于此。

技术领域

[0003] 示例性实施例涉及负电压生成器、利用负电压的译码器、非易失性存储器件以及存储系统。

背景技术

[0004] 半导体存储器件是在诸如计算机的数字逻辑系统以及范围从卫星到消费类电子产品的基于微处理器的应用中常见的重要微电子组件。因而，半导体存储器件在生产制造方面的进步，包括允许定标到更高存储密度和更快工作速度的工艺改良和与电路设计相关的发展，有助于为其他数字逻辑产品系列建立性能标准。

[0005] 半导体存储器件通常被分类为易失性存储器件或非易失性存储器件。不同于易失性存储器件，非易失性存储器能够在没有供电的情况下保持存储数据。非易失性存储器件包括持久性存储模式和可再编程存储模式；非易失性存储器件通常在包括计算机、航空电子设备、电信和消费类电子设备在内的各种各样的应用中用作程序和微代码存储部件。非易失性存储器件的一个例子是快闪存储器器件。

[0006] 最近，随着对更高密度存储器件的需求不断增加，开发出了多比特（或多电平）储存器件，在多比特储存器件中，每个存储单元可以存储多个比特（即，两比特或更多比特）。多比特快闪存储器是这种器件的一个例子。

发明内容

[0007] 本发明构思实施例的一个方面提供一种负电压生成器，其包括：直流电压生成器，被配置成生成直流电压；参考电压生成器，被配置成生成参考电压；振荡器，被配置成生成振荡时钟；电荷泵，被配置成响应于泵时钟生成负电压；以及电压检测器，被配置成通过将通过对该直流电压分压获得的分压电压与参考电压进行比较来检测负电压，并基于振荡时钟生成与检测的负电压相对应的泵时钟。

[0008] 本发明构思实施例的另一个方面提供一种非易失性存储器件，其包括：电压生成器电路，包括被配置成生成高电压的高电压生成器以及被配置成生成负电压和阱电压的负电压生成器；以及至少一个电路，包括至少一个开关，所述至少一个电路被配置成响应于使能信号输出高电压和阱电压中的一个，该使能信号用于向被供应了负电压的字线所对应的线施加负电压。所述高电压生成器和负电压生成器被配置成分别响应于独立的振荡时钟而工作。

[0009] 本发明构思实施例的再一个方面提供一种行译码器，其包括：块字线；上拉电路，被配置成响应于电压传送使能信号向块字线施加高电压；下拉电路，被配置成响应于电压传送使能信号而从块字线断开（shut off），并且响应于电压传送使能信号的反相版本而向块字线施加阱电压；以及电压传送电路，被配置成基于块字线的电压将多条选择线与多条字线连接。上拉电路和下拉电路中的每一个由在p型阱内形成的至少一个n型有源区形成，并且该p型阱包括在深n型阱中。

[0010] 本发明构思实施例的另一个方面提供一种非易失性存储器件，其包括：至少一个第一电压施加通过（pass）电路，被配置成向第一线施加正电压；以及至少一个第二电压施加通过电路，被配置成向第二线施加负电压。当向第二线施加该负电压时，该负电压被施加到在其中形成至少一个第二电压施加通过电路的阱。

[0011] 本发明构思实施例的另一个方面提供一种非易失性存储器件，其包括：低电压生成器，被配置成响应于第一修正码（trim code）生成低电压；负电压生成器，被配置成响应于第二修正码生成负电压；码转换器，被配置成将输入的读取码（read code）转换成第一修正码和第二修正码之一；以及码生成器，被配置成生成读取码。

[0012] 本发明构思实施例的另一个方面提供一种非易失性存储器件的读取电压生成方法，其包括：生成与温度相对应的温度码；使用温度码校正读取码；将校正的读取码转换成低电压修正码和负修正码之一；以及响应于转换的读取码生成读取电压。

[0013] 本发明构思实施例的另一个方面提供一种存储系统，其包括：非易失性存储器件；以及存储控制器，被配置成控制该非易失性存储器件。该非易失性存储器件包括：负电压生成器，被配置成生成负电压；以及至少一个行译码器。该至少一个行译码器包括：上拉电路，被配置成响应于电压传送使能信号向块字线施加高电压；以及下拉电路，被配置成响应于电压传送使能信号从块字线断开，并响应于电压传送使能信号的反相版本向块字线施加阱电压。上拉电路和下拉电路中的每一个由在p型阱内形成的至少一个n型有源区形成，并且该p型阱包括在深n型阱中。当负电压被供应到至少一条字线时，阱电压是负电压。

[0014] 本发明构思实施例的另一个方面提供一种非易失性存储器件的编程方法，包括：从被选存储单元读取第一页数据；以及基于读取的第一页数据在被选存储单元中编程第二页数据。在读取时各自具有与第一负编程状态相对应的阈值电压的至少一个存储单元在编程期间被编程到第二负编程状态。

[0015] 本发明构思实施例的另一个方面提供一种非易失性存储器件，包括：单元阵列，其包括排列在多条字线与多条位线交叉处的多个存储单元；电压生成电路，被配置成向多条字线提供字线电压；输入/输出电路，被配置成在被选存储单元中写入数据或从被选存储单元中读取数据，并且与多条位线连接；以及控制逻辑，被配置成控制电压生成部分或输入/输出电路，从而将多个存储单元中的被选存储单元从第一负编程状态编程到第二负编程状态。

附图说明

[0016] 从下面参照附图的描述，上述和其他对象和特征将变得清楚，除非另有说明，否则在不同的附图中相似的附图标记始终指代相似的部分。

[0017] 图1是示出根据本发明构思的示例性实施例的非易失性存储器件的阈值电压分

布的示图。

[0018] 图 2 是示出根据本发明构思的示例性实施例的非易失性存储器件的示图。

[0019] 图 3 是示出图 2 中图示的高电压生成器的例子的示图。

[0020] 图 4 是示出图 3 中图示的用于编程电压的电压检测器的例子的示图。

[0021] 图 5 是示出图 2 中图示的低电压生成器的例子的示图。

[0022] 图 6 是示出根据本发明构思实施例的修正码生成器的示图。

[0023] 图 7 是示出根据本发明构思的另一个实施例的修正码生成器的示图。

[0024] 图 8 是示出图 5 中图示的开关的例子的示图。

[0025] 图 9 是示出根据本发明构思的第一实施例的图 2 中的负电压生成器的示图。

[0026] 图 10 是示出图 9 中图示的负电压生成器 184 的例子的示图。

[0027] 图 11 是示出图 10 中图示的第一电平位移器的例子的示图。

[0028] 图 12 是示出图 9 中图示的用于字线的负电压生成器的例子的示图。

[0029] 图 13 是示出根据本发明构思的第二实施例的图 2 中的负电压生成器的示图。

[0030] 图 14 是示出图 2 中的读取验证电压选择开关电路的例子的示图。

[0031] 图 15 是示出图 14 中图示的环绕电压 (peri-voltage) 选择开关的例子的示图。

[0032] 图 16 是示出图 2 中的字线电压选择开关电路的例子的示图。

[0033] 图 17 是在编程操作期间图 16 中的字线电压选择开关电路的字线电压选择操作的时序图。

[0034] 图 18 是用于描述图 17 中图示的 2 步验证操作的示图。

[0035] 图 19 是根据本发明构思的另一个示例性实施例的图 18 中的字线电压选择开关电路的字线电压选择操作的时序图。

[0036] 图 20 是示出图 2 中的选择线驱动器电路的例子的示图。

[0037] 图 21 是示出图 2 中的选择线选择开关电路的例子的示图。

[0038] 图 22 是示出图 2 中的阱电压选择开关电路的例子的示图。

[0039] 图 23 是示出根据本发明构思的第一实施例的图 2 中的行译码器的示图。

[0040] 图 24 是示出根据本发明构思的示例性实施例的行译码器的截面的示图。

[0041] 图 25 是示出图 2 中的非易失性存储器件的编程操作期间的电压控制方法的实施例的示图。

[0042] 图 26 是示出根据本发明构思的第一实施例的在编程操作期间控制阱电压和高电压的方法的示图。

[0043] 图 27 是示出根据本发明构思的第二实施例的在编程操作期间控制阱电压和高电压的方法的示图。

[0044] 图 28 是示出根据本发明构思的第三实施例的在编程操作期间控制阱电压和高电压的方法的示图。

[0045] 图 29 是示出根据本发明构思的第二实施例的行译码器的示图。

[0046] 图 30 是示出根据本发明构思的第三实施例的行译码器的示图。

[0047] 图 31 是示出根据本发明构思的第一实施例的编程方法的流程图。

[0048] 图 32 是示出根据本发明构思的第二实施例的编程方法的流程图。

[0049] 图 33 是示出根据图 32 中的编程方法的 2 步验证操作的、编程循环 (program

loop) 的电压脉冲的示图。

[0050] 图 34 是示出根据编程循环的电压脉冲的示图，在该编程循环中执行对擦除状态的验证操作。

[0051] 图 35 是示出根据本发明构思的示例性实施例的读取方法的流程图。

[0052] 图 36 是图示根据本发明构思的示例性实施例的非易失性存储器件的示图。

[0053] 图 37 是图示图 36 中图示的码转换器的示图。

[0054] 图 38 是图示图 37 中图示的温度码生成器的示图。

[0055] 图 39 是图示图 38 中图示的模数转换器的示图。

[0056] 图 40 是图示图 37 中图示的温度偏移寄存器的示图。

[0057] 图 41 是图示图 40 中图示的偏移寄存单元的示图。

[0058] 图 42 是图示根据本发明构思的示例性实施例的使用温度补偿的读取电压生成方法的流程图。

[0059] 图 43 是图示根据温度将读取电压从正电压变成负电压的阈值电压分布。

[0060] 图 44 是图示在 HTDR 测试之前和之后将读取电压从正电压变成负电压的阈值电压分布。

[0061] 图 45 是示出根据本发明构思的另一个示例性实施例的非易失性存储器件的框图。

[0062] 图 46 是示出图 45 中的存储单元阵列的框图。

[0063] 图 47 是示出根据本发明构思的第一实施例的图 45 中的非易失性存储器件的编程方法的示图。

[0064] 图 48 是示出具有图 47 的编程状态的存储单元的编程操作的波形图。

[0065] 图 49 是示出根据本发明构思的第二实施例的图 45 中的非易失性存储器件的编程方法的示图。

[0066] 图 50 是示出具有图 49 的编程状态的存储单元的编程操作的波形图。

[0067] 图 51 是示出根据本发明构思的第三实施例的图 45 中的非易失性存储器件的编程方法的示图。

[0068] 图 52 是示出具有图 51 的编程状态的存储单元的编程操作的波形图。

[0069] 图 53 是示出图 45 中图示的非易失性存储器件的编程方法的流程图。

[0070] 图 54 是示出根据本发明构思的另一个示例性实施例的非易失性存储器件的示图。

[0071] 图 55 是示出根据本发明构思的另一个示例性实施例的非易失性存储器件的示图。

[0072] 图 56 到图 64 是示出可应用于本发明构思的阈值电压分布的示图。

[0073] 图 65 到图 74 是示出适用于本发明构思的设备的示图。

具体实施方式

[0074] 下面参照附图更充分地描述本发明构思，附图中示出了本发明构思的实施例。然而，本发明构思可以以许多不同的形式来具体实现，不应被解释为局限于此出阐述的实施例。相反，提供这些实施例是为了使本公开全面和完整，并向本领域技术人员充分传达本发

明构思的范围。附图中，为清楚起见，可能放大了层和区域的大小及相对大小。相似的附图标记始终指代相似的元件。

[0075] 将会理解，尽管此处可能使用术语第一、第二、第三等等来描述不同的元件、组件、区域、层和／或部分，但这些元件、组件、区域、层和／或部分不应受到这些术语的限制。这些术语仅仅用于将一个元件、组件、区域、层或部分与另一个区域、层或部分区分开来。因而，下面讨论的第一元件、组件、区域、层或部分也可以被称为第二元件、组件、区域、层或部分而不会偏离本发明构思的教导。

[0076] 为了容易描述，此处可能使用空间关系术语，如“在…之下”、“下方”、“下”、“在…下面”、“上方”、“上”等等，来描述图中示出的一个元件或特征与另外的元件或特征之间的关系。将会理解，所述空间关系术语意图涵盖除了附图中描绘的方向之外的、器件在使用中或操作中的不同方向。例如，如果附图中的器件被翻转，则被描述为在其他元件或特征“下方”、“之下”或“下面”的元件的方位将变成在所述其他元件或特征的“上方”。因而，示例性的术语“下方”和“下面”可以涵盖上下两个方位。可以使器件具有其他朝向（旋转 90 度或其他朝向），而此处使用的空间关系描述术语应做相应解释。另外，还将理解，当一层被称为位于两层“之间”时，它可以是该两层之间唯一的层，或者也可以存在一个或多个位于其间的层。

[0077] 此处使用的术语仅仅是为了描述特定实施例，并非意图限制本发明构思。此处使用的单数形式“一”、“该”意图也包括复数形式，除非上下文明确给出相反指示。还将理解，当在本说明书中使用术语“包括”和／或“包含”时，表明存在所描述的特征、整体、步骤、操作、元件和／或组件，但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和／或它们的组合。此处使用的术语“和／或”包括相关列出项目中的任何一个以及其中的一个或多个的所有组合。

[0078] 将会理解，当一个元件或层被称为在另一元件或层“之上”、“连接”或“耦接”到另一元件或层、或“邻近”另一元件或层时，它可以直接在该另一元件或层之上、直接连接或耦接到该另一元件或层、或直接邻近该另一元件或层，或者也可以存在居间的元件或层。相反，当一个元件被称为“直接”在另一元件或层“之上”、“直接连接”或“直接耦接”到另一元件或层、或“紧邻”另一元件或层时，不均在居间的元件或层。

[0079] 除非另外定义，否则此处使用的所有术语（包括技术术语和科学术语）所具有的含义与本发明构思所属领域的普通技术人员通常理解的含义相同。还将理解，术语，如通常使用的词典中定义的那些术语，应该被解释为所具有的含义与它们在相关领域和／或本说明书的上下文中的含义一致，而不应理想化地或过分形式化地对其进行解释，除非此处明确地如此定义。

[0080] 根据本发明构思的示例性实施例的非易失性存储器件可以是 NAND（与非）快闪存储器、垂直 NAND 快闪存储器、NOR（或非）快闪存储器、阻性随机存取存储器 (resistive random access memory，RRAM)、相变 RAM(phase-change RAM，PRAM)、磁阻式 RAM(magnetoresistive RAM，MRAM)、铁电式 RAM(ferroelectric RAM，FRAM)、自旋转移矩 RAM(spin transfer torque RAM，STT-RAM) 等等。以下，为方便描述，假定非易失性存储器件是 NAND 快闪存储器器件。

[0081] 图 1 是示出根据本发明构思的示例性实施例的非易失性存储器件的阈值电压分

布的示图。参照图 1，阈值电压分布包括擦除状态 E 和编程状态 P1、P2 和 P3。擦除状态 E 和编程状态 P1、P2 和 P3 中的每一个用于存储 2 比特数据，即，每个被分配了相应的 2 比特存储值。例如，擦除状态用于存储‘11’，第一编程状态 P1 存储‘01’，第二编程状态 P2 存储‘00’，并且第三编程状态 P3 存储‘10’。然而，状态 E、P1、P2 和 P3 不局限于此。

[0082] 决定非易失性存储器件的读 / 写速度、可靠性和使用寿命的参数包括阈值电压窗口、阈值电压之间的距离和读取通过电压 (read pass voltage) 幅度。此处，阈值电压之间的距离是指前一编程状态的上限与邻近编程状态的下限之间的差。同时，读取通过电压幅度是超过具有最大阈值电压分布的编程状态 (例如，P3) 的阈值电压的上限、且使读取干扰最小化的值。

[0083] 如下面将解释的，本发明构思的实施例可以通过将编程状态的阈值电压的一部分分布为低于 0V，并通过确保阈值电压之间具有充分的距离，来保持感测裕度。图 1 中图示了这样一个例子，其中第一编程状态 P1 的一部分被分布为低于 0V。也就是说，第一编程状态 P1 的验证电压是负电压。在本实施例中，擦除状态 E 的下限可以是 -4V。此外，由于根据本发明构思的实施例读取通过电压相对较低，所以可以最小化读取干扰。

[0084] 在图 1 中图示的阈值电压分布的情况下，第一编程状态 P1 的一部分分布为低于 0V。然而，本发明构思的阈值电压分布不局限于此。根据本发明构思的示例性实施例的阈值电压分布可以被形成为使得至少一个编程状态的一部分或全部被分布为低于 0V。

[0085] 在美国公开文件第 2011-0051520 中公开了向字线提供负电压的非易失存储器，其内容通过全文引用合并于此。

[0086] 图 2 是示出根据本发明构思的示例性实施例的非易失性存储器件的示图。参照图 2，非易失性存储器件 100 包括第一 MAT 101 和第二 MAT 102、电压生成器电路 103、读取验证电压选择开关电路 104、字线电压选择开关电路 105、选择线驱动器 106、选择线选择开关电路 107、阱电压选择开关电路 108、第一行译码器 109 和第二行译码器 110、以及控制逻辑 111。

[0087] 第一 MAT 101 和第二 MAT 102 中的每一个包括多个存储块 (未示出)。多个存储块中的每一个包括多个存储单元。此处，多个存储单元中的每一个可以存储 2 比特或更多比特的数据。以下，为了方便解释，假定多个存储单 元中的每一个存储 2 比特数据。

[0088] 电压生成器电路 103 生成非易失性存储器件 100 的操作所需要的电压，并且包括高电压生成器 121、低电压生成器 122 和负电压生成器 153。高电压生成器 121 生成高电压 VPP、擦除电压 VERS、编程电压 VPGM、通过电压 VPASS 和读取通过电压 VREAD。低电压生成器 122 生成环绕电压 VRV。此处，环绕电压 VRV 是高于 0V 且低于读取通过电压 VREAD 的电压。负电压生成器 123 生成施加到被选字线的负 NWL 和用于阱电压的负电压 NWELL，该阱电压施加到向其施加了负电压 NWL 的电路的阱。

[0089] 读取验证电压选择开关电路 104 选择环绕电压 VLV 和负电压 NWL 中的任何一个作为读取验证电压 VRV。此处，读取验证电压 VRV 是与读取操作相关联的电压，也就是说读取电压或验证电压。在本实施例中，当负电压 NWL 被施加到读取验证电压选择开关电路 104 时，读取验证电压选择开关电路 104 的阱被实现为接收负电压 NWELL。当正电压被施加到读取验证电压选择开关电路 104 时，读取验证电压选择开关电路 104 的阱被实现为接收地电压 (例如，0V)。

[0090] 字线电压选择开关电路 105 选择编程电压 VPGM 和读取验证电压 VRV 中的任何一个作为字线电压 VWL。在本实施例中，当读取验证电压 VRV 是负电压时，包括字线电压选择开关电路 105 的阱被实现为接收负阱电压 NWELL。也就是说，当读取电压是负电压或验证电压是负电压时，字线电压选择开关电路 105 的阱被供应以负阱电压 NWELL。

[0091] 选择线驱动器 106 接收通过电压 VPASS 和读取电压 VREAD 或字线电压 VWL 中的任何一个，以施加到相应的选择线 SI<m:0>(m 是自然数）。在本实施例中，当字线电压 VWL 是负电压时，选择线驱动器 106 的阱被实现为接收负电压 NWELL。

[0092] 选择线选择开关电路 107 接收高电压 VPP，并响应于输入地址将多条选择线 SI<m:0> 与第一选择线 SI_1<m:0> 或第二选择线 SI_2<m:0> 中的选择线连接。在本实施例中，当负电压被施加到多条选择线 Sl<m:0> 中的至少一条时，选择线选择开关电路 107 的阱被实现为接收负电压 NWELL。

[0093] 阱电压选择开关电路 108 接收高电压 VPP 和负电压 NWELL，并响应于阱电压选择信号 WS1 和 WS2，选择将负电压 NWELL 施加到第一行译码器 109 还是第二行译码器 110。此处，施加到第一行译码器 109 的阱的电压是第 一阱电压 VWELL1，并且施加到第二行译码器 110 的阱的电压是第二阱电压 VWELL2。

[0094] 第一行译码器 109 和第二行译码器 110 中的每一个响应于输入地址，选择第一 MAT 101 和第二 MAT 102 中相应的一个中包括的多个存储块之一。

[0095] 第一行译码器 109 从多条第一选择线 SI_1<m:0> 接收偏置电压，并且将偏置电压传送到第一 MAT 101 的被选存储块的相应字线。此处，偏置电压包括编程电压 VPGM、读取电压 VR、验证电压 VF、通过电压 VPASS、读取通过电压 VREAD、擦除电压 VERS 等等。

[0096] 第二行译码器 110 从多条第二选择线 SI_2<m:0> 接收偏置电压，并且将偏置电压传送到第二 MAT 101 的被选存储块的相应字线。

[0097] 在本实施例中，第一行译码器 109 的阱（未示出）与第二行译码器 110 的阱（未示出）隔离。第一行译码器 109 的阱被供应以第一阱电压 VWELL1，并且第二行译码器 110 的阱被供应以第二阱电压 VWELL2。

[0098] 在本实施例中，当偏置电压之一是负电压时，第一阱电压 VWELL1 和第二阱电压 VWELL2 中相应的一个是负电压。例如，当负电压被施加到由输入地址在第一 MAT 101 的被选存储块中选择的字线时，第一阱电压 VWELL1 是负电压。

[0099] 同时，图 2 中图示的第一行译码器 109 和第二行译码器位于第一 MAT 101 和第二 MAT 102 之间。然而，根据本发明构思的行译码器的位置不局限于此。作为例子，在美国公开文件第 2011-0096602 中公开了根据本发明构思的行译码器位置，其内容通过全文引用合并于此。

[0100] 控制逻辑 111 控制非易失性存储器件 100 的总体操作。控制逻辑 111 分析从外部设备提供的控制信号和命令，并响应于分析结果控制电压生成器电路 103、读取验证电压选择开关电路 104、字线电压选择开关电路 105、选择线驱动器 106、选择线选择开关电路 107 和阱电压选择开关电路 108。

[0101] 根据本发明构思的示例性实施例的非易失性存储器件 100 可以被配置成在控制逻辑 111 控制下，经由读取验证电压选择开关电路 104、字线电压选择开关电路 105 和选择线驱动器 106，将负电压 NWL 施加到被选字线。此外，根据本发明构思的示例性实施例的非

易失性存储器件100可以被配置成，将负电压NWELL施加到在其中形成被供应以负电压NWL的电路的阱。

[0102] 高电压生成器

[0103] 图3是示出图2中图示的高电压生成器的例子的示图。参照图3，高电压生成器121包括：用于高电压的参考电压生成器131、用于高电压的振荡器132、编程电压检测器133、编程电压泵134、通过电压检测器135、通过电压泵136、环绕电压检测器137、环绕电压泵138、高电压检测器139、高电压泵140、读取通过电压检测器141、读取通过电压泵142、擦除电压检测器143以及擦除电压泵144。

[0104] 用于高电压的参考电压生成器131生成用于高电压的参考电压Vref_HV。

[0105] 用于高电压的振荡器132生成用于高电压的时钟CLK_HV。

[0106] 编程电压检测器133接收用于高电压的参考电压Vref_HV和用于高电压的时钟CLK_HV，并检测编程电压VPGM以生成用于编程电压的时钟CLK_PGMP。

[0107] 编程电压泵134接收用于编程电压的时钟CLK_PGMP并通过升压(boosting)操作生成编程电压VPGM。

[0108] 通过电压检测器135接收用于高电压的参考电压Vref_HV和用于高电压的时钟CLK_HV，并检测通过电压VPASS以生成用于通过电压的时钟CLK_PASSP。

[0109] 通过电压泵136接收用于通过电压的时钟CLK_PASSP并生成用于通过电压的泵电压Vpump_PASS。

[0110] 环绕电压检测器137接收用于高电压的参考电压Vref_HV和用于高电压的时钟CLK_HV，并检测用于环绕电压的泵电压VLVP以生成用于环绕电压的时钟CLK_LVP。

[0111] 环绕电压泵138接收用于环绕电压的时钟CLK_LVP以生成用于环绕电压的泵电压VLVP。

[0112] 高电压检测器139接收用于高电压的参考电压Vref_HV和用于高电压的时钟CLK_HV，并检测高电压VPP以生成用于高电压的时钟CLK_PPP。

[0113] 高电压泵140接收用于高电压的时钟CLK_PPP以生成高电压VPP。

[0114] 读取通过电压检测器141接收用于高电压的参考电压Vref_HV和用于高电压的时钟CLK_HV，并检测读取通过电压VREAD以生成用于通过电压的时钟CLK_READP。

[0115] 读取通过电压泵142接收用于通过电压的时钟CLK_READP以生成读取通过电压VREAD。

[0116] 擦除电压检测器143接收用于高电压的参考电压Vref_HV和用于高电压的时钟CLK_HV，并检测擦除电压VERS以生成用于擦除电源电压的时钟CLK_ERSP。

[0117] 擦除电压泵144接收用于擦除电源电压的时钟CLK_ERSP以生成擦除电压VERS。

[0118] 如上所述，本例的高电压生成器121包括六个电荷泵134、136、138、140、142和144。电荷泵134、136、138、140、142和144中的每一个包括多个升压电路（未示出），所述升压电路被配置成输出从前一级接收的电压与在本级生成的电压的和，以作为电压升压结果。此处，多个升压电路中的每一个包括电容器（未示出）和电荷传送元件（未示出），该电容器响应于时钟生成电压，而该电荷传送元件将从电容器产生的电压和从前一级接收的电压传送到下一级。高电压生成器121内的电荷泵和电压检测器响应于控制逻辑111的控制在相应的工作条件下被激活，以生成相应操作所需的电压。

[0119] 美国公开文件第 2007-0146052 号中公开了本实施例的电荷泵的例子，其内容通过全文引用合并于此。美国专利第 7649785 号中公开了本实施例的高电压生成器的例子，其内容通过全文引用合并于此。

[0120] 用于高电压的电压检测器

[0121] 图 4 是示出图 3 中图示的用于编程电压的电压检测器的例子的示图。参照图 4，用于编程电压的电压检测器 133 包括电源部件 151、分压部件 152、电流通路形成部件 153、比较部件 154 和控制部件 155。

[0122] 电源部件 151 响应于编程电压使能信号 PGM_EN 中断电源电压 VDD 与编程电压 VPGM 之间的相互连接。电源部件 151 包括串联连接的 PMOS 晶体管 PM_H 以及第一耗尽型晶体管 DM1_H 和第二耗尽型晶体管 DM2_H。PMOS 晶体管 PM_H 的栅极被连接以接收编程电压使能信号 PGM_EN。第一耗尽型晶体管 DM1_H 的栅极被连接以接收编程电压使能信号 PGM_EN 的反相版本。第二耗尽型晶体管 DM2_H 的栅极与电源端 Vdd 连接。第一耗尽型晶体管 DM1_H 和第二耗尽型晶体管 DM2_H 避免了 PMOS 晶体管 PM_H 因编程电压 VPGM 而击穿 (break down)。

[0123] 分压部件 152 连接在检测节点 ND_H 与比较节点 NC_H 之间，并且使用多个串联连接的电阻器 R2_H 到 R5_H 对从电荷泵 134(参照图 3) 施加的编程电压 VPGM 分压。分压部件 152 包括多个电阻器 R2_H 到 R5_H、用于高 电压的晶体管 HM0_H 到 HM2_H、开关 SW0_H 到 SW2_H、以及耗尽型晶体管 DM3_H。

[0124] 多个电阻器 R2_H 到 R5_H 串联连接。多个电阻器 R2_H 到 R5_H 当中的三个电阻器 R3_H、R4_H、R5_H 根据相应的修正码而短路，以便对编程电压 VPGM 分压。在图 4 的例子中，三个 (3 个) 电阻器 R3_H、R4_H 和 R5_H 能够根据修正码 TRM0_H 到 TRM2_H 短路。然而，本发明构思不局限于此。本发明构思可以包括能够根据至少一个修正码短路的至少一个电阻器。

[0125] 用于高电压的晶体管 HM0_H 与电阻器 R5_H 并联连接，用于高电压的晶体管 HM1_H 与电阻器 R4_H 并联连接，并且用于高电压的晶体管 HM2_H 与电阻器 R3_H 并联连接。

[0126] 开关 SW0_H 与用于高电压的晶体管 HM0_H 的栅极连接，开关 SW1_H 与用于高电压的晶体管 HM1_H 的栅极连接，并且开关 SW2_H 与用于高电压的晶体管 HM2_H 的栅极连接。

[0127] 开关 SW0_H 到 SW2_H 接收修正码 TRM0_H 到 TRM2_H 以及高电压 VPP，并且响应于输入的修正码 TRM0_H 到 TRM2_H 将相应的电压传送到相应的用于高电压的晶体管的栅极。

[0128] 耗尽型晶体管 DM3_H 连接在电阻器 R2_H 与比较节点 NC_H 之间。耗尽型晶体管 DM3_H 避免了比较部件 154 的至少一个低电压晶体管因编程电压 VPGM 而击穿。

[0129] 电流通过形成部件 153 连接在比较节点 NC_H 与接地端之间，并且响应于用于编程电压的使能信号 PGM_EN 形成有源电流通路 (active current path)。电流通过形成部件 153 包括电阻器 R1_H 和 NMOS 晶体管 NM_H。此处，电阻器 R1_H 的一端与比较节点 NC_H 连接。NMOS 晶体管 NM_H 连接在电阻器的另一端与接地端之间，并且其栅极被连接以接收与用于编程电压 PGM_EN 的使能信号相对应的电压。

[0130] 比较部件 154 比较用于高电压的参考电压 Vref_HV 和比较节点 NC_H 的电压以生成用于编程电压的时钟 CLK_PGMP。比较部件 154 包括比较器 156 和逻辑部件 157。比较器 156 包括接收用于高电压的参考电压 Vref_HV 的正输入端和接收比较节点 NC_H 的电压的负

输入端。在本实施例中，比较器 156 由差动放大器实现。逻辑部件 157 通过对比较器 156 的输出、用于编程电压的使能信号 PGM_EN 和用于高电压的时钟 CLK_HV 执行与 (AND) 运算来 生成用于编程电压的时钟 CLK_PGMP。

[0131] 控制部件 155 响应于用于编程的使能信号 PGM_EN 控制电源部件 151 和电流通路形成部件 153 的激活。控制部件 155 包括第一反相器 158 和第二反相器 159。第一反相器 158 将用于编程的使能信号 PGM_EN 反相，并且第一反相器 158 的输出被施加到电源部件 151 的第一耗尽型晶体管 DM1_H 的栅极。第二反相器 159 将第一反相器 158 的输出反相。第二反相器 159 的输出施加到电流通路形成部件 153 的 NMOS 晶体管 NM_H 的栅极。

[0132] 上面已经参照图 4 描述了图 3 中示出的用于编程电压的电压检测器 133。应注意到，图 3 中其余的电压检测器 133、135、137、139、141 和 143 具有类似的配置。

[0133] 低电压生成器

[0134] 图 5 是示出图 2 中图示的低电压生成器的例子的示图。参照图 5，低电压生成器 122 包括电源部件 161、分压部件 162、偏置电流部件 163 和比较部件 164。

[0135] 电源电压 161 决定用于从高电压生成器 121（参照图 2）施加的环绕电压的泵电压 VLVP 的供应。电源电压 161 包括 PMOS 晶体管 PM_L。

[0136] 分压部件 162 连接在输出节点 NO_L 与比较节点 NC_L 之间，并且通过根据修正码对用于环绕电压的泵电压 VLVP 分压，来向输出节点 NO_L 输出环绕电压 VLV。

[0137] 分压部件 162 包括多个串联连接的电阻器 R2_L 到 R4_L、分别与多个电阻器 R2_L 到 R4_L 并联连接的晶体管 M0_L 到 M2_L、以及分别与晶体管 M0_L 到 M2_L 的栅极连接的开关 SW0_L 到 SW2_L。多个电阻器 R2_L 到 R4_L 分别根据修正码 TRM0_L 到 TRM2_L 短路。在图 5 中，示例性地图示了三个（3 个）电阻器 R2_L 到 R4_L 可以根据修正码短路。然而，本发明构思不局限于此。根据本发明构思的示例性实施例的分压部件可以包括能够根据至少一个修正码短路的至少一个电阻器。

[0138] 开关 SW0_L 到 SW2_L 中的每一个接收修正码 TRM0_L 到 TRM2_L 中相应的一个以及用于环绕电压的泵电压 VLVP，并且将与修正码相对应的电压提供到相应晶体管的栅极。

[0139] 偏置电流部件 163 连接在比较节点 NC_L 与接地端之间，并且在低电压生成器 122 激活时排出 (drain) 恒定电流。偏置电流部件 163 包括电阻器 R1_L。

[0140] 比较部件 164 比较比较节点 NC_L 的电压和用于低电压的参考电压 Vref_LV，以决定电源部件 161 的激活。例如，当比较节点 NC_L 的电压不同于用于低电压的参考电压 Vref_LV 时，比较部件 164 继续激活电源部件 161。比较部件 164 包括接收比较节点 NC_L 的电压的正输入端和接收用于低电压的参考电压 Vref_LV 的负输入端。

[0141] 修正码生成器

[0142] 图 6 是示出根据本发明构思实施例的修正码生成器的示图。参照图 6，修正码生成器 165 包括第一数据锁存器 166 和第二数据锁存器 167。

[0143] 为了解释方便，假定第一数据锁存器 166 锁存关于读取电压的数据，并且第二数据锁存器 167 锁存关于验证电压的数据。为了使用低电压生成器 122（参照图 5）生成读取电压，第一数据锁存器 166 响应于第一修正码使能信号 TEN1 输出锁存的数据作为第 i 个修正码 (TRMi_L)(i 是 1 或大于 1 的整数）。另一方面，为了使用低电压生成器 122 生成验证电压，第二数据锁存器 167 响应于第二修正码使能信号 TEN2 输出锁存的数据作为第 i 个修

正码 (TRMi_L)。

[0144] 图 7 是示出根据本发明构思的另一个实施例的修正码生成器的示图。参照图 7，修正码生成器 168 包括第一电子熔丝 (E-fuse)169、第二电子熔丝 170 和开关 171。

[0145] 为了解释方便，假定第一电子熔丝 169 存储与读取电压相对应的电子熔丝值，第二电子熔丝 170 存储与验证电压相对应的电子熔丝值。为了使用低电压生成器 122（参照图 5）生成读取电压，开关 171 根据第一电子熔丝 169 的电子熔丝值决定导通状态，并输出相应的数据作为第 i 个修正码 TRMi_L(i 是 1 或大于 1 的整数）。另一方面，为了使用低电压生成器 122 生成验证电压，开关 171 根据第二电子熔丝 170 的电子熔丝值决定导通状态，并输出相应的数据作为第 i 个修正码 TRMi_L。

[0146] 修正开关 (TRIM SWITCH)

[0147] 图 8 是示出图 5 中图示的开关 SW0_L 的例子的示图。参照图 8，修正开关 SW0_L 包括第一 PMOS 晶体管 PM1 和第二 PMOS 晶体管 PM2、第一 NMOS 晶体管 NM1 和第二 NMOS 晶体管 NM2、以及第一反相器 INV1 和第二反相器 INV2。修正开关 LV_SW0 是电平位移器，其将修正码 TRM0_1 的电平转换成用于环绕电压的泵电压 VLVP。此处，修正码 TRM0_L 具有电源电压 VDD 的电平，该电源电压 VDD 低于用于环绕电压的泵电压 VLVP。图 5 中示出的第二开关 SW1_L 和第三开关 SW2_L 的配置与第一开关 SW0_L 的相同或基本相同。

[0148] 负电压生成器的第一实施例

[0149] 图 9 是示出根据本发明构思的第一实施例的图 2 中的负电压生成器的示图。参照图 9，负电压生成器 123 包括直流 (DC) 电压生成器 181、参考电压生成器 182、振荡器 183、负电压检测器 184、负电压泵 185 和用于字线的负电压生成器 186。

[0150] DC 电压生成器 181 生成 DC 电压 VDC_NEG。此处，DC 电压 VDC_NEG 是用于生成负电压 NWELL 的源电压，其中负电压 NWELL 通过对该源电压分压来生成。

[0151] 参考电压生成器 182 生成参考电压 Vref_NEG。此处，参考电压 Vref_NEG 可以用于控制负电压泵的时钟 CLK_NEGP 的生成。

[0152] 振荡器 182 振荡产生用于负电压的时钟 CLK_NEG。在本实施例中，用于负电压的时钟 CLK_NEG 可以是 30ns。此处，振荡器 183 独立于图 3 中的高电压生成器 121 的振荡器 132。在另一个实施例中，振荡器 183 可以是图 3 中的高电压生成器 132 的振荡器 183。

[0153] 负电压检测器 184 接收 DC 电压 VDC_NEG、参考电压 Vref_NEG、用于负电压的时钟 CLK_NEG，并检测用于阱电压的负电压 NWELL 以生成用于负电压泵的时钟 CLK_NEGP。

[0154] 负电压泵 185 响应于用于负电压泵的时钟 CLK_NEGP 生成用于阱电压的负电压 NWELL。同时，用于阱电压的负电压 NWELL 很容易因外部原因而变化，特别是会受到阱电容的影响。为此，必须向字线稳定地施加负电压。

[0155] 用于字线的负电压生成器 186 接收来自负电压泵 185 的用于阱电压的负电压 NWELL、DC 电压 VDC_NEG 以及参考电压 Vref_NEG，并生成将被施加到字线的负电压 NWL。此处，用于阱电压的负电压 NWELL 被施加到具有被供应了负电压的电路（未示出）的阱，而负电压 NWL 被施加到至少一条字线和与该至少一条字线相对应的至少一条线（例如，选择线）。

[0156] 负电压器件

[0157] 图 10 是示出图 9 中图示的负电压生成器 184 的例子的示图。参照图 10，负电压生

成器 184 包括电源部件 191、分压部件 192、放电部件 193、比较部 件 194 和控制部件 195。

[0158] 电源部件 191 响应于负电压使能信号 NV_EN 控制 DC 电压 VDC_NEG 的供应。电源部件 191 包括 PMOS 晶体管 PM 和电阻器 R1。PMOS 晶体管 PM 的栅极被连接以接收反相的负电压使能信号 NV_EN。电阻器 R1 连接在 PMOS 晶体管 PM 的一端与比较节点 NC 之间，并且将 DC 电压 VDC_NEG 与比较节点 NC 的电压之间的电压差所对应的电流排入有源电流通路。

[0159] 分压部件 192 使用多个串联连接的电阻器 R2 到 R5 对 DC 电压 VDC_NEG 分压。分压部件 192 包括多个电阻器 R2 到 R5、用于高电压的晶体管 HM0 到 HM2 以及电平位移器 LS0 到 LS2。

[0160] 多个电阻器 R2 到 R5 串联连接。多个电阻器 R2 到 R5 当中的电阻器 R2、R3 和 R4 可以根据相应的修正码 TRM0 到 TRM2 和 nTRM0 到 nTRM2 短路。在图 10 的例子中，三个（3 个）电阻器 R2、R3 和 R4 能够根据修正码短路。然而，本发明构思不局限于此。本发明构思包括能够根据至少一个修正码短路的至少一个电阻器。

[0161] 第一高电压晶体管 HM0 与电阻器 R4 并联连接，第二高电压晶体管 HM1 与电阻器 R3 并联连接，并且第三高电压晶体管 HM2 与电阻器 R2 并联连接。用于高电压的第一到第三晶体管 HM0 到 HM2 的阱被供应以用于阱电压的负电压 NWELL。

[0162] 第一电平位移器 LS0 包括接收修正码 TRM0 的正输入端 In、接收反相的修正码 nTRM0 的负输入端 nIn、接收用于阱电压的负电压 NWELL 的阱电压输入端 Vneg、以及输出与修正码 TRM0 相对应的电平的输出端 Out。

[0163] 第一电平位移器 LS0 的输出端 Out 与第一高电压晶体管 HM0 的栅极连接。第二电平位移器 LS1 和第三电平位移器 LS2 可以被配置成与第一电平位移器 LS0 相同。

[0164] 放电部件 193 响应于反相的负电压使能信号 NV_EN 对检测节点 ND 的负电压 NWELL 放电。放电部件 193 连接在检测节点 ND 与接地端之间。在本实施例中，放电部件 193 包括 NMOS 晶体管 HNM。此处，NMOS 晶体管 HNM 可以是高电压晶体管。NMOS 晶体管 HNM 的主体与检测节点 ND 连接。

[0165] 比较部件 194 比较用于负电压的参考电压 Vref_NV 和比较节点 NC 的电压以生成用于负电压的时钟 CLK_NEGP。比较部件 194 包括比较器 196 和逻辑部件 197。比较器 196 包括接收用于负电压的参考电压 Vref_NEG 的正输入 端和接收比较节点 NC_H 的电压的负输入端。在本实施例中，比较器 196 由差动放大器实现。逻辑部件 197 通过对用于负电压的时钟 CLK_NEG、比较器 196 的输出和负电压使能信号 NV_EN 执行逻辑与 (AND) 来生成用于负电压的时钟 CLK_NEGP。

[0166] 控制部件 195 响应于负电压使能信号 NV_EN 决定电源部件 191 和放电部件 193 的激活。控制部件 195 包括第一反相器 198、第二反相器 199 和电平位移器 LS。第一反相器 198 将负电压使能信号 NV_EN 反相。第一反相器 198 的输出被施加到电源部件 191 的 PMOS 晶体管 PM 的栅极。第二反相器 199 将第一反相器 198 的输出反相。电平位移器 LS 将第二反相器 199 的输出电平转换成高电压电平。转换成高电压电平的第二反相器 199 的输出被施加到放电部件 193 的 NMOS 晶体管 HNM 的栅极。

[0167] 电平位移器 LS 包括接收第二反相器 199 的输出的正输入端 In、接收第一反相器 198 的输出的负输入端 nIn、接收用于阱电压的负电压 NWELL 的阱电压输入端 Vneg 和输出端 Out。电平位移器 LS 以与分压部件 192 的第一电平位移器 LS0 相同的方式实现。

[0168] 电平位移器

[0169] 图 11 是示出图 10 中图示的第一电平位移器的例子的示图。参照图 11，第一电平位移器 LS0 包括低电压 PMOS 晶体管 PL1 和 PL2、NMOS 晶体管 NL 和高电压 NMOS 晶体管 NH1、NH2 和 NH3。

[0170] 第一 PMOS 低电压晶体管 PL1 和第一 NMOS 高电压晶体管 NH1 串联连接在电源端 Vdd 与阱电压端 Vneg 之间，第二 PMOS 低电压晶体管 PL2 和第二 NMOS 高电压晶体管 NH2 串联连接在电源端 Vdd 与阱电压端 Vneg 之间，并且 NMOS 晶体管 NL 和第三 NMOS 高电压晶体管 NH3 串联连接在电源端 Vdd 与阱电压端 Vneg 之间。

[0171] 第一 PMOS 低电压晶体管 PL1 的栅极连接到负输入端 nIn，第二 PMOS 低电压晶体管 PL2 的栅极连接到正输入端 In，并且 NMOS 低电压晶体管 NL3 的栅极连接到第一节点 N1。第一低电压 PMOS 晶体管 PL1 和第二低电压 PMOS 晶体管 PL2 的主体与相应的源极连接。在本实施例中，NMOS 晶体管 NL 是高电压晶体管。

[0172] 第一 NMOS 高电压晶体管 NH1 的栅极连接到第二节点 N2，第二 NMOS 高电压晶体管 NH2 的栅极连接到第一节点 N1，并且第三 NMOS 高电压晶体 管 NH3 的栅极连接到第二节点 N2。第一到第三高电压 NMOS 晶体管 NH1、NH2 和 NH3 中的每一个的主体与相应的源极连接。也就是说，第一到第三高电压 NMOS 晶体管 NH1、NH2 和 NH3 中的每一个的主体与阱电压端 Vneg 连接。

[0173] 下面，将描述第一电平位移器 LS0 的操作。

[0174] 首先，假定与‘1’相对应的电源电压 VDD 被施加到正输入端 In，与‘0’相对应的 0V 被施加到负输入端 nIn，并且 -2V（用于阱电压的负电压 NWELL）被施加到阱电压端 Vneg。由于 0V 被施加到第一 PMOS 低电压晶体管 PL1 的栅极，所以第一 PMOS 低电压晶体管 PL1 导通。由于电源电压 VDD 被施加到第二 PMOS 低电压晶体管 PL2 的栅极，所以第二 PMOS 低电压晶体管 PL2 截止。在此条件下，第一节点 N1 达到电源电压 VDD。由于第一节点 N1 达到电源电压 VDD，所以 NMOS 晶体管 NL 导通，从而输出端 Out 被设置为电源电压 VDD。

[0175] 另一方面，假定与‘0’相对应的 0V 被施加到正输入端 In，与‘1’相对应的电源电压 VDD 被施加到负输入端 nIn，并且 -2V（用于阱电压的负电压 NWELL）被施加到阱电压端 Vneg。

[0176] 由于电源电压 VDD 被施加到第一 PMOS 低电压晶体管 PL1 的栅极，所以第一 PMOS 低电压晶体管 PL1 截止。由于 0V 被施加到第二 PMOS 低电压晶体管 PL2 的栅极，所以第二 PMOS 低电压晶体管 PL2 导通。在此条件下，第二节点 N2 达到电源电压 VDD。由于第二节点 N2 达到电源电压 VDD，所以第三 NMOS 高电压晶体管 NH3 导通，从而输出端 Out 被设置为 -2V。

[0177] 在图 11 中，电平位移器 LS0 包括由低电压 PMOS 晶体管 PL1 和 PL2 实现的上拉电路。然而，本发明构思不局限于此。根据本发明构思的电平位移器的上拉电路可以由至少一个高电压 PMOS 晶体管实现。

[0178] 在图 11 中，电平位移器 LS0 包括由高电压 NMOS 晶体管 NH1 到 NH3 实现的下拉电路。然而，本发明构思不局限于此。根据本发明构思的电平位移器的下拉电路可以由至少一个低电压 NMOS 晶体管实现。

[0179] 用于字线的负电压生成器

[0180] 图 12 是示出图 9 中图示的用于字线的负电压生成器的例子的示图。参照图 12，用

于字线的负电压生成器 186 包括电源部件 201、分压部件 202、放电部件 203、比较部件 204、控制部件 205 和高电压晶体管 HNM。

[0181] 电源部件 201 响应于负电压使能信号 NV_EN 控制电源部件 201 的激活。电源部件 201 包括 PMOS 晶体管 PM_W 和电阻器 R1_W。PMOS 晶体管 PM_W 的栅极被连接以接收决定 DC 电压 VDC_NEG 的供应的信号。此处，该输入信号是反相的负电压使能信号 NV_EN。电阻器 R1_W 连接在 PMOS 晶体管 PM_W 的一端与比较节点 NC 之间，并且在电源部件 201 激活时，将与 DC 电压 VDC_NEG 和比较节点 NC 的电压之间的电压差相对应的电流排入有源电流通路。此时，流动恒定电流。

[0182] 分压部件 202 使用串联连接在比较节点 NC_W 与输出节点 NO_W 之间的多个串联连接的电阻器 R2_W 到 R5_W 对 DC 电压 VDC_NEG 分压。分压部件 202 包括多个电阻器 R2_W 到 R5_W、用于高电压的晶体管 HM0_W 到 HM2_W 以及电平位移器 LS0_W 到 LS2_W。

[0183] 多个电阻器 R2_W 到 R5_W 串联连接。多个电阻器 R2_W 到 R5_W 当中的电阻器 R2_W、R3_W 和 R4_W 可以根据相应的修正码 TRM0_W 到 TRM2_W 短路。在图 12 的例子中，三个（3 个）电阻器 R2_W、R3_W 和 R4_W 能够根据修正码短路。然而，本发明构思不局限于此。本发明构思包括能够根据至少一个修正码短路的至少一个电阻器。

[0184] 第一高电压晶体管 HM0_W 与电阻器 R4_W 并联连接，第二高电压晶体管 HM1_W 与电阻器 R3_W 并联连接，并且第三高电压晶体管 HM2_W 与电阻器 R2_W 并联连接。用于高电压的第一到第三晶体管 HM0_W 到 HM2_W 的阱被供应以用于阱电压的负电压 NWELL。

[0185] 第一电平位移器 LS0_W 包括接收修正码 TRM0_W 的正输入端 In、接收反相的修正码 nTRM0_W 的负输入端 nIn、接收用于阱电压的负电压 NWELL 的阱电压输入端 Vneg、以及输出与修正码 TRM0_W 相对应的转换的电平的输出端 Out。第一电平位移器 LS0_W 的输出端 Out 与第一高电压晶体管 HM0_W 的栅极连接。以与图 11 中的第一电平位移器 LS0 相同的方式实现第一电平位移器 LS0_W。第二电平位移器 LS1_W 和第三电平位移器 LS2_W 可以具有与第一电平位移器 LS0_W 相同的配置。

[0186] 放电部件 203 响应于负电压使能信号 NV_EN 的反相版本对输出节点 NO_W 的负电压 NWL 放电。放电部件 203 连接在输出节点 NO_W 与接地端之间。在本实施例中，放电部件 203 包括 NMOS 晶体管 HNM_W。此处，NMOS 晶体管 HNM_W 可以是高电压晶体管。NMOS 晶体管 HNM_W 的主体被连接 以接收用于负电压泵的电压 NWELL。

[0187] 比较部件 204 比较用于负电压的参考电压 Vref_NV 和比较节点 NC_W 的电压，并将比较结果提供到 PMOS 高电压晶体管 HVM 的栅极。比较部件 204 包括接收用于负电压的参考电压 Vref_NEG 的正输入端和接收比较节点 NC_W 的电压的负输入端。在本实施例中，比较部件 204 由差动放大器实现。

[0188] 控制部件 205 响应于负电压使能信号 NV_EN 决定放电部件 203 的激活。控制部件 205 包括第一反相器 206、第二反相器 207 和电平位移器 LS_W。第一反相器 206 将负电压使能信号 NV_EN 反相。第二反相器 207 将第一反相器 206 的输出反相。电平位移器 LS_W 将第二反相器 199 的输出电平转换成适于操作 NMOS 高电压晶体管的电平。转换成高电压电平的第二反相器 207 的输出被施加到放电部件 203 的 NMOS 晶体管 HNM_W 的栅极。

[0189] 电平位移器 LS_W 包括接收第二反相器 207 的输出的正输入端 In、接收第一反相器 206 的输出的负输入端 nIn、接收用于阱电压的负电压 NWELL 的阱电压输入端 Vneg 和输出

端 Out。电平位移器 LS_W 以与分压部件 202 的第一电平位移器 LS0_W 相同的方式实现。

[0190] 高电压晶体管 HNM 连接在用于负电压泵的电压 NWELL 与负电压 NWL 之间。高电压晶体管 HNM 根据比较部件 204 的比较值 COMP 电连接用于负电压泵的电压 NWELL 和负电压 NWL。

[0191] 根据本发明构思的实施例的用于字线的负电压生成器 186 可以通过对 DC 电压 VDC_NEG 进行电阻分压来生成负电压 NWL。

[0192] 负电压生成器的第二实施例

[0193] 如图 9 中所示，负电压生成器 123 包括用于字线的负电压生成器 186，其生成施加到字线的负电压 NWL。然而，负电压生成器 123 不需要包括用于字线的负电压生成器 186。

[0194] 图 13 是示出根据本发明构思的第二实施例的图 2 中的负电压生成器的示图。参照图 13，负电压生成器 123_1 包括 DC 电压生成器 181、参考电压生成器 182、振荡器 183、负电压检测器 184 和负电压泵 185。除了用于字线的负电压生成器被去除之外，负电压生成器 123_1 与图 9 中的 123 相同，也就是说，负电压泵 185 的输出电压被同时供应到阱和字线。

[0195] 读取验证电压选择开关电路

[0196] 图 14 是示出图 2 中的读取验证电压选择开关电路的例子的示图。参照图 14，读取验证电压选择开关电路 104 包括环绕电压选择晶体管 211、负电压选择晶体管 212、环绕电压选择开关 213 和负电压选择开关 214。

[0197] 环绕电压选择晶体管 211 连接在被供应以环绕电压 VLV 的线 215 与被供应以读取验证电压 VRV 的线之间。环绕电压选择晶体管 211 响应于第一使能信号 EN1_VRV 导通或截止。此处，环绕电压选择晶体管 211 的阱是包括在深 n 型阱中的 p 型阱，并且环绕电压选择晶体管 211 的阱被供应以用于阱电压的负电压 NWELL。

[0198] 负电压选择晶体管 212 连接在被供应以负电压 NWL 的线 217 与被供应以读取验证电压 VRV 的线 216 之间。负电压选择晶体管 212 响应于第二使能信号 EN2_VRV 导通或截止。此处，负电压选择晶体管 212 的阱是包括在深 n 型阱中的 p 型阱，并且负电压选择晶体管 212 的阱被供应以用于阱电压的负电压 NWELL。

[0199] 环绕电压选择开关 213 响应于第一使能信号 EN1_VRV 控制环绕电压选择晶体管 211 的激活。环绕电压选择开关 213 包括接收高电压 VPP 的高电压端 Vpp、接收用于阱电压的负电压 NWELL 的阱电压端、接收使能信号 EN1_VRV 的使能端 En、以及输出与使能信号 EN1_VRV 相对应的信号的输出端 Out。

[0200] 负电压选择开关 214 响应于第二使能信号 EN2_VRV 控制负电压选择晶体管 212 的激活。负电压选择开关 214 包括接收高电压 VPP 的高电压端 Vpp、接收用于阱电压的负电压 NWELL 的阱电压端、接收使能信号 EN2_VRV 的使能端 En、以及输出与使能信号 EN2_VRV 相对应的信号的输出端 Out。负电压选择开关 214 以与环绕电压选择开关 213 相同的方式实现。

[0201] 根据本发明构思的实施例的读取验证电压选择开关电路 104 可以选择与使能信号 EN1_VRV 和 EN2_VRV 相对应的环绕电压 VLV 和负电压 NWL 之一作为读取验证电压 VRV，并且将选择的读取验证电压 VRV 供应到相应的线 216。

[0202] 环绕电压选择开关电路

[0203] 图 15 是示出图 14 中图示的环绕电压选择开关的示图。参照图 15，环绕电压选择开关 213 包括上拉电路 218 和下拉电路 219。

[0204] 上拉电路218响应于输入到使能端En的使能信号EN1_VRV将高电压端Vpp的高电压VPP输出到输出端Out。上拉电路218包括耗尽型晶体管NHD1、PMOS高电压晶体管PH和第一反相器INV1。耗尽型晶体管NHD1具有与高电压端Vpp连接的漏极和与输出端Out连接的栅极。PMOS高电压晶体管PH具有与耗尽型晶体管NHD1的源极连接的源极、与输出端Out连接的漏极、以及被连接以接收反相的第一使能信号EN1_VRV的栅极。第一反相器INV1将输入到使能端En的第一使能信号EN1_VRV反相。

[0205] 上拉电路218响应于具有高电平的第一使能信号EN1_VRV将高电压VPP施加到输出端Out。下面，将更全面地描述将高电压VPP输出到输出端Out的操作。

[0206] 如果输入具有高电平的第一使能信号EN1_VRV，则第一反相器INV1输出低电平信号。PMOS高电压晶体管PH被低电平信号导通。此时，假定输出端Out的初始电平是0V，耗尽型晶体管NHD1响应于0V的栅极电压将耗尽型晶体管的阈值电压（例如，大约2V）施加到输出端Out。这意味着输出端Out的电压增加。同时，输出端Out的增加的电压被反馈到耗尽型晶体管NHD1的栅极。再一次，耗尽型晶体管NHD1响应于反馈电压增加输出端Out的电压。耗尽型晶体管NHD1避免了输出端Out的电压急剧增加。输出端Out的电压通过上述操作的重复而增加到高电压VPP。

[0207] 另一方面，如果输入具有低电平的第一使能信号EN1_VRV，则第一反相器INV1输出高电平信号。PMOS高电压晶体管PH被高电平信号截止。下拉电路219响应于输入到使能端En的第一使能信号EN1_VRV将阱电压端Vneg的用于阱电压的负电压NWEL输出到输出端Out。此外，当高电压VPP被施加到输出端Out时，下拉电路219将输出端Out与第一读取验证电压选择开关电路163的阱电隔离。

[0208] 下拉电路219包括第一反相器INV1和第二反相器INV2、第二耗尽型晶体管NHD2以及电平位移器220。第一反相器INV1将输入到使能端En的第一使能信号EN1_VRV反相。第二反相器INV2将第一反相器INV1的输出反相。第二耗尽型晶体管NHD2连接在输出端Out与阻挡节点(blocking node)NFD之间。第二耗尽型晶体管NHD2响应于具有高电平的第一使能信号EN1_VRV将下拉电路219与输出端Out电隔离。

[0209] 可以如下实现下拉电路219响应于具有高电平的第一使能信号EN1_VRV与输出端Out的隔离。第一反相器INV1响应于具有高电平的第一使能信号EN1_VRV输出低电平信号。第一PMOS低电压晶体管PL1响应于 从第一反相器INV1输出的低电平信号被导通。这使得电源端Vdd的电源电压VDD被施加到第三NMOS高电压晶体管NH3的栅极。从而，第三NMOS高电压晶体管NH3被导通。这意味着电源电压VDD被施加到阻挡节点NFD。此时，如果阻挡节点NFD的电压增加了第二耗尽型晶体管NHD2的阈值电压，则下拉电路219响应于具有高电平的第一使能信号EN1_VRV而与输出端Out电隔离。

[0210] 电平位移器220响应于输入到使能端En的第一使能信号EN1_VRV确定是将电源电压VDD施加到阻挡节点NFD，还是将输入到阱电压端Vneg的用于阱电压的负电压NWEL施加到阻挡节点NFD。

[0211] 电平位移器220包括低电压PMOS晶体管PL1和PL2以及高电压NMOS晶体管NH1、NH2、NH3和NH4。

[0212] 第一PMOS低电压晶体管PL1和第一NMOS高电压晶体管NH1串联连接在电源端Vdd与阱电压端Vneg之间。第二PMOS低电压晶体管PL2和第二NMOS高电压晶体管NH2串

联连接在电源端 Vdd 与阱电压端 Vneg 之间。第四 NMOS 高电压晶体管 NH4 和第三 NMOS 高电压晶体管 NH3 串联连接在电源端 Vdd 与阱电压端 Vneg 之间。

[0213] 第一 PMOS 低电压晶体管 PL1 的栅极与第一反相器 INV1 的输出连接，并且第二 PMOS 低电压晶体管 PL2 的栅极与第二反相器 INV2 的输出连接。第三 NMOS 高电压晶体管 NH4 的栅极连接到第一节点 N1。第一低电压 PMOS 晶体管 PL1 和第二低电压 PMOS 晶体管 PL2 的主体与相应的源极连接。第四 NMOS 高电压晶体管 NH4 的主体与相应的源极连接。

[0214] 第一 NMOS 高电压晶体管 NH1 的栅极连接到第二节点 N2，第二 NMOS 高电压晶体管 NH2 的栅极连接到第一节点 N1，并且第三 NMOS 高电压晶体管 NH3 的栅极连接到第二节点 N2。第一到第三高电压 NMOS 晶体管 NH1、NH2 和 NH3 的主体与相应的主体连接。也就是说，第一到第三高电压 NMOS 晶体管 NH1、NH2 和 NH3 的主体与阱电压端 Vneg 连接。

[0215] 下面，将更充分地描述电平位移器 220 的操作。

[0216] 当输入到使能端 En 的第一使能信号 EN1_VRV 具有高电平时，第一反相器 INV1 输出低电平信号，并且第二反相器 INV2 输出高电平信号。由于低电平信号被施加到第一 PMOS 低电压晶体管 PL1 的栅极，所以第一 PMOS 低电压晶体管 PL1 被导通。由于高电平信号被施加到第二 PMOS 低电压晶体管 PL2 的栅极，所以第二 PMOS 低电压晶体管 PL2 被截止。根据情况，第一节点 N1 被设置到电源电压 VDD。这意味着第四 NMOS 高电压晶体管 NH4 被导通。从而，阻挡节点 NFD 的电压达到电源电压 VDD。

[0217] 当输入到使能端 En 的第一使能信号 EN1_VRV 具有低电平时，第一反相器 INV1 输出高电平信号，并且第二反相器 INV2 输出低电平信号。由于高电平信号被施加到第一 PMOS 低电压晶体管 PL1 的栅极，所以第一 PMOS 低电压晶体管 PL1 被截止。由于低电平信号被施加到第二 PMOS 低电压晶体管 PL2 的栅极，所以第二 PMOS 低电压晶体管 PL2 被导通。根据情况，第二节点 N2 被设置为电源电压 VDD。这意味着第三 NMOS 高电压晶体管 NH2 被导通。从而，阻挡节点 NFD 的电压达到输入到阱电压端 Vneg 的用于阱电压的负电压 NWEL。

[0218] 根据本发明构思的示例性实施例的电平位移器 220 以与图 11 中的电平位移器 LS0 相同的方式实现。

[0219] 根据本发明构思的实施例的环绕电压选择开关 213 可以将高电压 VPP 或用于阱电压的负电压 NWEL 供应到环绕电压选择晶体管 211 的栅极（参照图 14）。

[0220] 字线电压选择开关电路

[0221] 图 16 是示出图 2 中的字线电压选择开关电路的例子的示图。参照图 16，字线电压选择开关电路 105 包括读取电压选择晶体管 221、编程电压选择晶体管 222、放电选择开关 223、读取验证电压选择开关 224、编程电压选择开关 225 和电平位移器 226。

[0222] 读取电压选择晶体管 221 连接在被供应以读取验证电压 VRV 的线 216 与被供应以字线电压 VWL 的线 227 之间。此处，读取验证电压 VRV 是读取电压或验证电压。读取电压选择晶体管 221 响应于第一使能信号 EN1 被导通。读取电压选择晶体管 221 的阱是包括在深 n 型阱中的 p 型阱，并且读取电压选择晶体管 221 的阱被供应以用于阱电压的负电压 NWELL。

[0223] 编程电压选择晶体管 222 连接在被供应以编程电压 VPGM 的线 228 与被供应以字线电压 VWL 的线 227 之间。编程电压选择晶体管 222 响应于第二使能信号 EN2 被导通。编程电压选择晶体管 222 的阱是包括在深 n 型阱中的 p 型阱，并且编程电压选择晶体管 222

的阱被供应以用于阱电压的负电压 NWELL。

[0224] 放电选择开关 223 响应第三使能信号 EN3 并决定被供应以字线电压 VWL 的线 227 的放电。放电选择开关 223 连接在线 227 与接地端之间。放电选择开关 223 的阱是包括在深 n 型阱中的 p 型阱，并且放电选择开关 223 的阱被供应以用于阱电压的负电压 NWELL。

[0225] 读取验证电压选择开关 224 响应于第一使能信号 EN1 决定读取电压选择晶体管 221 的激活。读取验证电压选择开关 224 包括接收高电压 VPP 的高电压端 Vpp、接收用于阱电压的负电压 NWELL 的阱电压端、接收使能信号 EN1 的使能端 En、以及输出与使能信号 EN1 相对应的信号的输出端 Out。读取验证电压选择开关 224 以与图 21 中的环绕电压选择开关 213 相同的方式实现。

[0226] 编程电压选择开关 225 响应于第二使能信号 EN2 控制编程电压选择晶体管 222 的激活。编程电压选择开关 225 包括接收高电压 VPP 的高电压端 Vpp、接收用于阱电压的负电压 NWELL 的阱电压端、接收使能信号 EN1 的使能端 En、以及输出与使能信号 EN1 相对应的信号的输出端 Out。编程电压选择开关 225 以与图 21 中的环绕电压选择开关 213 相同的方式实现。

[0227] 电平位移器 226 转换第三使能信号 EN3 的电平，并将结果提供到放电选择晶体管 223 的栅极。电平位移器 226 包括接收第三使能信号 EN3 的正输入端 In、接收第三使能信号 EN3 的反相版本的负输入端 nIn、接收用于阱电压的负电压 NWEL 的阱电压端、以及输出与第三使能信号 EN3 相对应的转换的电平的输出端 Out。电平位移器 226 以与图 11 中的电平位移器 LS0 相同的方式实现。

[0228] 根据本发明构思的实施例的字线电压选择开关电路 105 可以选择与使能信号 EN1 ～ EN3 和 nEN3 相对应的读取验证电压 VRV 和编程电压 VPGM 之一作为字线电压 VWL，并将被选字线电压 VWL 供应到相应的线 227。

[0229] 字线电压选择操作

[0230] 图 17 是在编程操作期间图 16 中示出的字线电压选择开关电路的字线电压选择操作的时序图。参照图 16 和图 17，字线电压选择开关电路 105 的字线电压选择操作如下执行。图 17 中图示的编程操作可以通过 2 步验证操作来执行。

[0231] 在输入编程操作命令 80h 之后，加载与写入数据的页面相对应的地址 ADDR 和将被写入的数据。在数据加载完成之后，接收页面编程操作命令 10h。高电压生成器 121（参照图 2）响应于页面编程操作命令 10h 被激活。从而，在高电压设置 (setup) 时段，高电压生成器 121 生成高电压 VPP、编程电压 VPGM、通过电压 VPASS、读取通过电压 VREAD。此外，高电压生成器 121 可以在页面编程操作命令 10h 之后的验证读取时段之前生成读取通过电压 VREAD。

[0232] 在位线设置时段，输入 / 输出电路（未示出）根据在第一编程循环的输入数据，将位线编程电压（例如，地电压）或位线禁止电压（例如，电源电压）施加到位线。从第二编程循环起，根据先前执行的 2 步验证结果，将位线强制电压 (bit line forcing voltage)（例如，1V）与位线编程电压和位线禁止电压一起施加到位线。此处，位线强制电压被施加到在 2 步验证操作的预验证操作已经通过验证而在 2 步验证时段已经失败的存储单元所对应的位线。

[0233] 在编程执行时段，字线电压选择开关电路 105 响应于第一使能信号 EN1 选择编程

电压 VPGM 作为字线电压 VWL。被选字线电压 VWL 被施加到与输入地址 ADDR 相对应的字线。

[0234] 在恢复时段 (recovery period)，字线电压选择开关电路 105 响应于第三使能信号 EN3 对与被选字线相对应的至少一条线 227（参照图 16）的字线电压 VWL 放电。然后，执行验证读取操作。

[0235] 在验证读取时段，第一字线电压选择开关电路 105 响应于第二使能信号 EN2 选择读取验证电压 VRV 作为字线电压 VWL。此处，读验证电压 VRV 可以是负电压或低电压。

[0236] 图 17 中图示的验证读取时段包括用于验证第一验证电压 V1 的第一验证时段 TV1、用于验证第二验证电压 V2 的第二验证时段 TV2、以及用于验证第三验证电压 V3 的第三验证时段 TV3。

[0237] 第一验证时段 TV1 包括通过第一预验证电压 PV1 进行验证的第一步验证时段和通过第一验证电压 V1 进行验证的第二步验证时段。在第一验证时段，第一预验证电压 PV1 和第一验证电压 V1 是负电压。在第一验证时段 TV1，负电压生成器 123（参照图 2）被激活以生成用于阱电压的负电压 NWEL。

[0238] 第二验证时段 TV2 包括通过第二预验证电压 PV2 进行验证的第一步验证时段和通过第二验证电压 V2 进行验证的第二步验证时段。第三验证时段 TV3 包括通过第三预验证电压 PV3 进行验证的第一步验证时段和通过第二验证电压 V3 进行验证的第二步验证时段。在第二验证时段 TV2 和第三验证时段 TV3，低电压生成器 122（参照图 2）通过读取验证电压 VRV 生成电压 PV2、V2、PV3 和 V3。

[0239] 在本实施例中，第一验证时段 TV1、第二验证时段 TV2 和第三验证时段 TV3 可以具有相同的执行时间。

[0240] 在另一个实施例中，第一验证时段 TV1、第二验证时段 TV2 和第三验证时段 TV3 中的至少一个可以在不同的时间期间执行。在美国专利第 7139192 号中公开了编程时段的变化，其内容通过全文引用合并于此。

[0241] 如果 2 步验证操作全部完成，则检查验证操作的通过 / 失败。如果验证操作失败，则编程电压泵 134（参照图 3）将编程电压 VPGM 增加预定值。此外，在每个 2 步验证操作中，在将位线强制电压施加到在预验证时段失败且在第二步验证时段通过的存储单元所对应的位线之后，再次执行编程。如果验证操作成功，则将全部线的电压放电。

[0242] 根据本发明构思的实施例的编程方法可以通过负电压 PV1 和 V1 执行 2 步验证操作。

[0243] 图 18 是用于描述图 17 中图示的 2 步验证操作的示图。参照图 18，不相对于该存储单元 A 进行位线强制 (bit line forcing)，该存储单元 A 的阈值电压未包括在与目标编程状态 P 相邻的预定范围内。另一方面，相对于该存储单元 B 进行位线强制，该存储单元 B 的阈值电压包括在与目标编程状态 P 相邻的预定范围内。

[0244] 假定本发明构思的编程操作以增量步进脉冲编程 (incremental step pulse program，ISPP) 方式执行，字线电压 VWL 具有编程电压 ISPP，该编程电压 ISPP 根据编程循环的重复而增加预定增量 ΔISPP。此处，字线电压 VWL 被施加到与未包括在预定范围内的存储单元 A 和包括在预定范围内的存储单元 B 连接的选择的字线。

[0245] 在编程操作期间，位线电压 VBL 是位线编程电压 BLPV（例如，地电压）、位线强制电压 BLFV 和位线编程禁止电压（例如，电源电压）中的任何一个。此处，位线强制电压 BLFV

的电平高于位线编程电压 BLPV，并且低于位线编程禁止电压。

[0246] 将被编程的单元包括与被供应以位线编程电压 BLPV 的位线连接的存储单元和与被供应以位线强制电压 BLFV 的位线连接的存储单元。与被供应以位线编程禁止电压的位线连接的存储单元是编程禁止的存储单元。

[0247] 参照图 18，在编程操作期间，位线编程电压 BLPV 被施加到与未包括在 预定范围内的存储单元 A 连接的位线，并且位线强制电压 BLFV 被施加到与包括在预定范围内的存储单元 B 连接的位线。也就是说，编程电压被施加到与存储单元 A 相对应的位线，而位线强制电压被施加到与存储单元 B 相对应的位线。

[0248] 随着编程循环增加，在编程操作期间，被缓慢编程的存储单元 A 经历 (experience) 字线电压 ISPP，而被迅速编程的存储单元 B 经历 (ISPP-BLFV) 的值。

[0249] 与被迅速编程的存储单元 B 相比，被缓慢编程的存储单元 A 多经历了位线强制电压 BLFV。因此，被缓慢编程的存储单元 A 能够将循环数量减少与位线强制电压 BLFV 相应的电压增量。

[0250] 例如，假定位线编程电压 BLPV 是 0V 且位线强制电压 BLFV 是 1V，在被迅速编程的存储单元 B 的情况下，编程操作在编程电压被施加到字线且 1V 的位线强制电压 BLFV 被施加到位线的条件下执行。另一方面，在被缓慢编程的存储单元 A 的情况下，编程操作在编程电压被施加到字线且 0V 被施加到位线的条件下运行。与被迅速编程的存储单元 B 相比，向被缓慢编程的存储单元 A 多施加了大约 1V。假定按照编程循环重复而增加 0.3V，则编程循环可以减少 3 或 4 次。

[0251] 在本实施例中，尽管被缓慢编程的存储单元 A 在下一个编程循环进入预定范围，但在存储单元 A 达到目标编程状态 P 之前不会对存储单元 A 进行位线强制。然而，本发明构思不局限于此。在另一个实施例中，如果被缓慢编程的存储单元 A 在下一个编程循环进入预定范围，则对存储单元 A 进行位线强制。

[0252] 根据本发明构思的示例性实施例的非易失性存储器件通过在编程操作期间不相对于被缓慢编程的存储单元执行位线强制，来减少循环数量。

[0253] 可以根据预验证和第二步验证时段来进行判定慢速存储单元 A 和快速存储单元 B 的操作，即，决定存储单元的位线强制的操作。例如，将在预验证操作通过且在第二步验证时段失败的存储单元判定为快速存储单元 B。如果预验证操作失败，则存储单元被裁定为慢速存储单元 A。

[0254] 根据本发明构思的示例性实施例的编程操作不局限于 2 步验证操作。例如，作为替代，可以使用 1 步验证操作来实行根据本发明构思的示例性实施例的编程操作。

[0255] 图 19 是根据本发明构思的另一个示例性实施例的图 18 中的字线电压选择开关电路的字线电压选择操作的时序图。图 19 中图示的编程操作可以通过 1 步验证操作来执行。

[0256] 在输入编程操作命令 80h 之后，加载与写入数据的页面相对应的地址 ADDR 和将被写入的数据。在数据加载完成之后，接收页面编程操作命令 10h。高电压生成器 121 (参照图 2) 响应于页面编程操作命令 10h 被激活。

[0257] 在输入编程操作命令 80h 之后，加载与写入数据的页面相对应的地址 ADDR 和将被写入的数据。在数据加载完成之后，接收页面编程操作命令 10h。高电压生成器 121 (参照图 2) 响应于页面编程操作命令 10h 被激活。从而，在高电压设置时段，高电压生成器 121

生成高电压 VPP、编程电压 VPGM、通过电压 VPASS、读取通过电压 VREAD。

[0258] 在位线设置时段，输入 / 输出电路（未示出）根据在第一编程循环的输入数据并根据来自第二编程循环的验证读取结果，施加位线编程电压（例如，地电压）或位线禁止电压（例如，电源电压）。

[0259] 在编程执行时段，字线电压选择开关电路 105 响应于第一使能信号 EN1 选择编程电压 VPGM 作为字线电压 VWL。被选字线电压 VWL 被施加到与输入地址 ADDR 相对应的字线。

[0260] 在恢复时段 (recovery period)，字线电压选择开关电路 105 响应于第三使能信号 EN3 对与被选字线相对应的至少一条线 226（参照图 22）的字线电压 VWL 放电。然后，执行验证读取操作。

[0261] 在验证读取时段，第一字线电压选择开关电路 105 响应于第二使能信号 EN2 选择读取验证电压 VRV 作为字线电压 VWL。此处，读取验证电压 VRV 可以是负电压或低电压。

[0262] 图 19 中图示的验证读取时段包括用于验证第一验证电压 V1 的第一验证时段 TV1、用于验证第二验证电压 V2 的第二验证时段 TV2、以及用于验证第三验证电压 V3 的第三验证时段 TV3。

[0263] 在第一验证时段 TV1，第一验证电压 V1 是负电压。在第一验证时段 TV1，负电压生成器 123（参照图 2）被激活以生成用于阱电压的负电压 NWELL。

[0264] 在第二验证时段 TV2 和第三验证时段 TV3，低电压生成器 172（参照图 2）生成读取验证电压 VRV。

[0265] 如果 2 步验证操作完成，则检查验证操作的通过 / 失败。如果验证操作失 败，则编程电压泵 134（参照图 3）将编程电压 VPGM 增加预定值。此时，生成的编程电压 VPGM 是新的编程电压 VPGM。如果验证操作成功，则将全部线的电压放电。

[0266] 根据本发明构思的实施例的编程方法可以通过负电压 V1 执行 1 步验证操作。

[0267] 选择线驱动器电路

[0268] 图 20 是示出图 2 中的选择线驱动器电路的例子的示图。参照图 20，选择线驱动器电路 106 包括字线电压选择晶体管 231、读取通过电压选择晶体管 232、通过电压选择晶体管 233、放电选择晶体管 234、字线电压选择开关 235、读取通过电压选择开关 236、通过电压选择开关 237 和电平位移器 238。

[0269] 字线电压选择晶体管 231 连接在被供应以字线电压 VWL 的线 227 和选择线 SI<N> 之间。此处，选择线 SI<N> 是第 n 选择线。字线电压选择晶体管 231 响应于使能信号 EN1_S 被导通。此处，使能信号 EN1_S 在编程执行时段期间具有高电平。字线电压选择晶体管 231 的阱是包括在深 n 型阱中的 p 型阱，并且字线电压选择晶体管 231 的阱被供应以用于阱电压的负电压 NWELL。

[0270] 读取通过电压选择晶体管 232 连接在被供应以读取通过电压 VREAD 的线 228 与选择线 SI<N> 之间。读取通过电压选择晶体管 232 响应于使能信号 EN2_S 被导通。此处，使能信号 EN2_S 在读取操作时段或验证读取时段具有高电平。读取通过电压选择晶体管 232 的阱是包括在深 n 型阱中的 p 型阱，并且读取通过电压选择晶体管 232 的阱被供应以用于阱电压的负电压 NWELL。

[0271] 通过电压选择晶体管 233 连接在被供应以通过电压 VPASS 的线 229 与选择线 SI<N> 之间。通过电压选择晶体管 233 响应于使能信号 EN3_S 被导通。此处，使能信号 EN1_

S 在该编程执行时段具有高电平。通过电压选择晶体管 233 的阱是包括在深 n 型阱中的 p 型阱，并且通过电压选择晶体管 233 的阱被供应以用于阱电压的负电压 NWELL。

[0272] 放电选择晶体管 234 响应于使能信号 EN4_S 控制选择线 SI<N> 的放电。放电选择晶体管 234 连接在选择线 SI<N> 与接地端之间。放电选择晶体管 234 的阱是包括在深 n 型阱中的 p 型阱，并且放电选择晶体管 234 的阱被供应以用于阱电压的负电压 NWELL。

[0273] 字线电压选择晶体管 231、读取通过电压选择晶体管 232 和通过电压选择晶体管 233 以与图 15 中的选择开关电路 163 相同的方式实现。

[0274] 电平位移器 238 转换使能信号 EN4_S 的电平，以将电平位移结果提供到放电选择晶体管 234 的栅极。电平位移器 238 包括接收使能信号 EN4_S 的正输入端 In、接收使能信号 EN4_S 的反相版本的负输入端 nIn、接收用于阱电压的负电压 NWELL 的阱电压端、以及输出与使能信号 EN4_S 相对应的转换的电平的输出端 Out。电平位移器 238 以与图 11 中的电平位移器 LS0 相同的方式实现。

[0275] 为了解释方便，图 20 中图示了一个选择线驱动器。图 2 中的选择线驱动器电路 106 可以包括分别与一个存储块中包括的字线相对应的选择线驱动器。

[0276] 根据本发明构思实施例的选择线驱动器电路 106 可以将与使能信号 EN1_S ～ EN4_S 以及 nEN4_S 相对应的字线电压 VWL、读取通过电压 VREAD 和通过电压 VPASS 之一供应到相应的选择线 SI<N>。

[0277] 选择线选择开关电路

[0278] 图 21 是示出图 2 中的选择线选择开关电路的例子的示图。参照图 21，选择线选择开关电路 107 包括第一电源电压选择晶体管 241 和第二电源电压选择晶体管 244、第一选择线选择晶体管 242 和第二选择线选择晶体管 245、第一放电选择晶体管 243 和第二放电选择晶体管 246、第一电源电压选择开关 247 和第二电源电压选择开关 250、第一选择线选择开关 248 和第二选择线选择开关 251、以及第一电平位移器 249 和第二电平位移器 252。

[0279] 第一电源电压选择晶体管 241 响应于使能信号 EN1_SS 将电源电压 VDD 施加到第一选择线 SI_1<N>。第一电源电压选择晶体管 241 的阱是包括在深 n 型阱中的 p 型阱，并且第一电源电压选择晶体管 241 的阱被供应以用于阱电压的负电压 NWELL。

[0280] 第一选择线选择晶体管 242 响应于使能信号 EN2_SS 将选择线 SI<N> 与第一选择线 SI_1<N> 连接。第一选择线选择晶体管 242 的阱是包括在深 n 型阱中的 p 型阱，并且第一选择线选择晶体管 242 的阱被供应以用于阱电压的负电压 NWELL。

[0281] 第一放电选择晶体管 243 响应于使能信号 EN3_SS 决定第一选择线 SI_1<N> 的放电。放电选择晶体管 243 连接在第一选择线 SI_1<N> 与接地端 之间。第一放电选择晶体管 244 的阱是包括在深 n 型阱中的 p 型阱，并且第一放电选择晶体管 244 的阱被供应以用于阱电压的负电压 NWELL。

[0282] 第二电源电压选择晶体管 244 响应于使能信号 EN2_SS 将电源电压 VDD 施加到第二选择线 SI_2<N>。第二电源电压选择晶体管 244 的阱是包括在深 n 型阱中的 p 型阱，并且第二电源电压选择晶体管 244 的阱被供应以用于阱电压的负电压 NWELL。

[0283] 第二选择线选择晶体管 245 响应于使能信号 EN5_SS 将选择线 SI<N> 与第二选择线 SI_2<N> 连接。第一选择线选择晶体管 245 的阱是包括在深 n 型阱中的 p 型阱，并且第一选择线选择晶体管 245 的阱被供应以用于阱电压的负电压 NWELL。

[0284] 第二放电选择晶体管 246 响应于使能信号 EN6_SS 决定第二选择线 SI_2<N> 的放电。第二放电选择晶体管 246 连接在第一选择线 SI_1<N> 与接地端之间。放电选择晶体管 243 的阱是包括在深 n 型阱中的 p 型阱，并且放电选择晶体管 243 的阱被供应以用于阱电压的负电压 NWELL。

[0285] 选择开关 247、248、250 和 251 以与图 15 中的选择开关 213 相同的方式实现。

[0286] 电平位移器 253 和 254 以与图 11 中的电平位移器 LS0 相同的方式实现。

[0287] 根据本发明构思实施例的选择线选择开关电路 107 可以将与使能信号 EN1_SS、EN6_SS、nEN3_SS 和 nEN6_SS 相对应的选择线 SI<N> 电连接到第一选择线 SI_1<N> 和第二选择线 SI_2<N> 之一。

[0288] 阱电压选择开关电路

[0289] 图 22 是示出图 2 中的阱电压选择开关电路的例子的示图。参照图 22，阱电压选择开关电路 108 包括第一阱电压选择晶体管 261 和第二阱电压选择晶体管 262、第一电阻器 263 和第二电阻器 264、第一放电选择晶体管 265 和第二放电选择晶体管 266、第一阱电压选择开关 267 和第二阱电压选择开关 268、以及第一电平位移器 269 和第二电平位移器 270。

[0290] 第一阱电压选择晶体管 261 响应于使能信号 EN1_W 将被供应以用于阱电压的负电压 NWELL 的线 271 和被供应以第一阱电压 VWELL1 的线 272 电连接。第一阱电压选择晶体管 261 的阱是包括在深 n 型阱中的 p 型阱，并且第一阱电压选择晶体管 261 的阱被供应以用于阱电压的负电压 NWELL。

[0291] 第二阱电压选择晶体管 262 响应于使能信号 EN4_W 将被供应以用于阱 电压的负电压 NWELL 的线 271 和被供应以第二阱电压 VWELL2 的线 272 电连接。第二阱电压选择晶体管 262 的阱是包括在深 n 型阱中的 p 型阱，并且第二阱电压选择晶体管 262 的阱被供应以用于阱电压的负电压 NWELL。

[0292] 第一电阻器 263 的一端与向其施加了第一阱电压 VWELL1 的线 272 连接。第一电阻器 263 避免了在放电操作中有大量电流瞬时流动。这是因为，当高电压（例如，20V）被瞬时放电到 0V 时，晶体管因快回 (snap back) 现象而操作异常。

[0293] 第二电阻器 264 的一端与被施加了第二阱电压 VWELL2 的线 272 连接。第二电阻器 264 避免了在放电操作中有大量电流瞬时流动。

[0294] 第一放电选择晶体管 265 连接在第一电阻器 263 的另一端与接地端之间，且响应于使能信号 EN3_W 决定被供应以第一阱电压 VWELL1 的线 271 的放电。

[0295] 第二放电选择晶体管 266 连接在第二电阻器 264 的另一端与接地端之间，且响应于使能信号 EN6_W 决定被供应以第二阱电压 VWELL2 的线 272 的放电。

[0296] 第一阱电压选择开关 267 和第二阱电压选择开关 268 以与图 15 中的选择开关 213 相同的方式实现。

[0297] 第一电平位移器 267 和第二电平位移器 268 以与图 11 中的电平位移器 LS0 相同的方式实现。

[0298] 根据本发明构思实施例的阱电压选择开关电路 108 可以与使能信号 EN1_W ～ EN4_W、nEN3_W 和 nEN4_W 相对应地使用用于阱电压的负电压 NWELL 作为第一阱电压 VWELL1 和第二阱电压 VWELL2 之一。

[0299] 行译码器的第一实施例

[0300] 图 23 是示出根据本发明构思的第一实施例的图 2 中的行译码器的示图。为了解释方便，图 23 中图示了一个行译码器。然而，本发明构思的存储器件包括分别与存储块相对应的行译码器。参照图 23，行译码器 109 包括上拉电路 281、下拉电路 282 和电压传送电路 283。

[0301] 上拉电路 281 连接在高电压 VPP 与块字线 BWL 之间，并且响应于电压传送使能信号 EN 将高电压 VPP 施加到块字线 BWL。此处，使能信号 EN 由电压传送使能信号和放电信号的组合确定，该放电信号根据输入地址 ADDR 确定。

[0302] 上拉电路 281 包括第一耗尽型晶体管 NHD1、PMOS 晶体管 PH 和第一反相器 INV1。第一耗尽型晶体管 NHD1 具有与高电压 VPP 连接的漏极和与块字线 BWL 连接的栅极。PMOS 高电压晶体管 PH 具有与耗尽型晶体管 NHD1 的源极连接的源极、与块字线 BWL 连接的漏极和被连接为接收电压传送使能信号 EN 的反相版本的栅极。此处，电压传送使能信号 EN 的反相版本是第一反相器 INV1 的输出。上拉电路 281 响应于具有高电平的电压传送使能信号 EN 将高电压 VPP 施加到块字线 BWL。高电压 VPP 经由下列过程被施加到块字线 BWL。

[0303] 如果输入具有高电平的电压传送使能信号 EN，则第一反相器 INV1 输出低电平信号。PMOS 高电压晶体管 PH 被低电平信号导通。此时，假定块字线的初始电平是 0V。因此，耗尽型晶体管 NHD1 响应于 0V 的栅极电压施加第一耗尽型晶体管 NHD1 的阈值电压（例如，大约 2V）。这意味着块字线 BWL 的电压增加。同时，块字线 BWL 增加的电压被反馈到第一耗尽型晶体管 NHD1 的栅极。第一耗尽型晶体管 NHD1 响应于反馈电压增加块字线 BWL 的电压。第一耗尽型晶体管 NHD1 避免了块字线 BWL 的电压急剧增加。块字线 BWL 的电压通过上述操作的重复而增加到高电压 VPP。

[0304] 另一方面，如果输入具有低电平的电压传送使能信号 EN，则第一反相器 INV1 输出高电平信号。PMOS 高电压晶体管 PH 被高电平信号截止。

[0305] 当高电压 VPP 被施加到块字线 BWL 时，下拉电路 282 将块字线 BWL 与施加到行译码器 109 的阱的电压电隔离。此外，下拉电路 282 响应于电压传送使能信号 EN 将块字线 BWL 与行译码器 109 的阱电连接。也就是说，下拉电路 282 响应于电压传送使能信号 EN 的反相版本将施加到行译码器的阱的阱电压施加到块字线 BWL。

[0306] 下拉电路 282 包括第二耗尽型晶体管 NHD2、低电压 PMOS 晶体管 PL1 和 PL2、高电压 NMOS 晶体管 NH1 到 NH4、以及第一反相器 INV1 和第二反相器 INV2。

[0307] 第二耗尽型晶体管 NHD2 连接在块字线 BWL 与阻挡节点 (block node) NFD 之间。第二耗尽型晶体管 NHD2 响应于具有低电平的电压传送使能信号 EN 将下拉电路与块字线 BWL 电连接。第二耗尽型晶体管 NHD2 响应于具有高电平的电压传送使能信号 EN 将下拉电路与块字线 BWL 电隔离。

[0308] 下拉电路响应于具有高电平的电压传送使能信号 EN 与块字线 BWL 的隔 离将如下执行。第一反相器响应于电压传送使能信号 EN 的高电平输出低电平信号。PMOS 晶体管 PL1 响应于低电平信号导通。随着 PMOS 低电压晶体管 PL1 的导通，电源电压 VDD 被施加到第三 NMOS 高电压晶体管 NH3 的栅极。这使得第三 NMOS 高电压晶体管 NH3 被导通。因此，电源电压 VDD 被施加到阻挡节点 NFD。此时，如果节点 NFD 的电压增加第二耗尽型晶体管 NHD2 的阈值电压，则第二耗尽型晶体管 NHD2 被关断。下拉电路 282 响应于块使能信号 EN 的高电平与块字线 BWL 电隔离。

[0309] 同时，在放电操作时，第二耗尽型晶体管 NHD2 避免了块字线 BWL 的高电压 VPP 被急剧放电。

[0310] 下拉电路响应于具有低电平的电压传送使能信号 EN 与块字线 BWL 连接将如下执行。如果输入低电平的电压传送使能信号 EN，则第一反相器 INV1 输出高电平信号，并且第二反相器 INV2 响应于从第一反相器 INV1 输出的高电平信号输出低电平信号。第二 PMOS 低电压晶体管 PL2 响应于从第二反相器 INV2 输出的低电平信号导通。当 PMOS 晶体管 PL2 被导通时，电源电压 VDD 被施加到 NMOS 高电压晶体管 NH4 的栅极。这意味着，NMOS 高电压晶体管 NH4 被导通并且第一阱电压 VWELL1 被施加到阻挡节点 NFD。第一阻挡节点 NFD 的第一阱电压 VWELL1 经由第二耗尽型晶体管 NHD2 施加到块选择线 BWL。

[0311] 同时，如果块字线 BWL 的电压是 0V，则阻挡节点 NFD 的第一阱电压 VWELL1 通过第二耗尽型晶体管 NHD2 被施加到块字线 BWL。另一方面，如果块字线 BWL 的电压是高电压 VPP，则第二耗尽型晶体管 NHD2 放电块字线 BWL 的高电压 VPP。这意味着，块字线 BWL 的电压被设置到第一阱电压 VWELL1。

[0312] 电压传送电路 283 响应于施加到块字线 BWL 的高电压 VPP，分别将选择线 S0 到 S63、串线 SS 和接地线 GS 与字线 WL0 到 WL63、串选择线 SSL 和地选择线 GSL 连接。为了解释方便，字线的数目限定为 64。然而，字线的数目不局限于此。

[0313] 第一 MAT 101（参照图 2）的多个存储块共用选择线 S0 到 S63。在编程 / 读取 / 擦除操作时由电压生成器 103（参照图 2）生成的电压（例如，编程电压、通过电压、读取电压和验证电压）被施加到选择线 S0 到 S63。多个存储块共用串线 SS 和接地线 GS。

[0314] 电压传送电路 283 包括多个块选择晶体管 BTS、BT0 到 BT63 和 BTG。块选择晶体管 BTS、BT0 到 BT63 和 BTG 的栅极全部与块字线连接。块选择晶体管 BTS、BT0 到 BT63 和 BTG 的阱被实现为使得第一阱电压 VWELL1 被施加到块选择晶体管 BTS、BT0 到 BT63 和 BTG 的阱。

[0315] 第一低电压 PMOS 晶体管 PL1 和第二低电压 PMOS 晶体管 PL2 以及第一到第四高电压 NMOS 晶体管 NH1、NH2、NH3 和 NH4 构成电平位移器 284。此处，电平位移器 284 以与图 11 中的电平位移器 LS0 相同的方式实现。

[0316] 图 24 是示出根据本发明构思的示例性实施例的行译码器的截面的示图。参照图 24，在大的阱 301 中形成 MAT 310、行译码器 320 和逻辑电路 330。形成隔离膜以在 MAT 310 与行译码器 320 之间进行隔离，并且形成隔离膜 303 和 304 以在行译码器 320 和逻辑电路 330 之间进行隔离。

[0317] 参照 MAT 310，在 p 型阱 301 中形成深 n 型阱 312，并且在 n 型阱 312 中形成 p 型阱 314。此处，可以使用 n 型有源层 316 在 p 型阱上形成存储单元。

[0318] 参照行译码器 320，在 p 型阱 301 中形成深 n 型阱 322，并且在 n 型阱 322 中形成 p 型阱 324。此处，可以使用 n 型有源层 328 在 p 型阱 324 上形成电路（例如，图 23 中图示的行译码器 109）。

[0319] 上面描述的行译码器 120 的阱是指 p 型阱 324。阱电压 VWELL1 被施加到 p 型阱 324，并且高电压 VPP 被施加到 n 型有源层 328。尽管未示出，但是阱电压 VWELL1 经由接触件 (contact) 被施加到 p 型阱 324。

[0320] n 型阱 322 被 0V 或电源电压 VDD 偏置。n 型阱 322 与 p 型阱 324 满足反向偏置条

件。这避免了正向电流在 PN 结流动。

[0321] 当负电压被提供到字线时 p 型阱 324 被负电压偏置，当未使用负电压时 p 型阱 324 被 0V 偏置。

[0322] 如图 24 中所示，在 p 型阱 324 与 n 型有源层 328 之间形成 PN 结。在晶体管被供应以高电压 VPP 的情况下，当施加到 p 型阱 324 的阱电压 VWELL1 是负电压时，PN 结两端的电压可以对应于高电压 VPP 与负电压的绝对值的和。这意味着，被供应以高电压 VPP 且在被供应以负电压的 p 型阱 324 处形成的晶体管的 PN 结可能会被击穿。为了避免 PN 结击穿，当负电压被施加到 p 型阱 324 时，降低高电压 VPP 的电压电平。

[0323] 高电压改变方法

[0324] 下面，将参照图 25 到图 27 更充分地描述改变高电压的方法。

[0325] 图 25 是示出图 2 中的非易失性存储器件的编程操作期间的电压控制方法的实施例的时序图。参照图 25，在编程操作期间可以如下控制电压。

[0326] 在存储块被输入地址 ADDR 选择的情况下，使能信号 EN 具有高电平。在第一编程循环 0 的编程执行时段期间，控制逻辑 111（参照图 2）控制高电压生成器 121（参照图 2），以便施加 0V 的阱电压 VWELL 并生成具有第一电平 VPPH 的高电压 VPP。此时，行译码器 109/110（参照图 2）响应于高电平的使能信号 EN，将高电压 VPP 的第一电平 VPPH 施加到被选块字线 BWL。

[0327] 然后，在第一编程循环 0 的验证读取时段期间，控制逻辑 111 控制负电压生成器 123（参照图 2）以便生成具有负电平 NWV 的阱电压 VWELL，并且控制高电压生成器 121 以便生成具有第二电平 VPPL 的高电压 VPP。此处，第二电平 VPPL 的电平低于第一电平 VPPH。第二电平 VPPL 与负电平 NWV 之间的电平差小于耗尽型晶体管 NHD2（参照图 24）的结击穿电压（例如，30V）。此时，行译码器 109/110 将第二电平 VPPL 的电压施加到被选块字线 Sel。BWL 响应于高电平的使能信号 EN。

[0328] 同时，在存储块未被输入地址 ADDR 选择的情况下，使能信号 EN 具有低电平。在第一编程循环 0 的编程执行时段，0V 的阱电压 VWELL 被施加到未选块字线 Unsel。BWL 响应于低电平的使能信号 EN。

[0329] 然后，在第一编程循环 0 的验证读取时段，具有负电平 NWV 的阱电压 VWELL 被施加到未选块字线 Unsel。BWL 响应于低电平的使能信号 EN。

[0330] 第一编程循环 0 的上述过程可以同样应用于其他的编程循环（1、2、…）。

[0331] 如上面阐述的，在验证时段期间，当施加具有负电平的阱电压时，非易失性存储器件 100 降低高电压 VPP 的电平。

[0332] 图 26 是示出根据本发明构思的第一实施例的在编程操作期间控制阱电压和高电压的方法的示图。参照图 26，直到第一验证读取操作通过为止，在第一验证时段期间阱电压 VWELL 具有第一负电平 NWV1，并且高电压 VPP 具有电平 VPPL1。在第一验证读取操作通过之后，在第一验证时段期间，阱电压 VWELL 具有 0V 并且高电压 VPP 具有电平 VPPH。

[0333] 直到第二验证读取操作通过为止，在第二验证时段期间，阱电压 VWELL 具有第二负电平 NWV2，并且高电压 VPP 具有电平 VPPL2。此处，第二负电平 NWV2 高于第一负电平 NVW1，并且电平 VPPL2 高于电平 VPPL1。在第 二验证读取操作通过之后，在第二验证时段期间，阱电压 VWELL 具有 0V 并且高电压 VPP 具有电平 VPPH。

[0334] 同时，在下一个编程循环中包括操作的通过验证时段或者在下一个编程循环中不包括操作的通过验证时段。例如，在第一验证读取操作通过之后并且直到第二验证读取操作通过为止，如图 26 中的虚线所示，在编程循环中包括或不包括第一验证时段。此外，在第二验证读取操作通过之后并且直到第三验证读取操作通过为止，在编程循环中包括或不包括第一和第二验证时段。

[0335] 如上所述，在除了第一验证时段或第二验证时段之外的时段，阱电压 VWELL 是 0V。然而，在除了第一验证时段或第二验证时段之外的时段，阱电压不是必需是 0V。在除了第一验证时段或第二验证时段之外的时段，阱电压 VWELL 具有比第二负电平 NWL2 高的电平。

[0336] 图 27 是示出根据本发明构思的第二实施例的在编程操作期间控制阱电压和高电压的方法的示图。参照图 27，直到第一验证读取操作通过为止，高电压 VPP 具有电平 VPPL1。此时，阱电压 VWELL 在第一验证时段具有第一负电平 NWV1 并且在第二验证时段具有第二负电平 NWL2。在第一验证读取操作通过之后且直到第二验证读取操作通过为止，高电压 VPP 具有第二电平 VPP2。此时，阱电压 VWELL 在第二验证时段具有第二负电平 NWV2。在第二验证读取操作通过之后且直到第三验证读取操作通过为止，高电压 VPP 具有第三电平 VPP3。

[0337] 同时，在下一个编程循环中包括操作的通过验证时段或这在下一个编程循环中不包括操作的通过验证时段。例如，在第一验证读取操作通过之后并且直到第二验证读取操作通过为止，如图 27 中的虚线所示，在编程循环中包括或不包括第一验证时段。此外，在第二验证读取操作通过之后并且直到第三验证读取操作通过为止，在编程循环中包括或不包括第一和第二验证时段。

[0338] 如上所述，直到第一验证读取操作通过为止，在除了第一验证时段或第二验证时段之外的时段，阱电压 VWELL 是 0V。直到第二验证读取操作通过为止，在除了第二验证时段之外的时段阱电压 VWELL 是 0V。然而，直到第一验证读取操作通过为止，在除了第一验证时段或第二验证时段之外的时段阱电压 VWELL 不是必需是 0V，并且直到第二验证读取操作通过为止，在除了第二验证时段之外的时段，阱电压 VWELL 不是必需是 0V。在直到第一验证读取操作通过为止的除了第一验证时段或第二验证时段之外的时段，以及 在直到第二验证读取操作通过为止的除了第二验证时段之外的时段，阱电压 VWELL 具有高于第二负电平 NWL2 的电平。可替换地，在除了第一验证时段或第二验证时段之外的时段，阱电压 VWELL 具有比第二负电平高的电平。

[0339] 图 28 是示出根据本发明构思的第三实施例的在编程操作期间控制阱电压和高电压的方法的示图。参照图 28，直到第一验证读取操作通过为止，高电压 VPP 具有电平 VPP1 并且阱电压 VWELL 具有第一负电平 NWV1。在第一验证读取操作通过之后并且直到第二验证读取操作通过为止，高电压 VPP 具有第二电平 VPP2 并且阱电压 VWELL 具有第二负电平 NWV2。在第二验证读取操作通过之后并且直到第三验证读取操作通过为止，高电压 VPP 具有第三电平 VPP3。

[0340] 同时，下一个编程循环中包括操作的通过验证时段，或者在操作的下一个编程循环中不包括操作的通过验证时段。例如，在第一验证读取操作通过之后并且直到第二验证读取操作通过为止，如图 28 中的虚线所示，在编程循环中包括或不包括第一验证时段。此外，在第二验证读取操作通过之后并且直到第三验证读取操作通过为止，在编程循环中包括或不包括如虚线所示的第一验证时段和第二验证时段。

[0341] 如上所述，在第二验证读取操作通过之后，阱电压 VWELL 是 0V。然而，在第二验证读取操作通过之后阱电压 VWELL 不是必需是 0V。在第二验证读取操作通过之后阱电压 VWELL 具有高于第二负电平 NWL2 的电平。

[0342] 行译码器的第二实施例

[0343] 图 23 中图示的行译码器 109 在下拉电路 282 中使用高电压 NMOS 晶体管 NH1 到 NH4。然而，本发明构思不局限于此。也就是说，本发明构思的行译码器可以使用 NMOS 低电压晶体管。

[0344] 图 29 是示出根据本发明构思的第二实施例的行译码器的示图。参照图 29，行译码器 109_1 包括下拉电路，与图 23 中的行译码器 105 相比，该下拉电路使用 NMOS 晶体管 NL1 到 NL4，而非高电压 NMOS 晶体管来配置。

[0345] 行译码器的第三实施例

[0346] 图 23 中图示的行译码器 109 在下拉电路 282 中使用低电压 PMOS 晶体管 PL1 和 PL2。然而，本发明构思不局限于此。也就是说，本发明构思的行译码器可以使用 PMOS 高电压晶体管。

[0347] 图 30 是示出根据本发明构思的第三实施例的行译码器的示图。参照图 30，行译码器 109_2 包括下拉电路，与图 23 中的行译码器 105 相比，该下拉电路使用高电压 PMOS 晶体管 PH1 和 PH2、而非低电压 PMOS 晶体管来配置。

[0348] 编程方法

[0349] 图 31 是示出根据本发明构思的第一实施例的编程方法的流程图。将参照图 31 更充分地描述编程方法。为了便于描述，假定非易失性存储器件是如图 2 中所示的非易失性存储器件 100。

[0350] 在操作 S101，把要在编程操作期间编程的数据加载到数据输入 / 输出电路（未示出）的每个页面缓冲器（未示出）上。在操作 S109，控制逻辑 111（参照图 2）执行第一编程循环。

[0351] 在操作 S110，控制逻辑 111 控制电压生成器 103（参照图 2），以便生成用于编程操作的电压，如高电压 VPP、编程电压 VPGM、编程通过电压 VPASS、环绕电压 VLV、读取验证电压 VRV 等等。

[0352] 在操作 S120，控制逻辑 111 根据页面缓冲器的加载数据设置位线。例如，0V 被施加到与编程数据（例如，′ 0′ ）相对应的位线，并且电源电压 VDD 被施加到与编程禁止数据（例如，‘1’）相对应的位线。此外，在 2 步验证操作中，位线强制电压（例如，1V）被施加到与第一步验证已完成的存储单元相对应的位线。

[0353] 然后，在操作 S130，通过电压 VPASS 被施加到未选字线，并且编程电压 VPGM 被施加到被选字线。此处，编程电压 VPGM 的电压电平根据编程循环数而增加预定值。

[0354] 在本实施例中，在将编程电压 VPGM 施加到被选字线之前，可以在预定时间期间将通过电压施加到被选字线。然后，执行编程恢复操作。在编程恢复操作中，施加到字线 WL0 到 WLM 和串选择线 SSL 的偏置电压被放电，并且施加到位线 BL0 到 BLn-1 的电压被放电。

[0355] 然后，在操作 S140，控制逻辑 111 执行验证操作，且判断验证操作是否需要负电压。如果不需要负电压，则方法进行到操作 S160。如果需要负电压，则在操作 S150，控制逻辑 111 激活负电压生成器 123 以生成负电压 NWL 和用于阱电压的负电压 NWELL。

[0356] 在操作 S160，按照控制逻辑 111 的控制执行验证操作，并且进行验证操作是通过还是失败的判定。此处，验证操作以 2 步验证方式执行。

[0357] 如果验证操作失败，则在操作 S170，控制逻辑 111 判断编程循环是否达到最大编程循环。如果已达到，则将编程操作看作是编程失败。

[0358] 另一方面，如果该编程循环不是最大编程循环，则在操作 S180，将编程循环数增加 1。然后，方法进行到操作 S130。

[0359] 如上所述，本发明构思的编程方法在每个编程循环判断是否需要负电压，并根据判断结果激活负电压生成器 123。然而，本发明构思的编程方法不是必需在每个编程循环判断是否需要负电压。

[0360] 图 32 是示出根据本发明构思的第二实施例的编程方法的流程图。参照图 32，该编程方法不同于图 31 中的编程方法之处在于，去除了操作 S120 和 S130，并且在操作 S115 设置了高电压、低电压和负电压。

[0361] 图 33 是示出根据图 32 中的编程方法的 2 步验证操作的、编程循环的电压脉冲的示图。参照图 33，编程电压 VPGM 根据编程循环的增加而增加 ΔISPP，并且每个编程循环具有三个验证时段 TV1、TV2 和 TV3。此处，在第一验证时段 TV1，第一预验证电压 TV1 和第一验证电压 V1 是负电压。在第二验证时段 TV2 和第三验证时段 TV3，预验证电压 PV2 和 PV3 以及验证电压 V2 和 V3 是正电压。

[0362] 在图 33 中，示例性地图示了每个编程循环包括一个编程脉冲的情况。然而，本发明构思不局限于此。本发明构思的每个编程循环可以包括至少一个编程脉冲。

[0363] 本发明构思可以执行对擦除状态 E（参照图 1）的验证操作。图 34 是示出根据编程循环的电压脉冲的示图，在该编程循环中执行对擦除状态的验证操作。参照图 34，在每个编程循环，基于四个验证电压 V0、V1、V2 和 V3 执行验证操作。此处，验证电压 V0 和 V1 是负电压，验证电压 V2 和 V3 是正电压。

[0364] 读取方法

[0365] 图 35 是示出根据本发明构思的示例性实施例的读取方法的流程图。将参照图 35 更充分地描述读取方法。为了便于描述，读取电压可以包括第一到第三读取电压 VR1 到 VR3。假定第一读取电压 VR1 是负电压，并且第二读取电压 VR2 和第三读取电压 VR3 是正电压。

[0366] 在操作 S310，接收读取命令。然后，生成读取操作所需的偏置电压。例如，生成读取电压 VR1、VR2 和 VR3、读取通过电压、以及高电压 VPP。负 电压生成器 123 生成第一读取电压 VR1 和用于阱电压的负电压 NWELL，低电压生成器 122 生成第二读取电压 VR2 和 VR3，并且高电压生成器 121 生成读取通过电压 VPASS 和高电压 VPASS。在操作 S320，当使用第一读取电压 VR1 执行读取操作时，将用于阱电压的负电压 NWELL 施加到包括被供应以负电压的电路的所有阱，并且，当使用第二读取电压 VR2 和第三读取电压 VR3 执行读取操作时，向阱施加地电压。

[0367] 如下执行与第一到第三读取电压相关的读取操作。在操作 S330，读取电压被施加到被选字线，读取通过电压被施加到未选字线，并且位线被预充电。然后，在操作 S340，感测与存储单元连接的位线的电压变化以作为数据，并且将感测的数据锁存和输出。

[0368] 然后，与非易失性存储器件 100 连接的存储控制器（未示出）判断输出数据的错

误。如果未检测到错误，则读取操作结束。如果检测到错误，则纠正错误。如果错误不可纠正，则改变读取电压 VR1、VR2 和 VR3，并且使用改变的读取电压再次执行读取操作。

[0369] 非易失存储器的其他实施例

[0370] 图 36 是图示根据本发明构思的示例性实施例的非易失性存储器件的示图。参照图 36，与图 2 的非易失性存储器件 100 相比，非易失性存储器件 400 还包括码生成器 112 和码转换器 113。

[0371] 码生成器 112 在编程操作期间生成与验证电压相对应的读取码 C_RDVFY，或者在读取操作时生成与读取电压相对应的读取码 C_RDVFY。也就是说，生成与读取码 C_RDVFY 相对应的验证电压或读取电压。为了便于描述，在图 36 中，图示了与验证电压或读取电压相对应的读取码 C_RDVFY。然而，码生成器 112 可以生成修正码（参照图 4，TRM0_H 到 TRM2_H），以用于生成从高电压生成器 121 生成的电压（例如，高电压、编程电压、编程通过电压、读取通过电压等等）。

[0372] 码转换器 113 将读取码 C_RDVFY 转换成低电压修正码 TRM_L（参照图 5，TRM0_L 到 TRM2_L）和负修正码 TRM_N（参照图 10，TRM0 到 TRM2 以及 nTRM0 到 nTRM2）之一。

[0373] 在实施例中，码转换器 113 可以被实现为执行按照读取码 C_RDVFY 的码转换操作。例如，当读取码 C_RDVFY 的值超过预定值时，读取码 C_RDVFY 被转换成低电压修正码 TRM_L。当读取码 C_RDVFY 的值低于预定值时，读 取码 C_RDVFY 被转换成负修正码 TRM_N。

[0374] 在实施例中，当读取码 C_RDVFY 的值超过预定值时，码转换器 113 激活低电压生成器 122。当读取码 C_RDVFY 的值低于预定值时，码转换器 113 激活负电压生成器 123。

[0375] 在另一个实施例中，码转换器 113 可以被实现为根据读取码 C_RDVFY 将读取码 C_RDVFY 输出到低电压生成器 122 和负电压生成器 123 之一。此时，输出的码 C_RDVFY 可以变成低电压修正码 TRM_L 和负修正码 TRM_N 之一。

[0376] 码生成器 112 和码转换器 113 可以构成修正码生成器（参照图 6 和图 7）。

[0377] 低电压生成器 122 生成与低电压修正码 TRM_L 相对应的低电压 VLV。低电压生成器 122 与图 5 中描述的基本相同，因此省略对其的描述。

[0378] 负电压生成器 122 生成与负修正码 TRM_N 相对应的负电压 NWL 或阱电压 NWELL。负电压生成器 122 基本上与参照图 9 到图 13 描述的相同，因此省略对其的描述。

[0379] 验证电压或读取电压可以根据外部因素（温度、编程状态、编程 / 擦除循环 (P/E cycling) 等等）而被改变 / 调整 / 控制成正电压或负电压。根据本发明构思的非易失性存储器件 400 可以被实现为适应这样的改变。例如，码生成器 112 生成改变后的读取码 C_RDVFY，并且码转换器 113 自动地将码 C_RDVFY 转换成低电压修正码 TRM_L 或负修正码 TRM_N。

[0380] 图 37 是图示图 36 中图示的码转换器的例子的示图。参照图 37，码转换器 112 包括默认码寄存器 401、温度码生成器 402、温度偏移寄存器 403、重试偏移寄存器 404 以及加法器和减法器 405。

[0381] 默认码寄存器 401 在编程操作期间输出与验证电压相对应的默认码 C_DFLT<i:0>（i 是正整数），或者在读取操作时输出与验证电压相对应的默认码 C_DFLT<i:0>（i 是正整数）。例如，如果 i ＝ 8，则默认码寄存器 401 输出默认的 8 比特码 C_DFLT<7:0>。在实施例中，默认码 C_DFLT<i:0> 可以由控制逻辑 111（参照图 1）设置。

[0382] 温度码生成器 402 生成与非易失性存储器件 100 的温度相对应的 k 比特温度码 TCODE<k:0>(k 是正整数)。此处,非易失性存储器件 100 的温度可以是包括将被驱动的存储单元的页面的温度、包括将被驱动的存储单元的存储块的温度、或包括将被驱动的存储单元的 MAT 的温度。在实施例中,温度 码 TCODE<k:0> 可以具有与 -40℃到 90℃之间的温度间隔(例如,10℃)相对应的值。

[0383] 温度偏移寄存器 403 输出与温度码 TCODE<k:0> 相对应的第一偏移码 OS1<j:0>(j 是正整数)。在实施例中,j 可以是 4,并且第一偏移码 OS1<j:0> 可以是 j 比特码。

[0384] 在实施例中,第一偏移码 OS1<j:0> 可以是与读取电压无关的常数。例如,用于区别擦除状态 E(参照图 1)和第一编程状态 P1 的第一读取电压 R1 的第一偏移码 OS1<j:0>、用于区别第一编程状态 P1 和第二编程状态 P2 的第二读取电压 R2 的第一偏移码 OS1<j:0>、以及用于区别第二编程状态 P2 和第三编程状态 P3 的第三读取电压 R3 的第一偏移码 OS1<j:0> 可以彼此相同。

[0385] 当重试验证操作或读取操作时,温度偏移寄存器 404 输出 j 比特的第二偏移码 OS2<j:0>。在实施例中,第二偏移码 OS2<j:0> 可以根据读取电压而有所区别。在实施例中,第一读取电压 R1 的第二偏移码 OS2<j:0>、第二读取电压 R2 的第二偏移码 OS2<j:0> 和第三读取电压 R3 的第二偏移码 OS2<j:0> 可以互不相同。

[0386] 在另一个实施例中,第二偏移码 OS2<j:0> 可以是与读取电压无关的常数。

[0387] 在实施例中,第二偏移码 OS2<j:0> 可以由控制逻辑 111 设置,或者可以由控制非易失性存储器件 400 的外存储器控制器(未示出)设置。

[0388] 根据本发明构思的示例性实施例的非易失性存储器件 400 可以根据温度向被选字线提供负字线电压和正字线电压之一。

[0389] 在图 37 中,第一偏移码 OS1<j:0> 和第二偏移码 OS2<j:0> 都是 j 比特数据。然而,本发明构思不局限于此。第一偏移码可以是具有至少一比特的数据,并且第二偏移码可以是具有至少一比特的数据。

[0390] 加法器和减法器 405 通过对默认码 C_DFLT<i:0> 与第一偏移码 OS1<j:0> 和第二偏移码 OS2<j:0> 进行加或减来输出读取码 C_RDVFY。

[0391] 代码生成器 112 根据温度或重试改变或调整读取码 C_RDVFY。

[0392] 图 38 是图示图 37 中图示的温度码生成器的示图。参照图 38,温度码生成器 402 包括温度参考电压生成器 411、温度检测器 412 和模数转换器 413。

[0393] 温度参考电压生成器 411 生成检测温度所需的参考电压 Vref_temp 和用于生成温度码的 DC 电压 VDC<M:0>(M 是正整数)。

[0394] 温度检测器 412 比较参考电压 Vref_temp 和与将被驱动的存储单元相关 联的温度范围(以下,称为温度范围)的电压,由此来检测温度电压 Vtemp。此处,温度电压 Vtemp 与温度成反比。也就是说,随着温度增加,温度电压 Vtemp 减小。温度电压 Vtemp 与温度的反比比例(例如,斜率)可以通过使用电阻器分压来确定。

[0395] 模数转换器 413 通过比较温度电压 Vtemp 和 DC 电压 VDC<M:0> 输出 k 比特的温度码 TCODE<k:0>。

[0396] 根据本发明构思的示例性实施例的温度码生成器 402 生成与温度范围的温度相对应的温度码 TCODE<k:0>。

[0397] 图 39 是图示图 38 中图示的模数转换器的例子的示图。参照图 39，模数转换器包括多个比较单元 421 到 42M 和编码器 423。

[0398] 多个比较单元 421 到 42m 响应于使能信号 EN_ADC 比较相应的温度电压 Vtemp 和 DC 电压 VDC<M:0>，以输出比较结果值 CR<M:0>。

[0399] 编码器 423 对比较结果值 CR<M:0> 编码以输出 k 比特的温度码 TCODE<k:0>。

[0400] 根据本发明构思的示例性实施例的模数转换器 413 将温度电压 Vtemp 转换成 k 比特的温度码 TCODE<k:0>。

[0401] 图 40 是图示图 37 中图示的温度偏移寄存器的例子的示图。参照图 40，温度偏移寄存器 403 包括多个偏移寄存器单元 431 到 43k。

[0402] 多个偏移寄存器单元 431 到 43k 接收具有偏移修正值的数据 DI<j:0>、其反相数据 nDI<j:0>、相应的寄存器地址 ADD<k:0>、以及相应的温度码 TCODE<k:0>，以输出第一偏移码 OS1<j:0>。此处，寄存器地址 ADD<k:0> 分别确定相应偏移寄存器单元 431 到 43k 的激活。

[0403] 数据 DI<j:0>、反相数据 nDI<j:0> 和寄存器地址 ADD<k:0> 可以从控制逻辑 111（参照图 2）或控制非易失性存储器件 400 的存储控制器（未示出）提供。

[0404] 结果，温度偏移寄存器 403 根据控制逻辑 111 或存储控制器的控制，通过使用多个偏移寄存器单元 431 到 43k 输出与温度码 TCODE<k:0> 相对应的第一偏移码 OS1<j:0>。

[0405] 温度偏移寄存器 404 和默认码寄存器 401 可以被实现为类似于图 4 中的温度偏移寄存器 403。

[0406] 图 41 是图示图 40 中图示的偏移寄存器单元的例子的示图。为了便于描 述，将描述一个偏移寄存器单元 431。参照图 41，偏移寄存器单元 431 包括多个锁存电路 441 到 44j。

[0407] 多个锁存电路 441 到 44j 响应于寄存器地址 ADD<0> 而操作，并根据相应的数据 DI<j:0> 和反相数据 nDI<j:0> 来锁存数据。多个锁存电路 441 到 44j 响应于温度码 TCODE<0> 而输出第一偏移码 OS1<j:0>。

[0408] 为了便于描述，下面将描述第一锁存电路 441。第一锁存电路 441 包括 NMOS 晶体管 RNM1 到 RNM3 和多个反相器 RINV1 到 RINV3。NMOS 晶体管 RNM3 响应于寄存器地址 ADD<0> 被导通，并且反相器 RINV3 根据温度码 TCODE<0> 而被激活。例如，当 ADD<0> 是‘1’、TCODE<0> 是‘1’、DI<0> 是‘0’并且 nDI<0> 是‘1’时，NMOS 晶体管 RNM1 和 RNM3 被导通并且反相器 RINV3 被激活。因此，与 DI<0> 相对应的‘0’被输出以作为偏移码 OS1<0>。

[0409] 其余的锁存电路可以用与第一锁存电路 441 相同的方式实现。

[0410] 在一般的非易失性存储器件的情况下，阈值电压分布可以根据温度而发生变化。读取电压必须根据温度而变化。

[0411] 图 42 是图示根据本发明构思的示例性实施例的使用温度补偿的读取电压生成方法的流程图。下面，将参照图 36 到图 42 描述读取电压生成方法。

[0412] 在步骤 S420，通过感测非易失性存储器件 400 的温度范围的电压生成温度码 TCODE<k:0>。在步骤 S320，根据温度码 TCODE<k:0> 纠正读取码 C_RDVFY。在步骤 S430，将纠正的读取码 C_RDVFY 变成负电压修正码 TRM_N 或低电压修正码 TRM_L。在步骤 S440，根据改变的读取码生成读取电压。

[0413] 根据本发明构思的示例性实施例的读取电压生成方法能够根据温度生成负电压或低电压。

[0414] 图 43 是图示根据温度将读取电压从正电压变成负电压的阈值电压分布。参照图 43，与低温的阈值电压分布相比，高温的阈值电压分布总体下移。在这种情况下，有必要将高温的读取电压 R1’、R2’和 R3’设置为高于低温的读取电压 R1、R2 和 R3。此时，在低温时的第一读取电压 R1 是正电压，并且在高温时的第一读取电压 R1’是负电压。

[0415] 根据本发明构思的示例性实施例的非易失性存储器件 400（参照图 36）可以具有根据温度而从正电压变成负电压的读取电压。

[0416] 在一般的非易失性存储器件的情况下，阈值电压可能因来自电荷存储层的电荷随时间流逝被放电而发生改变。因此，有必要随着时间来改变读取电压。可以进行高温数据保持 (high temperature data retention，HTDR) 测试来测量数据可靠性。

[0417] 图 44 是图示在 HTDR 测试之前和之后将读取电压从正电压变成负电压的阈值电压分布。参照图 44，与 HTDR 测试之前相比，在 HTDR 测试之后阈值电压分布的宽度加宽。在 HTDR 测试之后的读取电压 R1’、R2’和 R3’必须被设置为低于在 HTDR 测试之前的读取电压 R1、R2 和 R3。此时，在 HTDR 测试之前的第一读取电压 R1 是正电压，并且在 HTDR 测试之后的第一读取电压 R1’是负电压。

[0418] 图 45 是示出根据本发明构思的另一个示例性实施例的非易失性存储器件的框图。参照图 45，非易失性存储器件 500 包括存储单元阵列 510、行译码器 520、列译码器 530、输入 / 输出电路 540、电压生成器电路 550、电压选择开关电路 560 和控制逻辑 570。

[0419] 存储单元阵列 510 经由字线 WL 与行译码器 520 连接并且经由位线 BL 与输入 / 输出电路 540 连接。存储单元阵列 510 包括按照多行（或，多条字线）和多列（或，多条位线）排列的存储单元。存储单元阵列 510 中的多个存储单元可以构成多个存储块。将参照图 37 更充分地描述存储单元阵列 510。

[0420] 行译码器 520 连接在电压选择电路 560 和存储单元阵列 510 之间。行译码器 520 被配置成在控制逻辑 570 的控制下操作。行译码器 520 从外部设备接收行地址 X-ADDR 并将其译码。行译码器 520 基于行地址 X-ADDR 的译解结果选择字线 WL。行译码器 520 执行将电压选择开关 560 的输出（例如，电压）传送到被选字线和未选字线的功能。

[0421] 列译码器 530 与输入 / 输出电路 540 连接。列译码器 530 被配置成响应于控制逻辑 570 的控制而操作。列译码器 530 从外部设备接收列地址 Y-ADDR 并将其译码。列地址 Y-ADDR 的译码结果被提供给输入 / 输出电路 540。

[0422] 输入 / 输出电路 540 由控制逻辑 570 控制，并且根据工作模式而用作感测放大器或写入驱动器。例如，在验证 / 正常读取操作中，输入 / 输出电路 540 用作感测放大器，用于从存储单元阵列 510 读取数据。

[0423] 在正常的读取操作期间，经由列选择器电路 530 读取的数据被输出到非易失性存储器件 500 的外部（例如，存储控制器或主机）。与此不同，在验证 读取操作中，经由列选择器电路 530 读取的数据被提供给非易失性存储器件 500 中的通过 / 失败检查电路（未示出），并且被用于判断存储单元是否被正常编程。

[0424] 在编程操作的情况下，输入 / 输出电路 540 用作写入驱动器，用于根据将被存储到存储单元阵列 510 中的数据驱动比特线 BL0 到 BLn。在编程操作期间，输入 / 输出电路 540

从缓冲器（未示出）接收将被写入存储单元阵列 510 的数据，并根据输入的数据驱动位线 BL0 到 BLn。为此，输入 / 输出电路 540 由分别与列（或位线）或列对（或位线对）相对应的多个页面缓冲器 PB 形成。每个页面缓冲器包括多个锁存器，所述多个锁存器执行锁存从页面缓冲器 PB 感测的数据和 / 或锁存将被编程的数据的操作。

[0425] 电压生成器电路 550 包括高电压生成器 551、低电压生成器 553 和负电压生成器 555。高电压生成器 551 根据控制逻辑 570 的控制生成驱动非易失性存储器件 500 所需的正高电压。在编程操作期间，从高电压生成器 551 生成的正高电压可以被用作编程电压 VPGM、通过电压 VPASS 等等。

[0426] 低电压生成器 553 根据控制逻辑 570 的控制生成驱动非易失性存储器件 500 所需的正低电压。在编程或读取操作中，由低电压生成器 553 生成的正低电压可以被用作读取电压 Vrd、验证电压 Vvfy、去耦电压、阻挡电压等等。

[0427] 负电压生成器 555 根据控制逻辑 570 的控制生成驱动非易失性存储器件 500 所需的负电压。在编程或读取操作中，由负电压生成器 555 生成的负电压可以被用作读取电压 Vrd、验证电压 Vvfy、去耦电压、阻挡电压等等。由负电压生成器 555 生成的负电压可以被供应给在其中形成存储单元的体 (bulk)（例如，阱区域）。

[0428] 以下，将施加到字线以驱动非易失性存储器件 500 的电压称为字线电压。高电压生成器 551 和低电压生成器 553 的输出被传送到电压选择开关电路 560。负电压生成器 555 的输出被提供给电压选择开关 560 和行译码器 520。

[0429] 电压选择开关电路 560 连接到电压生成器电路 550、行译码器 520 和控制逻辑 570。电压选择开关电路 560 响应于控制逻辑 570 的控制选择从电压生成器电路 550 输出的电压之一。经由电压选择开关电路 560 选择的电压经由行译码器 520 被提供给相应的字线。

[0430] 如果通过控制逻辑 570 的控制选择了负电压生成器 555 的输出，则电压选择开关电路 560 将从负电压生成器 555 生成的负电压传送给行译码器 520。 通过用负电压生成器 555 生成的负电压对电压选择开关电路 560 和行译码器 520 的阱区域进行偏置，来实现经由场效应晶体管将负电压传送到行译码器 520。

[0431] 如果被去激活，则负电压生成器 555 响应于控制逻辑 570 的控制生成地电压。当经由电压选择开关电路 560 和行译码器 520 将高电压或低电压传送到字线 WL 时，电压选择开关电路 560 和行译码器 520 的阱区域接地。负电压生成器 555 以与图 9 和图 13 中图示的负电压生成器 123 和 123_1 相同的方式实现。

[0432] 控制逻辑 570 控制与非易失性存储器件 500 的编程、擦除和读取操作相关的总体操作。电压生成器电路 550 根据工作模式生成将被供应到字线的字线电压以及将被供应到在其中形成存储单元的体（例如，阱区域）的电压。根据控制逻辑 570 的控制执行电压生成器电路 550 的电压生成操作。

[0433] 图 46 是示出图 35 中的存储单元阵列的例子的框图。参照图 46，每个存储块包括分别与位线 BL0 到 BLn 连接的多个单元串（或，NAND 串）511。

[0434] 单元串 511 包括至少一个串选择晶体管 SST、多个存储单元 MC0 到 MCn 以及至少一个地选择晶体管 GST。在每个单元串 511 中，串选择晶体管 SST 的漏极与位线连接，并且地选择晶体管 GST 的源极与公共源极线 CSL 连接。多个存储单元 MC0 到 MCn 串联连接在串选

择晶体管 SST 的源极与地选择晶体管 GST 的漏极之间。

[0435] 存储单元 MC0 到 MCn 中的每一个存储 N 比特数据信息 (N 是 1 或大于 1 的整数)。存储单元 MC0 到 MCn 通过向电荷存储层中注入电荷来存储比特信息。在示例性实施例中,存储单元 MC0 到 MCn 可以将被绝缘膜阻挡的导电浮栅用作电荷存储层。在另一个实施例中,存储单元 MC0 到 MCn 将诸如 Si3N4、Al2O3、HfAlO、HfSiO 等等的绝缘膜、而非典型的导电浮栅,用作电荷存储层。使用诸如 Si3N4、Al2O3、HfAlO、HfSiO 等等的绝缘膜作为电荷存储层的快闪存储器被称为电荷捕获型快闪 (CTF) 存储器。如将在下面描述的,根据本发明构思的示例性实施例的非易失性存储器件的工作特性可应用于使用导电浮栅作为电荷存储层的快闪存储器器件和使用绝缘膜作为电荷存储层的 CTF 存储器。

[0436] 此外,根据本发明构思的示例性实施例的存储单元阵列 110 通过包括以多层方式堆叠的多个存储单元阵列的堆叠闪存结构、无源漏闪存结构、针型 闪存结构和三维闪存结构中的任何一种来实现。

[0437] 图 46 图示了根据本发明构思的示例性实施例的非易失性存储器件 500 是 NAND 型快闪存储器的例子。然而,本发明构思不局限于此。如将在下面更充分地描述的,本发明构思的非易失性存储器件 500 工作特性适用于 NOR(或非)型快闪存储器、包括两个不同种类的存储单元的混合型快闪存储器、控制器嵌在芯片内的快闪存储器,等等。

[0438] 如图 46 中所示,同一行中存储单元的控制栅极与相应的字线 WL0 到 WLm 公共连接。串选择晶体管 SST 由经由串选择线 SSL 施加的电压控制,并且地选择晶体管 GST 由经由地选择线 GSL 施加的电压控制。存储单元 MC0 到 MCn 由经由相应的字线 WL0 到 WLm 施加的电压控制。连接到每条字线的存储单元存储与页面、小于页面的子页面或多个页面相对应的数据。用于读取存储在 NAND 型快闪存储器中的数据的读取操作和用于将数据存储于其中的编程操作以一页或多页为单位执行。可替换地,它们也可以以子页面为单位执行。用于擦除存储在 NAND 型快闪存储器中的数据的擦除操作以多个页面形成的块为单位执行。

[0439] 图 47 是示出根据本发明构思的第一实施例的图 45 中的非易失性存储器件的编程方法的示图。参照图 47,可以将第一页面的编程状态 P 编程到第二页面的编程状态 P2 和 P3。

[0440] 当用第一页面编程时,每一个存储单元具有擦除状态 E 或编程状态 P。此处,与编程状态 P 相对应的阈值电压分布布置在电平低于 0V 的阈值电压区域。

[0441] 当用第二页面编程时,每一个存储单元具有擦除状态 E0 以及多个编程状态 P1、P2 和 P3 中的一个数据状态。此处,擦除状态 E0 和编程状态 P1 代表通过对第二页面编程从擦除状态 E 编程得到的状态。编程状态 P2 和 P3 是根据对第二页面的编程从编程状态 P 形成的阈值电压分布。可以执行从布置在负电压区域的编程状态 P 到布置在负电压区域的编程状态 P2 的编程。

[0442] 对第二页面编程的过程如下。首先,执行初始读取操作以锁存在被选存储单元中编程的第一页面数据。此时,所提供的用于初始读取操作的读取电压 Vrd0 是负电压。当作为负电压的读取电压 Vrd0 被施加到被选存储单元的字线时,感测存储在存储单元中的第一页面的比特值。经由初始读取操作感测的第一页面数据存储在页面缓冲器(未示出)的锁存器中。与第二页面相 对应的数据比特被加载到页面缓冲器中包括的其他锁存器上。目标状态根据通过初始读取操作锁存的第一页面的比特值和被提供作为写入数据的第二页

面的比特值来确定。

[0443] 在编程操作期间，编程电压被施加到被选存储单元的字线。可以按照编程状态P1、P2和P3的数目来执行用于检测被选存储单元是否被正常编程的验证读取操作。这意味着，将验证电压Vvfy1、Vvfy2和Vvfy3顺序地施加到被选存储单元的字线。此处，验证电压Vvfy1和Vvfy2是负电压。

[0444] 如上所述，参见在编程第二页面之后形成的电压分布，在擦除状态E0和0V之间布置有至少两个编程状态P1和P2。在擦除状态E0和0V之间建立包括至少两个编程状态的负电压窗口(negative voltage window，NVW)，以便支持从负编程状态P到另一个负电压状态P2的编程。

[0445] 图48是示出具有图47的编程状态的存储单元的编程操作的波形图。参照图48，图示了在对被选存储单元的编程验证周期期间提供的字线电压的波形。在被执行以在被选存储单元中存储多比特数据的初始读取操作以及在于供应编程电压之前执行的验证操作时的字线波形被省略(skip)。

[0446] 首先，编程电压Vpgm1被供应到被选存储单元的字线。此时，如果在编程之前执行验证读取操作，则被选存储单元当中存储了逻辑‘1’的存储单元被禁止编程。另一方面，通过编程电压Vpgm1将电荷注入到被选存储单元当中写入了逻辑‘0’的存储单元的电荷存储层。

[0447] 在供应编程电压Vpgm1之后，验证读取电压Vvfy1、Vvfy2和Vvfy3被提供到被选存储单元的字线。重复编程验证周期，直到所有存储单元都被编程到目标状态。以ISPP方式对非易失性存储器件500编程，以便准确控制存储单元的阈值电压分布。在这种情况下，在编程循环的编程中使用的编程电压Vpgm1到VpgmN具有逐步增加ΔVp的电压电平。在本实施例中，每当在每个编程循环施加编程电压Vpgm1到VpgmN中的每一个时，都使用第一到第三验证电压Vvfy1、Vvfy2和Vvfy3执行三次验证读取操作。此处，编程电压Vpgm1到VpgmN是正高电压。在本实施例中，编程电压Vpgm1到VpgmN是在控制逻辑570的控制下从高电压生成器571生成的。

[0448] 在本实施例中，第一验证电压Vvfy1和第二验证电压Vvfy2是负电压。第二验证电压Vvfy2是电平高于第一验证电压Vvfy1的负电压。第一验证电压Vvfy1和第二验证电压Vvfy2在控制逻辑570的控制下从负电压生成器555 提供。第三验证电压Vvfy3是正电压。第三验证电压Vvfy3在控制逻辑570的控制下从低电压生成器553提供。

[0449] 图49是示出根据本发明构思的第二实施例的图45中的非易失性存储器件的编程方法的示图。参照图49，第二页面的编程状态P1被编程到第三页面的编程状态Q2和Q3。

[0450] 如果用第二页面编程，则存储单元分别具有擦除状态E0以及多个编程状态P1、P2和P3之一。此处，与编程状态P1相对应的阈值电压分布布置在低于0V的阈值电压区域。

[0451] 如果用第三页面编程，存储单元分别具有擦除状态E0以及多个编程状态Q1、Q2、Q3、Q4、Q5、Q6和Q7中的一个数据状态。此处，擦除状态E0和编程状态Q1代表当编程第三页面时从擦除状态E0编程得到的状态。编程状态Q2和Q3是在编程第三页面时从编程状态P1形成的阈值电压分布。根据本发明构思的示例性实施例，存储单元被从布置在负电压区域的编程状态编程到布置在负电压区域的编程状态Q2。

[0452] 对第三页面编程的过程如下。首先，执行初始读取操作以锁存在被选存储单元中

编程的第一页面数据。此时，所提供的用于初始读取的读取电压 Vrd1 是负电压。读取电压 Vrd2 是 0V 或低于 0V 的负电压。读取电压 Vrd3 是正电压。

[0453] 当读取电压 Vrd1、Vrd2 和 Vrd3 被提供给被选存储单元的字线时，感测在存储单元中存储的第二页面的比特值。经由初始读取操作感测的第二页面数据存储在页面缓冲器（未示出）中包括的锁存器中。与第三页面相对应的数据比特被加载到页面缓冲器中包括的其他锁存器上。目标状态根据通过初始读取锁存的第二页面的比特值和被提供作为写入数据的第三页面的比特值来确定。

[0454] 在编程操作期间，编程电压被施加到被选存储单元的字线。之后，可以按照编程状态 Q1、Q2、Q3、Q4、Q5、Q6 和 Q7 的数目来执行验证读取操作，以检测被选存储单元是否被正常编程。也就是说，将验证电压 Vvfy1、Vvfy2，Vvfy3、Vvfy4、Vvfy5、Vvfy6 和 Vvfy7 顺序地施加到被选存储单元的字线。此处，验证电压 Vvfy1 和 Vvfy2 是负电压。

[0455] 如上所述，参见在对第三页面编程之后形成的阈值分布，至少两个编程状态 Q1 和 Q2 被布置在擦除状态 E0 与 0V 之间。在擦除状态 E0 和 0V 之间 建立包括至少两个编程状态的负电压窗口 (NVW)，以便支持从负编程状态 P1 到另一个负电压状态 Q2 的编程。

[0456] 图 50 是示出具有图 49 的编程状态的存储单元的编程操作的波形图。参照图 50，图示了在对被选存储单元的编程验证周期期间提供的字线电压的波形。在被执行以在被选存储单元中存储多比特数据的初始读取操作以及在于供应编程电压之前执行的验证操作中的字线波形被省略。

[0457] 首先，编程电压 Vpgm1 被供应到被选存储单元的字线。此时，如果在编程之前执行了验证读取操作，则被选存储单元当中存储了逻辑‘1’的存储单元被禁止编程。另一方面，通过编程电压 Vpgm1 将电荷注入到被选存储单元当中写入了逻辑‘0’的存储单元的电荷存储层。

[0458] 在供应编程电压 Vpgm1 之后，将验证读取电压 Vvfy1、Vvfy2、Vvfy3、Vvfy4、Vvfy5、Vvfy6 和 Vvfy7 提供给被选存储单元的字线。重复编程验证周期，直到所有存储单元都被编程到目标状态。以 ISPP 方式对非易失性存储器件 500 进行编程，以便准确控制存储单元的阈值电压分布。在这种情况下，在编程循环的编程中使用的编程电压 Vpgm1 到 VpgmN 具有逐步增加 ΔVp 的电压电平。

[0459] 在本实施例中，每当在每个编程循环施加编程电压 Vpgm1 到 VpgmN 中的每一个时，使用第一到第七验证电压 Vvfy1、Vvfy2、Vvfy3、Vvfy4、Vvfy5、Vvfy6 和 Vvfy7 执行七次验证读取操作。此处，编程电压 Vpgm1 到 VpgmN 是正高电压。在本实施例中，编程电压 Vpgm1 到 VpgmN 是在控制逻辑 570 的控制下从高电压生成器 571 生成的。

[0460] 在本实施例中，第一验证电压 Vvfy1 和第二验证电压 Vvfy2 是负电压。第二验证电压 Vvfy2 是电平高于第一验证电压 Vvfy1 的负电压。第一验证电压 Vvfy1 和第二验证电压 Vvfy2 是在控制逻辑 570 的控制下从负电压生成器 555 提供的。第三验证电压 Vvfy3 是正电压。第三验证电压 Vvfy3 是在控制逻辑 570 的控制下从低电压生成器 553 提供的。

[0461] 图 51 是示出根据本发明构思的第三实施例的图 45 中的非易失性存储器件的编程方法的示图。参照图 51，第 n 页面的编程状态 P1 被编程到第 (n+1) 页面的编程状态 Q2 和 Q3。第 n 页面的编程状态 P2 被编程到第 (n+1) 页面的编程状态 Q4 和 Q5。此处，当对第 (n+1) 页面编程时，编程状态 Q1、Q2、Q3 和 Q4 分别布置在负阈值电压区域。编程状态 P2、

P3 和 P4 表示根据对来 自编程状态 P1 和 P2 的数据进行的编程而移动到的状态。

[0462] 如果用第 (n+1) 页面编程，则存储单元分别具有擦除状态 E0 以及多个编程状态 (Q1、Q2、Q3、Q4、Q5、Q6、Q7、…) 中的一个状态。擦除状态 E0 和编程状态 Q1 表示通过对第 (n+1) 页面编程、从擦除状态 E0 编程得到的状态。编程状态 P2、P3 和 P4 是在对第 (n+1) 页面编程时从编程状态 P1 和 P2 形成的阈值电压分布。根据本发明构思的示例性实施例，存储单元被从布置在负电压区域的编程状态 P1 和 P2 编程到布置在负电压区域的编程状态 Q2、Q3 和 Q4。

[0463] 对第 (n+1) 页面编程的过程如下。首先，执行初始读取操作以锁存在被选存储单元中编程的第 n 页面数据。此时，被提供用于初始读取的读取电压 Vrd1 和 Vrd2 是负电压。读取电压 Vrd3 是 0V 或低于 0V 的负电压。读取电压 Vrd4 是正电压。

[0464] 当读取电压 (Vrd1、Vrd2、Vrd3、…) 被提供给被选存储单元的字线时，感测在存储单元中存储的第 n 页面的比特值。经由初始读取操作感测的第 n 页面数据被存储在页面缓冲器 (未示出) 中包括的锁存器中。与第 (n+1) 页面相对应的数据比特被加载到页面缓冲器中包括的其他锁存器上。根据通过初始读取锁存的第 n 页面的比特值和被提供作为写入数据的第 (n+1) 页面的比特值确定目标状态。

[0465] 在编程操作期间，编程电压被施加到被选存储单元的字线。之后，可以按照编程状态 (Q1、Q2、Q3、Q4、Q5、Q6、Q7、…) 的数目来执行验证读取操作，以检测被选存储单元是否被正常编程。也就是说，将验证电压 (Vvfy1、Vvfy2，Vvfy3、Vvfy4、Vvfy5、Vvfy6、Vvfy7、…) 顺序地施加到被选存储单元的字线。此处，验证电压 Vvfy1、Vvfy2、Vvfy3 和 Vvfy4 是负电压。

[0466] 如上所述，参见在对第 (n+1) 页面编程之后形成的阈值分布，多个编程状态 Q1、Q2、Q3 和 Q4 被布置在擦除状态 E0 和 0V 之间。为了支持从负编程状态 P1 和 P2 到另外的负电压状态 Q2、Q3 和 Q4 的编程，在擦除状态 E0 与 0V 之间建立了包括至少两个编程状态 (Q1、Q2、Q3 和 Q4) 的负电压窗口 (NVW)。

[0467] 图 52 是示出具有图 51 的编程状态的存储单元的编程操作的波形图。参照图 52，图示了在对被选存储单元的编程验证周期期间提供的字线电压的波形。被执行以在被选存储单元中存储多比特数据的初始读取操作以及于供应 编程电压之前执行的验证操作中的字线波形被省略。

[0468] 首先，编程电压 Vpgm1 被供应到被选存储单元的字线。在供应编程电压 Vpgm1 之后，将验证读取电压 (Vvfy1、Vvfy2、Vvfy3、Vvfy4、Vvfy5、Vvfy6、Vvfy7、…) 提供给被选存储单元的字线。重复编程验证周期，直到所有存储单元都被编程到目标状态。以 ISPP 方式对非易失性存储器件 500 进行编程，以便准确控制存储单元的阈值电压分布。在这种情况下，在编程循环的编程中使用的编程电压 Vpgm1 到 VpgmN 具有逐步增加 ΔVp 的电压电平。在本实施例中，每当在每个编程循环施加编程电压 Vpgm1 到 VpgmN 中的每一个时，使用第一到第 N 验证电压 (Vvfy1、Vvfy2、Vvfy3、Vvfy4、Vvfy5、Vvfy6、Vvfy7、…) 执行 N 次验证读取操作。此处，编程电压 Vpgm1 到 VpgmN 是正高电压。在本实施例中，编程电压 Vpgm1 到 VpgmN 是在控制逻辑 570 的控制下从高电压生成器 571 生成的。

[0469] 在本实施例中，第一到第四验证电压 Vvfy1、Vvfy2、Vvfy3 和 Vvfy4 是负电压。第二验证电压 Vvfy2 是电平高于第一验证电压 Vvfy1 的负电压。第三验证电压 Vvfy3 电平高

于第二验证电压 Vvfy2 的负电压。第一到第四验证电压 Vvfy1、Vvfy2、Vvfy3 和 Vvfy4 是在控制逻辑 570 的控制下从负电压生成器 555 提供的。高于第四验证电压 Vvfy4 的其余验证电压是正电压。高于第四验证电压 Vvfy4 的其余验证电压是在控制逻辑 570 的控制下从低电压生成器 553 提供的。

[0470] 图 53 是示出图 45 中图示的非易失性存储器件的编程方法的流程图。参照图 53，在编程循环之前执行初始读取操作和验证读取操作。

[0471] 在操作 S410，在写入多比特数据之前对存储单元执行初始读取操作。此时，可以通过感测操作将存储在存储单元中的数据存储到相应的页面缓冲器中。将编程数据加载到页面缓冲器的其他锁存器上。

[0472] 在操作 S420，对被选存储单元执行验证读取操作。此时，验证读取电压可以包括包括在负电压区域中的验证读取电压（例如，图 40 中的 Vvfy1 和 Vvfy2）。根据验证读取操作，存储单元的位线被偏置以便禁止编程，或者被以 0V 偏置。

[0473] 在 S430，执行编程执行操作，在编程执行操作中，将编程电压施加到被选存储单元的字线。第一编程循环的编程电压是最低的高电压，并且在之后提供的编程电压按照 ISPP 方式逐步增加。

[0474] 在操作 S440，通过多个验证读取电压 Vvfy1、Vvfy2、…、VvfyN 感测被供应以编程电压 VPGM 的存储单元。通过验证读取电压 Vvfy1、Vvfy2、…、VvfyN 检测被选存储单元是否被编程到目标状态。通过页面缓冲器将被编程到目标状态的存储单元设置为禁止编程。

[0475] 在操作 S450，检测是否所有被选存储单元都被编程。如果是，则编程方法结束。如果不是，则编程方法进行到操作 S460，在操作 S460，将编程电压增加步进 (step) 电压 ΔVp。

[0476] 在操作 S460，与前一循环相比增加编程电压。编程方法进行到操作 S430，在操作 S430，将增加的编程电压施加到被选存储单元。操作 S430 到 S460 构成编程循环，重复该编程循环，直到对被选存储单元的编程完成。

[0477] 通过根据本发明构思的示例性实施例的编程方法，将被选存储单元的一些阈值电压从布置在负电压区域的编程状态编程到布置在另一个负电压区域的编程状态。此处，选择性地执行或不执行操作 S420。

[0478] 图 54 是示出根据本发明构思的另一个示例性实施例的非易失性存储器件的示图。参照图 54，非易失性存储器件 600 包括向第一线 612 施加正电压 PV 的第一电压施加通过电路 610 和向第二线 622 施加负电压 NV 的第二电压施加通过电路 620。此处，第一线 612 和第二线 612 是与字线相对应的线。

[0479] 第一电压施加通过电路 610 包括选择晶体管 PST 和正电压选择开关 613。根据正电压选择开关 613 的控制，选择晶体管 PST 连接在被供应以正电压 PV 的线与被供应以正电压 PV 的线之间。正电压选择开关 613 响应于用于正电压的使能信号 ENP 决定向选择晶体管 PST 的栅极供应高电压 VPP 和地电压中的任何一个。正电压选择开关 613 包括第一反相器 INV1P 和第二反相器 INV2P、第一耗尽型晶体管 NHD1P 和第二耗尽型晶体管 NHD2P、PMOS 高电压晶体管 PHP 以及 NMOS 低电压晶体管 NLP。

[0480] 第二电压施加通过电路 620 包括选择晶体管 NST 和负电压选择开关 623。根据负电压选择开关 623 的控制，选择晶体管 NST 连接在被供应以负电压 NV 的线 621 与被供应以负电压 NV 的线 622 之间。负电压选择开关 623 被配置为与图 15 中图示的开关 213 相同。

当负电压 NV 被施加到线 621 时，施加到在其中形成第二电压施加通过电路 620 的阱的阱电压 NWELL 可以是负电压 NV。

[0481] 图 54 中的非易失性存储器件 600 包括一个第一电压施加通过电路 610 和 一个第二电压施加通过电路 620。然而，本发明构思不局限于此。根据本发明构思的示例性实施例的非易失性存储器件被实现为包括至少一个第一电压施加通过电路和至少一个第二电压施加通过电路。

[0482] 图 2 中的非易失性存储器件 100 包括三个电压生成器 121、122 和 123。然而，本发明构思不局限于此。

[0483] 图 55 是示出根据本发明构思的另一个示例性实施例的非易失性存储器件的示图。参照图 55，与图 2 中的非易失性存储器件 100 相比，非易失性存储器件 700 具有去除了低电压生成器和读取验证电压开关的结构。

[0484] 电压生成器 703 包括正电压生成器 721 和负电压生成器 723。字线电压选择开关电路 705 接收编程电压 VPGM、擦除电压 VERS、环绕电压 VLV 和负电压 NWL，以选择输入电压之一。控制逻辑 711 控制非易失性存储器件 700 的总体操作。

[0485] 不同阈值电压的实施例

[0486] 图 56 是示出验证擦除状态的阈值电压分布的示图。参照图 56，擦除状态 E 的验证电压 V0 是负电压，其余的验证电压 V1、V2 和 V3 是正电压。通过以负电压来验证擦除状态 E，可以使擦除状态 E 的存储单元分布变窄。也就是说，使用作为负电压的验证电压 V0 避免了在编程执行后因耦合而导致的擦除电压阈值电压分布加宽。

[0487] 图 57 是示出验证擦除状态的阈值电压分布的另一个实施例的示图。参照图 57，擦除状态 E 的验证电压 V0 和第一编程状态 P1 的验证电压 V1 是负电压，并且其余的验证电压 V2 和 V3 是正电压。也就是说，不仅是擦除状态 E、而且第一编程状态 P1 的一部分也布置在负电压区域，并且负电压被用作擦除状态 E 和第一编程状态 P1 的验证电压 V0 和 V1。

[0488] 图 58 是示出根据本发明构思的另一个示例性实施例的非易失性存储器件的阈值电压分布的示图。参照图 58，擦除状态 E 和第一编程状态 P1 包括在负电压区域中，并且第二编程状态 P2 和第三编程状态 P3 包括在正电压区域中。也就是说，将擦除状态 E 和第一编程状态 P1 的分布形成为与第二编程状态 P2 和第三编程状态 P3 的分布（相对于 0V）对称。

[0489] 图 59 是示出根据本发明构思的另一个示例性实施例的非易失性存储器件的阈值电压分布的示图。参照图 59，第二编程状态 P2 的一部分包括在负电压区域中。

[0490] 本发明构思适用于 3 比特多电平单元非易失性存储器件。

[0491] 图 60 是示出根据本发明构思的第一实施例的 3 比特多电平单元非易失性存储器件的阈值电压分布的示图。参照图 60，阈值电压分布包括擦除状态 E 和七个编程状态 Q1 到 Q7，并且第二编程状态 Q2 的一部分包括在负电压区域中。

[0492] 图 61 是示出根据本发明构思的第二实施例的 3 比特多电平单元非易失性存储器件的阈值电压分布的示图。参照图 61，第三编程状态 Q3 的一部分包括在负电压区域中。

[0493] 图 62 是示出根据本发明构思的第三实施例的 3 比特多电平单元非易失性存储器件的阈值电压分布的示图。参照图 62，擦除状态 E 和第一到第三编程状态 Q1 到 Q3 包括在负电压区域中，并且第四到第七编程状态 Q4 到 Q7 包括在正电压区域中。

[0494] 本发明构思还可应用于 4 比特多电平单元非易失性存储器件。

[0495] 图 63 是示出根据本发明构思的示例性实施例的 3 比特多电平单元非易失性存储器件的阈值电压分布的示图。参照图 63，擦除状态 E 和第一到第七编程状态 ST1 到 ST7 包括在负电压区域中，并且第八到第十五编程状态 ST8 到 ST15 包括在正电压区域中。

[0496] 图 64 是示出根据图 60 中图示的阈值电压分布的编程操作的示图。如果 3 比特数据存储在一个存储单元中，则低比特、中间比特和高比特分别被定义为第一页面数据、第二页面数据和第三页面数据。参照图 64，在第一页面数据编程操作中，编程状态 P1 的一部分包括在负电压区域中。

[0497] 在第二页面 MSB 编程操作中，第一页面数据编程操作的擦除状态 E 被编程到擦除状态 E 或第一编程状态 P1，并且其编程状态 P 被编程到第二编程状态 P2 或第三编程状态 P3。

[0498] 在第三页面数据编程操作中，第二页面数据编程操作的擦除状态 E 被编程到擦除状态 E 或第一编程状态 Q1，其第一编程状态 P1 被编程到编程状态 Q2 或编程状态 Q3，其第二编程状态 P2 被编程到编程状态 Q4 或编程状态 Q5，并且其第三编程状态 P3 被编程到编程状态 Q6 或编程状态 Q7。

[0499] 各种应用

[0500] 本发明构思适用于垂直型非易失性存储器件。

[0501] 图 65 是示出根据本发明构思的示例性实施例的垂直型非易失性存储器 件的示图。参照图 65，非易失性存储器件 800 包括存储单元阵列 810、驱动器 820、输入 / 输出电路 830 和控制逻辑 840。

[0502] 存储单元阵列 810 包括多个存储块 BLK1 到 BLKh，每个存储块包括多个存储单元。存储块 BLK1 到 BLKh 中的每一个具有垂直结构（或，三维结构）。

[0503] 在本实施例中，存储块 BLK1 到 BLKh 中的每一个包括沿第一到第三方向延伸的结构。此外，在本实施例中，存储块 BLK1 到 BLKh 中的每一个包括沿第二方向延伸的多个垂直串 NS。此外，在本实施例中，存储块 BLK1 到 BLKh 中的每一个包括沿第一方向和第三方向延伸的多个垂直串 NS。

[0504] 垂直串 NS 中的每一个连接到一条位线 BL、至少一条串选择线 SSL、至少一条地选择线 GSL、字线 WL 和公共源极线 CSL。也就是说，存储块 BLK1 到 BLKh 中的每一个连接到多条位线 BL、多条串选择线 SSL、多条地选择线 GSL、多条字线 WL 和多条公共源极线 CSL。

[0505] 驱动器 820 经由多条字线 WL 连接到存储单元阵列 210。驱动器 820 被配置成响应于控制逻辑 840 的控制而操作。驱动器 820 从外部设备接收地址 ADDR。

[0506] 驱动器 820 被配置成译码输入地址 ADDR。使用译码的地址，驱动器 820 选择多条字线 WL 之一。驱动器 820 被配置成向被选字线和未选字线施加电压。在本实施例中，在编程操作、读取操作或擦除操作期间，驱动器 820 向字线 WL 供应与编程操作相关的编程电压、与读取操作相关的读取电压或与擦除操作相关的擦除电压。在本实施例中，驱动器 820 包括选择和操作字线的字线驱动器 321。

[0507] 此外，驱动器 820 被配置成选择和操作多条选择线 SL。在本实施例中，驱动器 820 还被配置成选择和操作串选择线 SSL 和地选择线 GSL。在本实施例中，驱动器 820 包括被配置成操作选择线的选择线驱动器 322。

[0508] 此外，驱动器 820 被配置成操作公共源极线 CSL。在本实施例中，驱动器 820 包括公共源极线驱动器 823，其被配置成操作公共源极线 CSL。

[0509] 输入 / 输出电路 830 经由多条位线 BL 连接到存储单元阵列 810。输入 / 输出电路 830 响应于控制逻辑 840 的控制而操作。输入 / 输出电路 830 被配置成选择多条位线 BL。

[0510] 在本实施例中，输入 / 输出电路 830 从外部设备接收数据以将其存储在存 储单元阵列 810 中。输入 / 输出电路 830 从存储单元阵列 810 读取数据以将其传送到外部设备。

[0511] 输入 / 输出电路 830 还从存储单元阵列的第一存储区读取数据以将其存储到存储单元阵列的第二存储区中。在本实施例中，输入 / 输出电路 830 被配置成执行回写 (copy-back) 操作。

[0512] 在本实施例中，输入 / 输出电路 830 包括诸如页面缓冲器（或页面寄存器）、列选择器电路、数据缓冲器等等的组成元件。在另一个实施例中，输入 / 输出电路 830 包括诸如感测放大器、写入驱动器、列选择器电路、数据缓冲器等等的组成元件。

[0513] 控制逻辑 840 被配置成控制非易失性存储器件 800 的总体操作。控制逻辑 840 响应于从外部设备传送来的控制信号 CTRL 而操作。

[0514] 在美国专利公开文件第 2009-0306583 号、第 2010-0078701 号、第 2010-0117141 号、第 2010-0140685 号、第 2010-02135527 号、第 2010-0224929 号、第 2010-0315875 号、第 2010-0322000 号、第 2011-0013458 号和第 2011-0018036 号中公开了垂直型半导体存储器件，其内容通过全文引用合并于此。

[0515] 图 66 是示出图 65 中图示的存储块当中的一个存储块的等效电路的电路图。参照图 65 和图 66，在第一位线 BL1 与公共源极线 CSL 之间存在垂直串 NS11 到 NS31。第一位线 BL1 对应于沿第三方向延伸的导电材料。在第二位线 BL2 与公共源极线 CSL 之间存在垂直串 NS12 到 NS32。第二位线 BL2 对应于沿第三方向延伸的导电材料。在第三位线 BL3 与公共源极线 CSL 之间存在垂直串 NS13 到 NS33。第三位线 BL3 对应于沿第三方向延伸的导电材料。

[0516] 每个垂直串 NS 中的串选择晶体管 SST 连接到相应的位线。每个垂直串 NS 中的地选择晶体管 GST 连接到公共源极线 CSL。在每个垂直串 NS 中，在串选择晶体管 SST 与地选择晶体管 GST 之间存在存储单元 MC。

[0517] 下面，通过行单位和列单位来定义垂直串 NS。共同连接到一条位线的垂直串 NS 形成一列。在本实施例中，共同连接到第一位线 BL1 的垂直串 NS11 到 NS31 对应于第一列。共同连接到第二位线 BL2 的垂直串 NS21 到 NS23 对应于第二列。共同连接到第三位线 BL3 的垂直串 NS13 到 NS33 对应于第三列。

[0518] 与一条串选择线 SSL 连接的垂直串 NS 形成一行。在本实施例中，与第 一串选择线 SSL1 连接的垂直串 NS11 到 NS13 形成第一行。与第二串选择线 SSL2 连接的垂直串 NS21 到 NS23 形成第二行。与第三串选择线 SSL3 连接的垂直串 NS31 到 NS33 形成第三行。

[0519] 在每个垂直串 NS 中定义高度。在本实施例中，在每个垂直串中，邻近地选择晶体管 GST 的存储单元的高度为 1。在每个垂直串 NS 中，存储单元的高度与距串选择晶体管 SST 的距离成反比地增加。在每个垂直串中，邻近串选择晶体管 SST 的存储单元的高度为 7。

[0520] 同一行中的垂直串共用串选择线 SSL。不同行中的垂直串 NS 与不同的串选择线 SSL 连接。在同一行的垂直串中，相同高度的存储单元共用字线。在相同高度，不同行的垂

直串 NS 的字线 WL 公共连接。在本实施例中，在提供沿第一方向延伸的导电材料的层中，字线 WL 可以公共连接。在本实施例中，沿第一方向延伸的导电材料可以经由接触件与上层连接。在上层沿第一方向延伸的导电材料可以公共连接。

[0521] 同一行中的垂直串 NS 共用地选择线 GSL。不同的行的垂直串 NS 与不同的地选择线 GSL 连接。

[0522] 公共源极线 CSL 与垂直串 NS 公共连接。在本实施例中，在衬底的有源区，第一到第四掺杂区连接。在本实施例中，第一到第四掺杂区经由接触件与上层连接。第一到第四掺杂区在上层公共连接。

[0523] 如图 66 中所示，同一深度的字线 WL 公共连接。因此，当特定字线 WL 被选择时，与该特定字线 WL 连接的所有垂直串 NS 均被选择。不同的行的垂直串 NS 与不同的串选择线 SSL 连接。因此，通过选择串选择线 SSL1 到 SSL3，将与同一字线 WL 连接的垂直串 NS 当中的未选行的垂直串与位线 BL1 到 BL3 分离。也就是说，通过选择串选择线 SSL1 到 SSL3 来选择一行垂直串 NS。通过选择位线 BL1 到 BL3 以列为单位选择被选行的垂直串 NS。

[0524] 在美国专利公开文件第 2010/0315875 号中详细公开了存储块 BLKi，其内容通过全文引用合并于此。

[0525] 图 67 是图示根据本发明构思的示例性实施例的存储系统的示图。

[0526] 参照图 67，存储系统 1000 包括至少一个非易失性存储器件 1100 和存储控制器 1200。

[0527] 非易失性存储器件 1100 可以与图 2 中的非易失性存储器件 100、图 36 中的非易失性存储器件 400、图 45 中的非易失性存储器件 500、图 54 中的非 易失性存储器件 600、图 55 中的非易失性存储器件 700 和图 65 中的非易失性存储器件 800 中的一个相同。尽管未示出，但是可以从外部设备向非易失性存储器件 1100 供应高于电源电压的高电压。

[0528] 存储控制器 1200 根据外部设备（例如，主机）的请求控制非易失性存储器件 1100。在本实施例中，存储控制器 1200 控制非易失性存储器件 1100 的读取 / 写入 / 擦除操作。

[0529] 存储控制器 1200 提供非易失性存储器件 1100 与主机之间的接口。存储控制器 1200 驱动用于控制非易失性存储器件 1100 的固件。存储控制器 1200 包括至少一个中央处理单元 (CPU)1210、缓冲器 1220、纠错电路 (Error Correction Circuit，ECC)1230、只读存储器 (ROM)1240、主机接口 1250 和存储器接口 1260。

[0530] CPU 1210 控制存储控制器 1200 的总体操作。缓冲器 1220 用作 CPU 1210 的工作存储器。当接收到主机的写入请求时，从主机接收的数据临时存储在缓冲器 1220 中。并且，当接收到主机的读取请求时，从非易失性存储器件 1100 读取的数据临时存储在缓冲器 1220 中。

[0531] 当接收到写入请求时，ECC 1230 使用纠错码译码存储在缓冲器 1220 中的数据。在这种情况下，译码的数据和纠错码值存储在非易失性存储器件 1100 中。当接收到读请求时，ECC 1230 使用纠错码值恢复从非易失性存储器件 1100 读取的数据。在这种情况下，纠错码值包括在读取数据中。ROM 1240 存储用来驱动存储控制器 1200 的数据。

[0532] 主机接口 1250 包括用于在主机和存储控制器 1200 之间交换数据的协议。举例来说，存储控制器 1200 被配置成通过多种接口协议之一与外部设备（主机）通信，所述多

种接口协议诸如新完美页面 (Perfect Page New，PPN) 协议、通用串行总线 (USB) 协议、多媒体卡 (MMC) 协议、外围组件互联 (PCI) 协议、高速 PCI(PCI-E) 协议、高级技术附件 (ATA) 协议、串行 ATA 协议、并行 ATA 协议、小型计算机小型接口 (SCSI) 协议、增强型小磁盘接口 (ESDI) 协议和集成驱动器电子电路 (IDE) 协议。

[0533] 存储器接口 1260 在非易失性存储器件 1100 与存储控制器 1200 之间接口。

[0534] 根据本发明构思的示例性实施例的存储系统 1000 包括非易失性存储器件 1100，该非易失性存储器件 1100 被配置成在编程操作期间编程操作的一部 分使用负电压域。因此，可以提高数据稳定性和寿命。

[0535] 尽管未示出，根据本发明构思的示例性实施例的存储系统还包括随机化电路，其随机化从主机输入的数据以将其存储到非易失性存储器件 1100 中，或者将存储在非易失性存储器件 1100 中的随机化的数据去随机化，以便将其输出到主机。随机化电路可以包括在非易失性存储器件 1100 或存储控制器 1200 中。美国专利第 7212426 号和美国专利公开文件第 2009-0259803 号、第 2010-0229001 号、第 2010-0229007 号和第 2010-0259983 号公开了对随机化电路的进一步且更具体的描述，其内容通过全文引用合并于此。

[0536] 美国专利公开文件第 2010-0082890 号中公开了存储系统，其内容通过全文引用合并于此。

[0537] 图 68 是根据本发明构思的示例性实施例的存储卡的框图。参照图 68，存储卡 2000 包括至少一个快闪存储器 2100、缓冲存储器 2200 以及用于控制快闪存储器 2100 和缓冲存储器 2200 的存储控制器 2300。

[0538] 快闪存储器件 2100 可以与图 2 中的非易失性存储器件 100、图 36 中的非易失性存储器件 400、图 45 中的非易失性存储器件 500、图 54 中的非易失性存储器件 600、图 55 中的非易失性存储器件 700 和图 65 中的非易失性存储器件 800 中的一个相同。

[0539] 缓冲存储器器件 2200 用于临时存储在存储卡 2000 的操作期间生成的数据。缓冲存储器器件 2200 可以使用 DRAM 或 SRAM 来实现。

[0540] 存储控制器 2300 连接在主机和快闪存储器 2100 之间。存储控制器 2300 被配置成响应于来自主机的请求访问快闪存储器 2100。

[0541] 存储控制器 2300 包括至少一个微处理器 2310、主机接口 2320 和闪存接口 2330。

[0542] 微处理器 2310 被配置成驱动固件。主机接口 2320 经由卡 (例如，MMC) 协议与主机接口，以在主机和存储器接口 2330 之间交换数据。

[0543] 存储卡 2000 可适用于多媒体卡 (MMC)、安全数字 (Security Digitals，SD) 卡、miniSD 卡、记忆棒、智能媒体卡和 TransFlash 卡。

[0544] 根据本发明构思的示例性实施例的存储卡 2000 因有至少一个编程状态包括在负电压区域中而增加了阈值电压裕度。因此，根据本发明构思的示例性实施例的存储卡 2000 具有卓越的退化特性并提高了数据稳定性。

[0545] 美国专利公开文件第 2010-0306583 号中公开了存储卡，其内容通过全文 引用合并于此。

[0546] 图 69 是根据本发明构思的示例性实施例的 moviNAND 的框图。参照图 69，moviNAND 器件 3000 包括至少一个 NAND 快闪存储器器件 3100 和控制器 3200。moviNAND 器件 3000 支持 MMC 4.4(或称为 eMMC)。

[0547] NAND 快闪存储器器件 3100 可以与图 2 中的非易失性存储器件 100、图 36 中的非易失性存储器件 400、图 45 中的非易失性存储器件 500、图 54 中的非易失性存储器件 600、图 55 中的非易失性存储器件 700 和图 65 中的非易失性存储器件 800 中的一个相同。

[0548] 控制器 3200 包括至少一个控制器核 3210、主机接口 3220 和 NAND 接口 3230。控制器核 3210 可以控制 moviNAND 器件 3000 的总体操作。主机接口 3220 被配置成执行控制器 3210 与主机之间的 MMC 接口。NAND 接口 3230 被配置成在 NAND 快闪存储器器件 3100 与控制器 3200 之间接口。

[0549] moviNAND 器件 3000 从主机接收电源电压 Vcc 和 Vccq。此处，电源电压 Vcc（大约 3.3V）被供应到 NAND 快闪存储器器件 3100 和 NAND 接口 3230，同时电源电压 Vccq（大约 1.8V/3.3V）被供应到控制器 3200。

[0550] 根据本发明构思的示例性实施例的 moviNAND 3000 通过将至少两个数据比特存储在负电压区域，增加了能够通过有限的技术进行存储的数据比特的数目。这意味着，根据本发明构思的示例性实施例的 moviNAND 3000 具有存储大量数据的优点。根据本发明构思的示例性实施例的 moviNAND 3000 适用于小型低功率移动产品（如，Galaxy S、iPhone 等等）。

[0551] 同时，本发明构思可以应用于固态驱动器 (solid state drive，SSD)。

[0552] 图 70 是根据本发明构思的示例性实施例的 SSD 的框图。参照图 70，SSD 4000 包括多个快闪存储器器件 4100 和 SSD 控制器 4200。

[0553] 快闪存储器件 4100 可以与图 2 中的非易失性存储器件 100、图 36 中的非易失性存储器件 400、图 45 中的非易失性存储器件 500、图 54 中的非易失性存储器件 600、图 55 中的非易失性存储器件 700 和图 65 中的非易失性存储器件 800 中的一个相同。

[0554] SSD 控制器 4200 控制多个快闪存储器器件 4100。SSD 控制器 4200 包括 CPU 4210、主机接口 4220、缓冲器 4230 和闪存接口 4240。

[0555] 在 CPU 4210 的控制下，主机接口 4220 可以与主机通过 ATA 协议交换数据。主机接口 4220 可以是串行高级技术附件 (SATA) 接口、并行高级技术 附件 (PATA) 接口和外部 SATA(ESATA) 接口中的一个。在 CPU 4210 的控制下，将通过主机接口 4220 从主机接收或向主机发送的数据通过高速缓存缓冲器 4230 传送而不经过 CPU 总线。

[0556] 缓冲器 4230 临时存储在外部设备和快闪存储器器件 4100 之间传送的数据。缓冲器 4230 还用于存储将由 CPU 4210 执行的程序。可将缓冲器 4230 看作是一种缓冲存储器，并且可以使用 SRAM 实现。图 70 中的缓冲器 4230 包括在 SSD 控制器 4200 内。然而，本发明构思不局限于此。根据本发明构思的示例性实施例的高速缓存缓冲器可以在 SSD 控制器 4200 外部提供。

[0557] 闪存接口 4240 被配置成在 SSD 控制器 4200 和用作存储器件的快闪存储器器件 4100 之间接口。闪存接口 4240 被配置成支持 NAND 快闪存储器、One-NAND 快闪存储器、多电平快闪存储器或单电平快闪存储器。

[0558] 根据本发明构思的示例性实施例的 SSD 4000 通过存储在负电压区域的编程状态来提高阈值电压裕度。因此，根据本发明构思的示例性实施例的 SSD 4000 提高了所存储数据的可靠性。

[0559] 美国专利公开文件第 2010-0082890 号中公开了 SSD，其内容通过全文引用合并于

此。

[0560] 图71是根据本发明构思的示例性实施例的图70中的计算系统的框图。参照图71，计算系统5000包括至少一个CPU 5100、ROM 5200、RAM 5300、输入/输出(I/O)设备5400和SSD 5500。

[0561] CPU 5100连接到系统总线。ROM 5200存储用驱动计算系统5000的数据。此处，数据可以包括启动命令序列或基本I/O系统(BIOS)序列。RAM 5300临时存储在CPU 5100运行期间生成的数据。

[0562] I/O设备5400通过诸如键盘、指示设备(例如，鼠标)、监视器、调制解调器等等的I/O设备接口连接到系统总线。

[0563] SSD 5500可以是可读存储设备，并且可以用与图70的SSD 4000相同的方式实现。

[0564] 图72是根据本发明构思的示例性实施例的电子设备的框图。参照图72，电子设备6000包括至少一个处理器6100、ROM 6200、RAM 6300、闪存接口6400和SSD 6500。

[0565] 处理器6100访问RAM 6300以运行固件代码或其他代码。并且，处理器6100访问ROM 6200以执行固定的命令序列，如启动命令序列和基本I/O系统(BIOS)序列。闪存接口6400被配置成在电子设备6000和SSD 6500之间接口。

[0566] SSD 6500可从电子设备6000分开。SSD 6500以与图70的SSD 4000相同的方式实现。

[0567] 电子设备6000可以包括蜂窝电话、个人数字助理(PDA)、数码相机、录像摄像机、便携式音频播放器(例如，MP3)和便携式媒体播放器(PMP)。

[0568] 图73是根据本发明构思的示例性实施例的包括图70中的SSD的服务器系统的框图。参照图64，服务器系统7000包括服务器7100和至少一个SSD 7200，SSD 7200存储用于驱动服务器7100的数据。SSD 7200可以被配置为与图70的SSD 4000相同。

[0569] 服务器7100包括应用通信模块7110、数据处理模块7120、升级(upgrade)模块7130、调度中心7140、本地资源模块7150和修复信息模块7160。

[0570] 应用通信模块7110被配置成与连接到网络和服务器7100的计算系统通信，或者允许服务器7100与SSD 7200通信。应用通信模块7110可以将通过用户接口提供的数据或信息传送到数据处理模块7120。

[0571] 数据处理模块7120可以链接到本地资源模块7150。这里，本地资源模块7150可以基于输入到服务器7100的信息或数据向用户提供修复商店/经销商/技术信息的列表。

[0572] 升级模块7130与数据处理模块7120接口。基于从SSD 7200接收的信息或数据，升级模块7130可以执行固件、复位码、诊断系统或其他关于电子设备的信息的升级。

[0573] 调度中心7140基于输入到服务器7100的信息或数据向用户提供实时选项。

[0574] 修复信息模块7160与数据处理模块7120接口。修复信息模块7160用于向用户提供与修复有关的信息(例如，音频、视频或文档文件)。数据处理模块7120可以封装与从SSD 7200接收的信息相关的信息。封装信息可以发送到SSD 7200，或者可以显示给用户。

[0575] 根据本发明构思的示例性实施例的非易失性存储器件适用于平板产品(例如，Galaxy Tab、iPad等等)。

[0576] 图74是是出根据本发明构思的示例性实施例的手持电子设备的示图。参照图74，手持电子设备8000包括至少一个计算机可读介质8020、处理系统8040、输入/输出子系

统 8060、射频电路 8080 和音频电路 8100。各个组成元件可以通过至少一个通信总线或信号线 8030 互连。手持电子设备 8000 可以是包括便携计算机、平板计算机、移动电话、媒体播放机、PDA 或它们的至少两个元件的组合在内的任何手持电子设备。此处，至少一个计算机可读介质 8020 包括图 2 中的非易失性存储器件 100、图 36 中的非易失性存储器件 400、图 45 中的非易失性存储器件 500、图 54 中的非易失性存储器件 600、图 55 中的非易失性存储器件 700 和图 65 中的非易失性存储器件 800 中的一个。

[0577] 图 74 中的不同的元件包括至少一个信号处理和 / 或专用 IC，并且通过硬件、软件或硬件和软件的组合来实现。

[0578] 射频电路 8080 经由无线链路或网络向至少一个不同的设备发送信息或从至少一个不同的设备接收信息，并且利用天线系统、射频发送和接收设备、至少一个放大器、调谐器、至少一个振荡器、数字信号处理器、编解码器、芯片组、存储器等等来执行这样的功能。例如，射频电路 8080 可以包括 TDMA（时分多址）、CDMA（码分多址）、GSM（全球移动通信系统）、EDGE（增强型数据 GSM 环境）、WCDMA（宽带码分多址）、Wi-Fi（例如，IEEE802.11a、IEEE802.11b、IEEE802.11g 和 / 或 IEEE802.11n）、蓝牙、Wi-MAX、VoIP（基于网际协议的话音）、电子邮件协议、即时消息和 / 或短消息服务 (SMS)、任何适当的通信协议或未开发的通信协议。

[0579] 射频电路 8080 和音频电路 8100 经由外围设备 8160 连接到处理系统。

[0580] 接口 8160 包括各种元件，用于建立和维护外围设备和处理系统 8040 之间的通信。

[0581] 音频电路 8100 连接到音频扬声器 8500 和麦克风 8250，并且处理从接口 8160 输入的音频信号以提供用户之间的实时通信。在本实施例中，音频电路 8100 包括头戴式耳机插口（未示出）。

[0582] 从射频电路 8080 和音频电路 8100 输入的音频和数据信息（例如，在音频识别或语音命令应用中）经由外设接口 8186 被发送到至少一个处理器 8180。至少一个处理器 8180 处理与存储在介质 8020 中的至少一个应用程序 8230 相关的不同的数据格式。

[0583] 术语“数据”包括文本、图形、网页、Java applet（小应用程序）、widget（小工具）、电子邮件、即时消息、语音、数字消息或视频、以及 MP3，所述 数据可以被存储在计算机可读介质 8020 中的至少一个应用程序 8230（网页浏览器、电子邮件等等）使用。

[0584] 在本实施例中，手持电子设备 8000 经由无线网络或外部端口 8360 向互联网上载或从互联网下载各种数据（例如，文件、歌曲、数字图像、视频、电子邮件、widget、即时消息等等）。

[0585] 外设接口 8160 将输入和输出外围设备与处理器 8180 和计算机可读介质 8020 连接。至少一个处理器 8180 经由控制器 8200 与至少一个计算机可读介质 8020 通信。

[0586] 计算机可读介质 8020 是能够存储至少一个处理器 8180 所使用的代码和 / 或数据的任何设备或介质。计算机可读介质 8020 包括高速缓存器、主存储器和辅助存储器。计算机可读介质 8020 不局限于此。计算机可读介质 8020 可以包括不同的存储器层。此处，存储器层使用 RAM（例如，SRAM、DRAM、DDRAM）、ROM、闪存、磁性存储设备和 / 或光存储设备（例如，盘驱动器、磁带、致密盘 (CD) 和数字视频盘 (DVD)）、或它们的组合来实现。

[0587] 计算机可读介质 8020 包括用于发送包括信息、计算机命令或数据的传输介质。例如，传输介质包括互联网（或称为万维网）、内联网、LAN（局域网）、WLAN（宽带局域网）、

SAN(存储区域网络)、MAN(城域网)等等。然而,计算机可读介质 8020 包括的通信网络不局限于此。

[0588] 至少一个处理器 8180 执行在计算机可读介质 8020 中存储的各种软件组件,以执行设备 8000 的各种功能。在本实施例中,软件组件包括操作系统 8220、通信模块 8240、接触 / 运动模块 8260、图形模块 8280、至少一个应用 8230、计时器模块 8380 和可重配置模块 8400。

[0589] 操作系统 8220(例如,嵌入式操作系统,如 Darwin、RTXC、LINUX、UNIX、OS X WINDOWS 或 VxWork)包括驱动器,用于控制和管理不同的过程、命令设置、软件组件和 / 或典型系统任务。这样的控制和管理包括存储器管理、存储设备控制、电源管理等等。操作系统 8220 加速不同硬件和软件组件之间的通信。

[0590] 通信模块 8240 加速经由至少一个外部端口 8360 或 RF 电路 8080 与另一个设备的通信,并且包括各种软件组件,用于处理从 RF 电路 8080 和 / 或外部端口 8360 输入的数据。外部端口 8360(例如,USB、FireWire™等等)直接与另一个设备连接,或通过网络(互联网、无线 LAN 等等)间接与另一个设 备连接。

[0591] 图形模块 8280 包括各种公知的软件,用于绘制、激励以及显示在触控式显示系统 8120 的显示器上的图形对象。术语“图形对象”包括向用户显示的任何对象,如文本、网页、图标、数字图像、动画等等,对此不作限制。

[0592] 至少一个应用 8300 包括在手持电子设备 8000 上安装的任何应用,包括浏览器、目录、联系人列表、电子邮件、即时消息、文字处理、键盘仿真、widget、Java 支持的应用、加密、数字版权管理、语音识别、语音复制、位置判定功能(例如,通过 GPS 实现)、音乐播放器(播放在诸如 MP3 或 AAC 文件的至少一个文件中存储的记录音乐)等等,对此不作限制。

[0593] 在本实施例中,手持电子设备 8000 包括 MP3 播放器功能。手持电子设备 8000 包括 36 针连接器。在本实施例中,手持电子设备 8000 包括至少一个在应用成像时使用的光学传感器(未示出)(例如,CMOS 或 CCD 图象传感器)。

[0594] 接触 / 运动模块 8260 包括用于执行与触控式显示系统 8120 相关联的各种任务的各种软件组件。

[0595] 计时器模块 8380 是用来接口重配置处理的软件计时器。计时器模块 8380 通过硬件来实现。

[0596] 可重配置模块 8400 包括图标效果模块(或命令集)。图标效果模块 8420 包括在接口重配置模式中的图标动画。在本实施例中,图标效果模块 8420 包括在图形模块 8280 中。

[0597] I/O 子系统 8060 与用于执行各种功能的触控式显示系统 8120 以及至少一个物理控制设备 8140(例如,按钮、开关、拨号盘、LED 等等)连接,所述功能例如电源控制、扬声器音量控制、铃音音量(ring tone loudness)、键盘输入、滚动、保持(hold)、菜单、屏幕锁、通信清除(communication clearing)和结束。触控式显示器 8120 经由触控式屏幕控制器 8320 与处理系统 8040 通信,并且包括用于处理用户输入(例如,硬件扫描)的各种组件。至少一个输入控制器 8340 向输入设备或控制设备 8140 发送电信号并从输入设备或控制设备 8140 接收电信号。输入 / 控制设备 8140 包括物理按钮(例如,按压式按钮,摇动按钮)、拨号盘、滑动开关、杆等等。

[0598] 触控式显示器 8120 在 GUI 上向用户显示视觉输出。视觉输出包括文本、图形和它们的组合。一部分或全部视觉输出对应于用户接口对象。

[0599] 触控式显示器 8120 基于触觉 (haptic) 接触和 / 或感知 (tactile) 接触接收来自用户的输入。触控式显示器 8120 形成接收用户输入的触控式视图。触控式显示器 8120 和触摸屏控制器 8320 检测在触控式显示器 8120 上的接触 (和接触移动或释放), 并将检测到的接触转换成与用户接口对象的相互作用, 例如, 当接触时在触摸屏上显示至少一个软键。在本实施例中, 触控式显示器 8120 和用户之间的接触点对应于用户的至少一个数字。触控式显示器 8120 使用 LCD(液晶显示器) 或 LPD(发光聚合物显示器) 技术。然而, 在另一个实施例中, 触控式显示器 8120 可以使用其他技术。

[0600] 触控式显示器 8120 和触摸屏控制器 8320 使用诸如电容性、电阻性、红外线和表面声波技术的多种触控技术以及其他利用接近度传感器阵列或触控屏幕 8120 确定接触点的组件来检测接触、移动或释放。

[0601] 触控式显示器 8120 类似于多点触控板, 其通过引用合并于此。然而, 触摸屏显示来自手持设备的视觉输出, 而触控板不采用视觉输出。触控式显示器 8120 具有超过 100dpi 的分辨率。在本实施例中, 触控式显示器 8120 具有大约 168dpi 的分辨率。用户使用物体或附件, 如触笔、笔、手指等等与触控式显示器 8120 接触。

[0602] 在本实施例中, 手持电子设备 8000 包括触摸垫 (未示出), 其激活或去激活触摸屏的特定功能。在本实施例中, 与触摸屏不同, 触摸垫是不显示视觉输出的设备的触控区域。触摸垫是与触控式显示器 8120 分离的触控式视图或在其中形成触控式显示器 8120 的触控式视图的扩展。

[0603] 手持电子设备 8000 还包括向各种硬件元件供电的电源系统 8440。电源系统 8440 包括电源管理系统、至少一个电源 (例如, 电池、交流电源)、充电系统、电源错误检测电路、功率转换器或逆变器、电源状态显示器 (例如, 发光二极管)、以及与手持设备的典型电力产生、管理和配送相关联的其他元件。

[0604] 在本实施例中, 外设接口 8160、至少一个处理器 8180 以及存储控制器 8200 像处理系统 8040 那样在单个芯片上实现。在另一个实施例中, 它们通过单独的芯片实现。

[0605] 在美国专利第 7509588 号中详细公开了手持电子设备, 其内容通过全文引用合并于此。

[0606] 根据本发明构思的存储系统或存储设备可以用各种类型的封装来装配。 根据本发明构思的存储系统或存储设备的封装的例子可以包括 : 层叠封装 (PoP)、球栅阵列 (BGA)、芯片尺寸封装 (CSP)、塑料带引线芯片载体 (PLCC)、塑料双列直插封装 (PDIP)、叠片内裸片封装 (Die in Waffle Pack)、晶片内裸片形式 (Die in Wafer Form)、板上芯片 (COB)、陶瓷双列直插式封装 (CERDIP)、塑料标准四边扁平封装 (MQFP)、薄型四边扁平封装 (TQFP)、小外型封装集成电路 (SOIC)、缩小型小外型封装 (SSOP)、薄型小外型封装 (TSOP)、系统级封装 (SIP)、多芯片封装 (MCP)、晶片级结构封装 (WFP) 和晶片级处理堆叠封装 (WSP)。

[0607] 上面公开的主题应被认为是说明性的而非限制性的, 并且权利要求意图覆盖落入真实精神和范围内的所有这些修改、增强及其他实施例。因而, 在法律允许的最大限度内, 发明范围由对权利要求及其等效物的可允许的最宽泛解释来确定, 不应受到前述具体描述

的限制或局限。

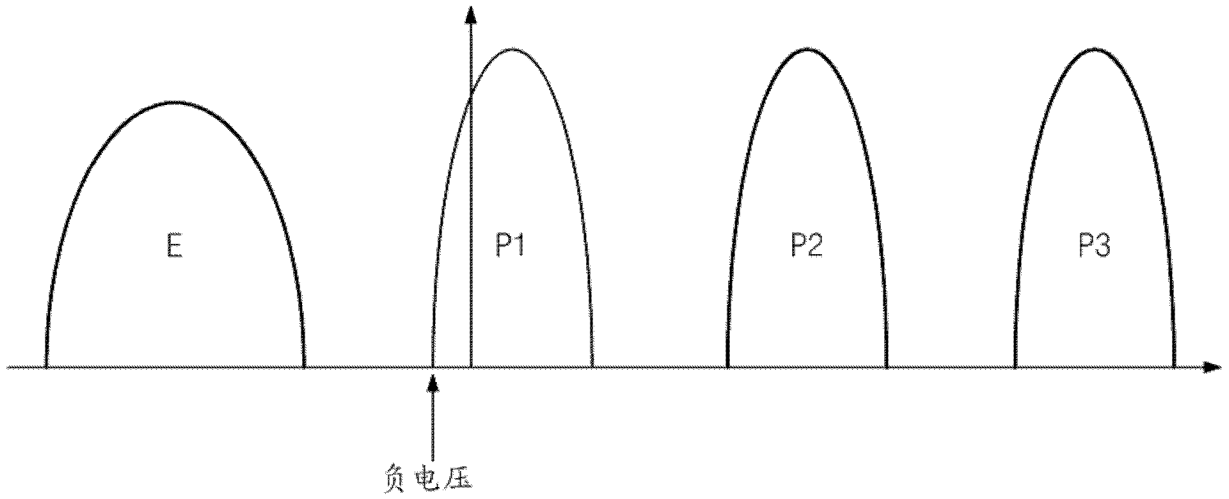


图 1

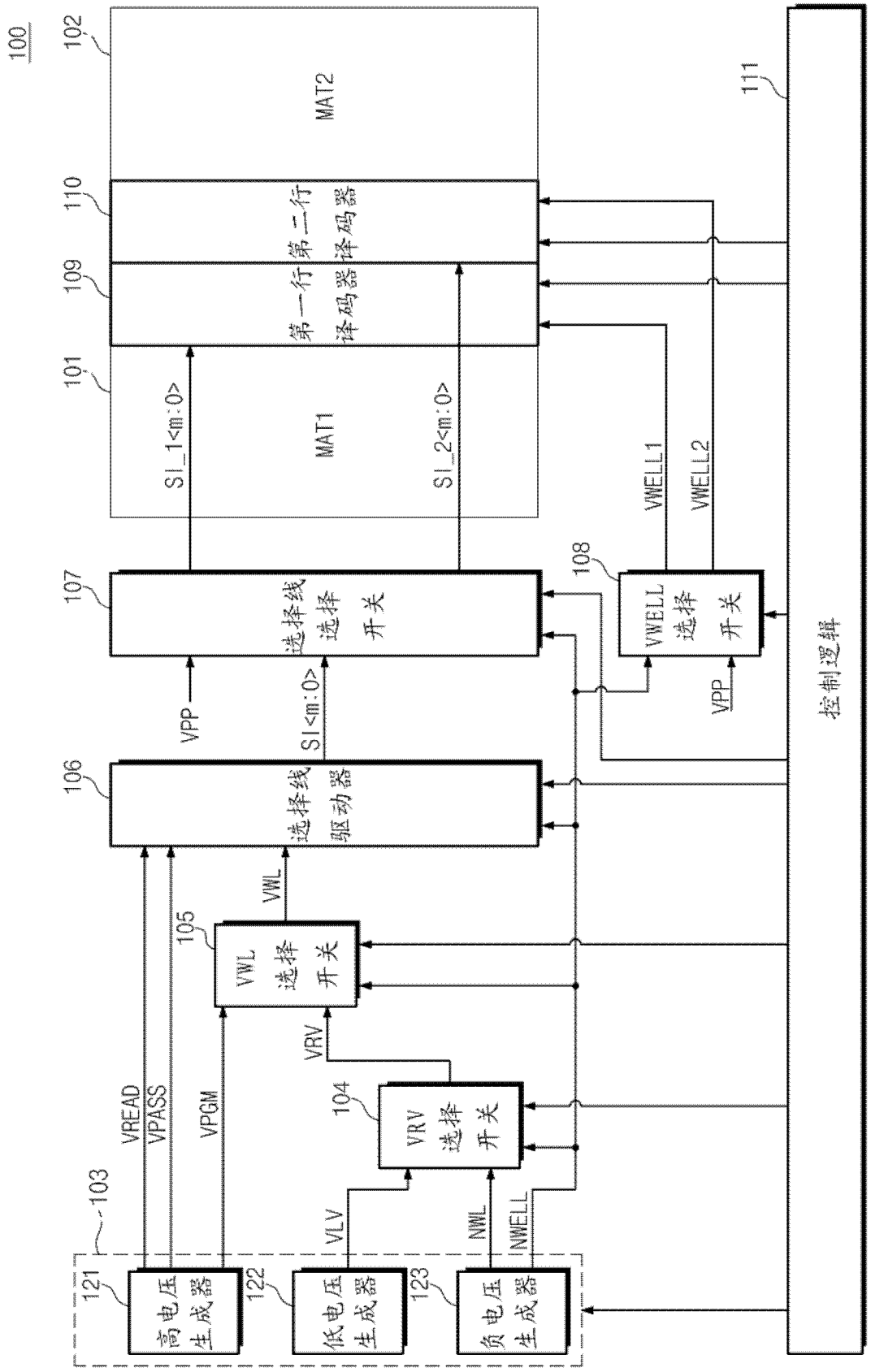

100
102
MAT2
111
110
第二行译码器
109
第一行译码器
101
SI_1<m:0>
MAT1
SI_2<m:0>
VWELL1
VWELL2
108
107
选择线选择开关
VWELL选择开关
VPP
SI<m:0>
106
选择线驱动器
控制逻辑
VWL
105
VWL选择开关
VRV
104
VRV选择开关
VREAD
VPASS
VPGM
103
VLV
NWL
NWELL
121
高电压生成器
122
低电压生成器
123
负电压生成器

图 2

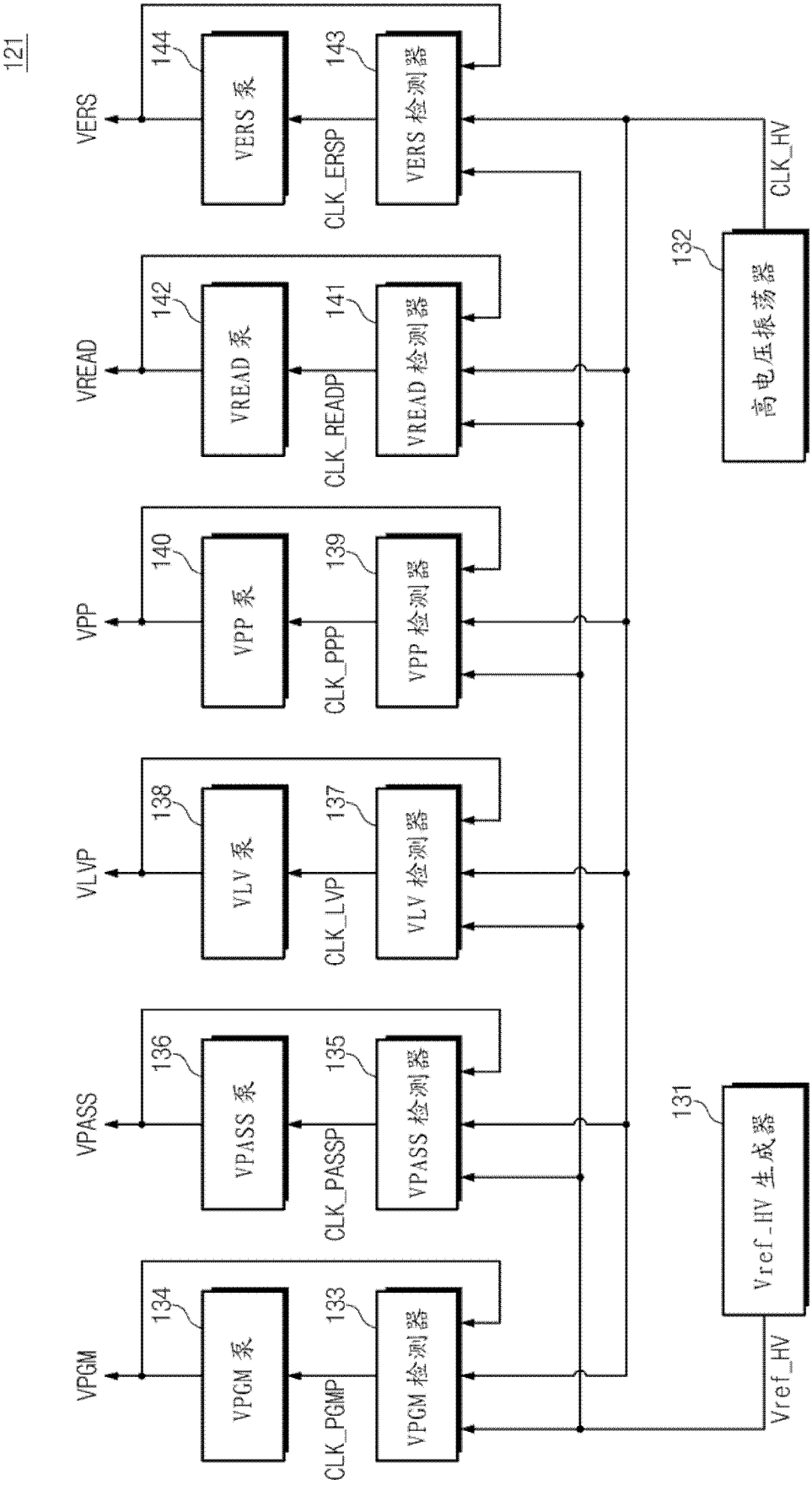

121
VERS
144
VERS 泵
143
VERS 检测器
CLK_ERSP
CLK_HV
132
高电压振荡器
VREAD
142
VREAD 泵
141
VREAD 检测器
CLK_READP
VPP
140
VPP 泵
139
VPP 检测器
CLK_PPP
VLVP
138
VLV 泵
137
VLV 检测器
CLK_LVP
VPASS
136
VPASS 泵
135
VPASS 检测器
CLK_PASSP
131
Vref_HV 生成器
Vref_HV
VPGM
134
VPGM 泵
133
VPGM 检测器
CLK_PGMP

图 3

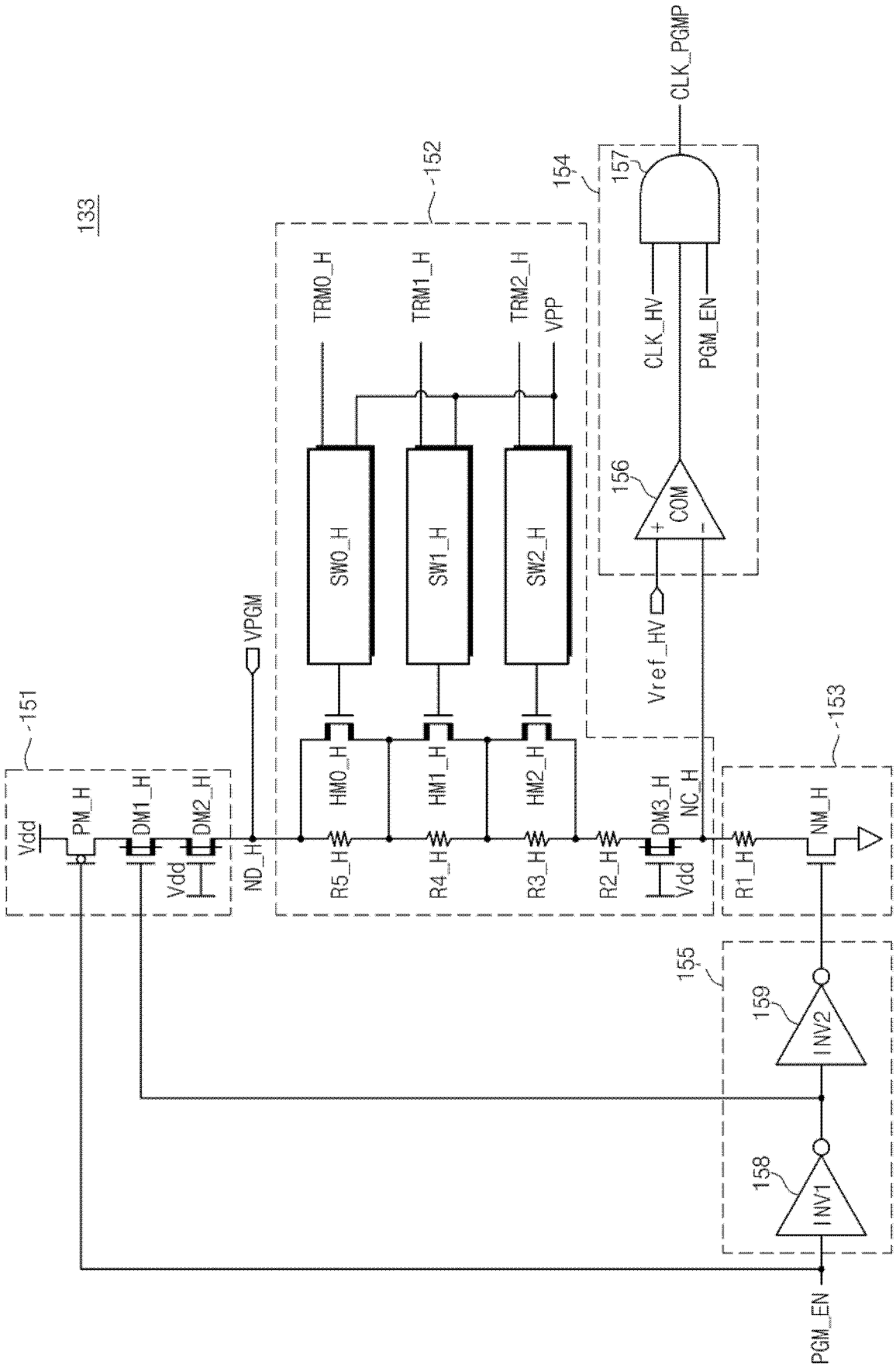

133
151
152
153
154
155
156
157
158
159
CLK_PGMP
CLK_HV
PGM_EN
TRM0_H
TRM1_H
TRM2_H
VPP
SW0_H
SW1_H
SW2_H
COM
Vref_HV
VPGM
Vdd
PM_H
DM1_H
DM2_H
ND_H
HM0_H
HM1_H
HM2_H
R5_H
R4_H
R3_H
R2_H
DM3_H
NC_H
R1_H
NM_H
INV2
INV1
PGM_EN

图 4

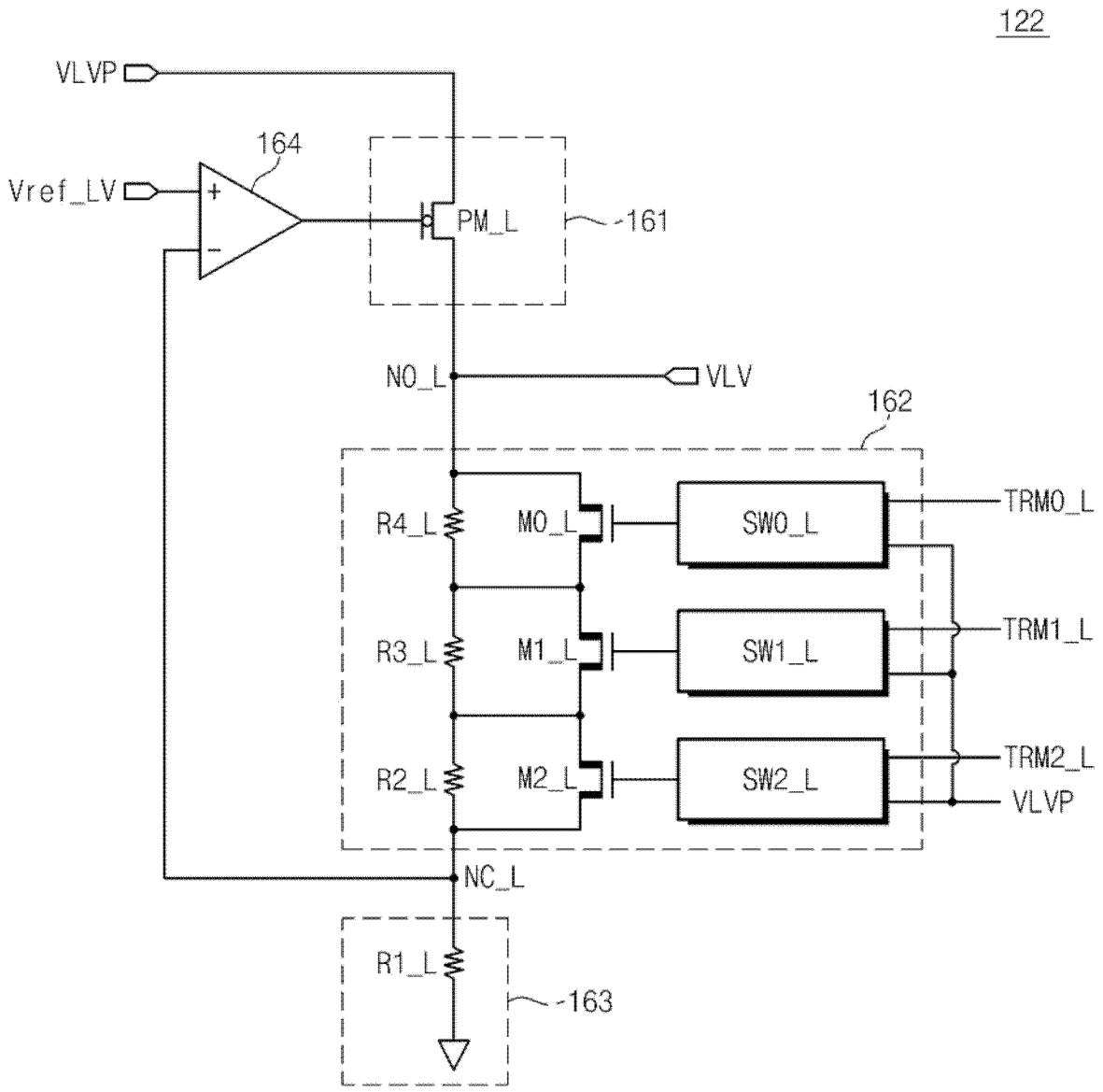

122
VLVP
164
Vref_LV
+
-
PM_L
161
NO_L
VLV
162
R4_L
M0_L
SW0_L
TRM0_L
R3_L
M1_L
SW1_L
TRM1_L
R2_L
M2_L
SW2_L
TRM2_L
VLVP
NC_L
R1_L
163

图 5

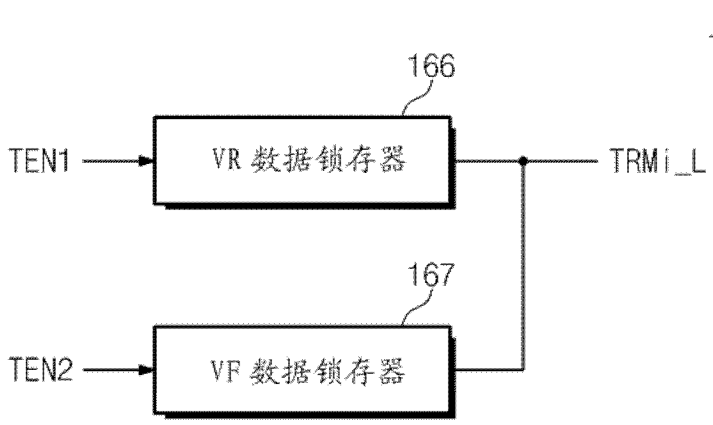

165
166
TEN1
VR 数据锁存器
TRMi_L
167
TEN2
VF 数据锁存器

图 6

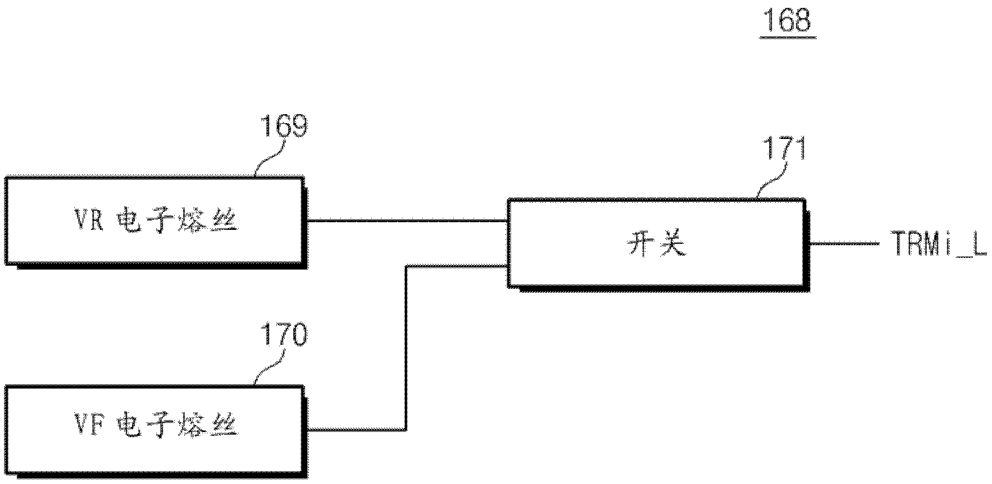

168
169
VR 电子熔丝
171
开关
TRMi_L
170
VF 电子熔丝

图 7

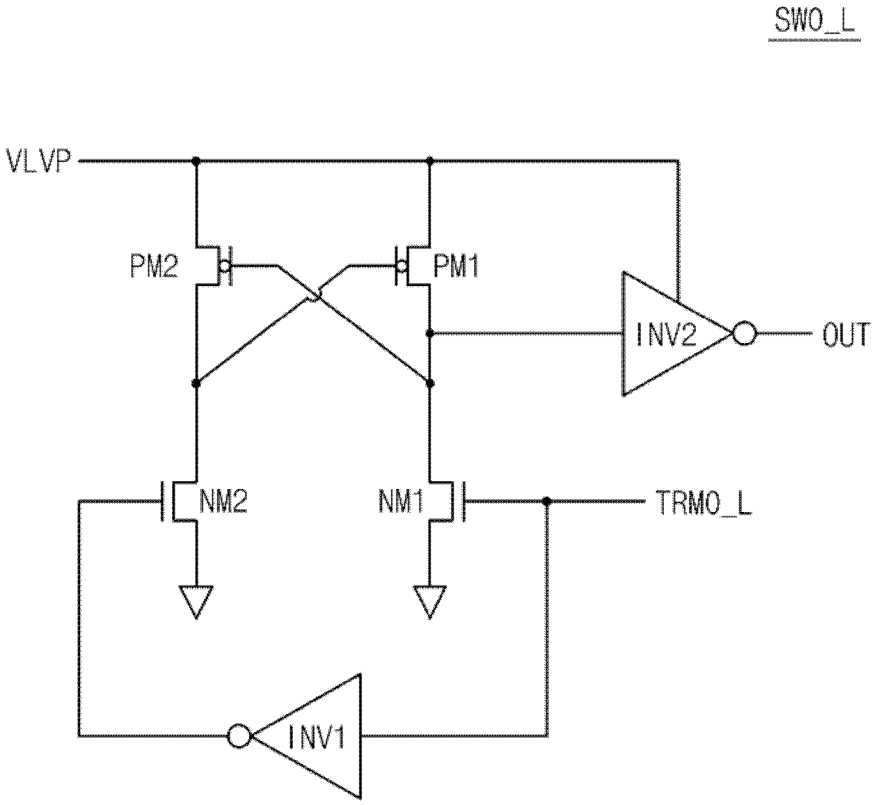

SWO_L
VLVP
PM2
PM1
INV2
OUT
NM2
NM1
TRMO_L
INV1

图 8

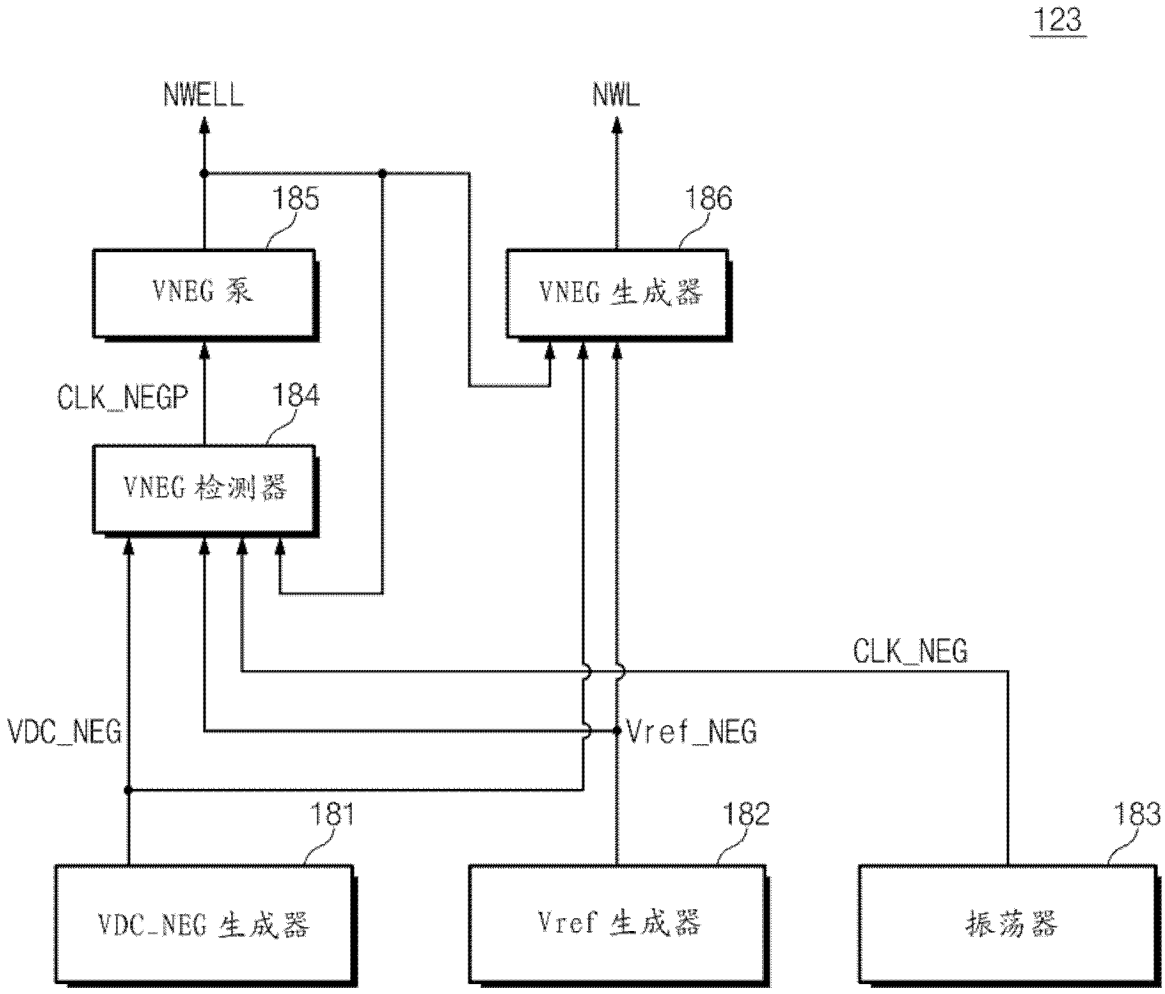

123
NWELL
NWL
185
186
VNEG 泵
VNEG 生成器
CLK_NEGP
184
VNEG 检测器
CLK_NEG
VDC_NEG
Vref_NEG
181
182
183
VDC_NEG 生成器
Vref 生成器
振荡器

图 9

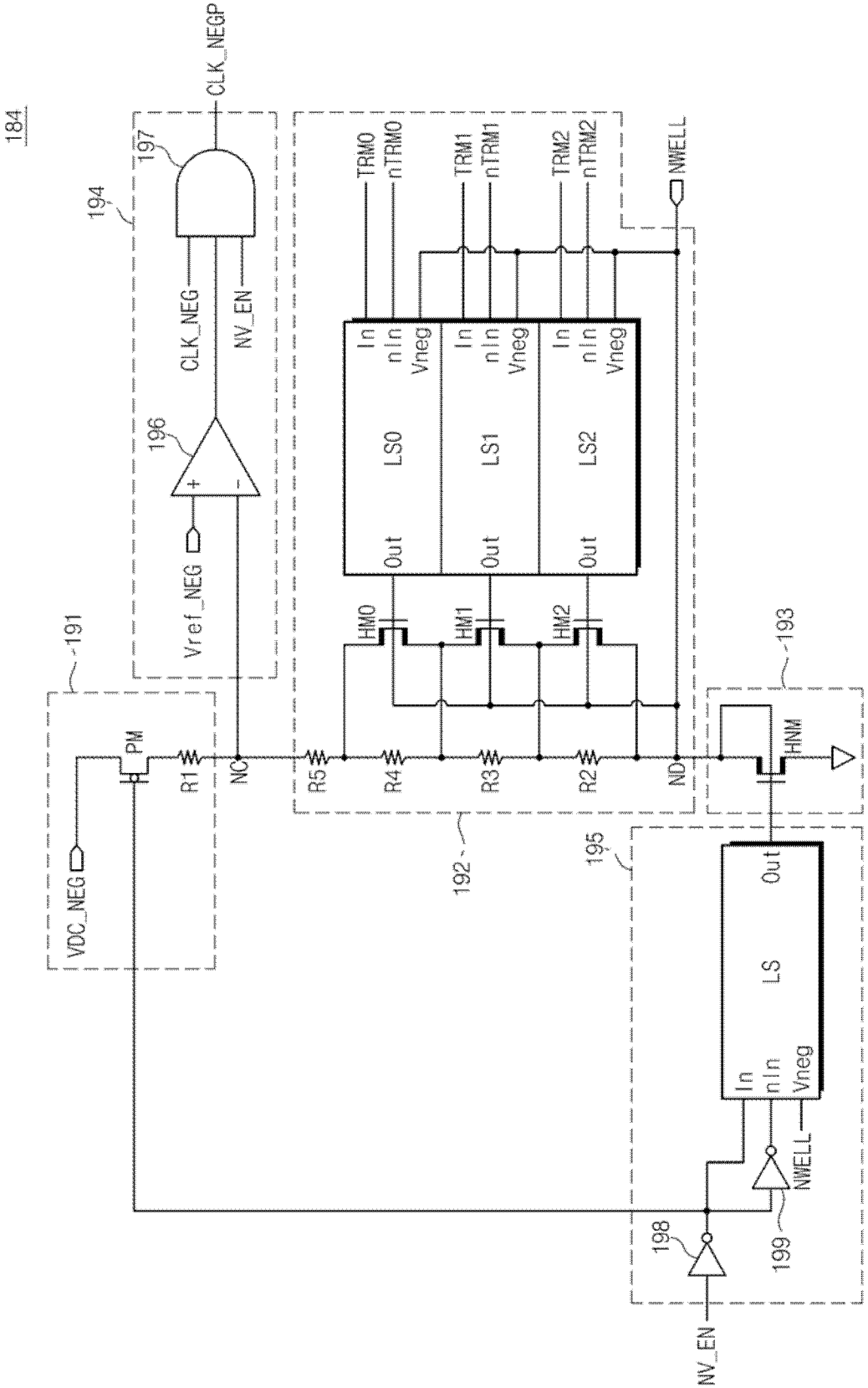

184
CLK_NEGP
197
194
CLK_NEG
NV_EN
196
Vref_NEG
191
VDC_NEG
PM
R1
NC
TRM0
nTRM0
TRM1
nTRM1
TRM2
nTRM2
NWELL
In
nIn
Vneg
LS0
LS1
LS2
Out
HM0
HM1
HM2
R5
R4
R3
R2
ND
193
HNM
192
195
LS
198
199
NWELL
NV_EN

图 10

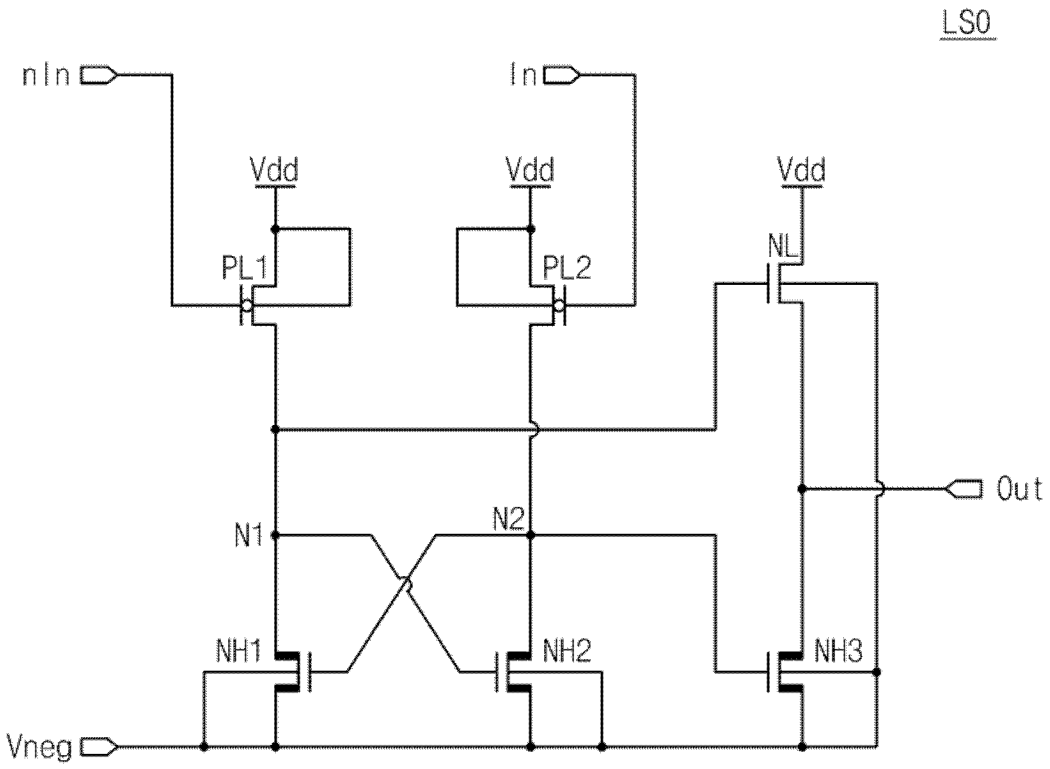


图 11

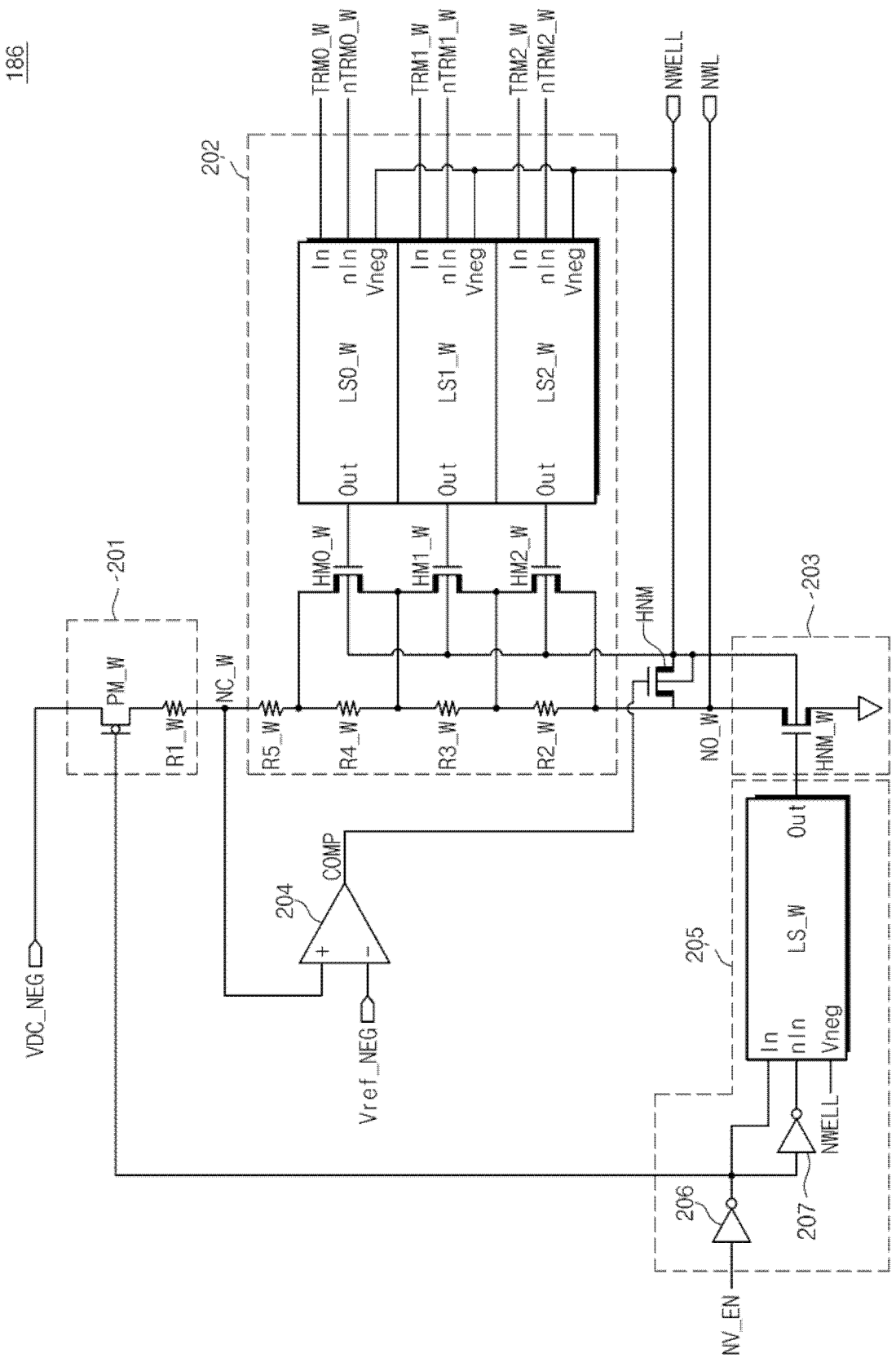

186
202
TRM0_W
nTRM0_W
TRM1_W
nTRM1_W
TRM2_W
nTRM2_W
NWELL
NWL
In
nIn
Vneg
LS0_W
LS1_W
LS2_W
Out
HM0_W
HM1_W
HM2_W
HNM
201
203
PM_W
NC_W
R1_W
R5_W
R4_W
R3_W
R2_W
NO_W
HNM_W
COMP
204
205
LS_W
VDC_NEG
Vref_NEG
206
207
NV_EN

图 12

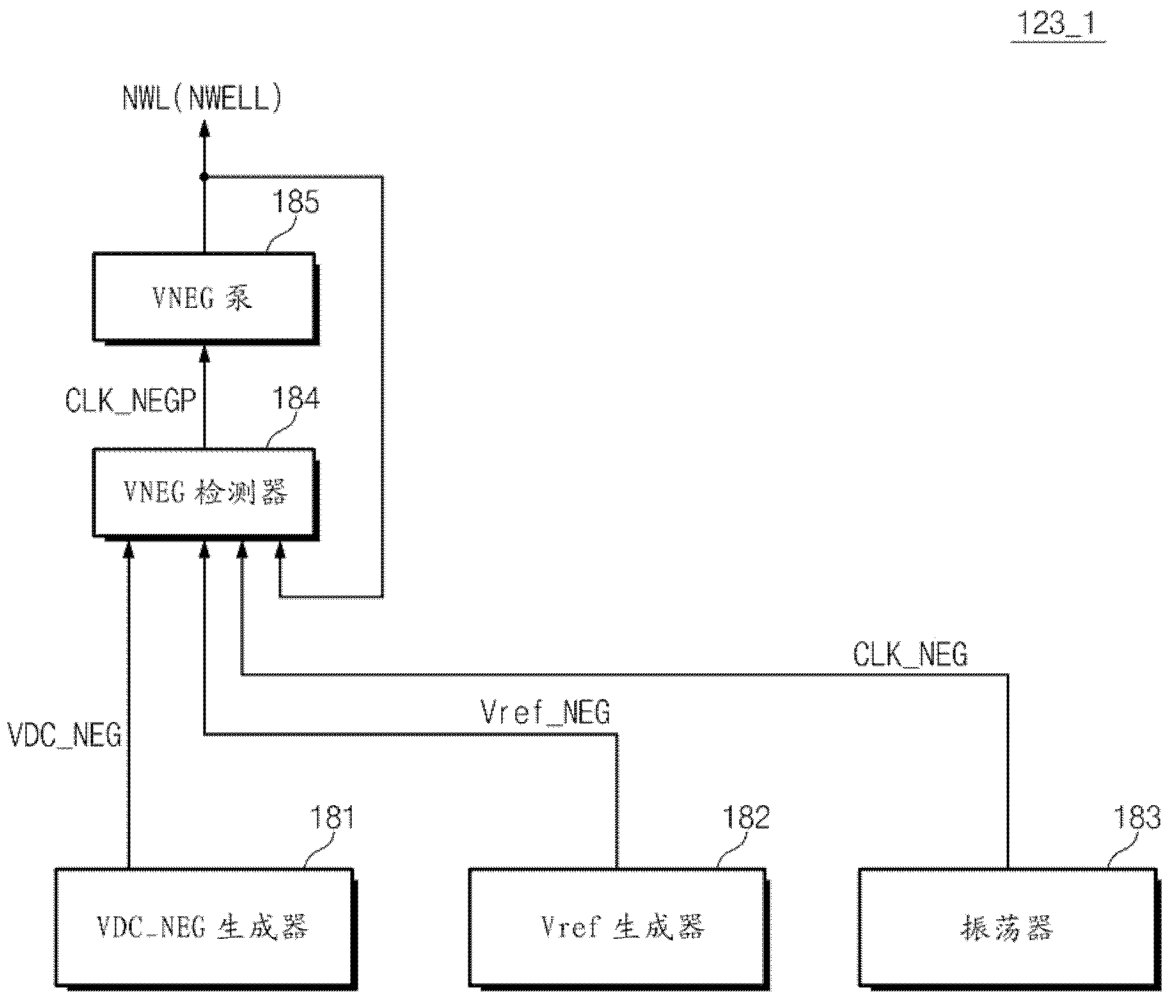

123_1
NWL(NWELL)
185
VNEG 泵
CLK_NEGP
184
VNEG 检测器
CLK_NEG
Vref_NEG
VDC_NEG
181
182
183
VDC_NEG 生成器
Vref 生成器
振荡器

图 13

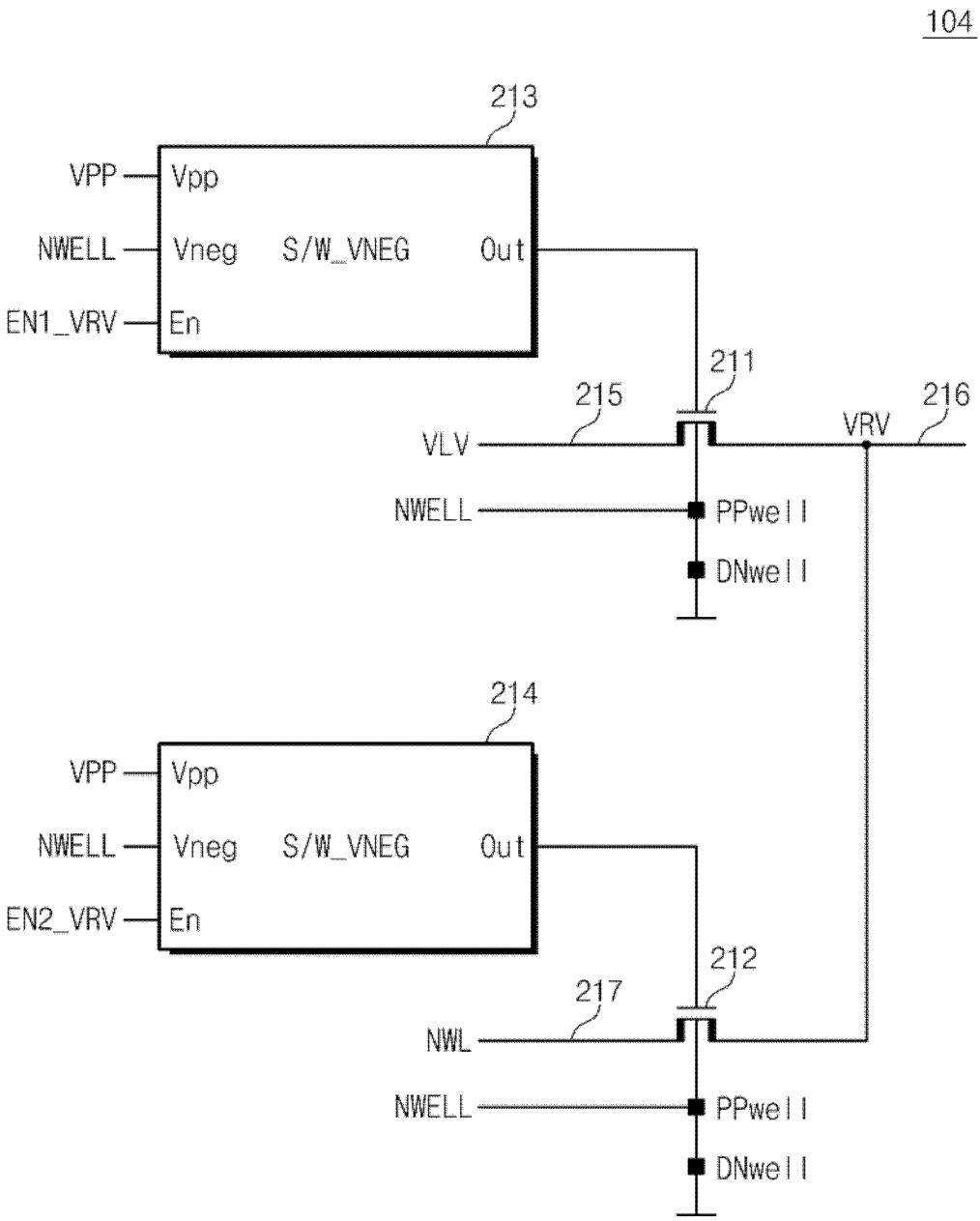

104
213
VPP
Vpp
NWELL
Vneg
S/W_VNEG
Out
EN1_VRV
En
211
215
216
VLV
VRV
NWELL
PPwell
DNwell
214
VPP
Vpp
NWELL
Vneg
S/W_VNEG
Out
EN2_VRV
En
212
217
NWL
NWELL
PPwell
DNwell

图 14

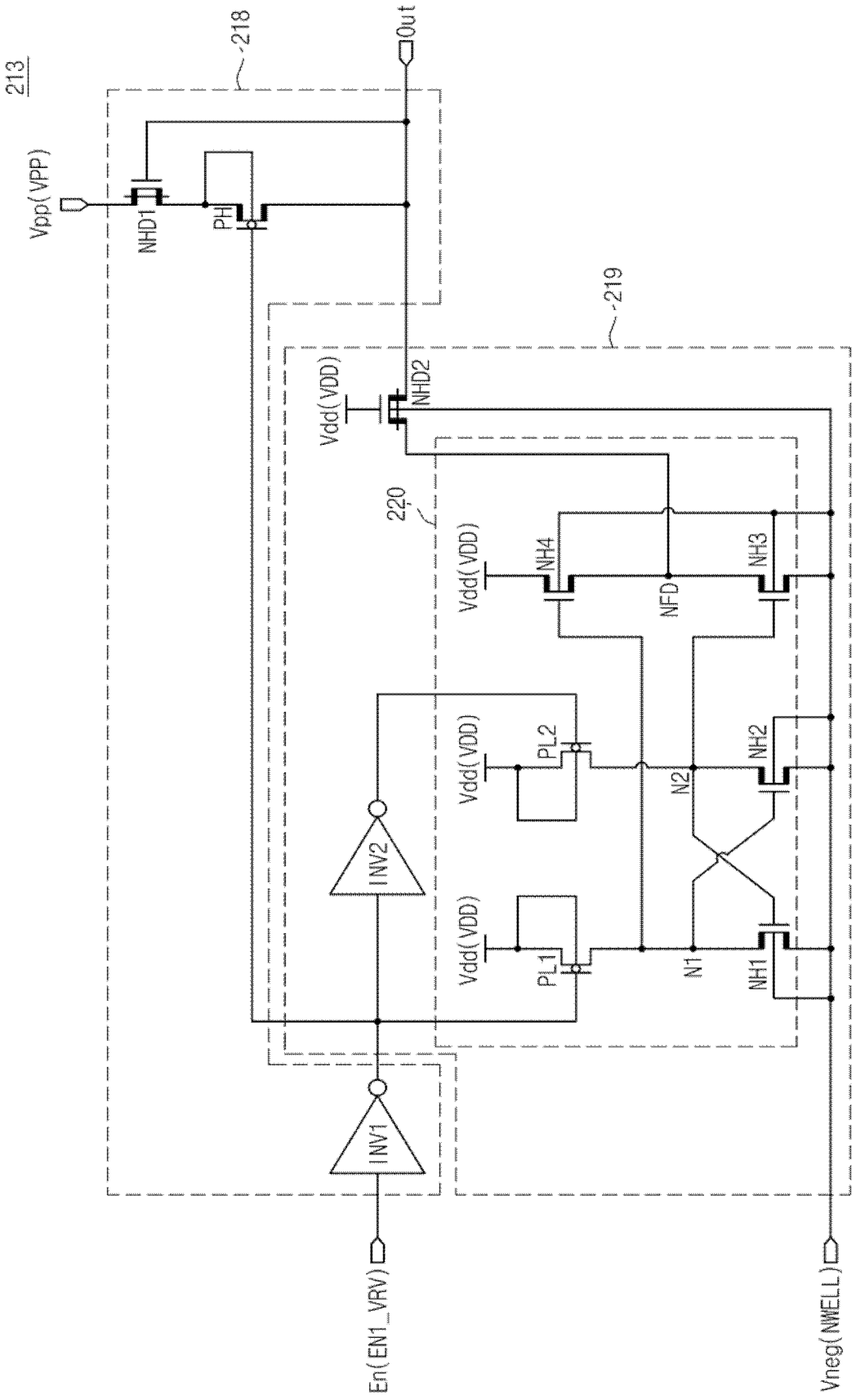

213
218
Out
Vpp(VPP)
NHD1
PH
219
Vdd(VDD)
NHD2
220
Vdd(VDD)
NH4
NH3
NFD
Vdd(VDD)
PL2
NH2
N2
INV2
Vdd(VDD)
PL1
N1
NH1
INV1
En(EN1_VRV)
Vneg(NWELL)

图 15

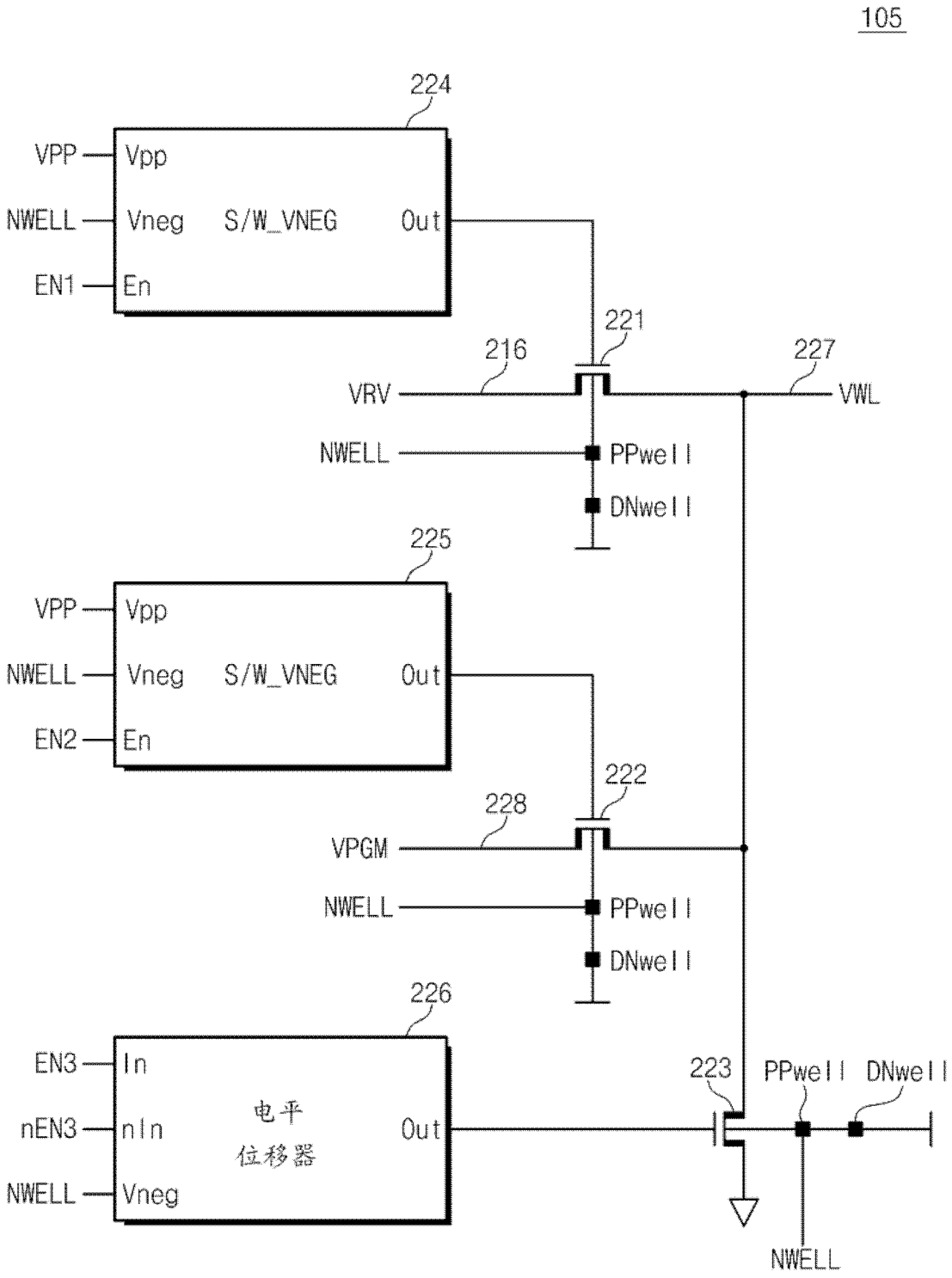

105
224
VPP
Vpp
NWELL
Vneg
S/W_VNEG
Out
EN1
En
221
216
227
VRV
VWL
NWELL
PPwell
DNwell
225
VPP
Vpp
NWELL
Vneg
S/W_VNEG
Out
EN2
En
222
228
VPGM
NWELL
PPwell
DNwell
226
EN3
In
nEN3
nIn
电平
位移器
Out
NWELL
Vneg
223
PPwell
DNwell
NWELL

图 16

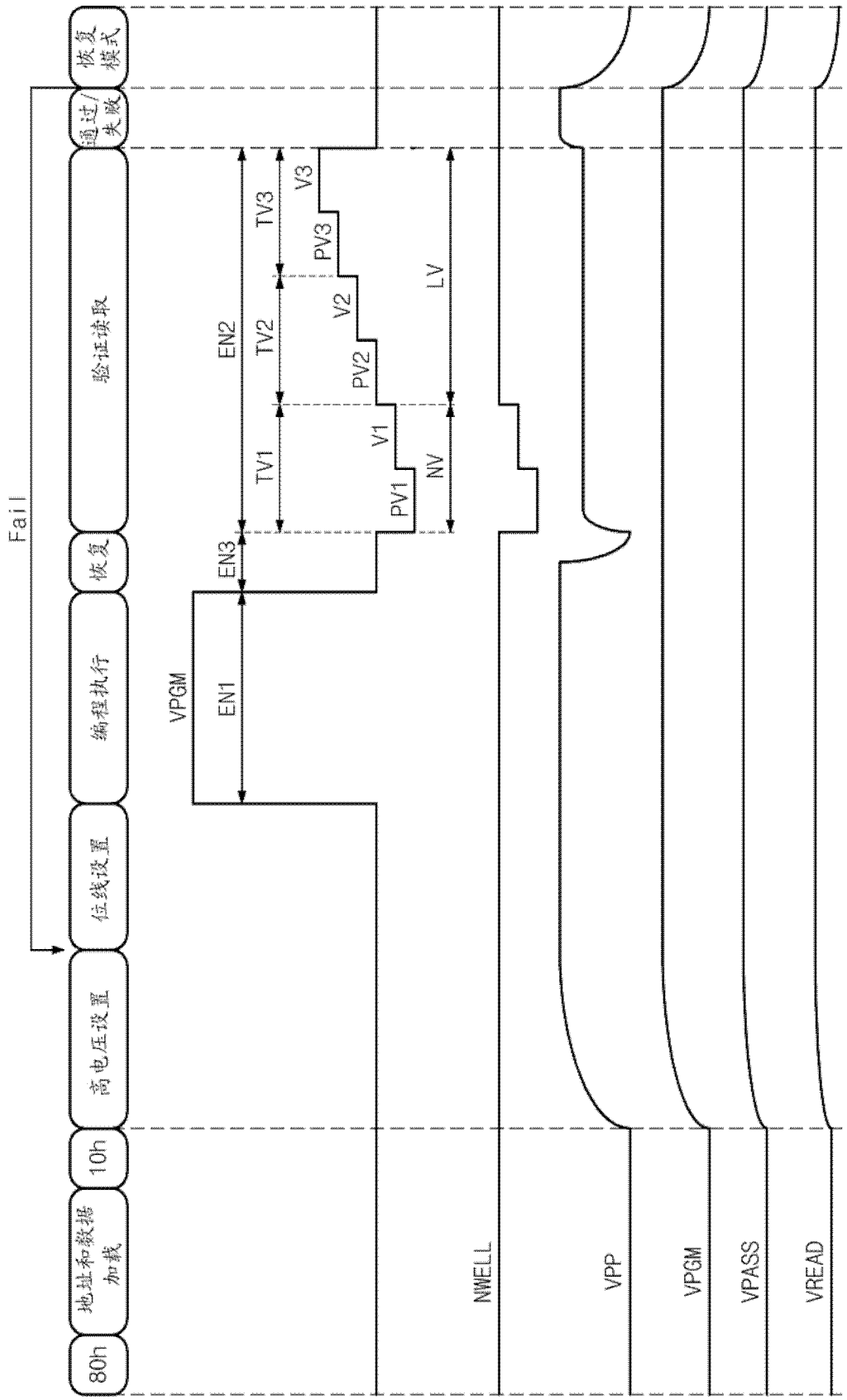

80h
地址和数据加载
10h
高电压设置
位线设置
编程执行
恢复
验证读取
通过/失败
恢复模式
Fail
VPGM
EN1
EN2
EN3
TV1
TV2
TV3
V1
V2
V3
PV1
PV2
PV3
NV
LV
NWELL
VPP
VPGM
VPASS
VREAD

图 17

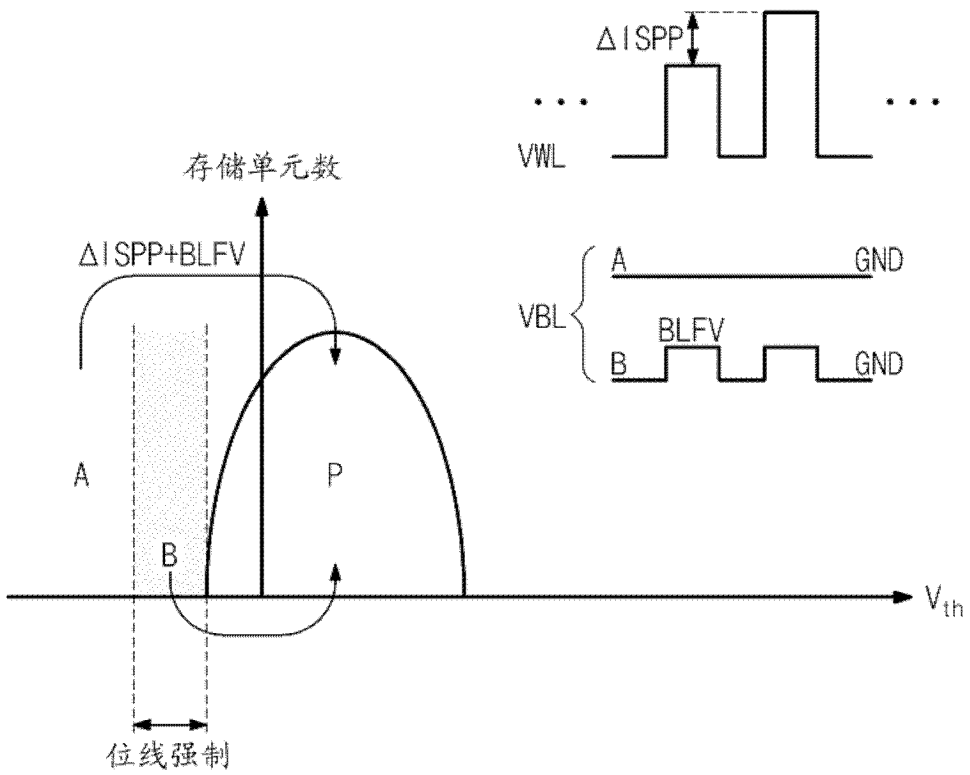


图 18

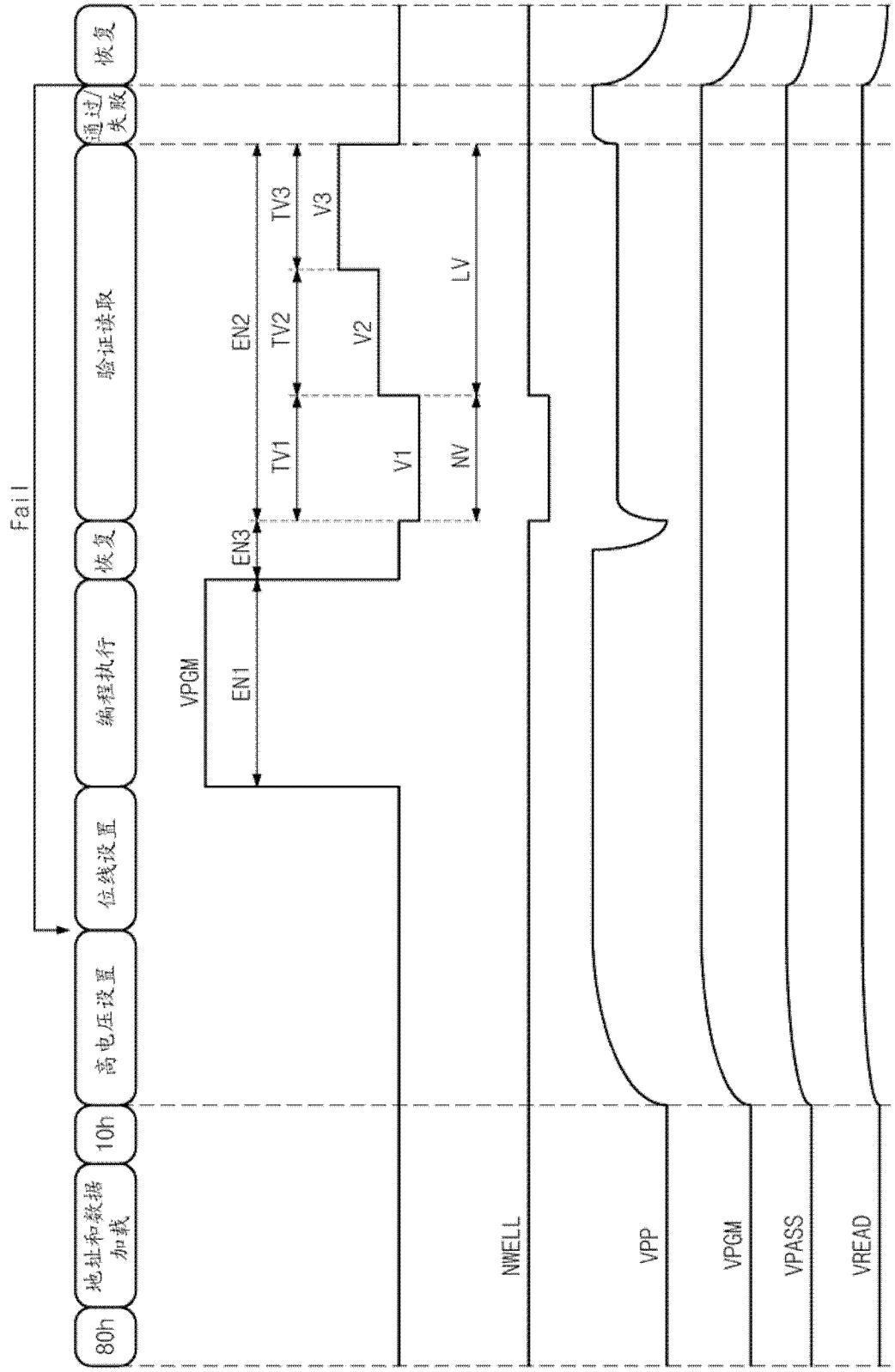

80h
地址和数据加载
10h
高电压设置
位线设置
编程执行
恢复
验证读取
通过/失败
恢复
Fail
VPGM
EN1
EN2
EN3
TV1
TV2
TV3
V1
V2
V3
NV
LV
NWELL
VPP
VPGM
VPASS
VREAD

图 19

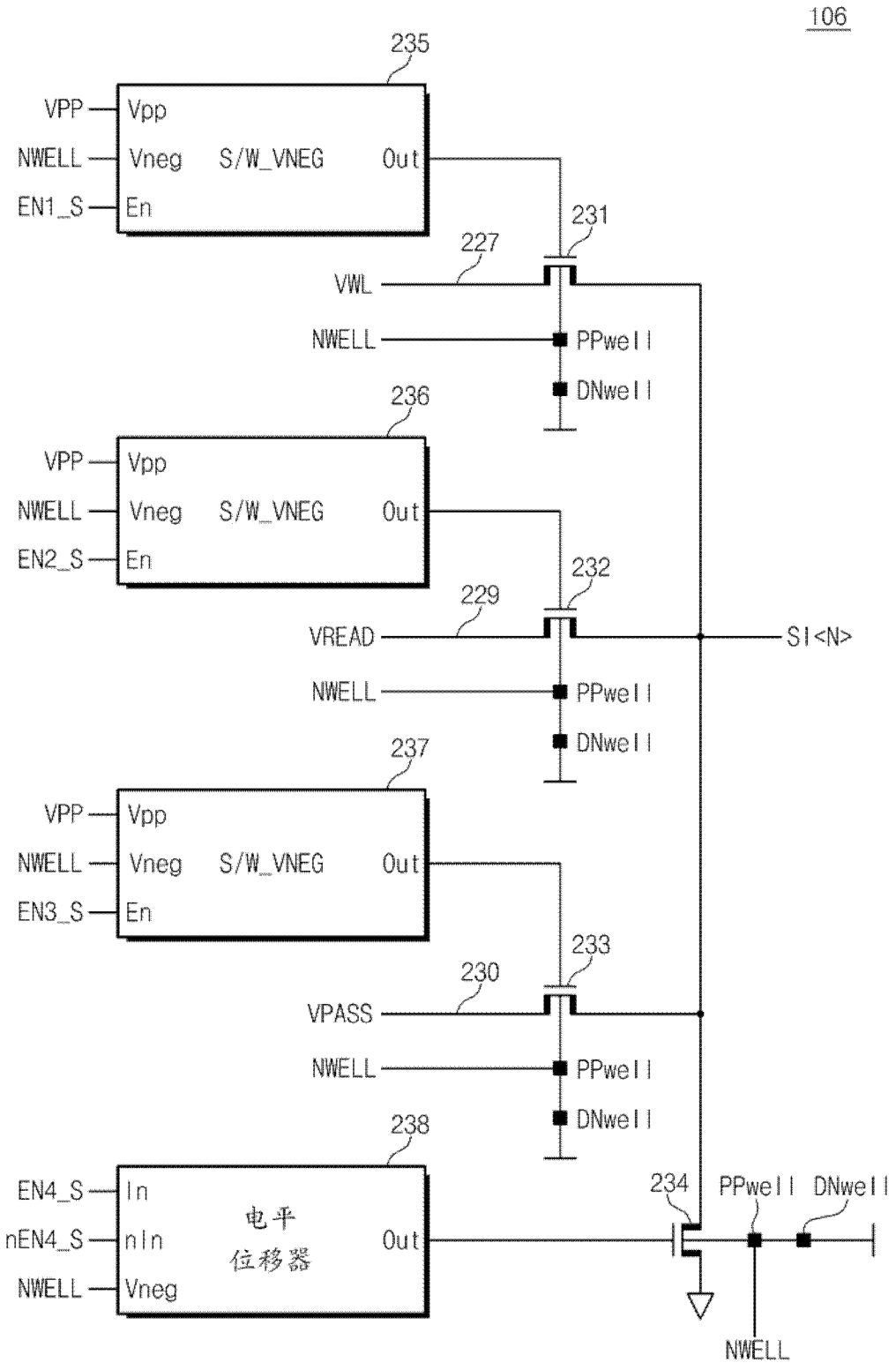

106
235
VPP
Vpp
NWELL
Vneg
S/W_VNEG
Out
EN1_S
En
231
227
VWL
NWELL
PPwell
DNwell
236
VPP
Vpp
NWELL
Vneg
S/W_VNEG
Out
EN2_S
En
232
229
VREAD
SI<N>
NWELL
PPwell
DNwell
237
VPP
Vpp
NWELL
Vneg
S/W_VNEG
Out
EN3_S
En
233
230
VPASS
NWELL
PPwell
DNwell
238
EN4_S
In
nEN4_S
nIn
电平
位移器
Out
NWELL
Vneg
234
PPwell
DNwell
NWELL

图 20

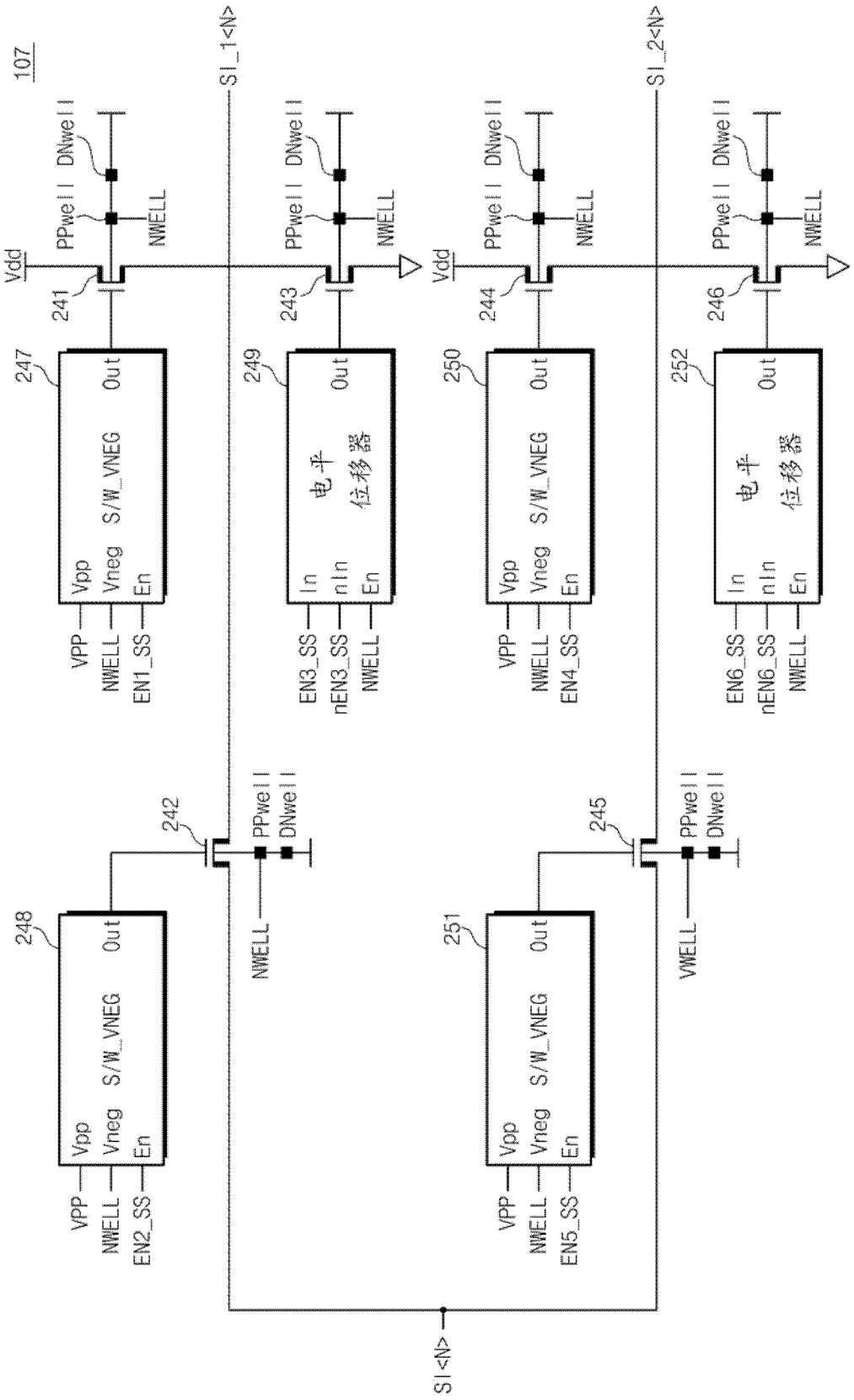

107
SI_1<N>
SI_2<N>
SI<N>
Vdd
PPwell
DNwell
NWELL
241
243
244
246
242
245
247
248
249
250
251
252
Vpp
Vneg
En
S/W_VNEG
Out
VPP
NWELL
EN1_SS
EN2_SS
EN3_SS
EN4_SS
EN5_SS
EN6_SS
In
nIn
nEN3_SS
nEN6_SS
电平
位移器
VWELL

图 21

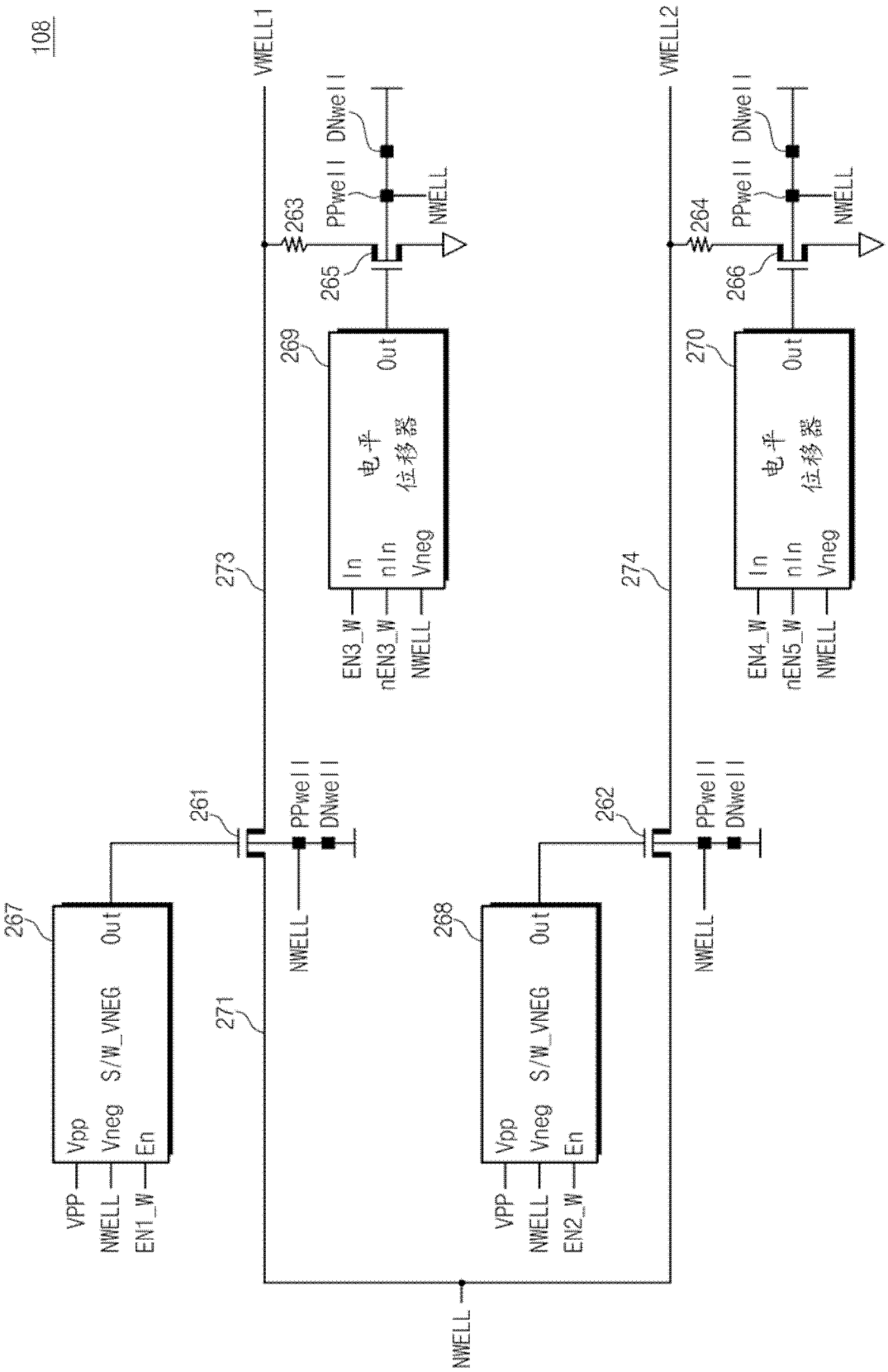

108
VWELL1
VWELL2
263
264
265
266
PPwell
DNwell
NWELL
269
270
273
274
电平位移器
In
nIn
Vneg
Out
EN3_W
nEN3_W
EN4_W
nEN5_W
261
262
267
268
271
S/W_VNEG
Vpp
En
VPP
EN1_W
EN2_W

图 22

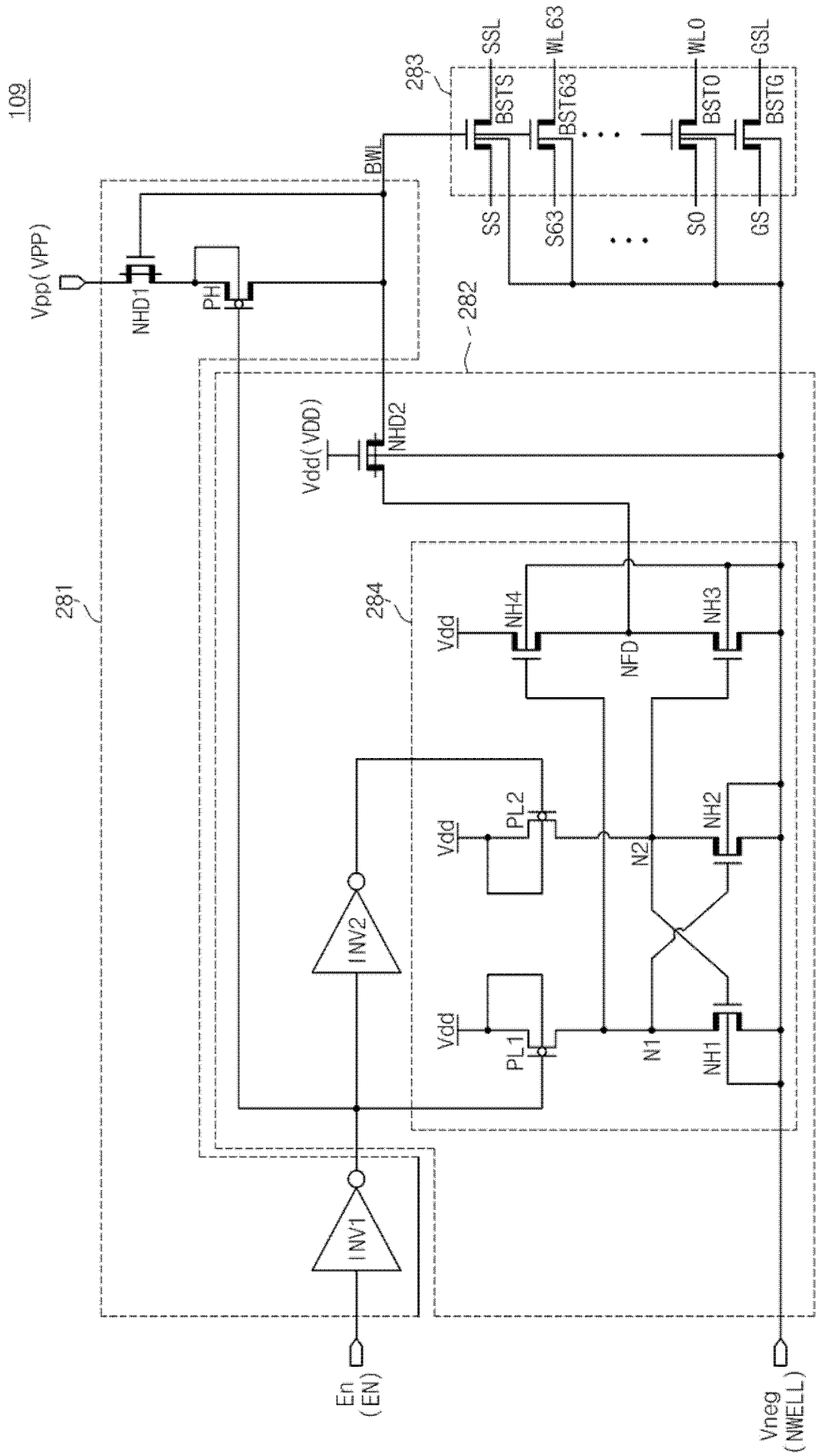

109
283
SSL
WL63
WL0
GSL
BSTS
BST63
BST0
BSTG
BWL
SS
S63
S0
GS
Vpp(VPP)
NHD1
PH
282
Vdd(VDD)
NHD2
281
284
Vdd
NH4
NH3
NFD
PL2
NH2
N2
INV2
PL1
N1
NH1
INV1
En
(EN)
Vneg
(NWELL)

图 23

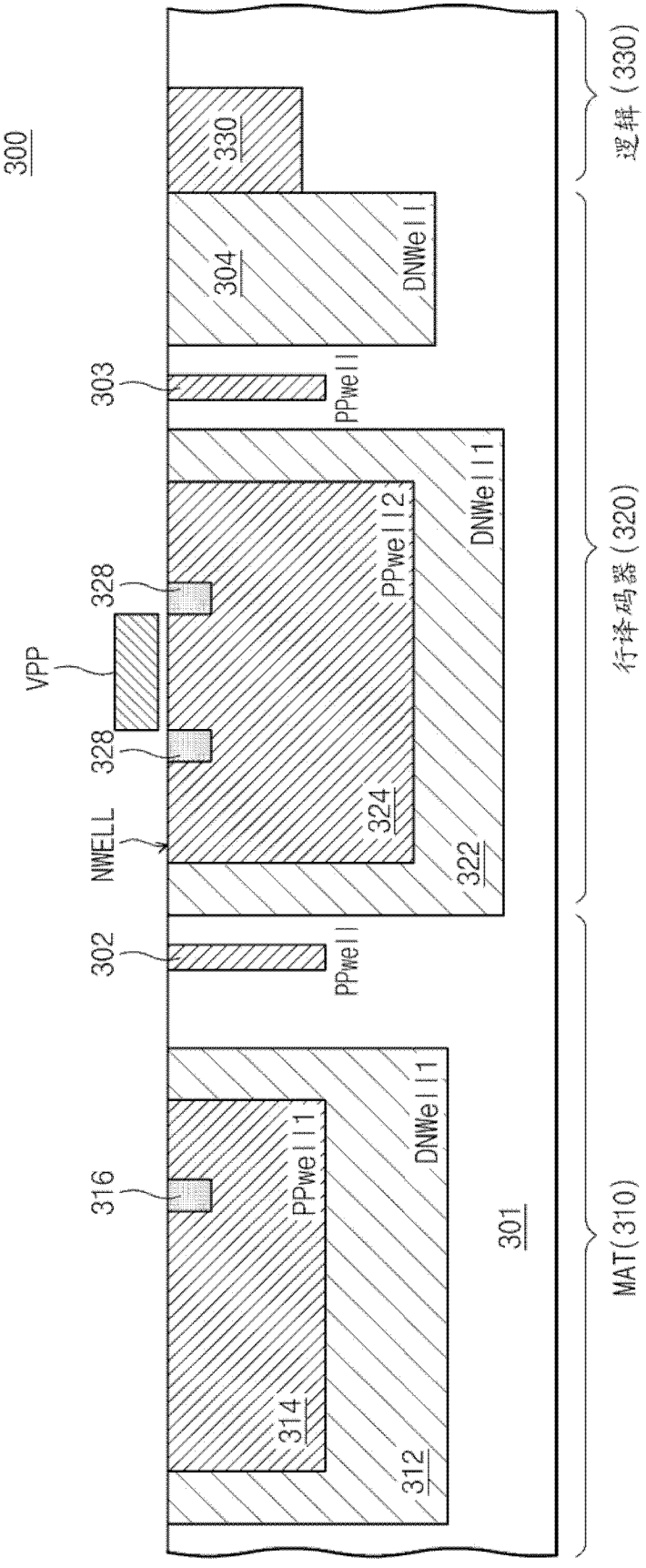

300
330
304
DNWell
303
PPwell
DNWell1
PPwell2
328
VPP
328
NWELL
324
322
302
PPwell
316
PPwell1
DNWell1
314
312
301
逻辑(330)
行译码器(320)
MAT(310)

图 24

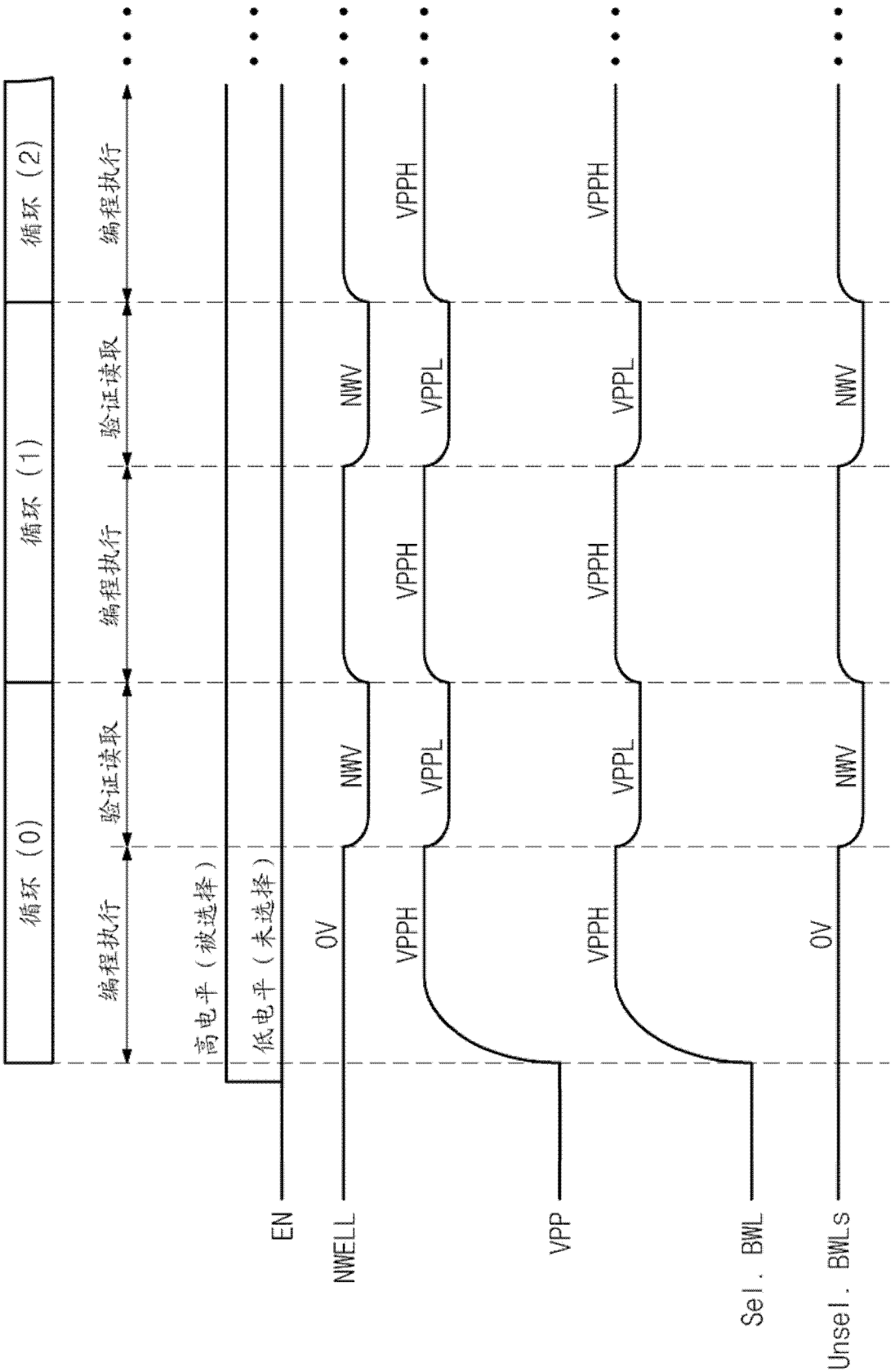

循环（0）
循环（1）
循环（2）
编程执行
验证读取
编程执行
编程执行
验证读取
编程执行
高电平（被选择）
低电平（未选择）
EN
NWELL
VPP
Sel. BWL
Unsel. BWLs
0V
NWV
VPPL
VPPH

图 25

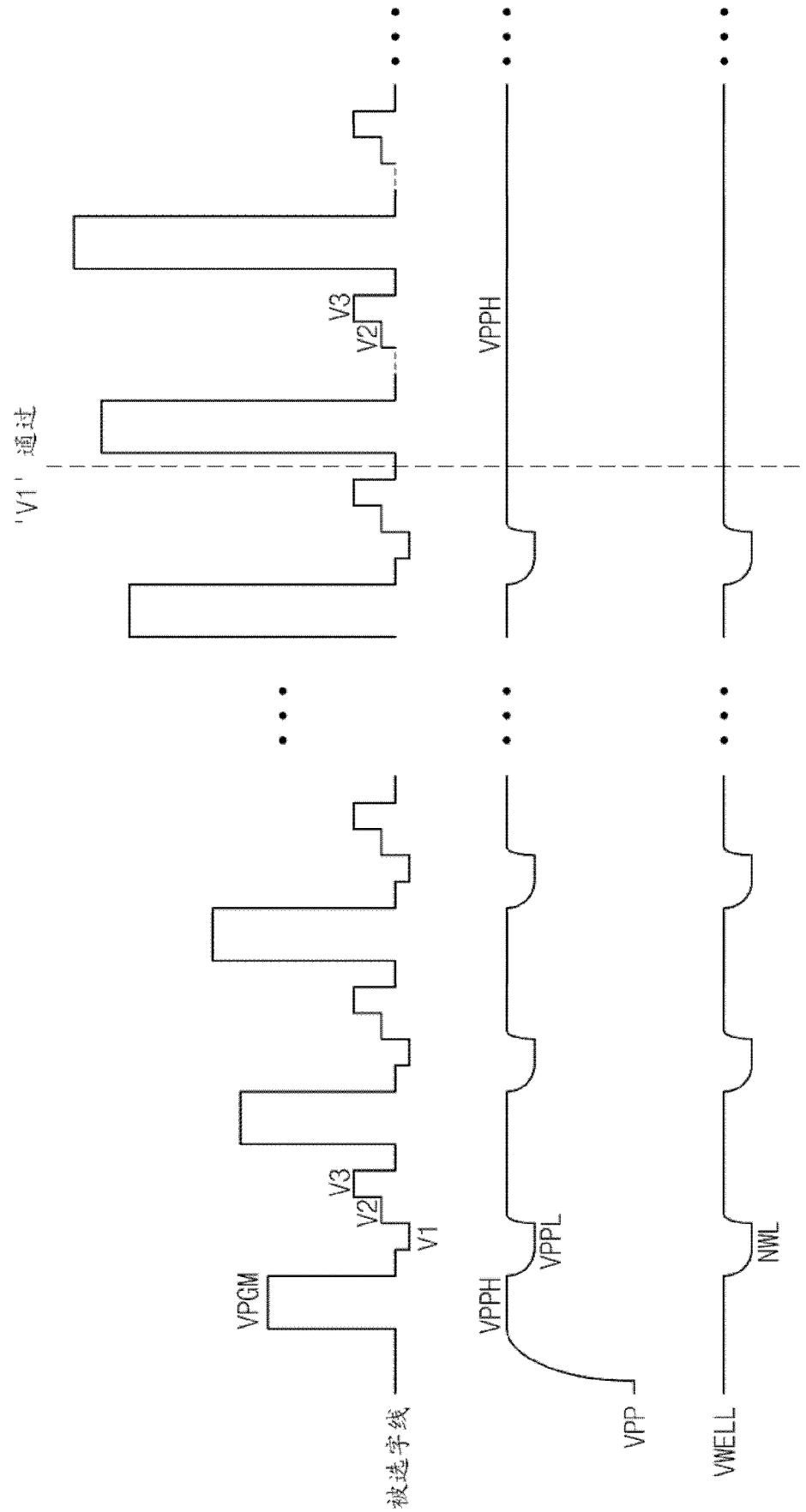


图 26

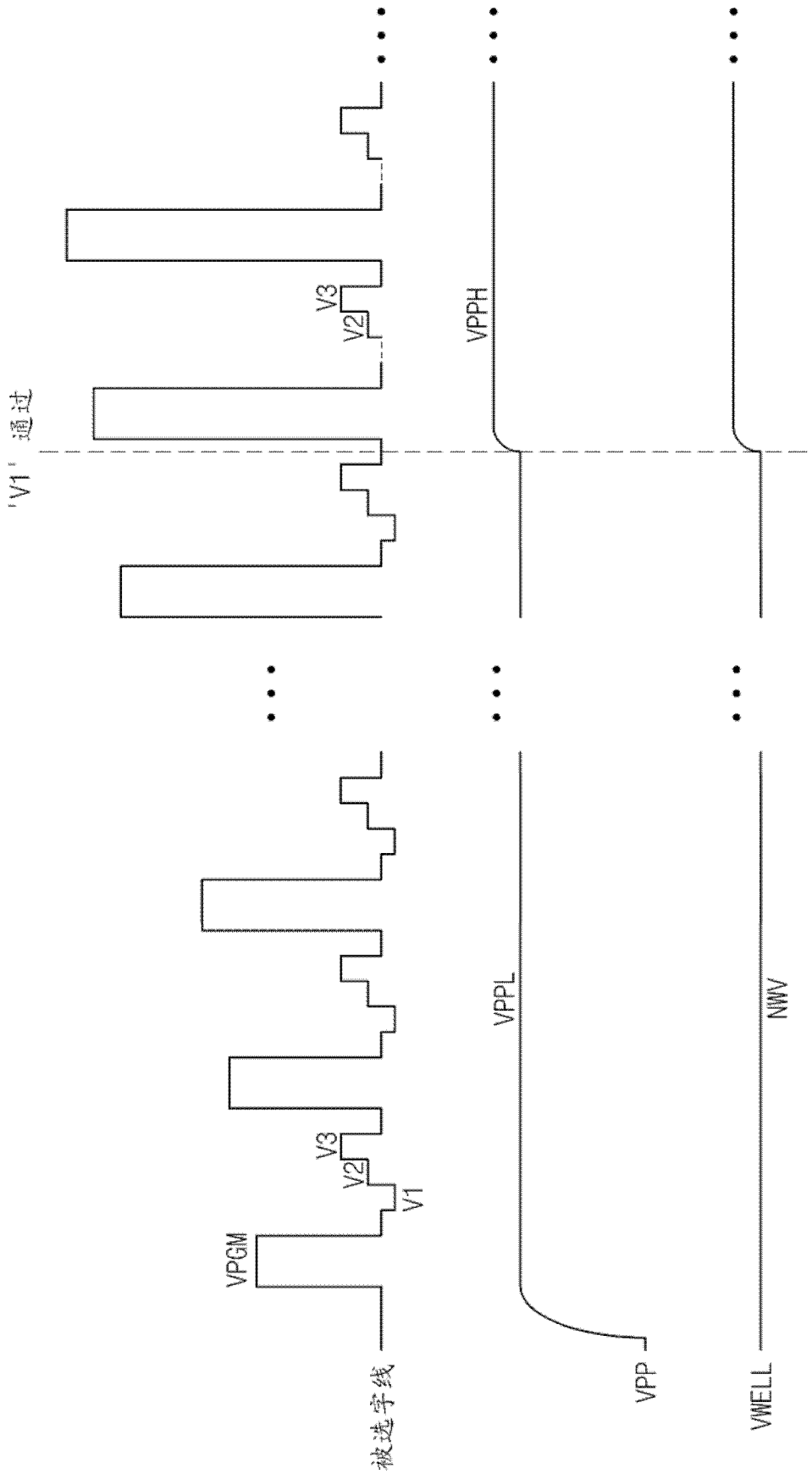


图 27

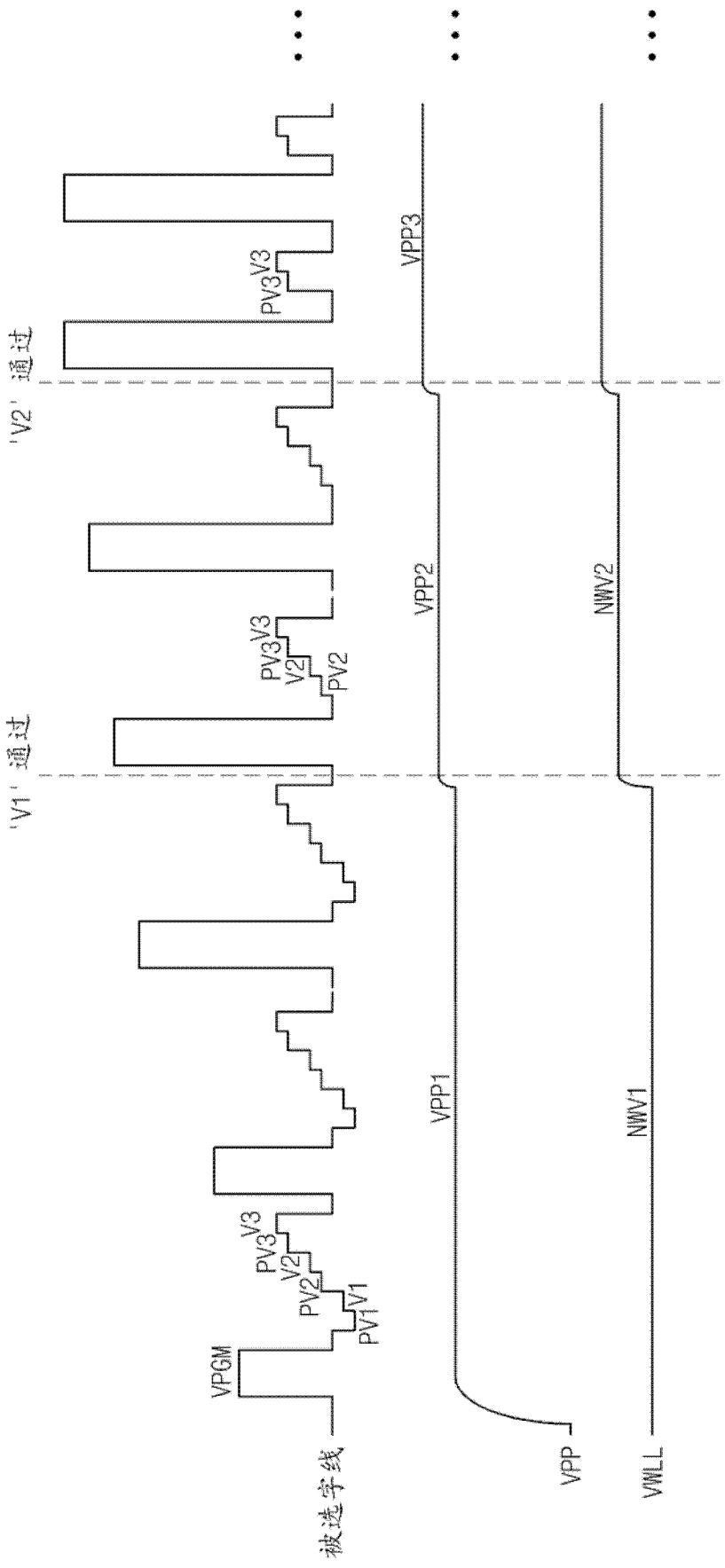

被选字线
VPGM
PV1
V1
PV2
V2
PV3
V3
'V1' 通过
PV2
V2
PV3
V3
'V2' 通过
PV3
V3
VPP1
VPP2
VPP3
VPP
NWV1
NWV2
VWLL

图 28

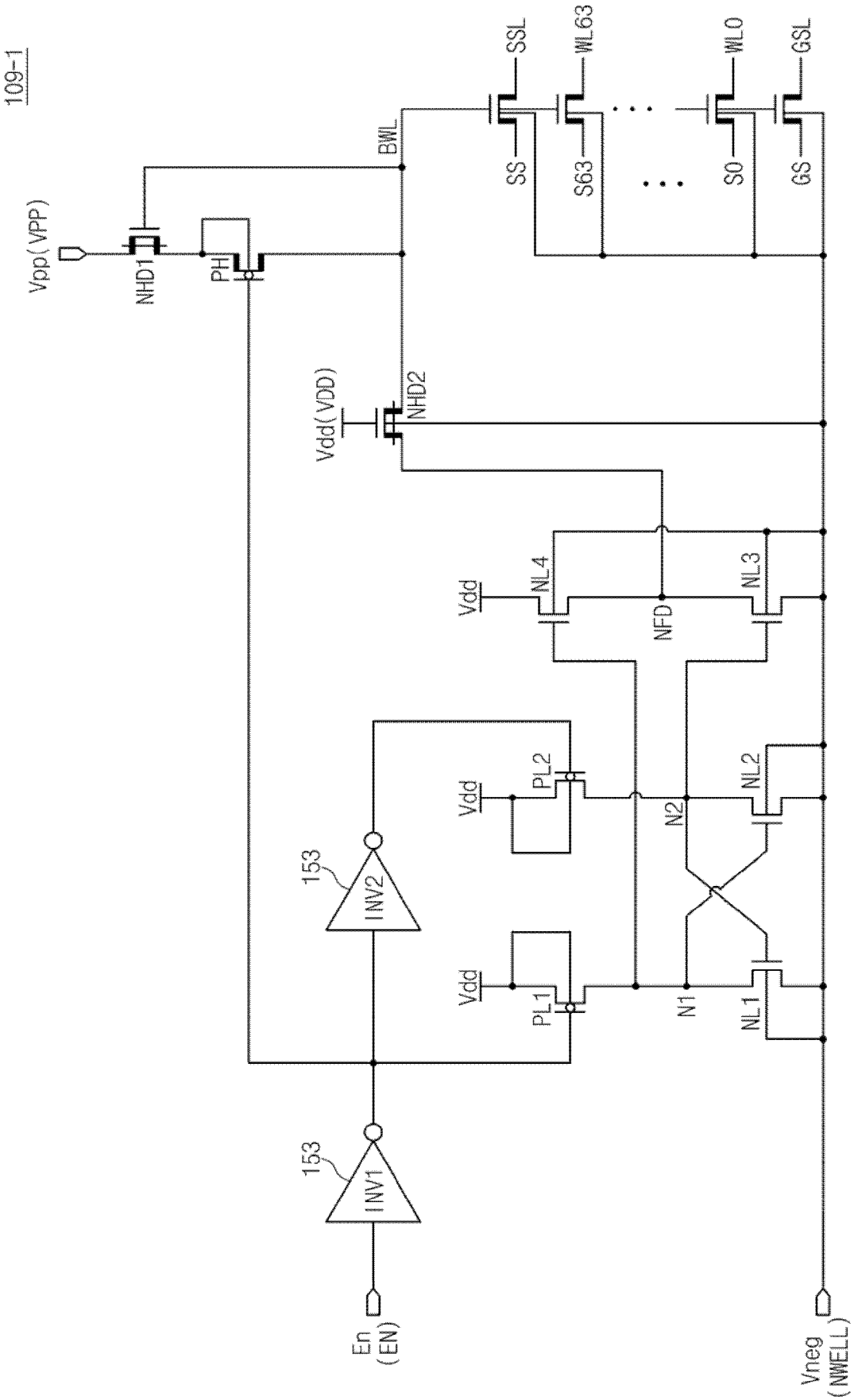

109-1
SSL
WL63
WL0
GSL
BWL
SS
S63
S0
GS
Vpp(VPP)
NHD1
PH
Vdd(VDD)
NHD2
Vdd
NL4
NL3
NFD
Vdd
PL2
NL2
N2
153
INV2
Vdd
PL1
N1
NL1
153
INV1
En
(EN)
Vneg
(NWELL)

图 29

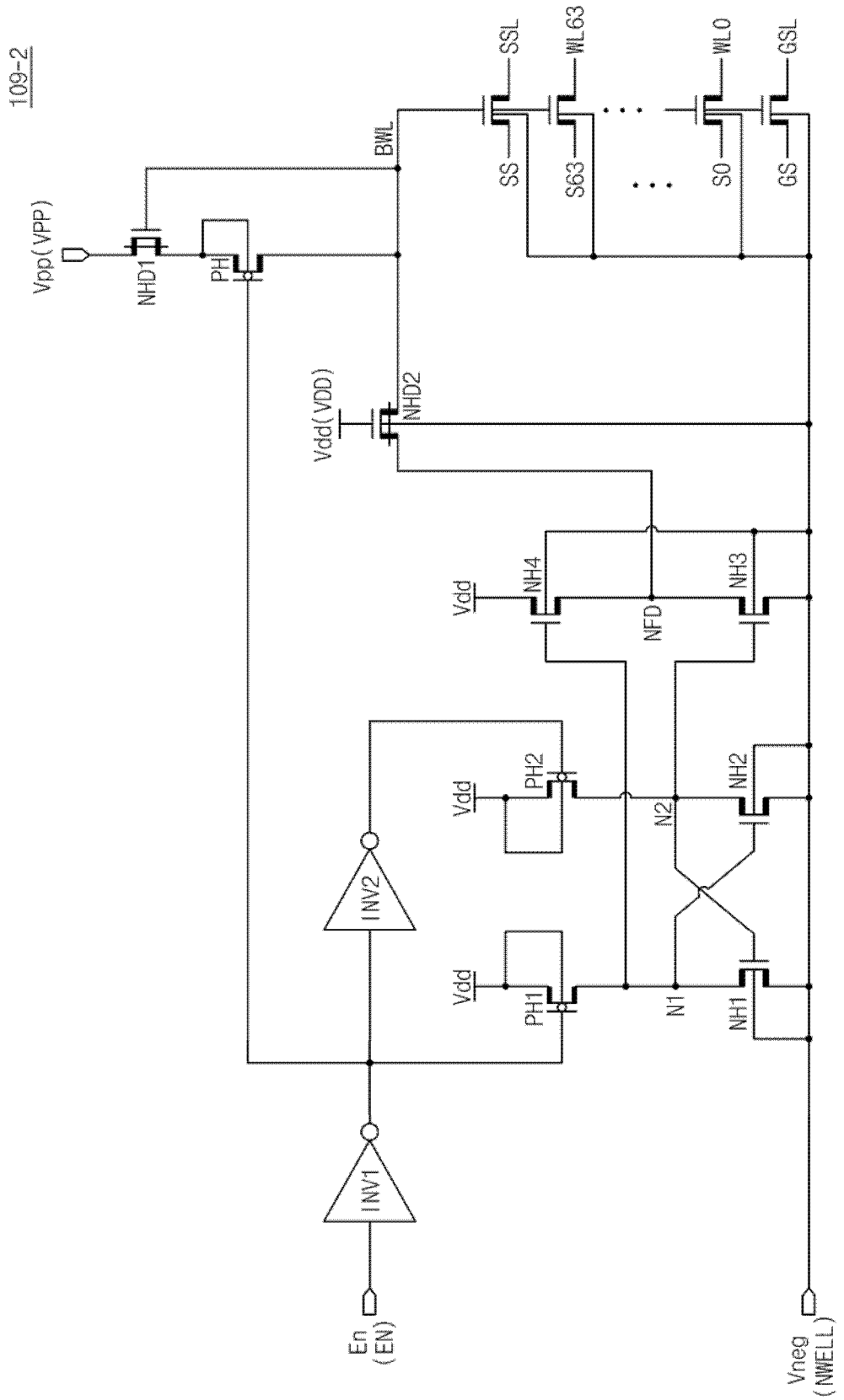

109-2
SSL
WL63
WL0
GSL
BWL
SS
S63
S0
GS
Vpp(VPP)
NHD1
PH
Vdd(VDD)
NHD2
Vdd
NH4
NH3
NFD
Vdd
PH2
NH2
N2
INV2
Vdd
PH1
N1
NH1
INV1
En
(EN)
Vneg
(NWELL)

图 30

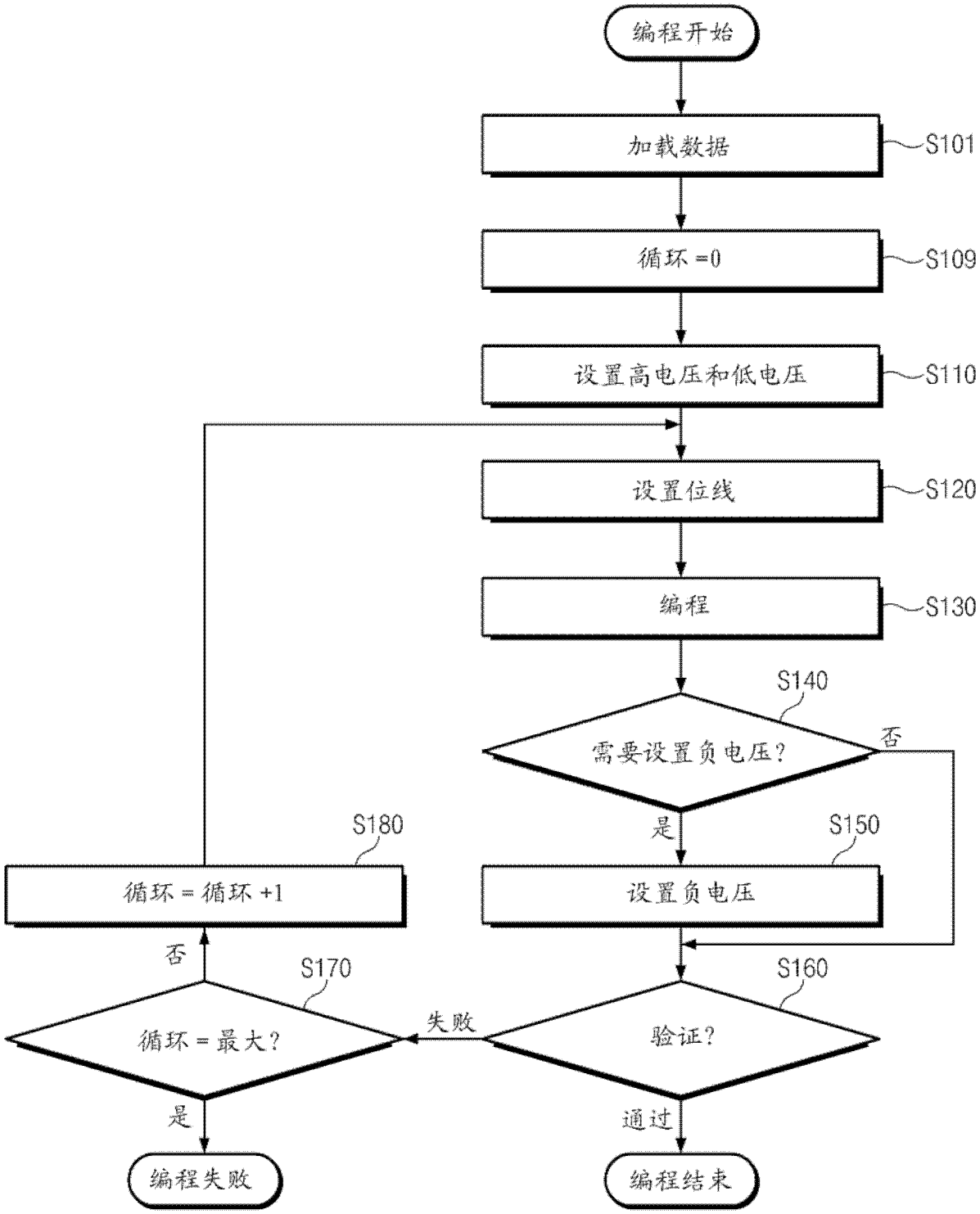

编程开始
加载数据
S101
循环 =0
S109
设置高电压和低电压
S110
设置位线
S120
编程
S130
S140
需要设置负电压?
否
是
S150
设置负电压
S160
验证?
失败
通过
编程结束
S170
循环 = 最大?
否
是
编程失败
S180
循环 = 循环 +1

图 31

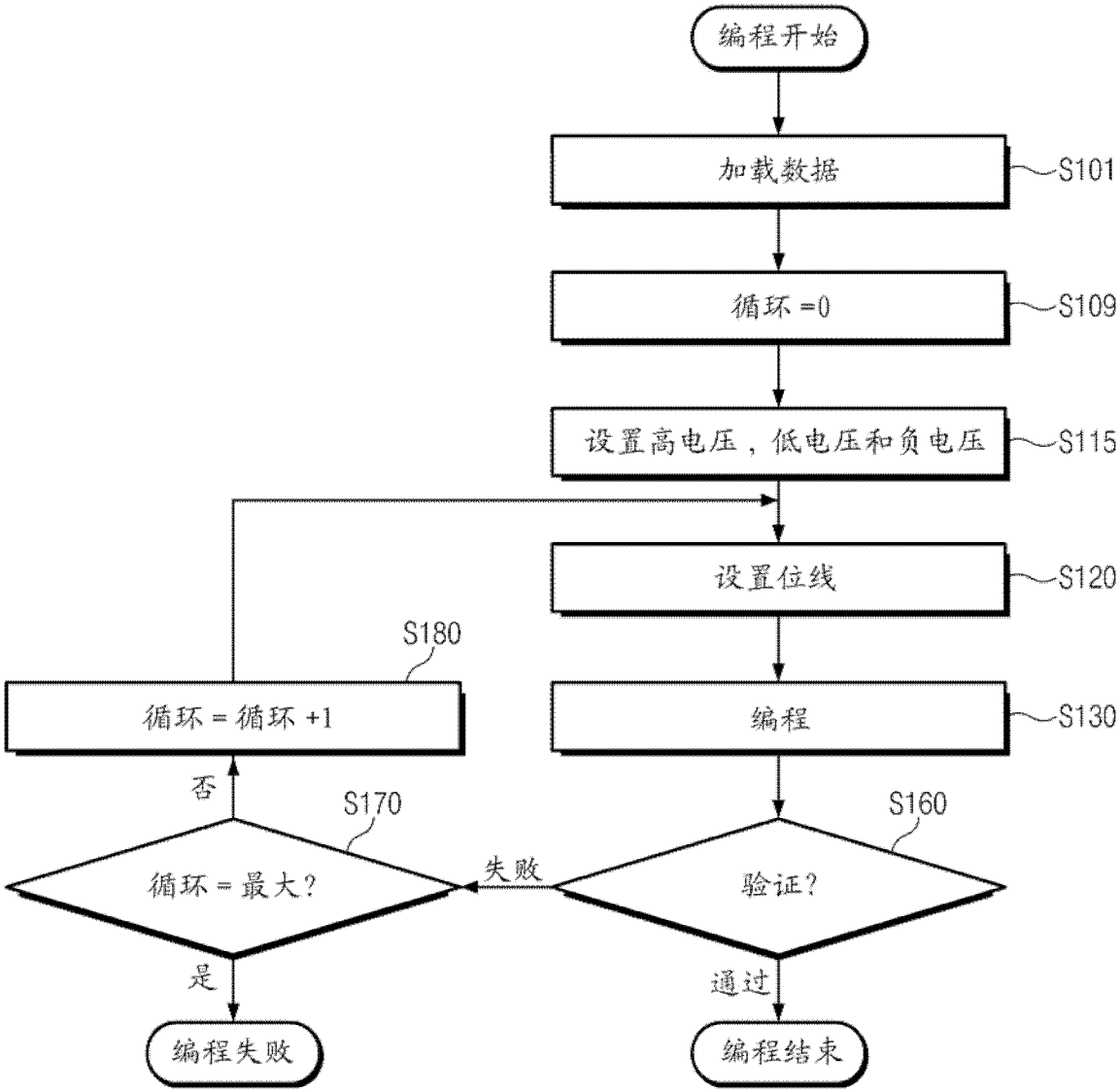

编程开始
加载数据
S101
循环 =0
S109
设置高电压，低电压和负电压
S115
设置位线
S120
S180
循环 = 循环 +1
编程
S130
否
S170
S160
循环 = 最大?
失败
验证?
是
通过
编程失败
编程结束

图 32

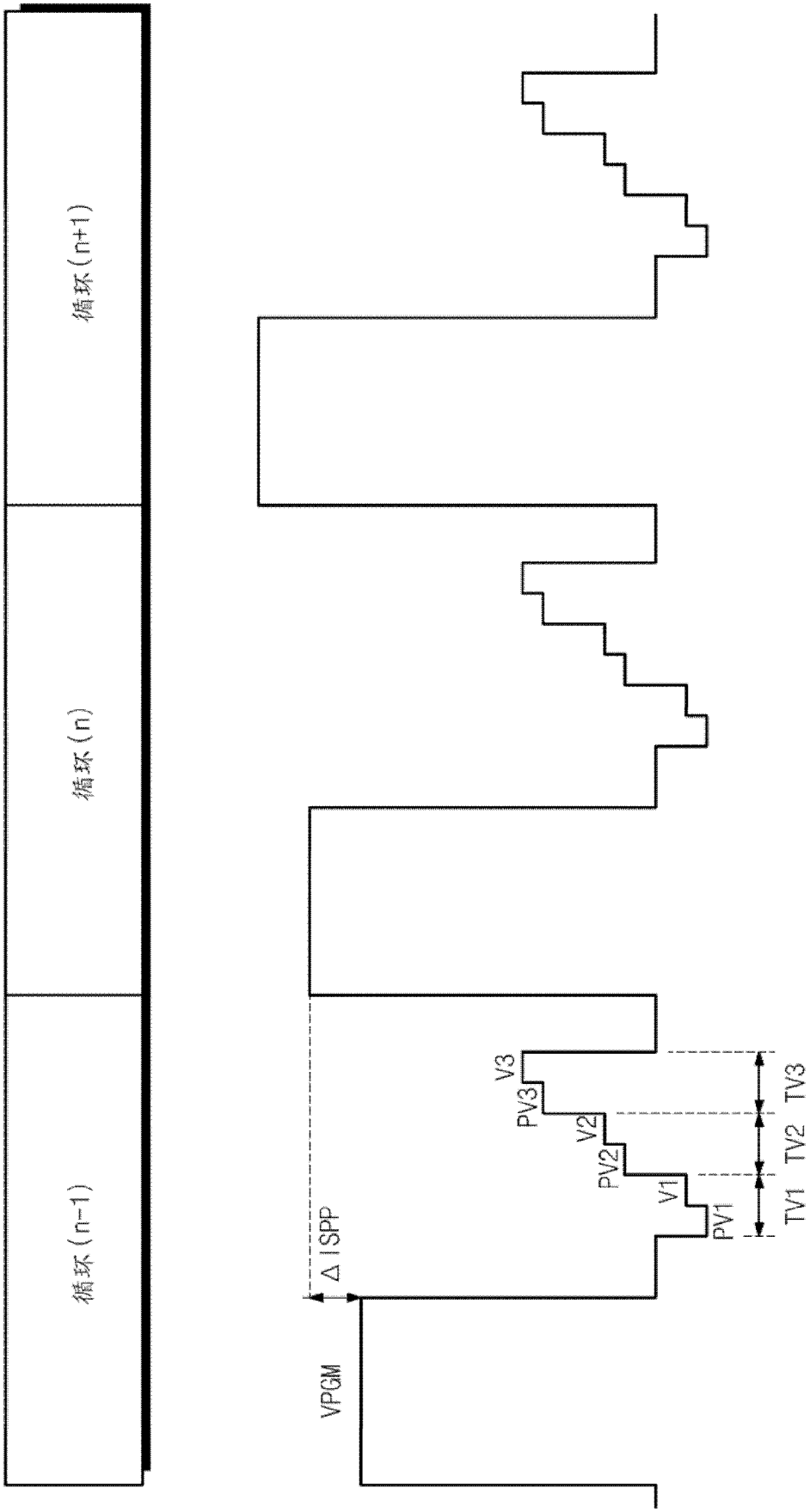


图 33

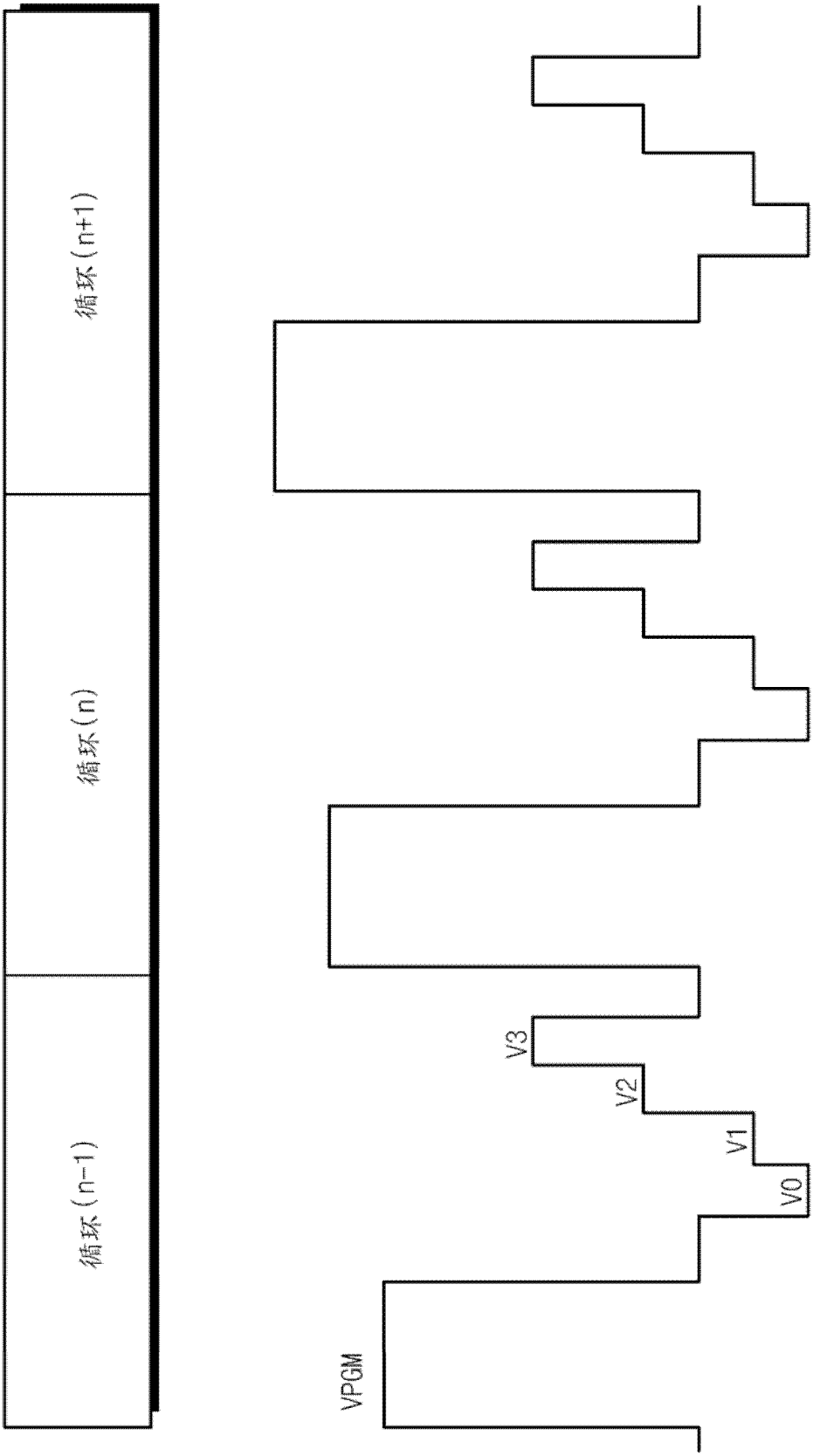


图 34

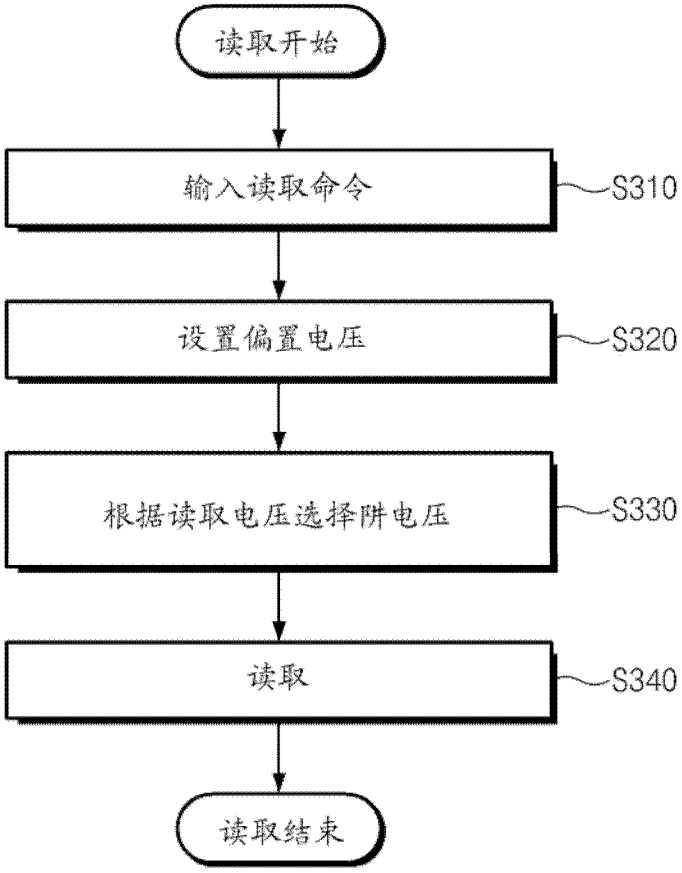


图 35

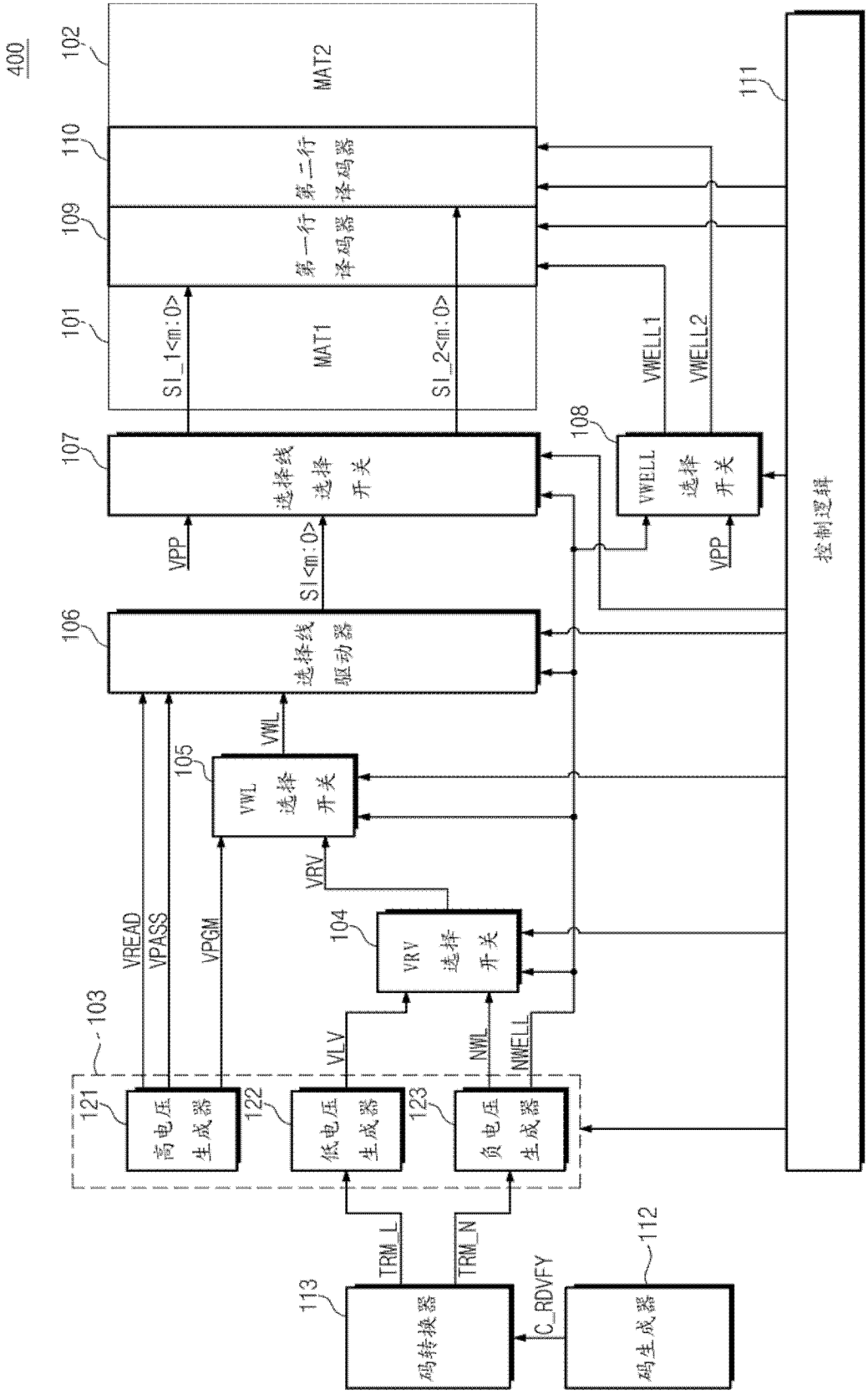

400
102
MAT2
110
第二行译码器
109
第一行译码器
101
MAT1
SI_1<m:0>
SI_2<m:0>
VWELL1
VWELL2
111
107
选择线选择开关
108
VWELL选择开关
VPP
SI<m:0>
106
选择线驱动器
105
VWL选择开关
VWL
VRV
104
VRV选择开关
VREAD
VPASS
VPGM
103
VLV
NWL
NWELL
121
高电压生成器
122
低电压生成器
123
负电压生成器
TRM_L
TRM_N
113
码转换器
C_RDVFY
112
码生成器
控制逻辑

图 36

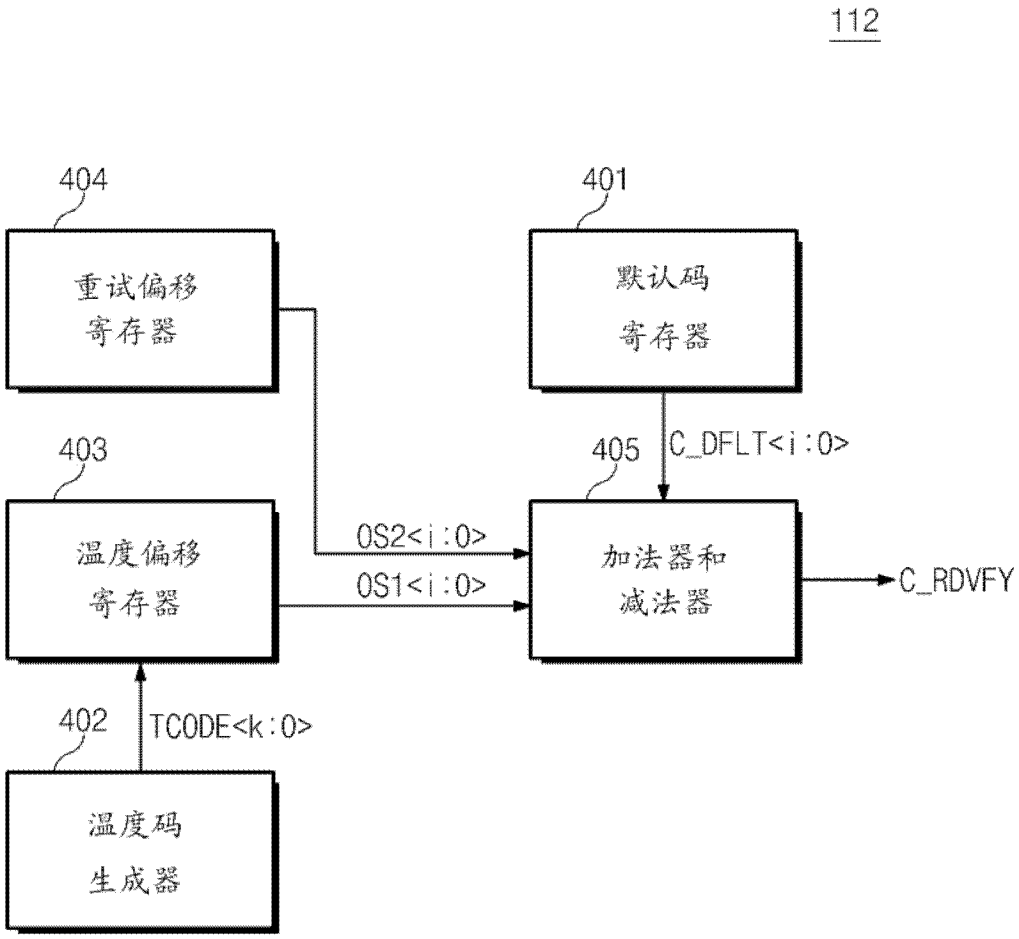

112
404
重试偏移
寄存器
401
默认码
寄存器
403
温度偏移
寄存器
405
C_DFLT<i:0>
OS2<i:0>
OS1<i:0>
加法器和
减法器
C_RDVFY
402
TCODE<k:0>
温度码
生成器

图 37

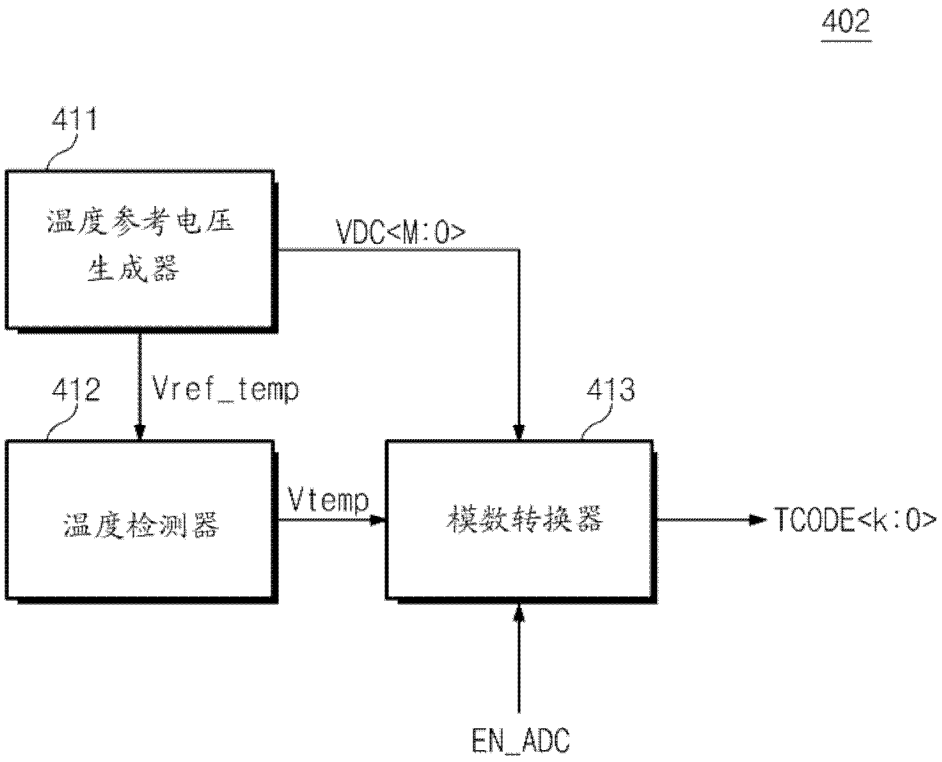

402
411
温度参考电压
生成器
VDC<M:0>
412
Vref_temp
413
温度检测器
Vtemp
模数转换器
TCODE<k:0>
EN_ADC

图 38

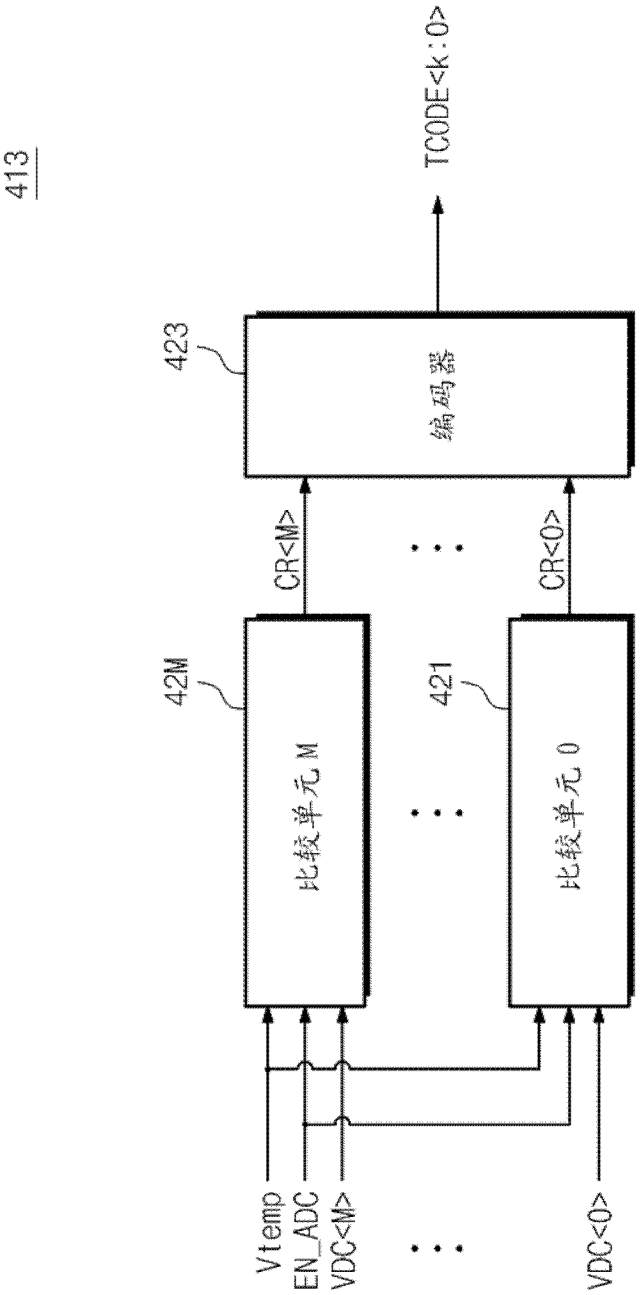

413
TCODE<k:0>
423
编码器
CR<M>
CR<0>
42M
421
比较单元 M
比较单元 0
Vtemp
EN_ADC
VDC<M>
VDC<0>

图 39

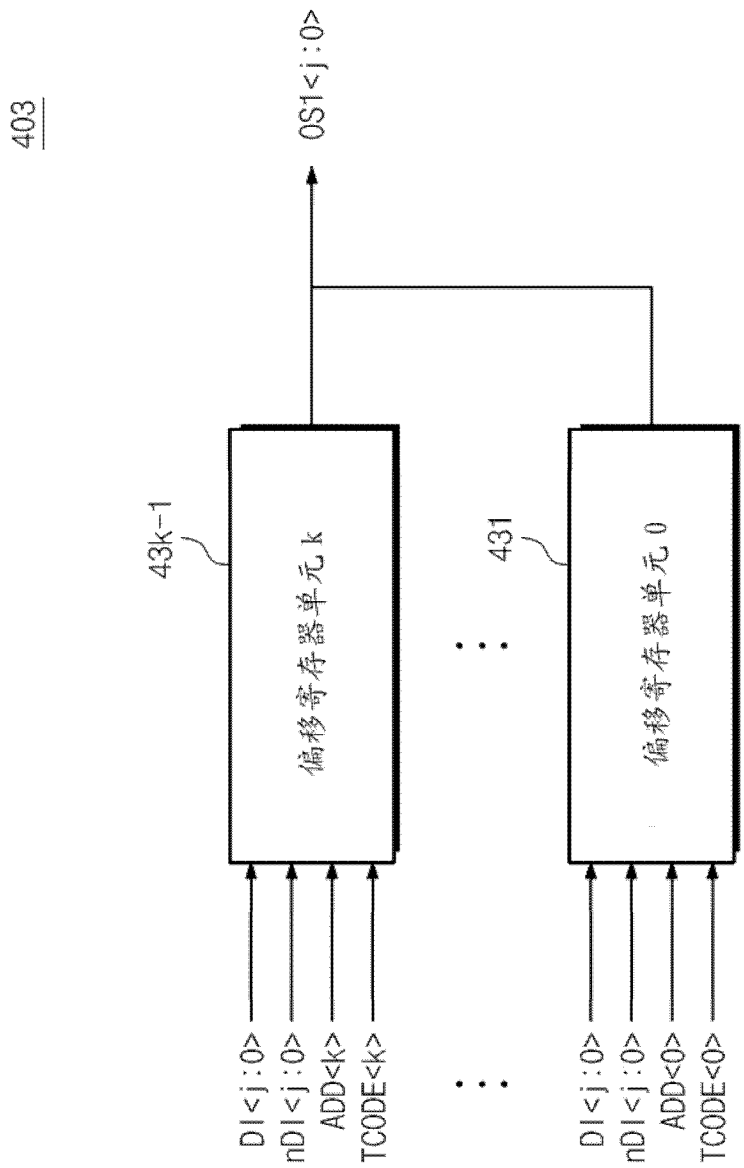

403
OS1<j:0>
43k-1
偏移寄存器单元 k
431
偏移寄存器单元 0
DI<j:0>
nDI<j:0>
ADD<k>
TCODE<k>
DI<j:0>
nDI<j:0>
ADD<0>
TCODE<0>

图 40

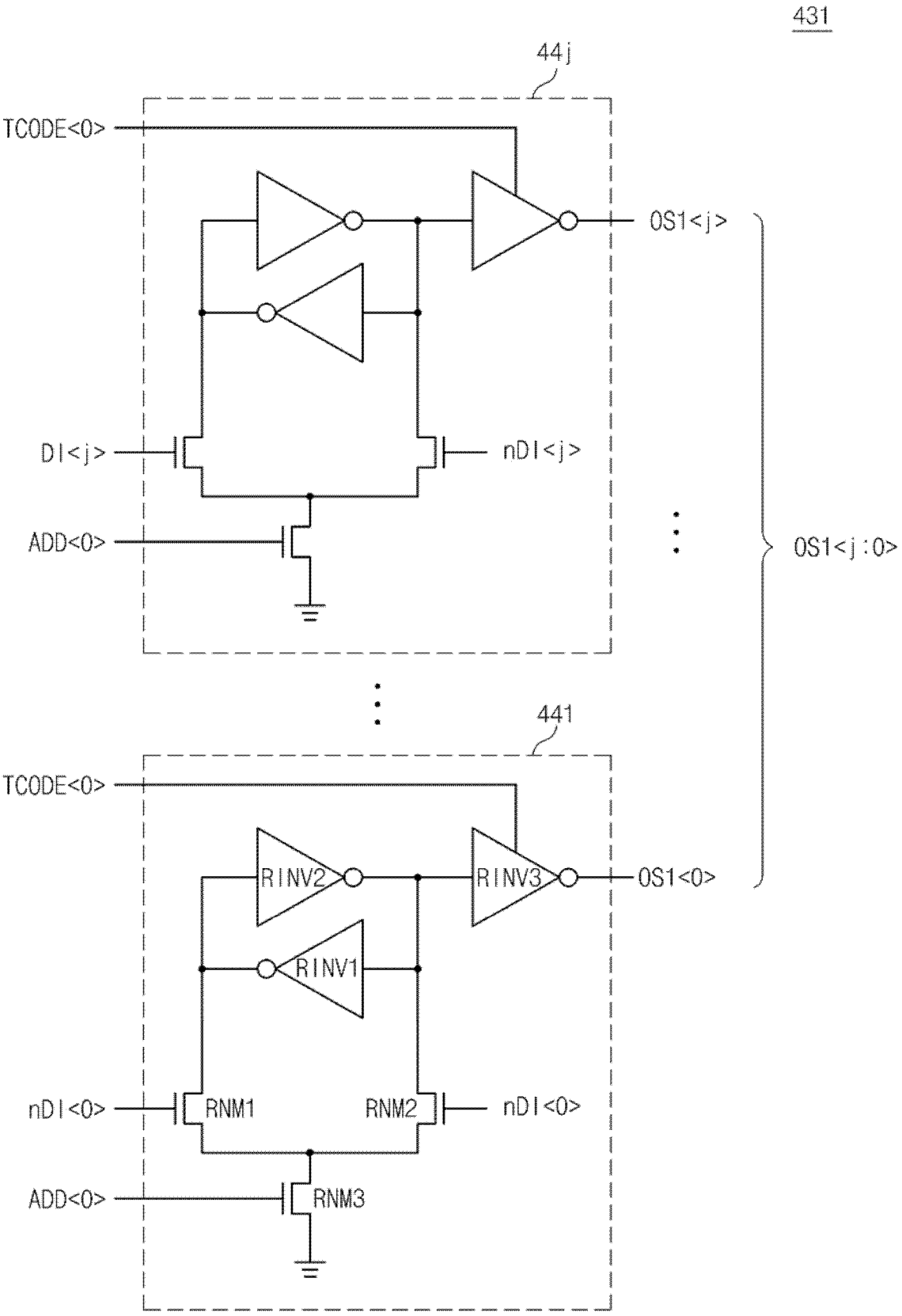

431
44j
TCODE<0>
OS1<j>
DI<j>
nDI<j>
ADD<0>
OS1<j:0>
441
TCODE<0>
RINV2
RINV3
OS1<0>
RINV1
nDI<0>
RNM1
RNM2
nDI<0>
ADD<0>
RNM3

图 41

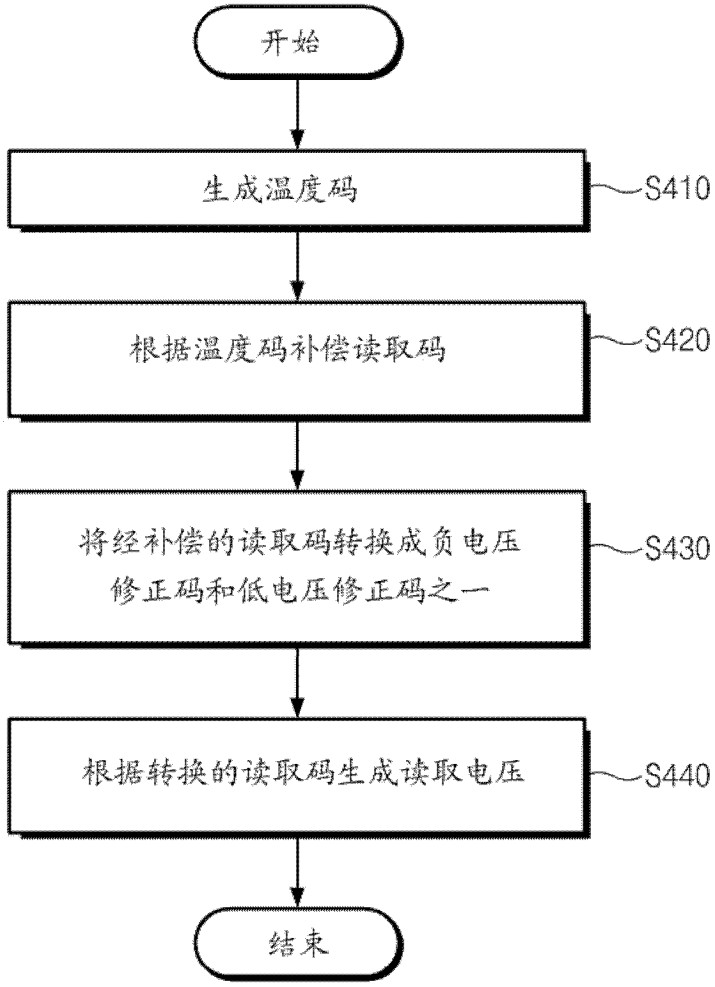

开始
生成温度码
S410
根据温度码补偿读取码
S420
将经补偿的读取码转换成负电压
修正码和低电压修正码之一
S430
根据转换的读取码生成读取电压
S440
结束

图 42

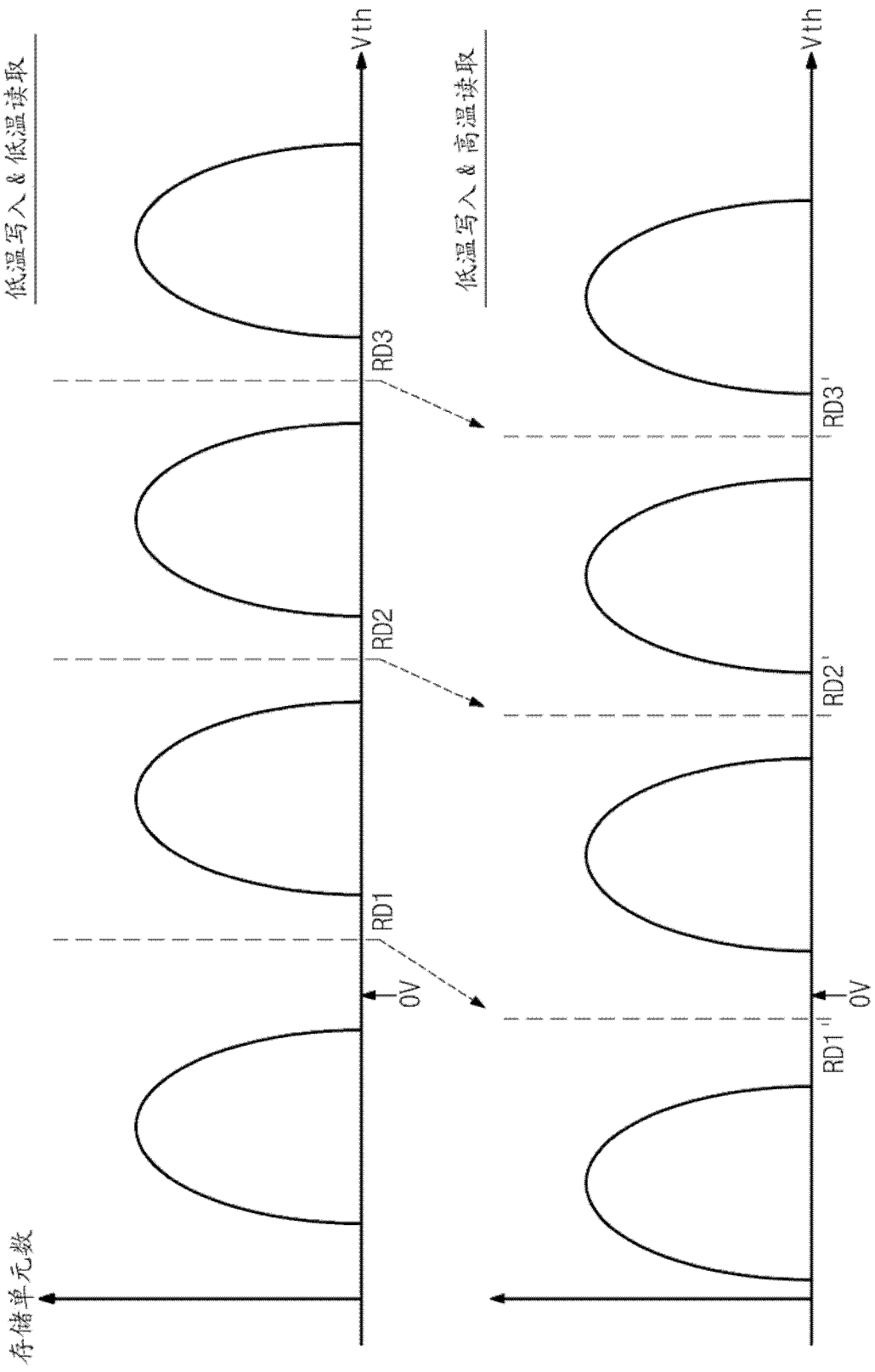


图 43

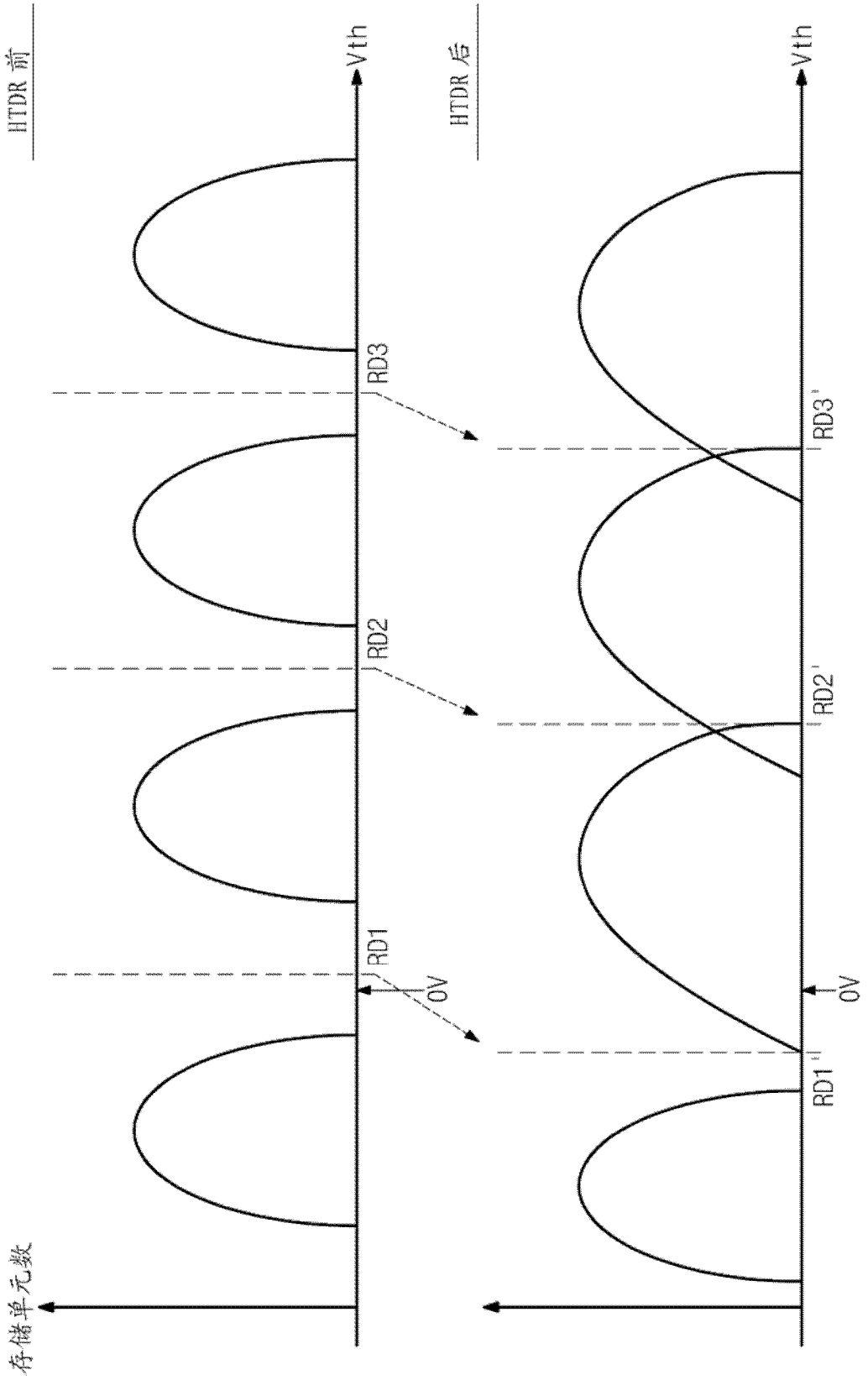


图 44

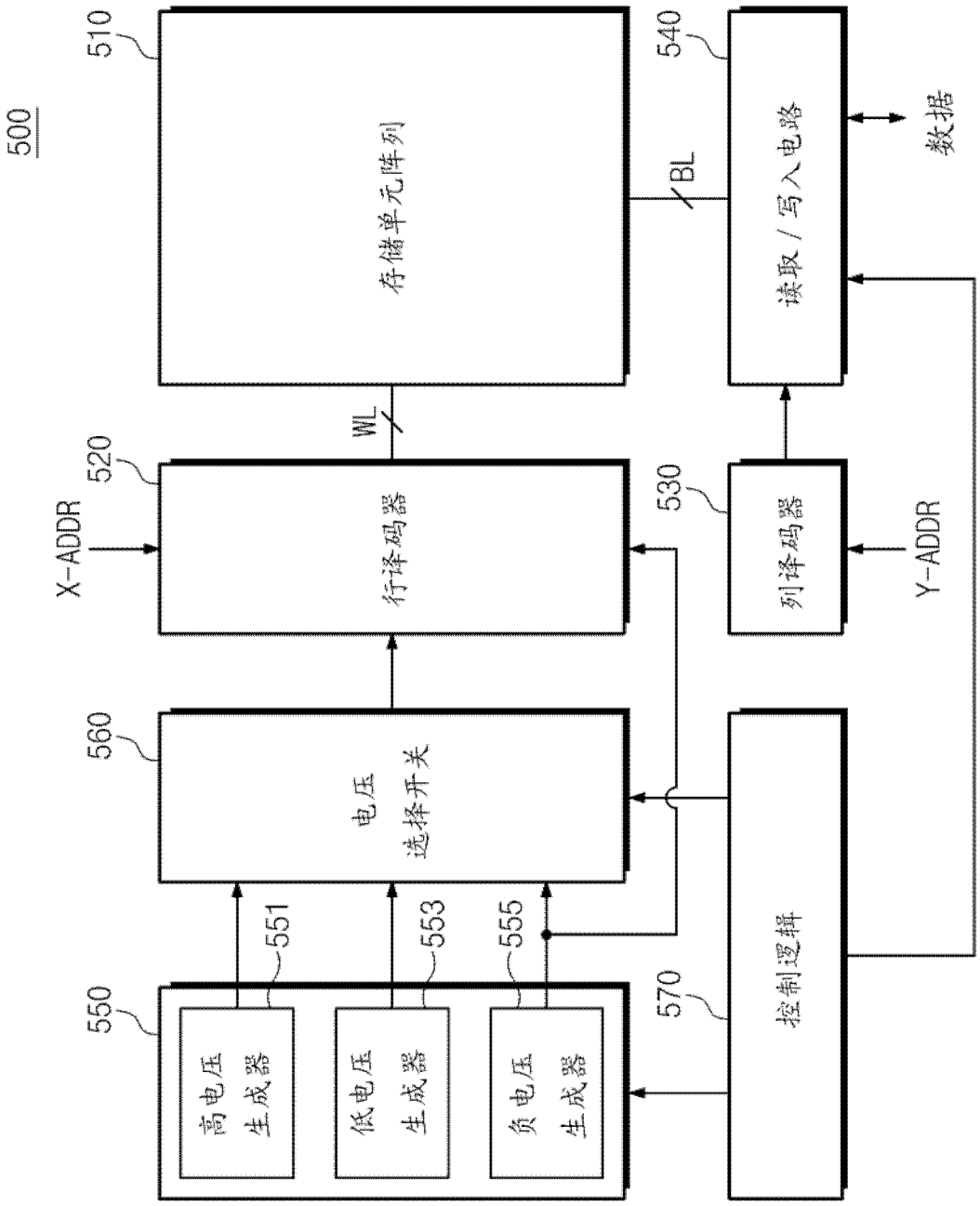

500
510
存储单元阵列
540
读取 / 写入电路
数据
BL
WL
520
行译码器
X-ADDR
530
列译码器
Y-ADDR
560
电压
选择开关
550
高电压
生成器
551
低电压
生成器
553
负电压
生成器
555
570
控制逻辑

图 45

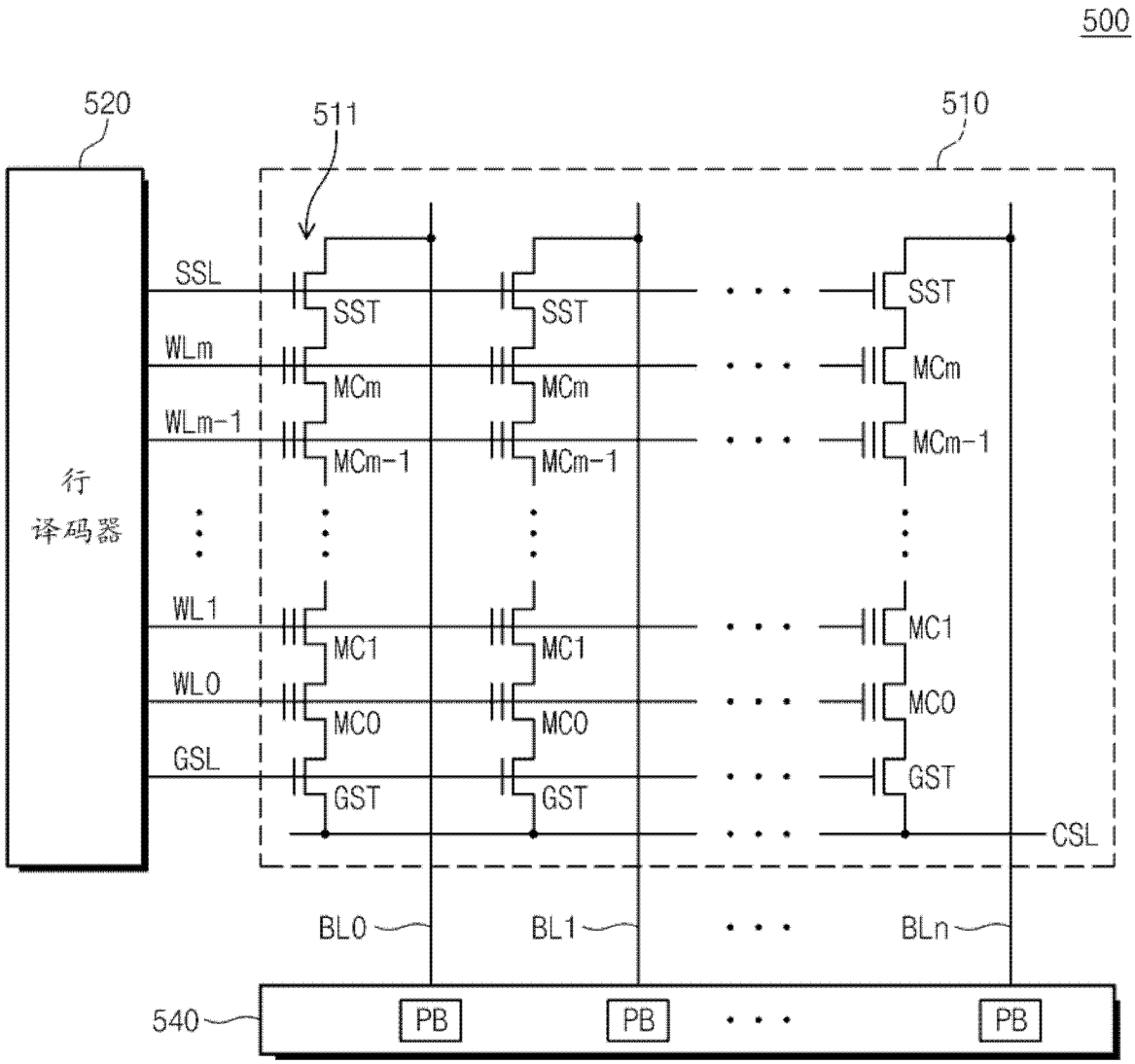

500
520
511
510
行
译码器
SSL
WLm
WLm-1
WL1
WL0
GSL
SST
MCm
MCm-1
MC1
MC0
GST
CSL
BL0
BL1
BLn
540
PB

图 46

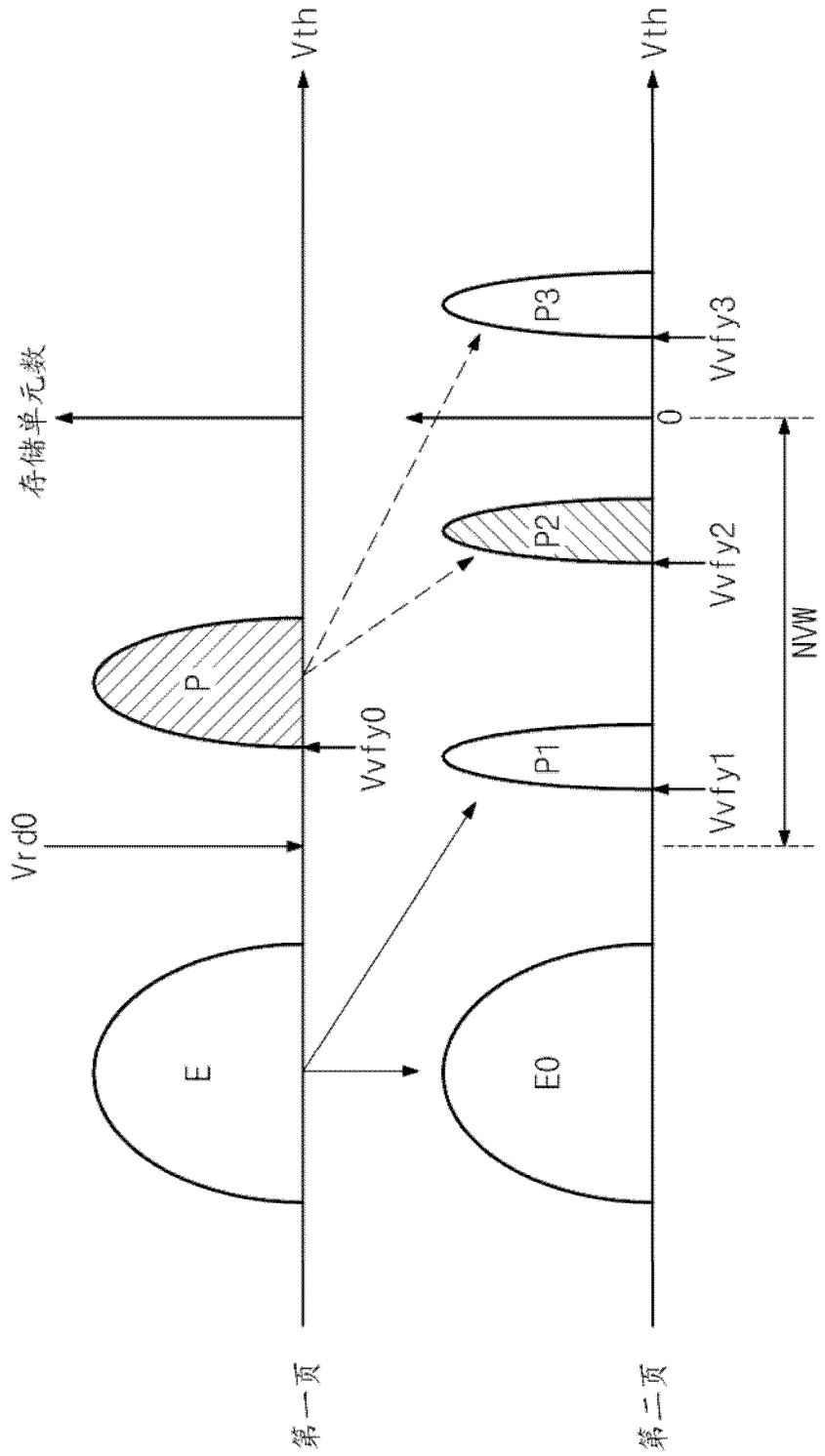

Vth
Vth
存储单元数
P3
Vvfy3
0
P2
Vvfy2
NVW
P
Vvfy0
P1
Vvfy1
Vrd0
E
E0
第一页
第二页

图 47

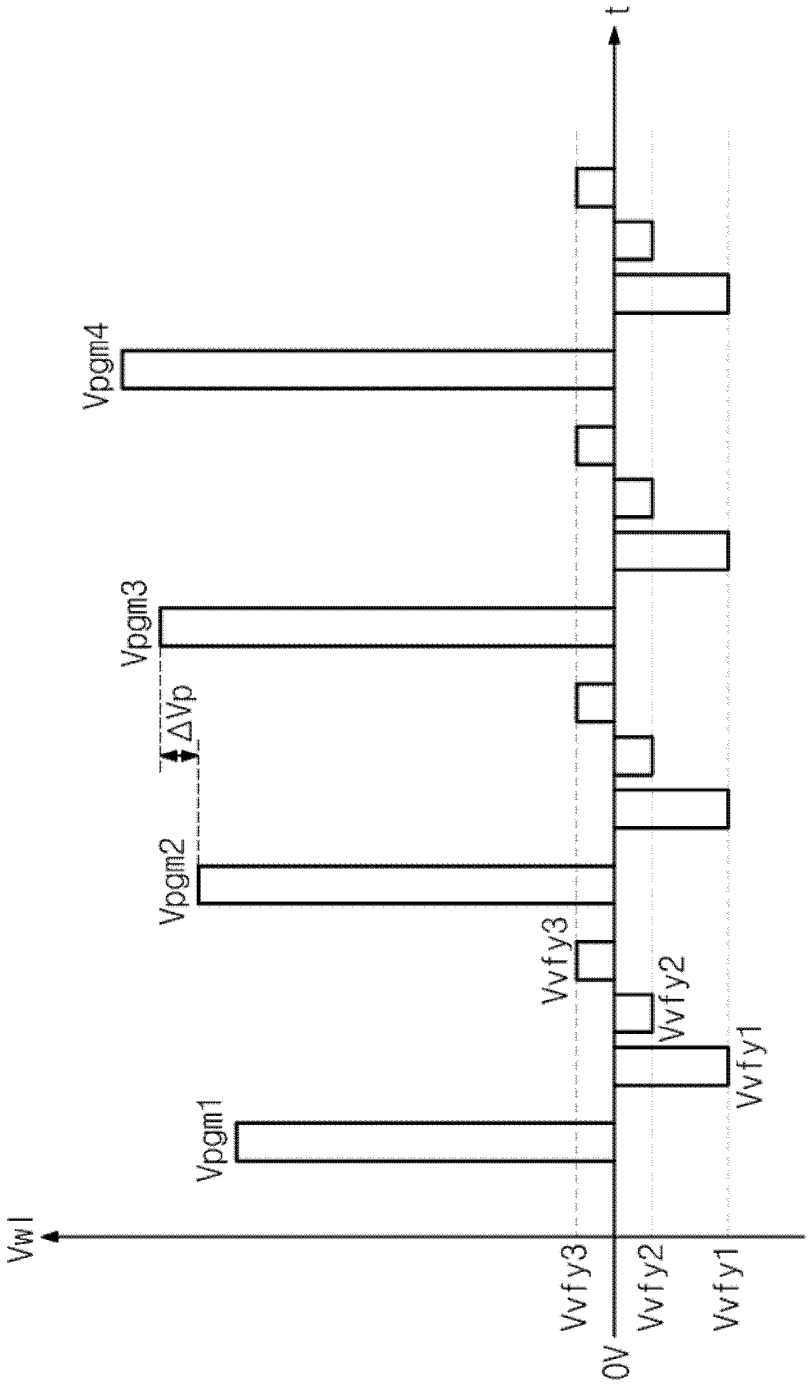

t
Vpgm4
Vpgm3
ΔVp
Vpgm2
Vpgm1
Vvfy3
Vvfy2
Vvfy1
Vwl
Vvfy3
Vvfy2
Vvfy1
0V

图 48

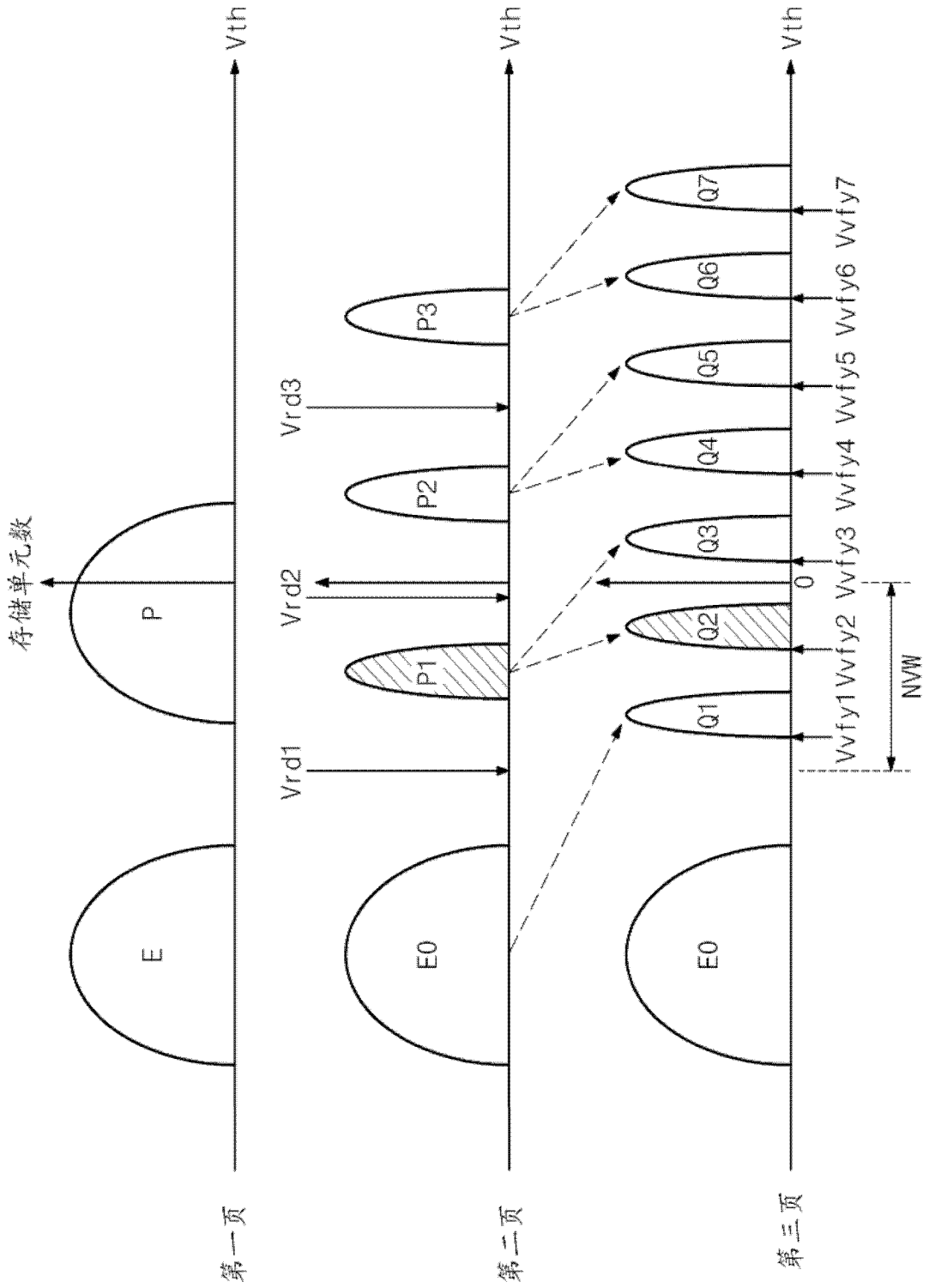

Vth
存储单元数
E
P
Vrd1
Vrd2
Vrd3
E0
P1
P2
P3
Q1
Q2
Q3
Q4
Q5
Q6
Q7
0
Vvfy1
Vvfy2
Vvfy3
Vvfy4
Vvfy5
Vvfy6
Vvfy7
NVW
第一页
第二页
第三页

图 49

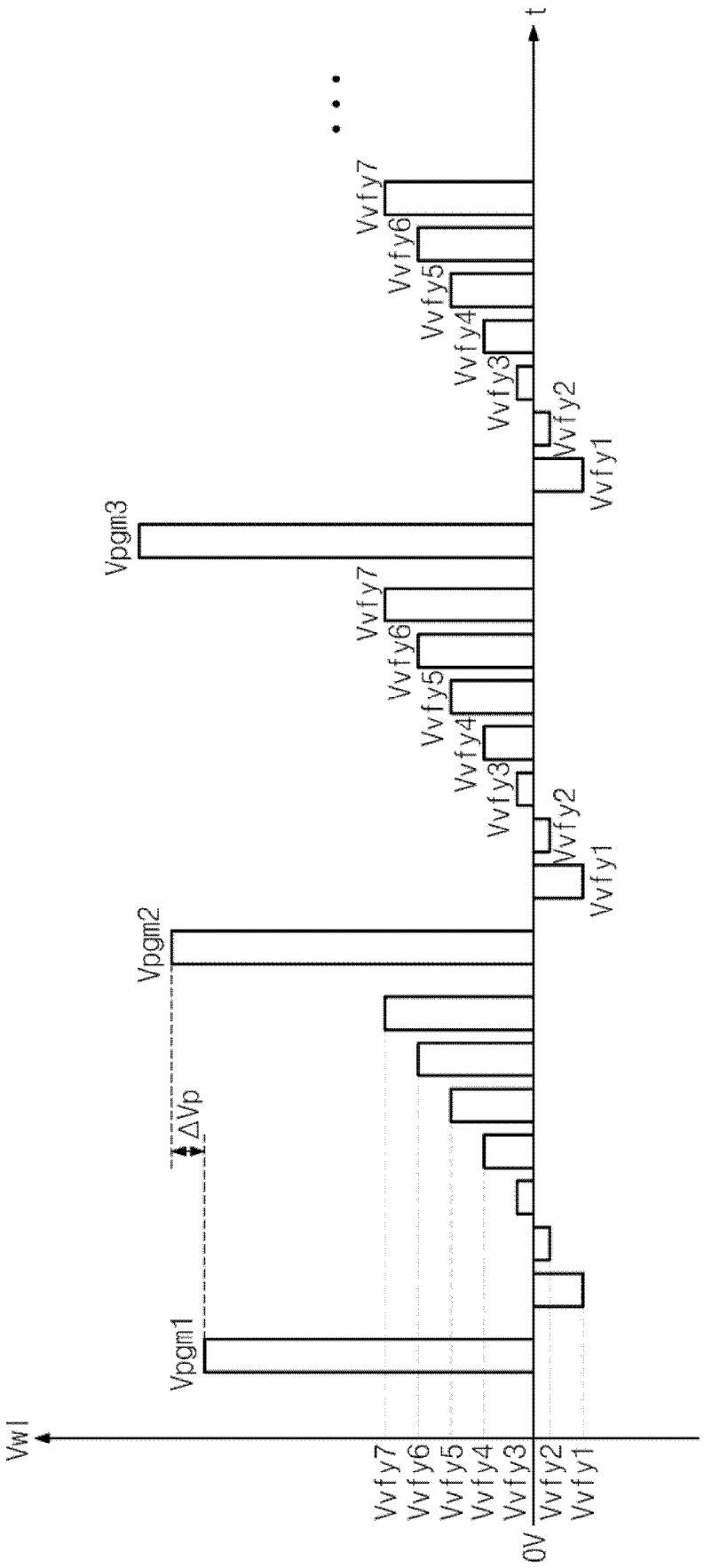

t
Vvfy7
Vvfy6
Vvfy5
Vvfy4
Vvfy3
Vvfy2
Vvfy1
Vpgm3
Vpgm2
Vpgm1
ΔVp
Vwl
0V

图 50

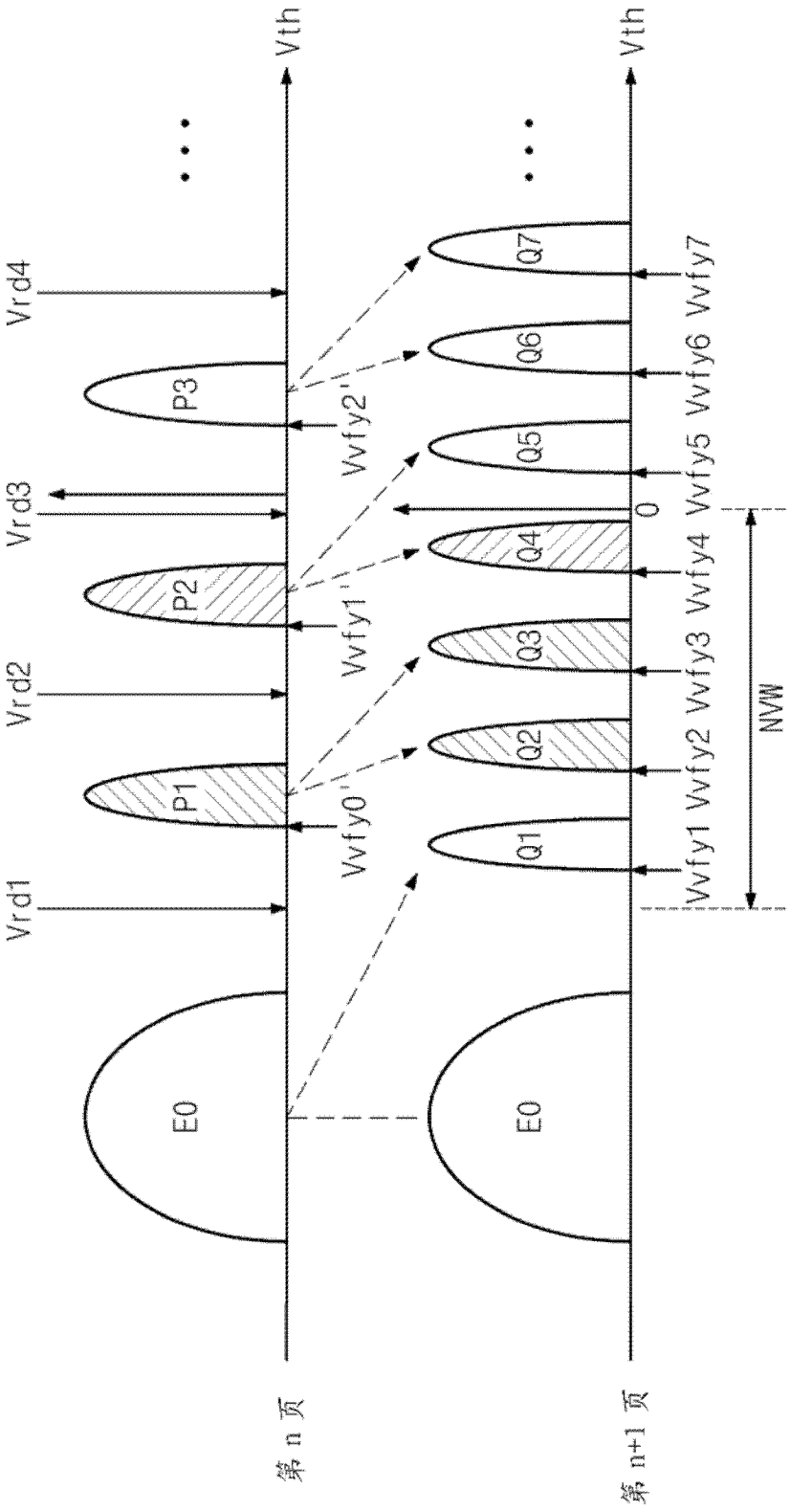

Vth
Vth
Vrd4
Vrd3
Vrd2
Vrd1
P3
P2
P1
E0
Vvfy2'
Vvfy1'
Vvfy0'
Q7
Q6
Q5
Q4
Q3
Q2
Q1
E0
0
Vvfy7
Vvfy6
Vvfy5
Vvfy4
Vvfy3
Vvfy2
Vvfy1
NVW
第 n 页
第 n+1 页

图 51

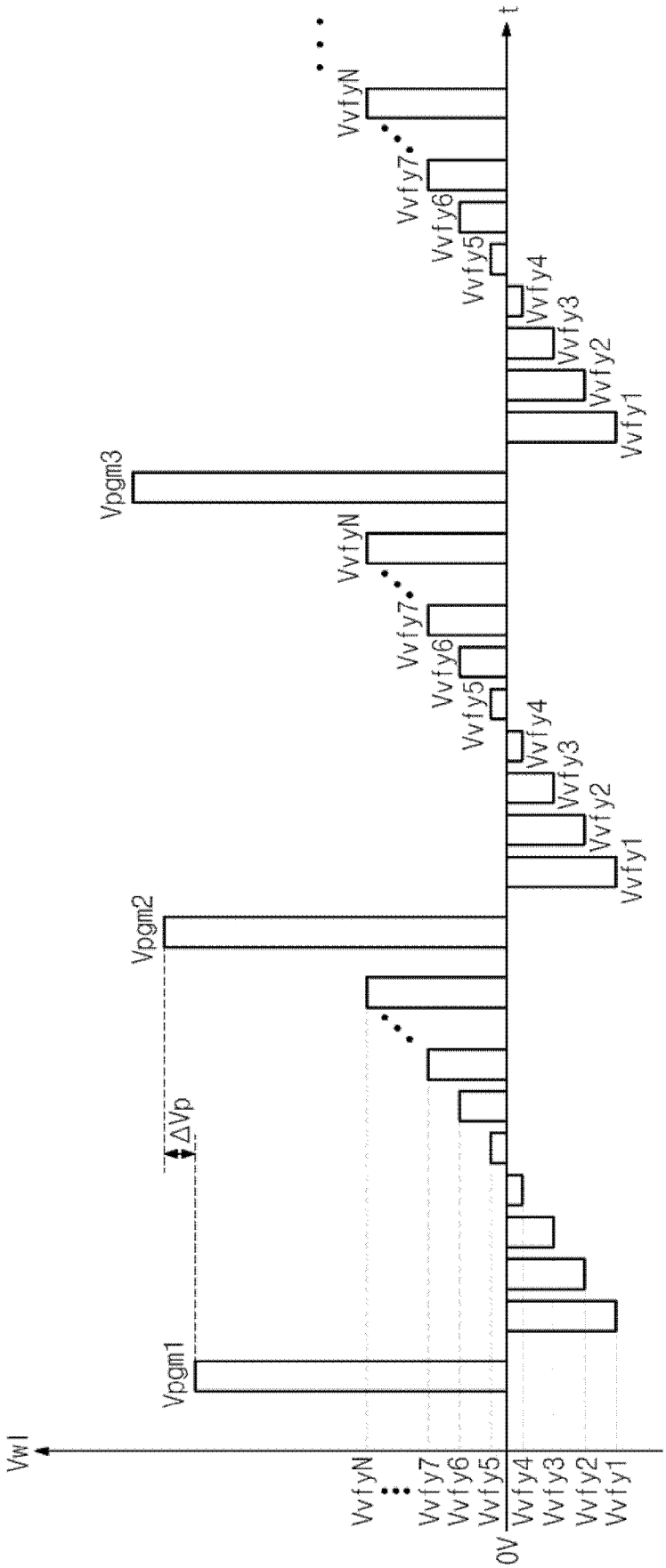

t
VvfyN
Vvfy7
Vvfy6
Vvfy5
Vvfy4
Vvfy3
Vvfy2
Vvfy1
Vpgm3
VvfyN
Vvfy7
Vvfy6
Vvfy5
Vvfy4
Vvfy3
Vvfy2
Vvfy1
Vpgm2
ΔVp
Vpgm1
Vwl
VvfyN
Vvfy7
Vvfy6
Vvfy5
Vvfy4
Vvfy3
Vvfy2
Vvfy1
0V

图 52

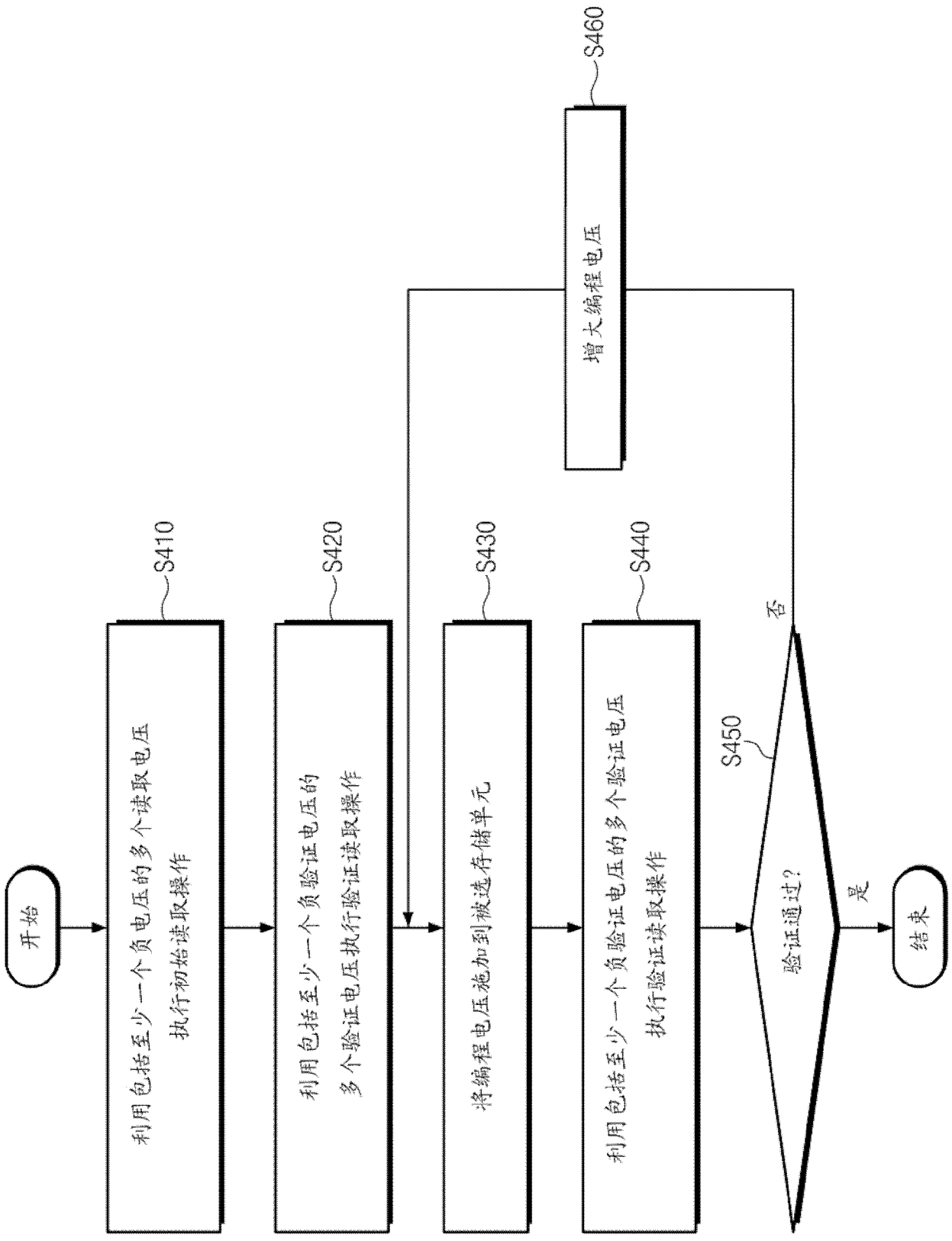

开始
S410
利用包括至少一个负电压的多个读取电压
执行初始读取操作
S420
利用包括至少一个负验证电压的
多个验证电压执行验证读取操作
S430
将编程电压施加到被选存储单元
S440
利用包括至少一个负验证电压的多个验证电压
执行验证读取操作
S450
验证通过?
否
是
S460
增大编程电压
结束

图 53

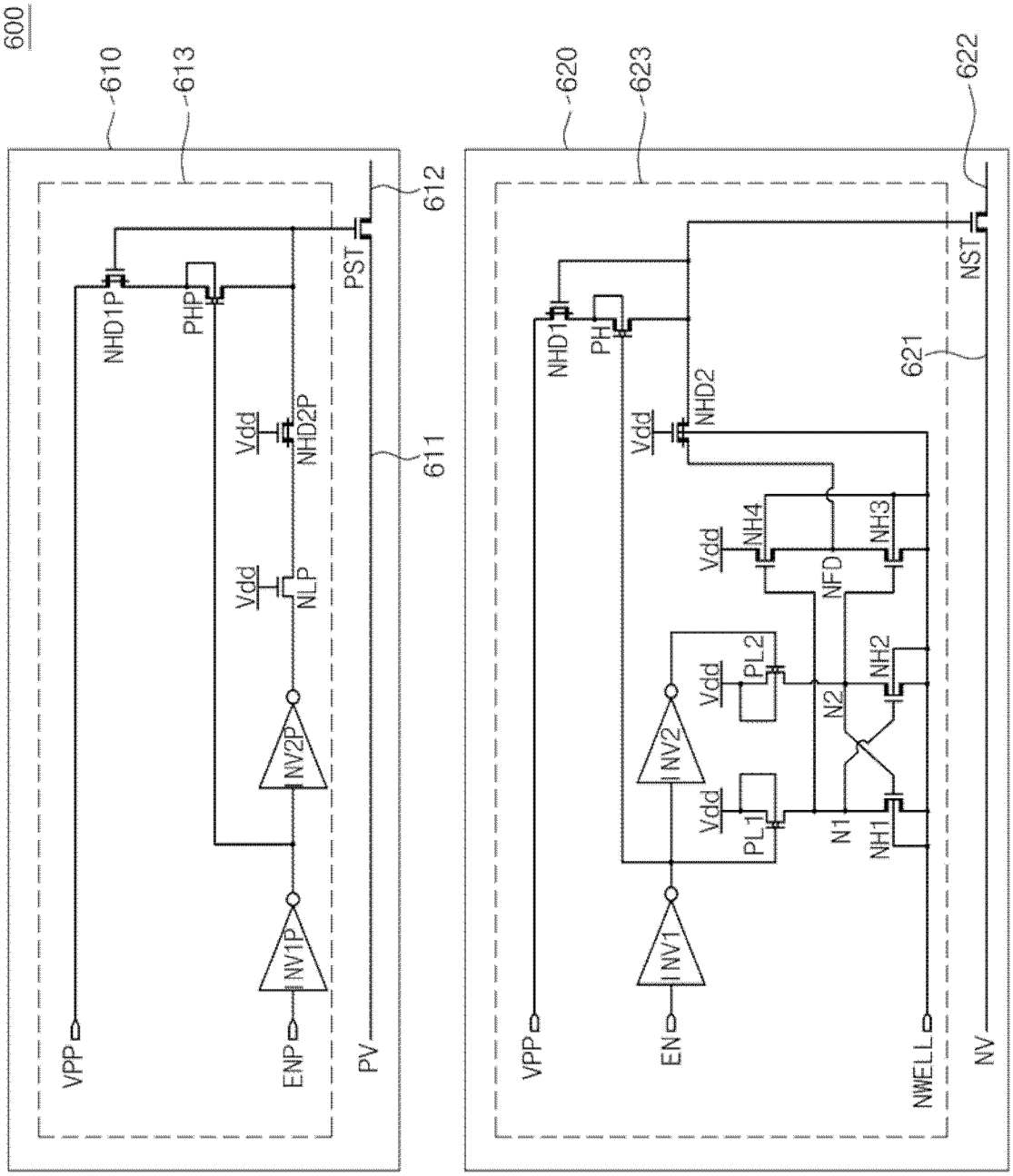

600
610
613
612
611
620
623
622
621
NHD1P
PHP
PST
Vdd
NHD2P
NLP
NV2P
NV1P
VPP
ENP
PV
NHD1
PH
NST
NHD2
NH4
NH3
NFD
PL2
NH2
N2
NV2
PL1
N1
NH1
NV1
EN
NWELL
NV

图 54

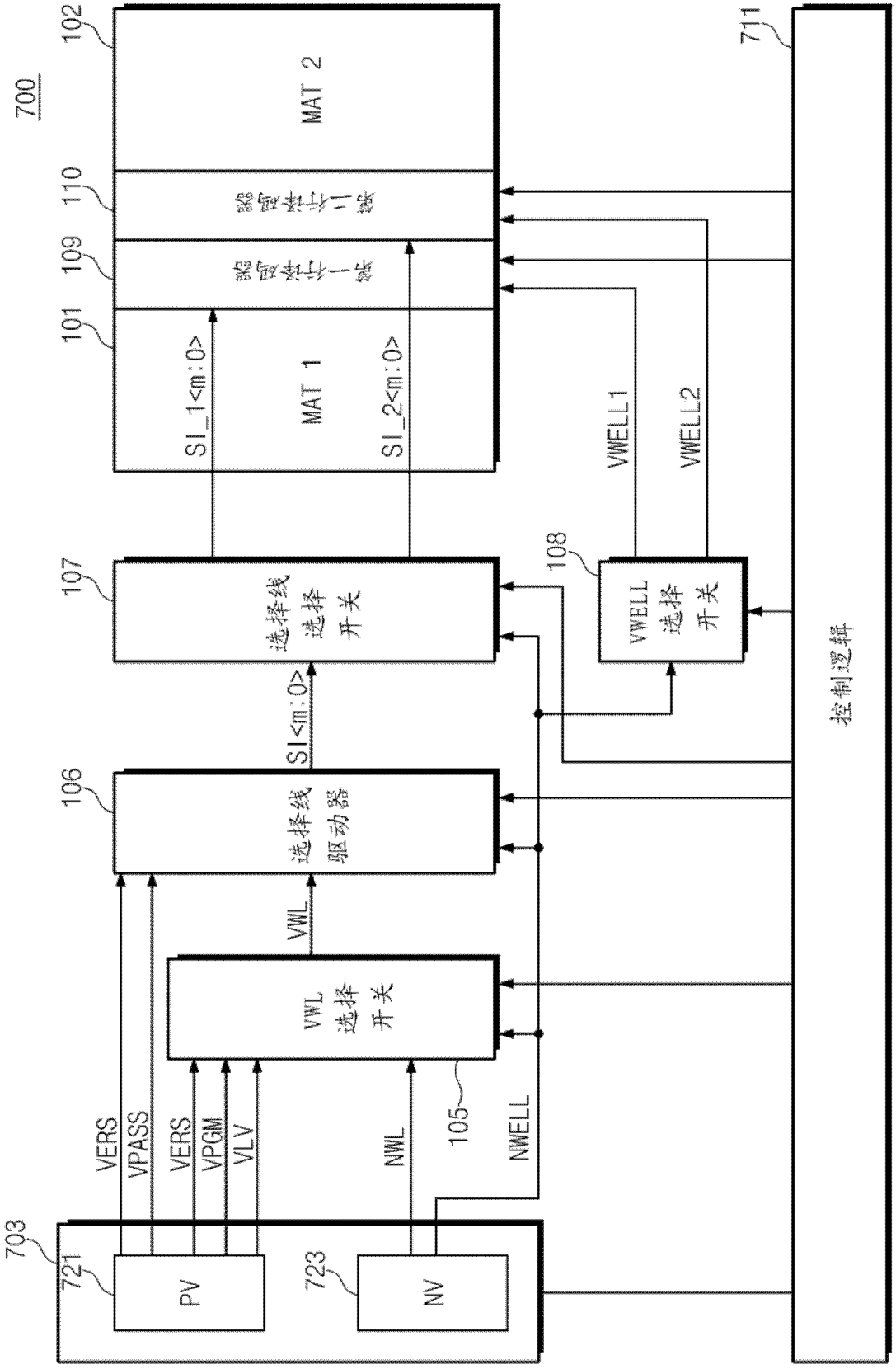

700
102
MAT 2
110
第二行译码器
109
第一行译码器
101
SI_1<m:0>
MAT 1
SI_2<m:0>
711
VWELL1
VWELL2
107
选择线选择开关
108
VWELL选择开关
SI<m:0>
106
选择线驱动器
VWL
VWL选择开关
控制逻辑
VERS
VPASS
VERS
VPGM
VLV
NWL
105
NWELL
703
721
PV
723
NV

图 55

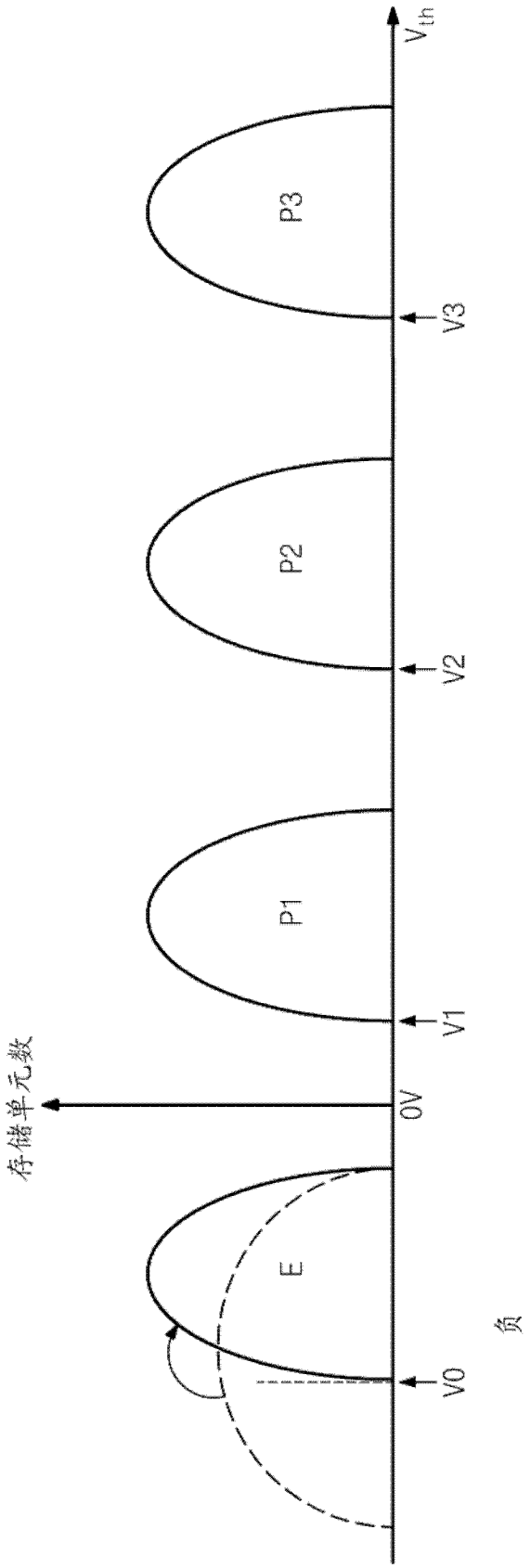

V_{th}
P3
P2
P1
E
V3
V2
V1
V0
0V
存储单元数
负

图 56

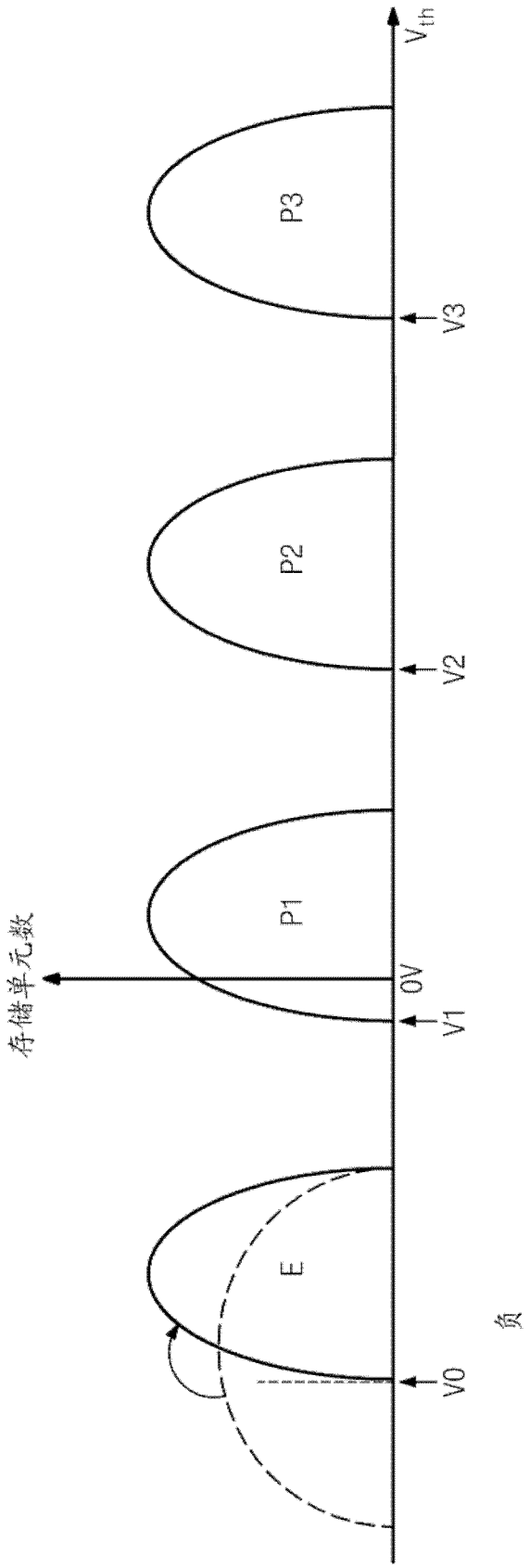

V_{th}
P3
P2
P1
E
V3
V2
V1
V0
0V
存储单元数
负

图 57

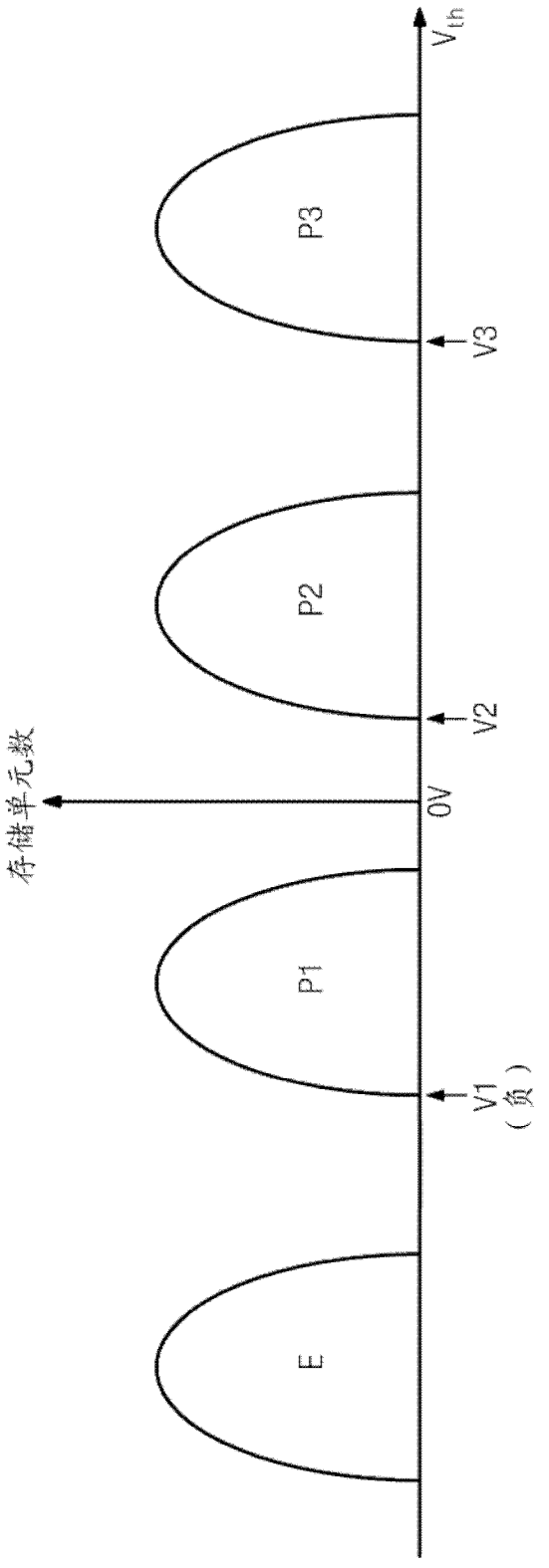


图 58

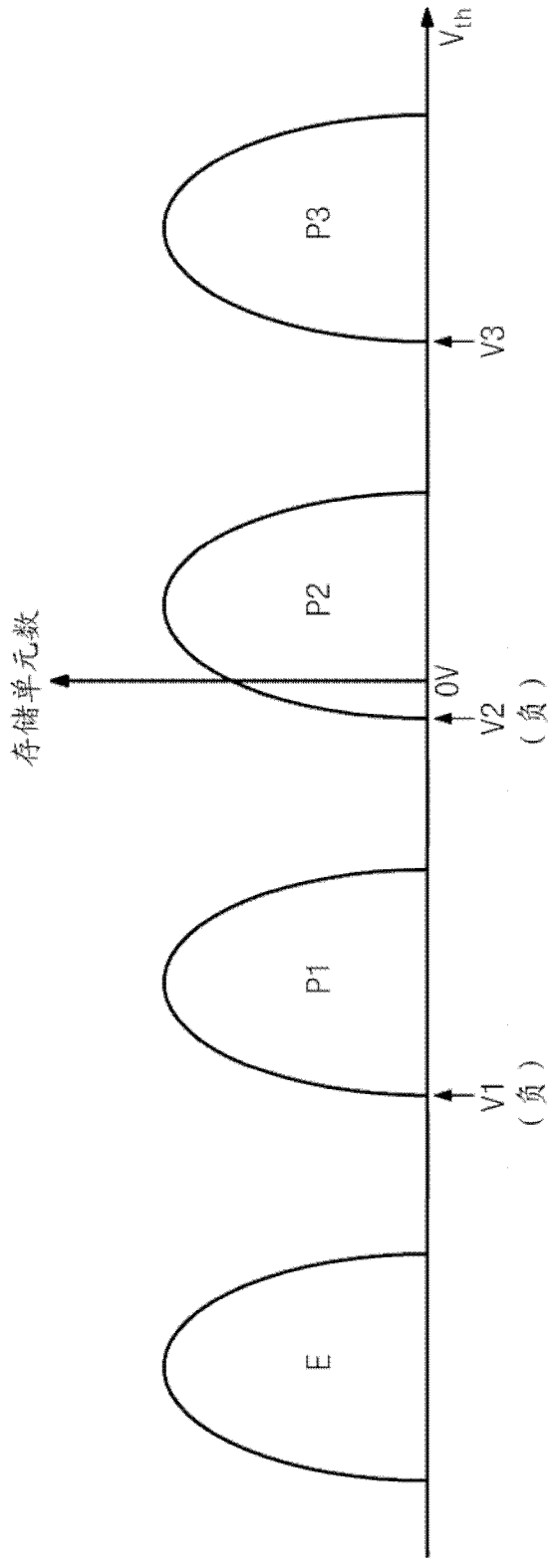


图 59

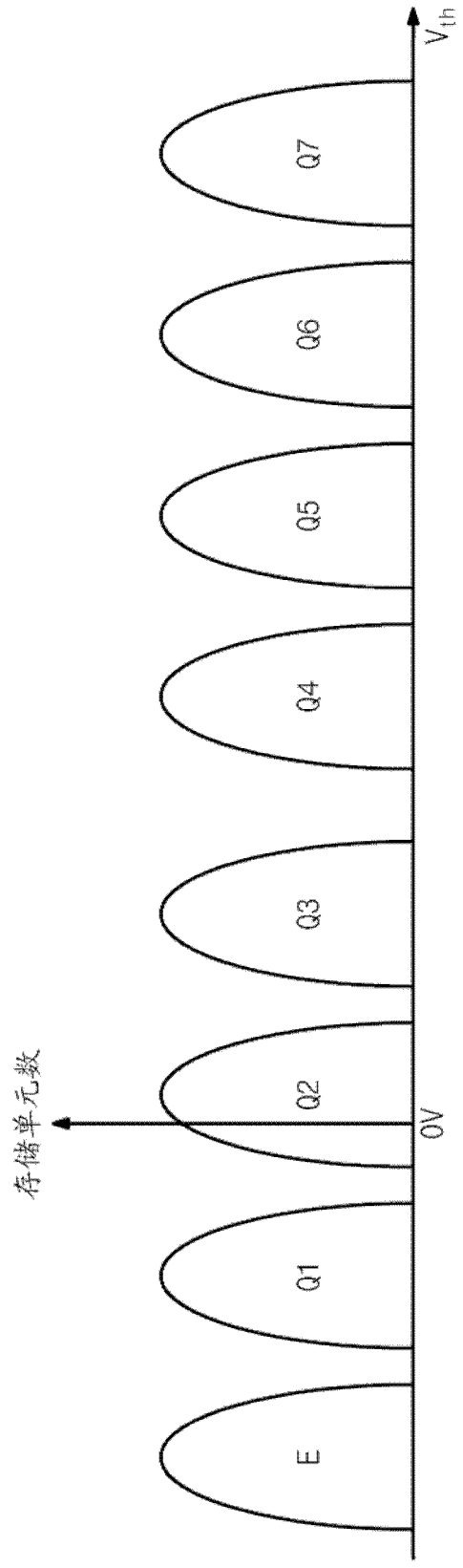

V_{th}
Q7
Q6
Q5
Q4
Q3
Q2
Q1
E
0V
存储单元数

图 60

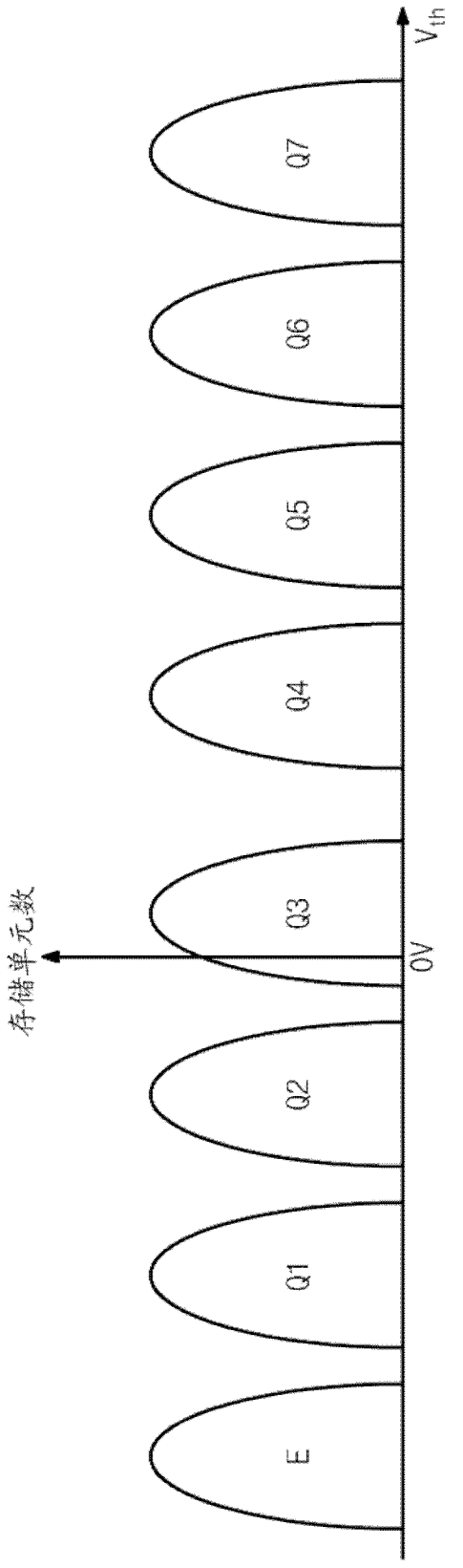

V_{th}
Q7
Q6
Q5
Q4
Q3
Q2
Q1
E
0V
存储单元数

图 61

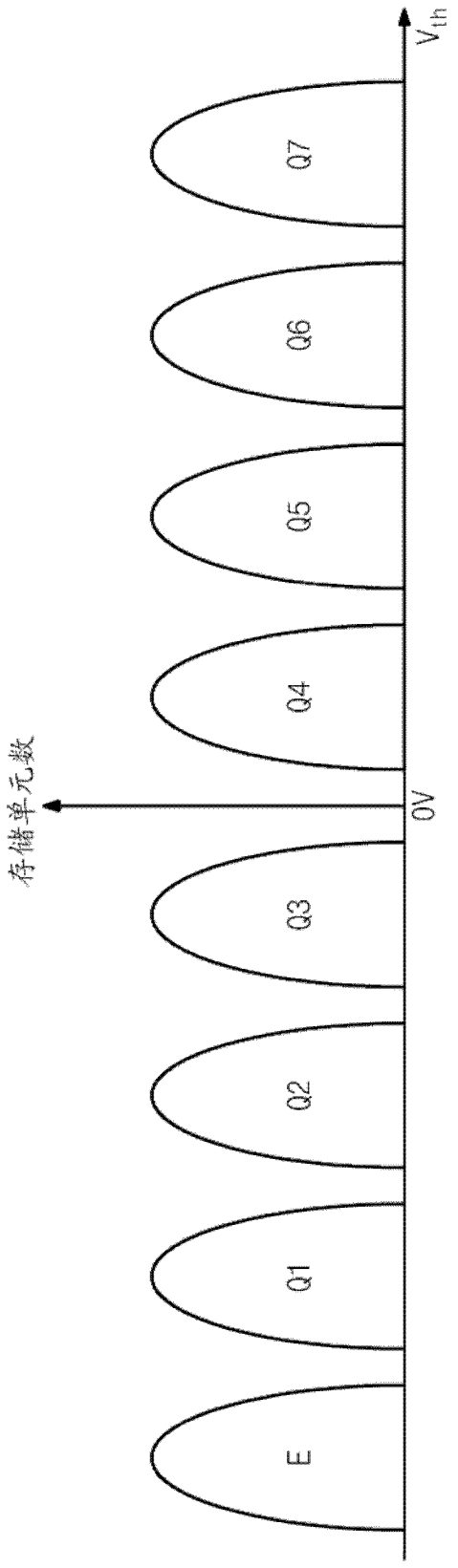

V_{th}
Q7
Q6
Q5
Q4
0V
存储单元数
Q3
Q2
Q1
E

图 62

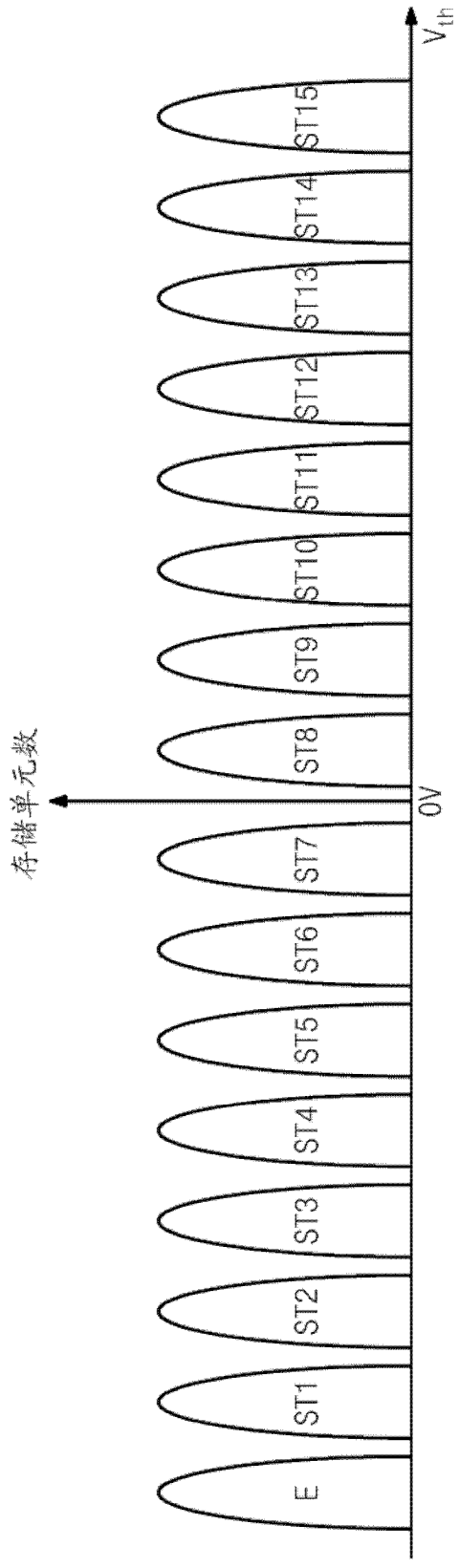

V_{th}
ST15
ST14
ST13
ST12
ST11
ST10
ST9
ST8
0V
存储单元数
ST7
ST6
ST5
ST4
ST3
ST2
ST1
E

图 63

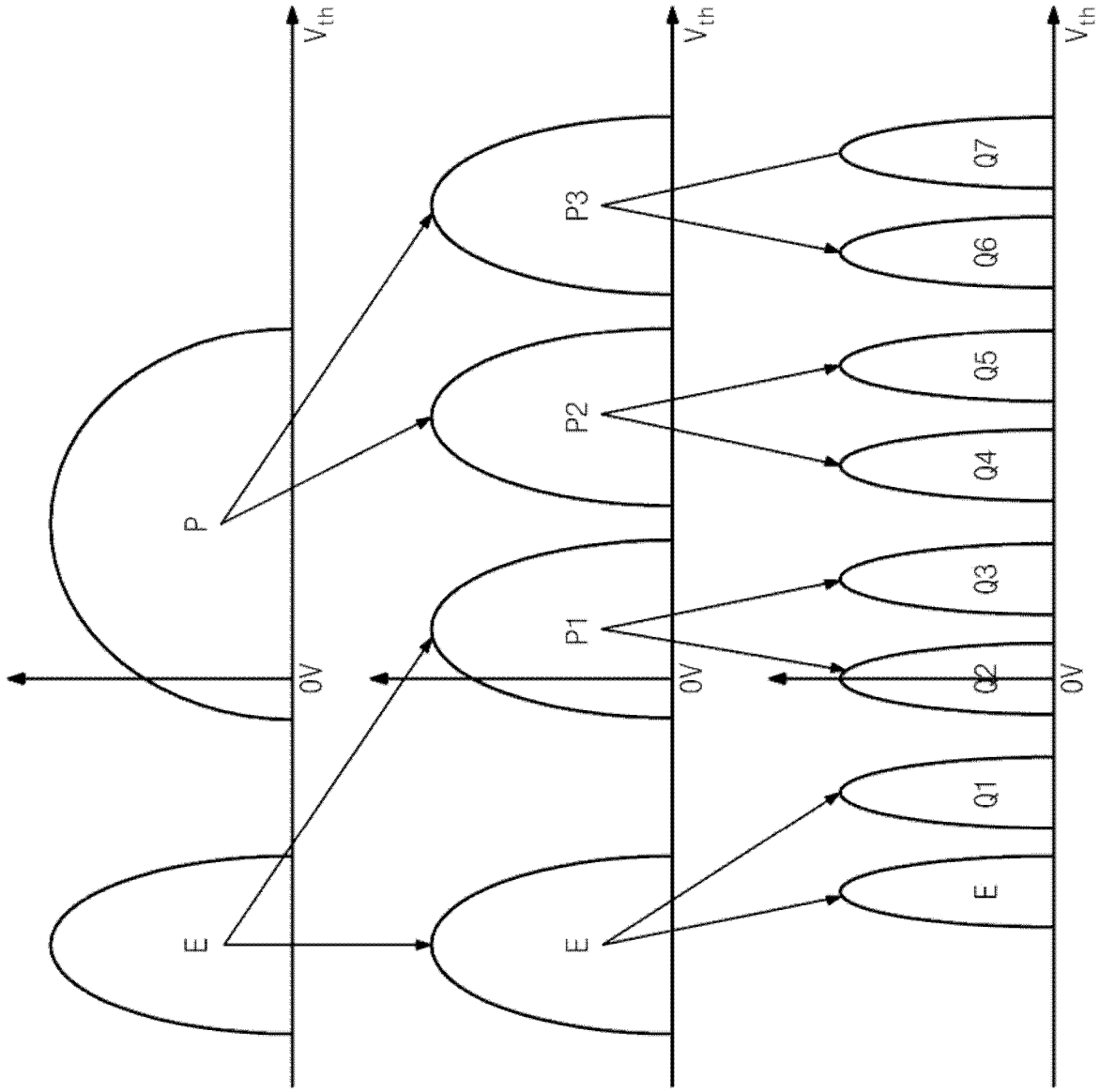


图 64

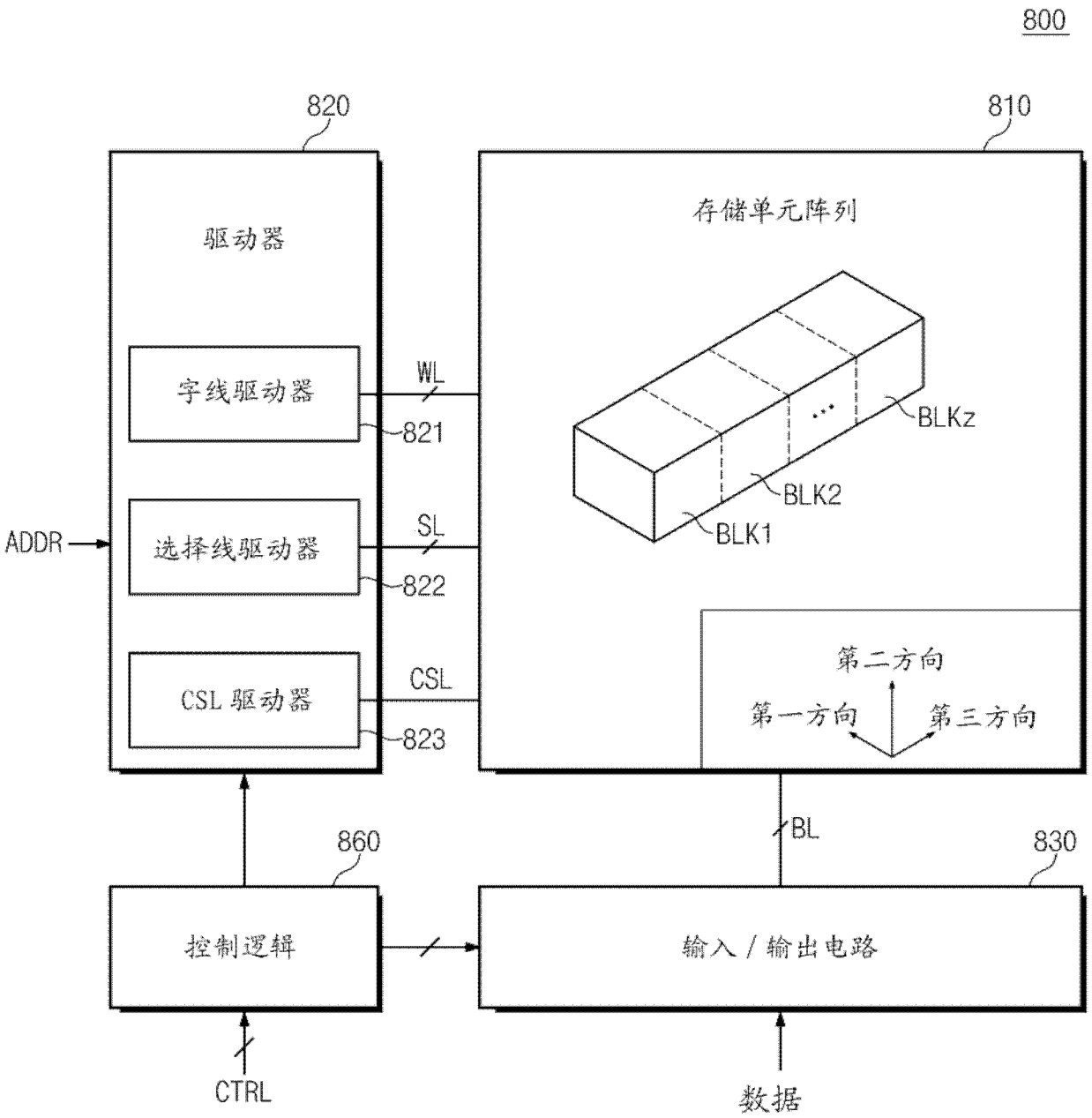

800
820
810
驱动器
存储单元阵列
字线驱动器
WL
821
BLKz
BLK2
BLK1
ADDR
选择线驱动器
SL
822
第二方向
第一方向
第三方向
CSL 驱动器
CSL
823
BL
860
830
控制逻辑
输入 / 输出电路
CTRL
数据

图 65

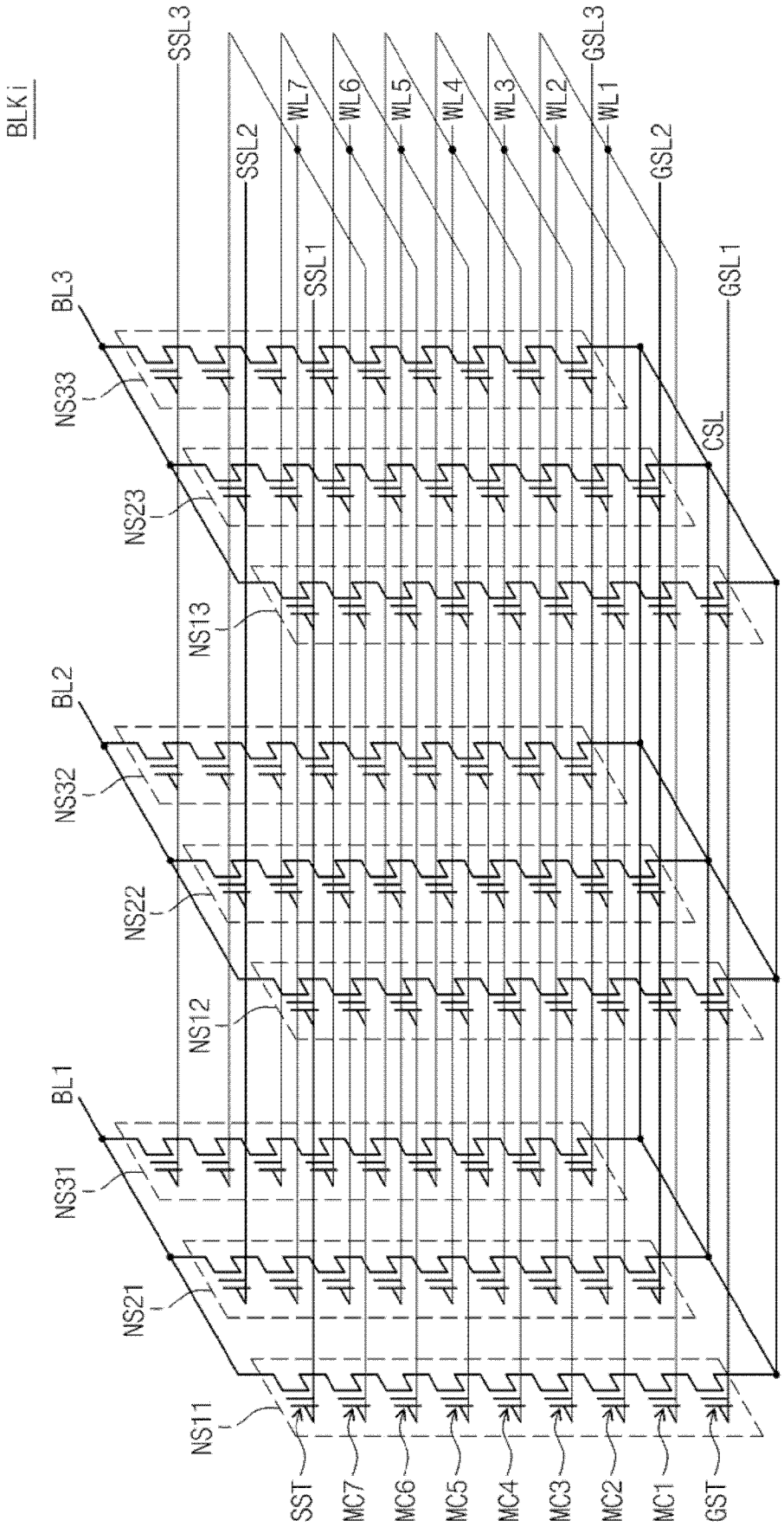

BLKi
SSL3
SSL2
SSL1
WL7
WL6
WL5
WL4
WL3
WL2
WL1
GSL3
GSL2
GSL1
CSL
BL3
BL2
BL1
NS33
NS23
NS13
NS32
NS22
NS12
NS31
NS21
NS11
SST
MC7
MC6
MC5
MC4
MC3
MC2
MC1
GST

图 66

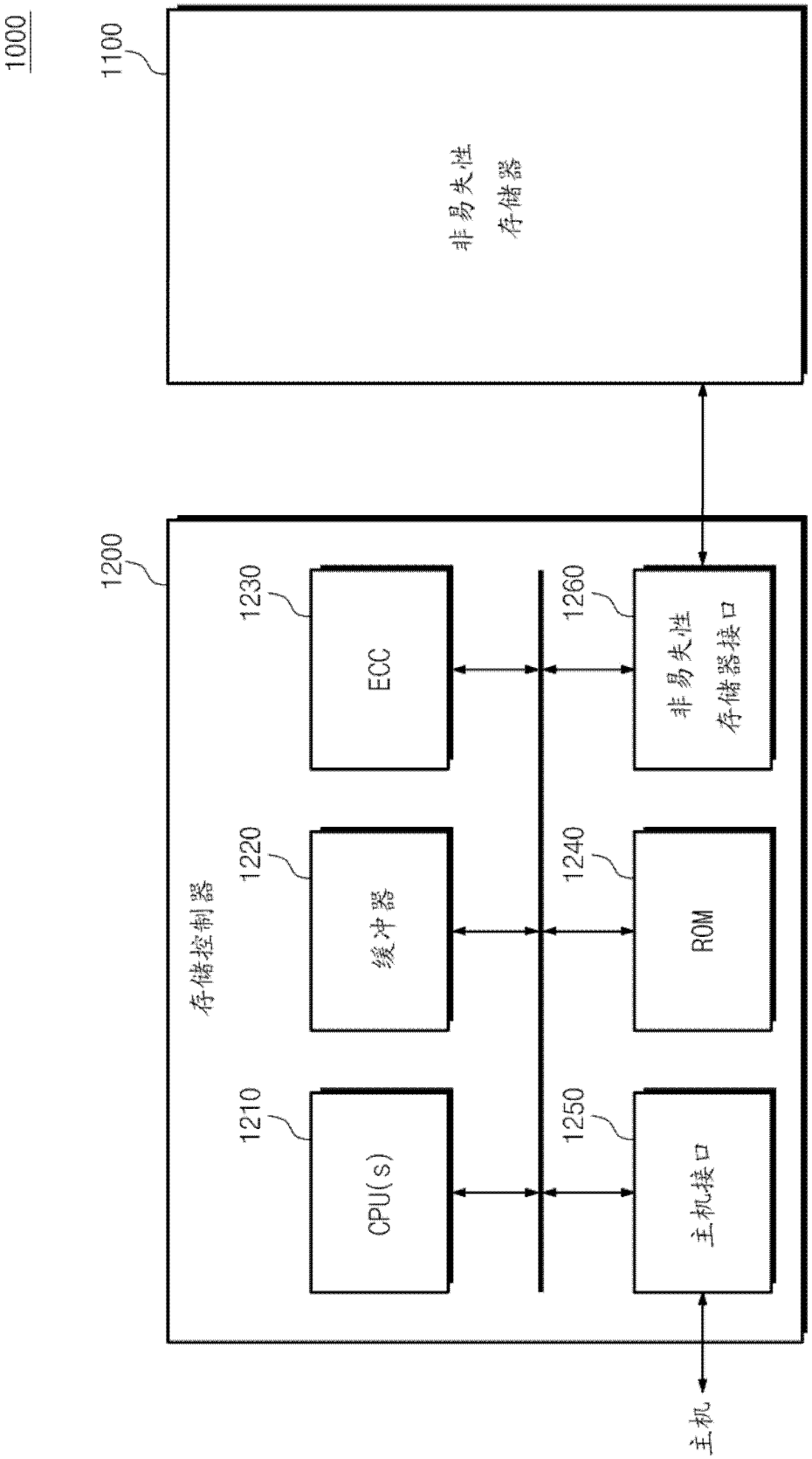

1000
1100
非易失性
存储器
1200
存储控制器
1230
ECC
1260
非易失性
存储器接口
1220
缓冲器
1240
ROM
1210
CPU(s)
1250
主机接口
主机

图 67

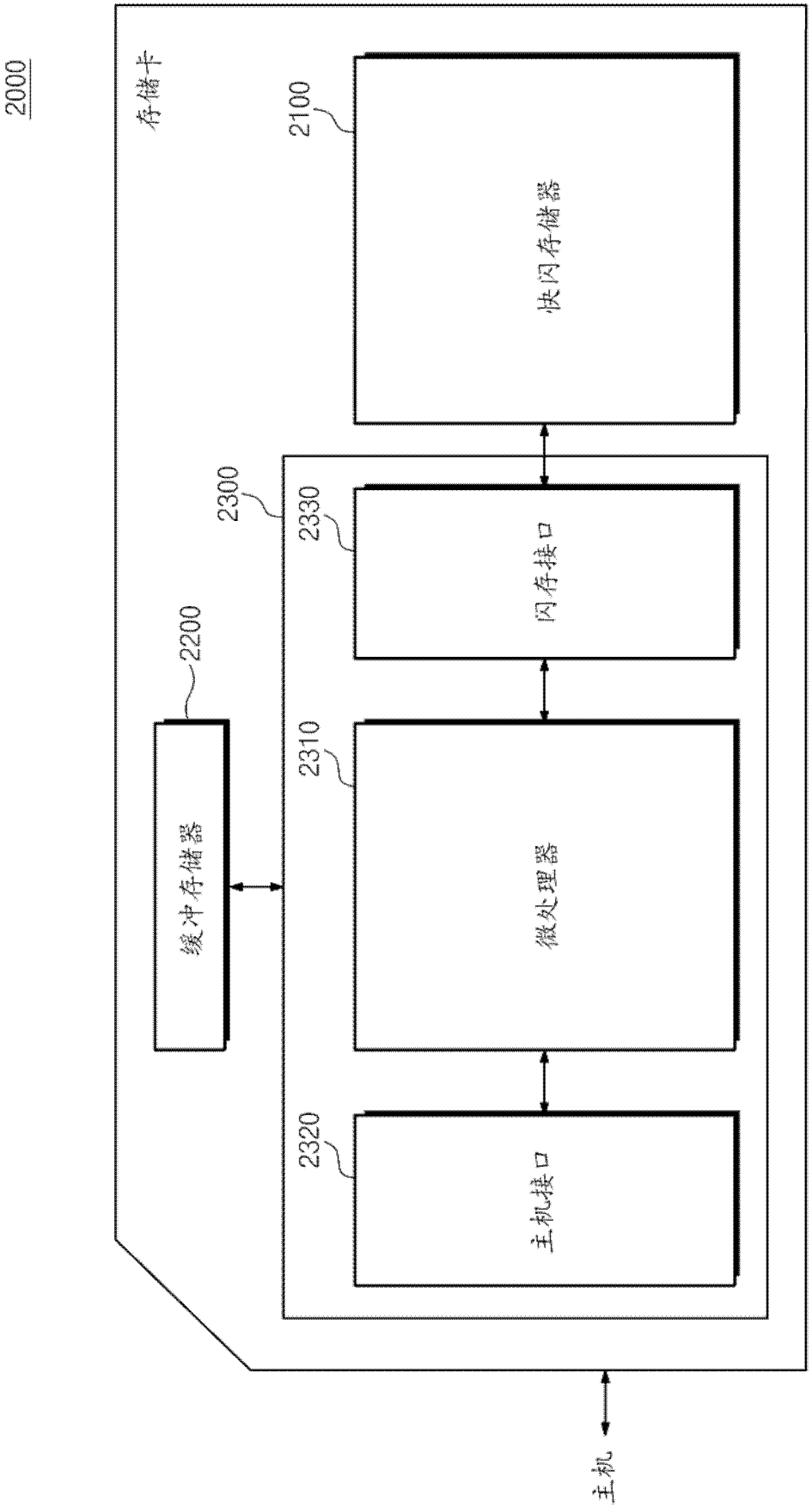

2000
存储卡
2100
快闪存储器
2300
2330
闪存接口
2200
2310
缓冲存储器
微处理器
2320
主机接口
主机

图 68

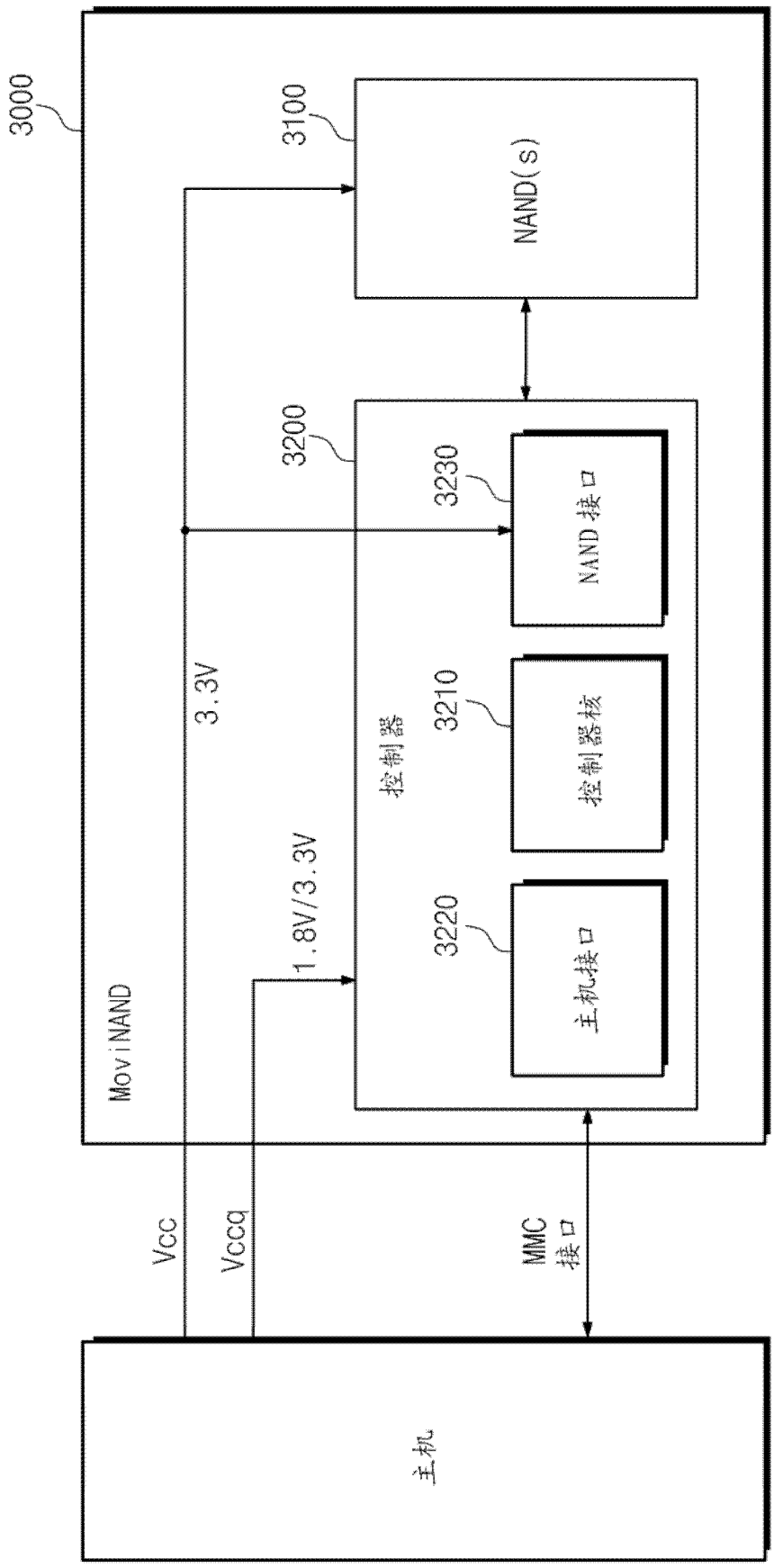

3000
3100
NAND(s)
3200
3230
NAND 接口
3210
控制器核
控制器
3220
主机接口
3.3V
1.8V/3.3V
MoviNAND
Vcc
Vccq
MMC
接口
主机

图 69

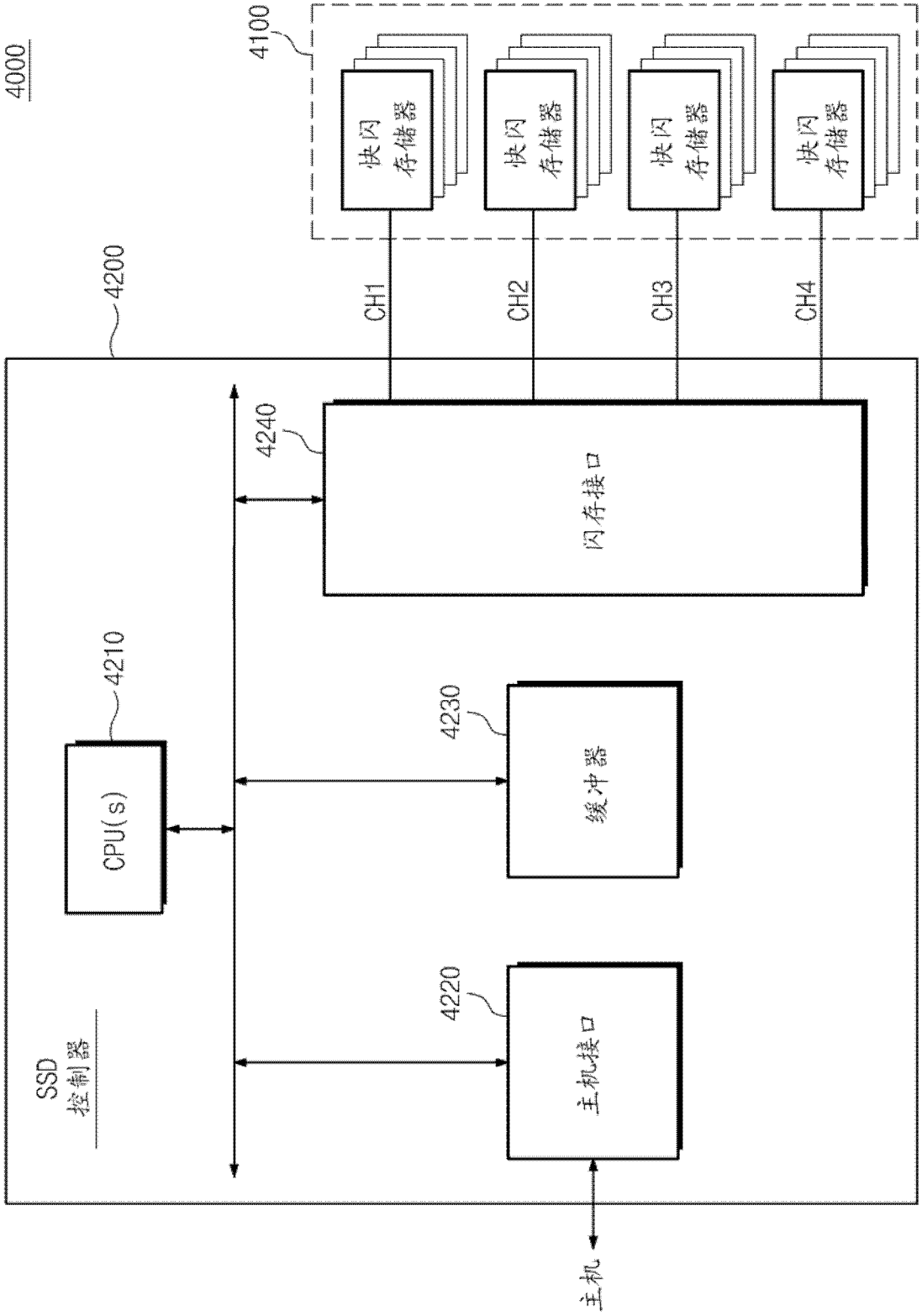

4000
4100
快闪存储器
快闪存储器
快闪存储器
快闪存储器
4200
CH1
CH2
CH3
CH4
4240
闪存接口
4210
CPU(s)
4230
缓冲器
4220
主机接口
SSD
控制器
主机

图 70

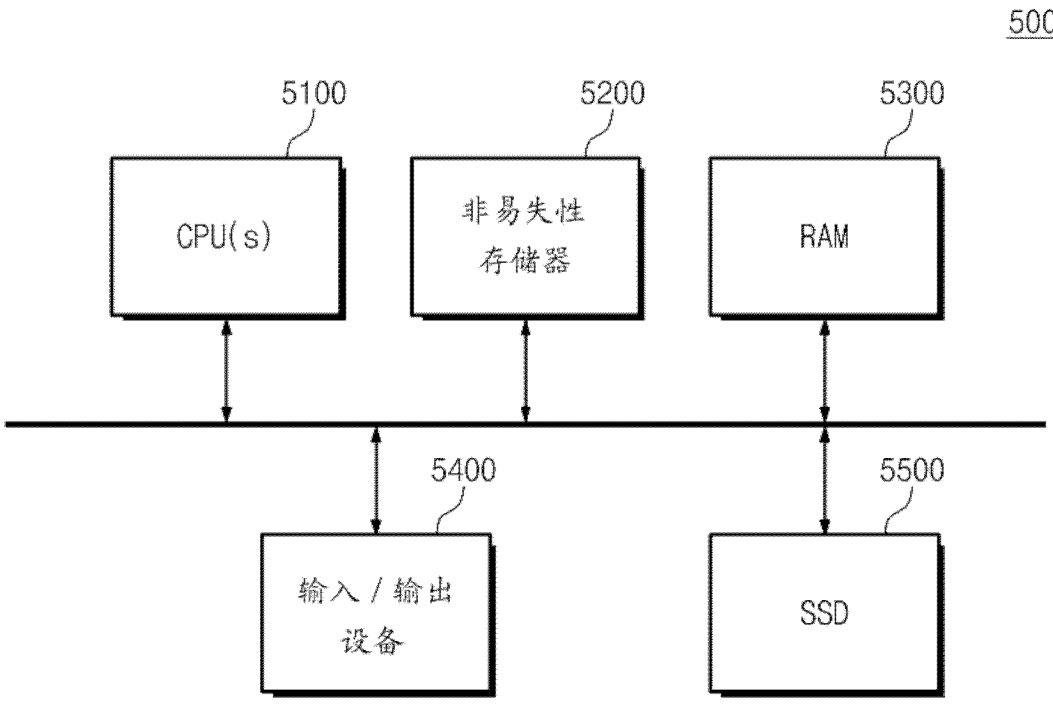

5000
5100
5200
5300
CPU(s)
非易失性存储器
RAM
5400
5500
输入/输出设备
SSD

图 71

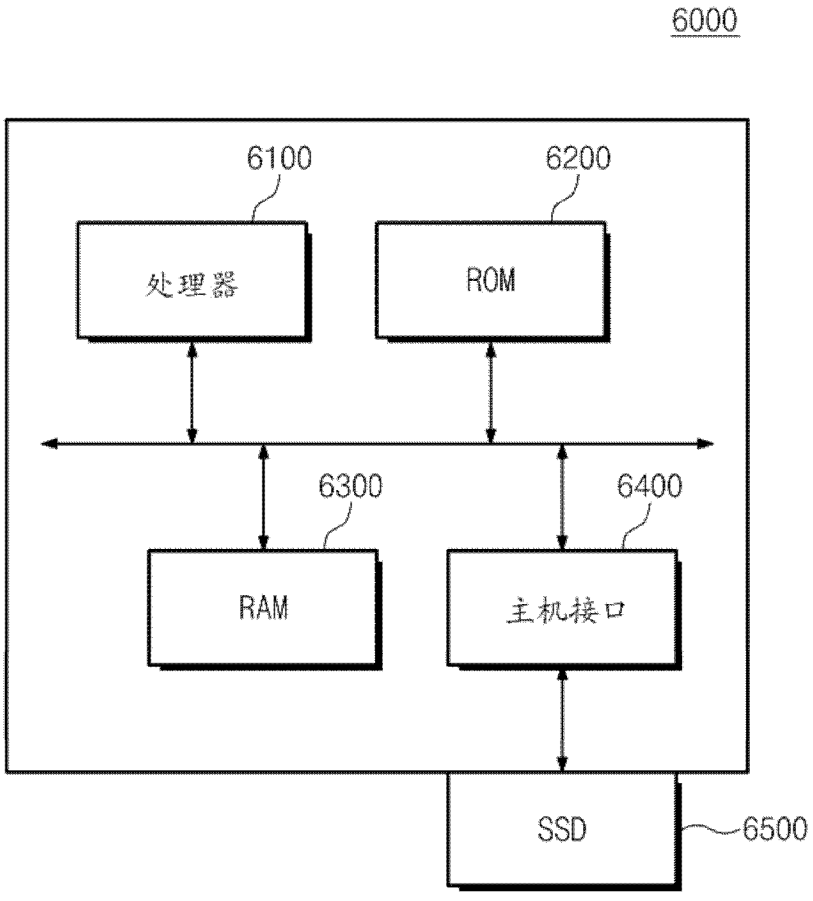

6000
6100
6200
处理器
ROM
6300
6400
RAM
主机接口
SSD
6500

图 72

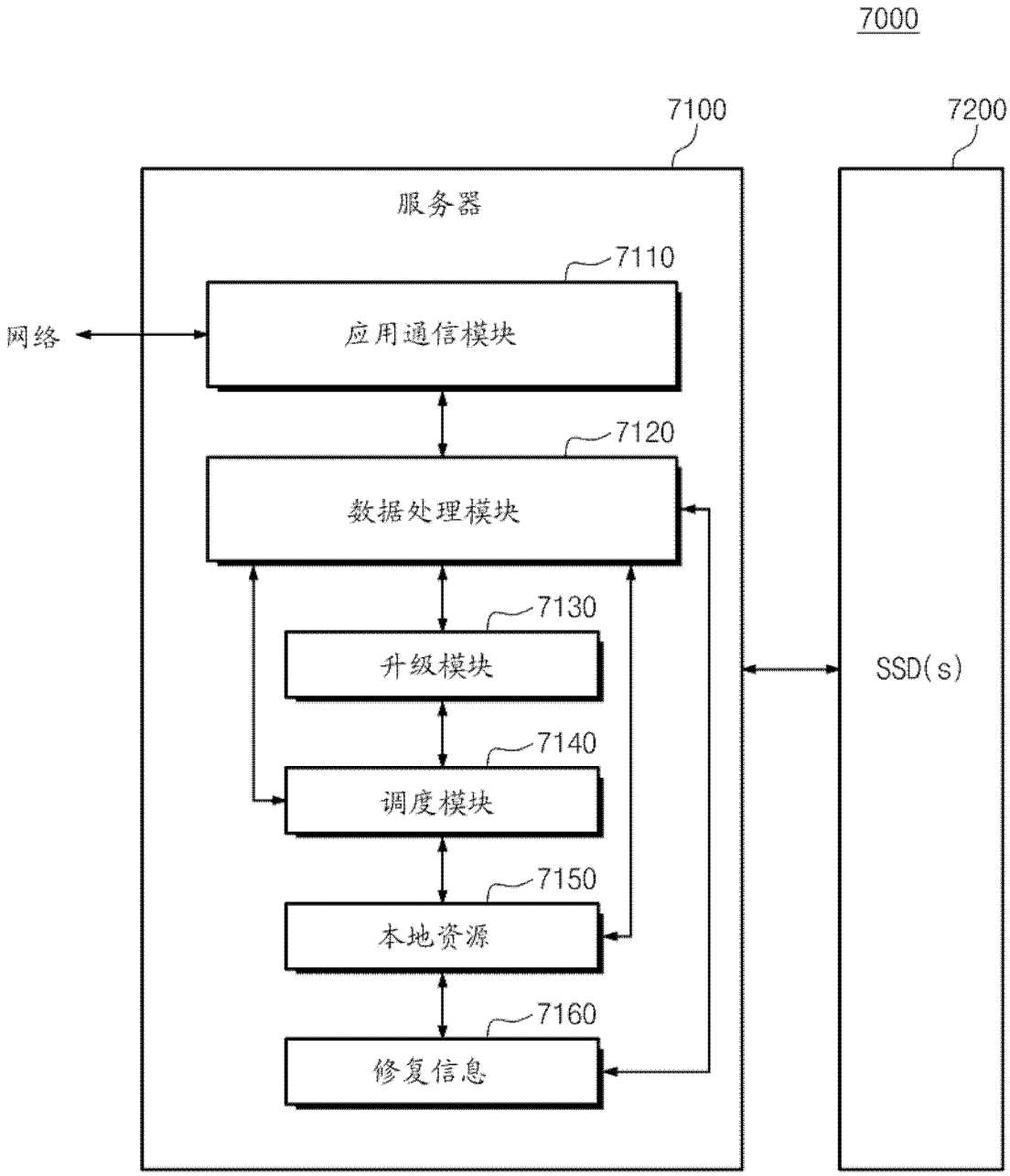

7000
7100
7200
服务器
7110
网络
应用通信模块
7120
数据处理模块
7130
升级模块
SSD(s)
7140
调度模块
7150
本地资源
7160
修复信息

图 73

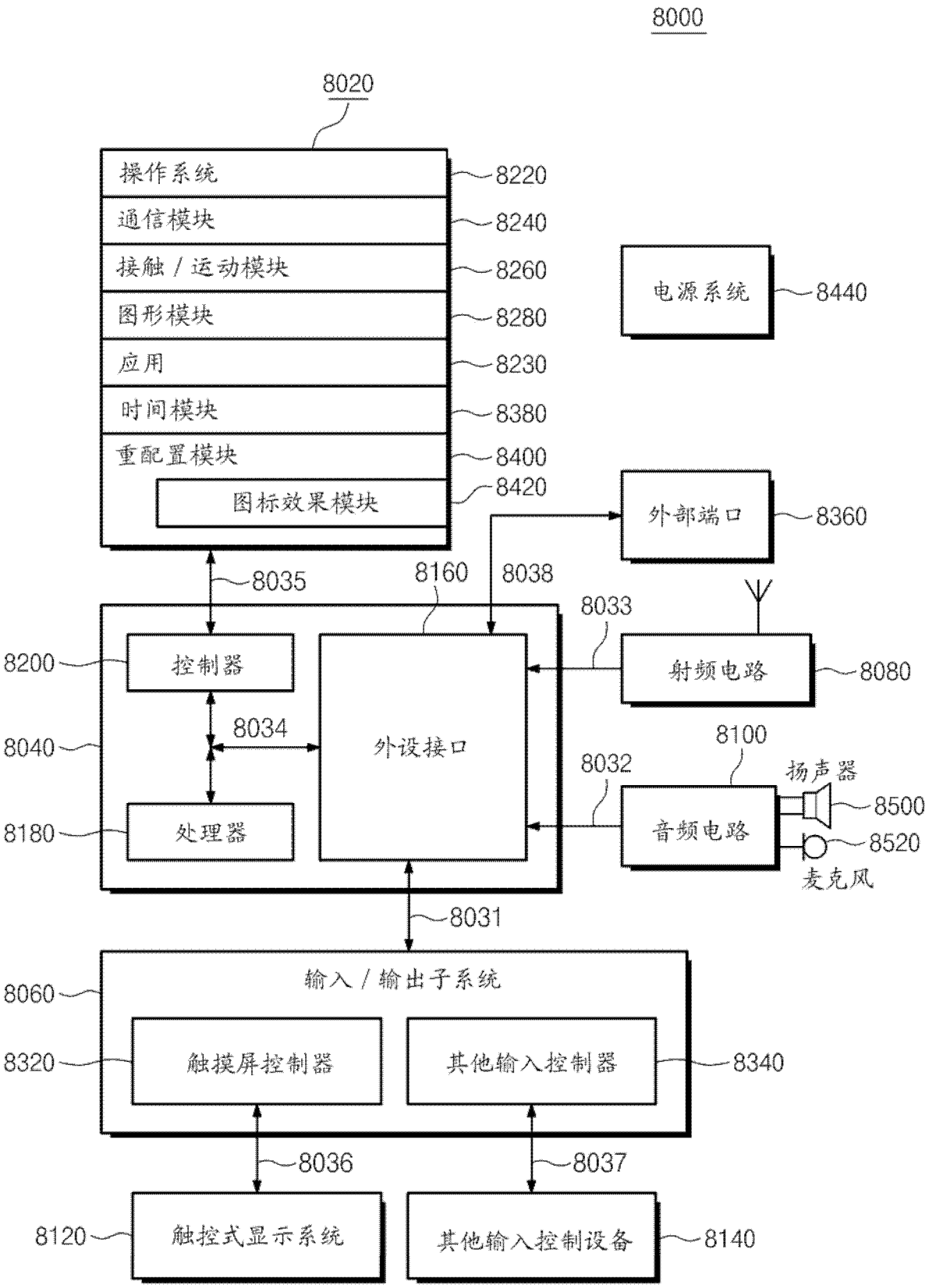

8000
8020
操作系统
8220
通信模块
8240
接触 / 运动模块
8260
图形模块
8280
应用
8230
时间模块
8380
重配置模块
8400
图标效果模块
8420
电源系统
8440
外部端口
8360
8035
8160
8038
8033
8200
控制器
射频电路
8080
8034
8040
外设接口
8100
8032
扬声器
8500
8180
处理器
音频电路
8520
麦克风
8031
输入 / 输出子系统
8060
触摸屏控制器
其他输入控制器
8320
8340
8036
8037
8120
触控式显示系统
其他输入控制设备
8140

图 74