



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 600 06 177 T2 2004.07.29**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 039 388 B1**

(51) Int Cl.⁷: **G06F 11/20**

(21) Deutsches Aktenzeichen: **600 06 177.9**

(96) Europäisches Aktenzeichen: **00 105 946.8**

(96) Europäischer Anmeldetag: **23.03.2000**

(97) Erstveröffentlichung durch das EPA: **27.09.2000**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **29.10.2003**

(47) Veröffentlichungstag im Patentblatt: **29.07.2004**

(30) Unionspriorität:

7743299 23.03.1999 JP

(84) Benannte Vertragsstaaten:

DE, FR, GB

(73) Patentinhaber:

**Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa,
JP**

(72) Erfinder:

**Taura, Tadayuki, Minato-ku, Tokyo 105-8001, JP;
Atsumi, Shigeru, Minato-ku, Tokyo 105-8001, JP**

(74) Vertreter:

HOFFMANN · EITLE, 81925 München

(54) Bezeichnung: **Block-löschbare Halbleiterspeicherschaltung mit Ersetzung defekter Speicherblöcke**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Diese Erfindung bezieht sich auf eine Halbleiterspeichervorrichtung, die MOS-Transistoren aus geschichteten Gate-Strukturen als Speicherzellen verwendet und fähig ist zum Umschreiben/Auslesen von Daten, und insbesondere auf die Technik zum Ersetzen einer defekten Zelle durch eine Redundanzzelle, wenn der Defekt in einer Halbleiterspeichervorrichtung zum Bewirken der Löschoperation in der Blockeinheit auftritt.

[0002] Eine Speicherzelle eines EEPROM zum elektrischen Löschen/Programmieren von Daten ist im Allgemeinen durch einen MOS-Transistor (nicht-flüchtiger Transistor) einer geschichteten Gate-Struktur unter Verwendung von Zwei-Schicht-Polysiliziumschichten aufgebaut, die voneinander durch einen isolierenden Film isoliert sind, wie in **Fig. 1** gezeigt. Dieser Typ einer Speicherzelle wird z.B. in IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 27, Nr. 11 November 1992 S. 1540-1545 offengelegt.

[0003] In der obigen Speicherzelle wird ein schwebendes Gate **11** durch eine Polysiliziumschicht erster Ebene gebildet und ein Steuergate wird aus einer Polysiliziumschicht zweiter Ebene gebildet. Eine Source-Region **14** und eine Drain-Region **15** sind getrennt in einem Siliziumsubstrat **13** ausgebildet, das sich unterhalb des schwebenden Gates **11** und Steuergates **12** befindet. Es ist ein Zwischenebenen-Isolationsfilm **16** auf dem gesamten Abschnitt der Hauptoberfläche des Substrats **13** ausgebildet, und ein Kontaktloch **17** ist in diesem Abschnitt des Zwischenebenen-Isolationsfilms **16** ausgebildet, das in der Drain-Region **15** liegt. Eine Datenleitung (Bitleitung) **18**, die aus Metall, wie etwa Al ausgebildet ist, ist auf dem Zwischenebenen-Isolationsfilm **16** und in dem Kontaktloch **17** ausgebildet und elektrisch mit der Drain-Region **15** verbunden.

[0004] Als Nächstes werden die Datenprogrammier-, Lese- und Löschooperationen in der Speicherzelle der obigen Struktur erläutert.

[0005] Die Programmieroperation wird z.B. durch jeweiliges Einstellen des Drain-Potentials VD, Steuergate-Potentials VCG und Sourcepotentials VS bei 5,0V, 9,0V und 0V und Injizieren heißer Elektronen in das schwebende Gate **11** bewirkt, um die Schwellenspannung zu ändern.

[0006] Die Löschoperation wird durch Einstellen z.B. des Steuergate-Potentials VCG bei -7,0V, Einstellen des Drain in den elektrisch schwebenden Zustand und Einstellen des Sourcepotentials VS z.B. bei 5,0V bewirkt. In diesem Zustand werden Elektronen in dem schwebenden Gate **11** in die Source-Region **14** durch den Tunnel-Effekt herausgezogen.

[0007] Die Leseoperation wird z.B. durch jeweiliges Einstellen des Steuergate-Potentials VCG, Drain-Potentials VD und Sourcepotentials VS bei 4,8V, 0,6V und 0V bewirkt. Falls zu diesem Zeitpunkt die Speicherzelle in den programmierten Zustand gesetzt ist,

fließt kein Strom zwischen Source und Drain. Speicherdaten sind in diesem Zeitpunkt als "0" gesetzt. Falls die Speicherzelle in den gelöschten Zustand gesetzt ist, fließt ein Strom von ungefähr 30 μ A zwischen Source und Drain. Speicherdaten werden in diesem Zeitpunkt als "1" gesetzt.

[0008] In der Speicherzelle mit der obigen Struktur werden verschiedene Defekte im Herstellungsprozess wegen dem Gitterdefekt in dem Siliziumsubstrat **13** und dem Defekt des isolierenden Films auftreten. Z.B. ist zu betrachten, dass das Siliziumsubstrat **13** mit dem schwebenden Gate **11** oder dem Steuergate **12** kurzgeschlossen wird. In diesem Fall wird es unmöglich, die richtigen Programmier-, Löscho- und Leseoperationen durchzuführen. Dieses Problem verschärft sich mit einer Erhöhung der Speicherkapazität der Halbleiterspeichervorrichtung, und es ist insbesondere zum Startzeitpunkt der Herstellungslinie zum Durchführen des Feinmusterprozesses von Bedeutung.

[0009] Um das obige Problem zu lösen, werden allgemein verschiedene Typen von Redundanzschaltungen in der Halbleiterspeichervorrichtung vorgesehen. Die Redundanztechnologie wird z.B. in der japanischen Patentanmeldung KOKAI-Veröffentlichungs-Nr. 11-213691 offengelegt.

[0010] **Fig. 2** ist ein Blockdiagramm, das den schematischen Aufbau einer nicht-flüchtigen Halbleiterspeichervorrichtung zeigt, die MOS-Transistoren mit den obigen geschichteten Gate-Strukturen als Speicherzellen verwendet und Redundanzzellen hat, die an Stelle von defekten Zellen verwendet werden. Die Halbleiterspeichervorrichtung inkludiert einen Spaltenadresspuffer **20**, Spaltendecoder **21**, Zeilenadresspuffer **22**, R/D- (Redundanz-) Adressspeicherabschnitt **23**, R/D-Adressvergleichsabschnitt **24**, Blockadresspuffer **25**, Blockkerne **26-0** bis **26-n**, Abtastverstärker (S/A) **27**, Eingabe-/Ausgabepuffer **28** und Eingabe-/Ausgabepad **29**. Jeder der Blockkerne **26-0** bis **26-n** inkludiert eine Speicherzellenanordnung **30**, Zeilendecoder **31**, R/D-Speicherzellenanordnung **32**, R/D-Zeitendecoder **33**, Blockdecoder **34** und Spaltenauswahl-Gates CT0 bis CTj.

[0011] In der Speicherzellenanordnung **30** sind Speicherzellen mit der gleichen Struktur wie in **Fig. 1** gezeigt in einer Matrixform angeordnet. Die Drains der Speicherzellen in jeder Spalte sind gemeinsam mit einer entsprechenden von Bitleitungen BL0 bis BLj verbunden, und die Steuergates der Speicherzellen in jeder Zeile sind gemeinsam mit einer entsprechenden von Wortleitungen WL0 bis WLk verbunden.

[0012] Ein Zeilenadresssignal ADDRi wird von außen zu dem Zeilenadresspuffer **22** eingegeben, und ein Ausgangssignal ARSi davon wird den Zeilendecodern **31** der Blockkerne **26-0** bis **26-n** als ein internes Zeilenadresssignal zugeführt. Durch den Zeilendecoder **31** wird eine der Wortleitungen WL0 bis WLk ausgewählt. Ein Spaltenadresssignal ADDCi wird von außen zu dem Spaltenadresspuffer **20** eingegeben. Ein Ausgangssignal ACSi des Spaltenadress-

puffers **20** wird als ein internes Spaltenadresssignal zugeführt zu und decodiert durch Spaltendecoder **21** und dann den Spaltenauswahl-Gates CT0 bis CTj von jedem der Blockkerne **26-0** bis **26-n** zugeführt. Durch die Spaltenauswahl-Gates CT0 bis CTj wird eine der Bitleitungen BL0 bis BLj ausgewählt, und es wird eine Speicherzelle, die mit der gewählten Bitleitung und der gewählten Wortleitung verbunden ist, ausgewählt.

[0013] Gespeicherte Daten der ausgewählten Speicherzelle werden dem Abtastverstärker **27** über das ausgewählte Spaltenauswahl-Gate zugeführt, verstärkt und dann nach außen von dem Eingabe/Ausgabepad **29** über den Eingabe-/Ausgabepuffer **28** ausgegeben.

[0014] Als Nächstes wird ein Fall betrachtet, in dem eine Speicherzelle in der Speicherzellenanordnung **30** defekt ist. In der R/D-Speicherzellenanordnung **32**, die für einen Austausch der defekten Zelle verwendet wird, ist eine Vielzahl von Speicherzellen in einer Matrixform wie die Speicherzellenanordnung **30** angeordnet. In der vorliegenden Vorrichtung werden Adressen der defekten Abschnitte zuvor in dem R/D-Adressspeicherabschnitt **23** gespeichert. Ein Ausgangssignal AFi des R/D-Adressspeicherabschnitts **23** wird mit einem Ausgangssignal ARSi des Zeilenadresspuffers **22** in dem R/D-Adressvergleichsabschnitt **24** verglichen. Falls das Ergebnis des Vergleichs Übereinstimmung der Ausgangssignale anzeigt, wird ein Signal HTR von dem R/D-Vergleichsabschnitt **24** ausgegeben und den R/D-Zeilendecodern **33** der Blockkerne **26-0** bis **26-n** zugeführt. Dann wird einer der R/D-Zeilendecoder **33**, der der Speicherzellenanordnung **30** entspricht, die die defekte Zelle enthält, in den Freigabezustand gesetzt, um eine von Wortleitungen WLRD-0 bis WLRD-I auszuwählen. In diesem Zeitpunkt wird einer der Zeilendecoder **31**, der der Speicherzellenanordnung **30** entspricht, die die defekte Zelle enthält, zwingend in den nichtausgewählten Zustand durch ein Signal ROWDIS gesetzt, das von dem R/D-Adressvergleichsabschnitt **24** ausgegeben wird. Die Quellen aller Speicherzellen in der Speicherzellenanordnung **30** und R/D-Speicherzellenanordnung **32** werden mit einer entsprechenden von gemeinsamen Source-Leitungen Sli ($i = 0$ bis n) verbunden, ein Ausgangssignal des Blockdecoders **34** wird gemeinsam dazu zugeführt und die Löschoperation wird gleichzeitig in dem Löschozeitpunkt bewirkt (Blocklöschung).

[0015] Allgemein ist eine Vielzahl von Löschkernen (entsprechend den Blockkernen **26-0** bis **26-n** in **Fig. 1**) in einer Halbleiterspeichervorrichtung vorhanden. Als Nächstes wird die Löschoperation der vorliegenden Vorrichtung detailliert erläutert. Es wird ein Sourcepotential von 5,0V von den gemeinsamen Source-Leitungen Sli ($i = 0$ bis n) an die Source-Leitungen der Speicherzellen in der Speicherzellenanordnung **30** und R/D-Speicherzellenanordnung **32** in jedem der Blockkerne **26-0** bis **26-n** angelegt. Es wird

ein Potential von -7,0V von dem Zeilendecoder **31** und R/D-Zeilendecoder **33** an die Wortleitungen WL0 bis WLk und WLRD-0 bis WLRD-I angelegt. Es wird jedoch 0V an die defekte Zeile der Speicherzellenanordnung **30** und die nichtverwendete R/D-Zeile der R/D-Speicherzellenanordnung **32** angelegt. In diesem Zeitpunkt wird das Substratpotential aller Speicherzellen auf 0V gesetzt, um eine Anwendung einer Belastung auf die defekte Zelle zu verhindern.

[0016] In letzter Zeit ist jedoch mit Erhöhung der Integrationsdichte der Halbleiterspeichervorrichtung die Struktur selbst der Speicherzelle, die in **Fig. 1** gezeigt wird, ein ernsthaftes Problem geworden. D.h. da es extrem wichtig ist, dass eine Schwankung in der Schwellspannung der Speicherzelle nach der Löschooperation auf ein Minimum in der Löschooperation gedrückt wird, ist die Source-Region **14** in der in **Fig. 1** gezeigten Speicherzelle relativ tief ausgebildet. In diesem Zeitpunkt wird der Grad (X_j) des Eintritts einer Störstelle unter das Gate grob, um die effektive Gate-Länge (L_{eff}) zu reduzieren. Daher ist es notwendig, die Steuergate-Länge durch Beachtung der obigen Tatsache zu bestimmen, und es ist notwendig, das Steuergate **12** im voraus länger einzustellen. Dies ist ein Faktor zum Verhindern einer Verringerung der Zellenfläche.

[0017] Durch Beachtung der obigen Tatsache wird eine Speicherzelle der Struktur, die in **Fig. 3** gezeigt wird, die z.B. in IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 27 Nr. 11 November 1992 S. 1547-1553 offengelegt wird, vorgeschlagen. In **Fig. 3** werden Abschnitte, die jenen in **Fig. 1** entsprechen, durch die gleichen Bezugszeichen bezeichnet. Die Speicherzelle wird in einer P-Wannenregion **35** ausgebildet, die in dem Siliziumsubstrat **13** ausgebildet ist. Die P-Wannenregion **35** ist in einer element-isolierenden N-Wannenregion **36** ausgebildet.

[0018] Die Programmier- und Leseoperationen der Speicherzelle mit der obigen Struktur sind die gleichen wie jene der Speicherzelle, die in **Fig. 1** gezeigt wird. In den Programmier- und Leseoperationen wird 0V an die N-Wannenregion **36** und die P-Wannenregion **35** angelegt. Die Löschooperation wird wie folgt bewirkt. D.h. es wird z.B. das Potential des schwebenden Gates VCG auf -7,5V eingestellt, der Drain wird in den elektrisch schwebenden Zustand gesetzt und es werden z.B. 10V an die P-Wannenregion **35** und die N-Wannenregion **36** angelegt. In diesem Zeitpunkt wird das Sourcepotential VS auf 10V gesetzt (oder die Source kann in den elektrisch schwebenden Zustand gesetzt werden). Somit werden Elektronen in dem schwebenden Gate **11** in die P-Wannenregion **35** durch den Tunneleffekt herausgezogen. Da in diesem Zeitpunkt der Löschoprozess in den Außenoberflächen des schwebenden Gates **11** und der P-Wannenregion **35** bewirkt wird, ist es nicht notwendig, die Source-Region **14** tief auszubilden und der Grad (X_j) des Eintritts einer Störstelle unter das Gate kann gedrückt werden. Als ein Ergebnis kann die Zellenfläche leicht verringert werden.

[0019] Als Nächstes wird ein Fall betrachtet, in dem die Speicherzelle mit der obigen Struktur auf die Halbleiterspeichervorrichtung, die in **Fig. 2** gezeigt wird, angewendet wird. In diesem Zeitpunkt wird vorausgesetzt, dass die P-Wannenregion **35** und die N-Wannenregion **36** gemeinsam mit der Source von jeder Speicherzelle über die gemeinsame Source-Leitung SLi verbunden sind. Wie zuvor beschrieben, wird in der Löschoperation **0V** an die defekte Zeile und die ungenutzte R/D-Zeile angelegt. In diesem Zeitpunkt wird jedoch 10V als das P-Wannenpotential angelegt, was das Substratpotential der Speicherzelle ist. Falls z.B. das Steuergate **12** mit dem Substrat (P-Wannenregion **35**) kurzgeschlossen wird, wird das Potential der P-Wannenregion **35** über den Zeilendecoder **31** kurzgeschlossen und es wird unmöglich, ein richtiges P-Wannenpotential anzulegen. Als ein Ergebnis tritt eine Möglichkeit auf, dass die Löschoperation für den Block nicht bewirkt werden kann oder die Löschoperation innerhalb einer voreingestellten Zeitdauer nicht bewirkt werden kann.

[0020] Wie oben beschrieben, tritt in der konventionellen Halbleiterspeichervorrichtung ein Problem auf, dass es schwierig ist, die Speicherzellenfläche zu reduzieren, obwohl es möglich ist, die defekte Speicherzelle in der Zeileneinheit zu ersetzen, falls die Speicherzelle der Struktur verwendet wird, in der das hohe Potential an die Source angelegt wird, um Elektronen in dem schwebenden Gate in die Source herauszuziehen. Falls die Speicherzelle der Struktur, in der das hohe Potential an die P-Wannenregion angelegt wird, die als das Substrat verwendet wird, um Elektronen in dem schwebenden Gate in die P-Wannenregion herauszuziehen, verwendet wird, um das obige Problem zu lösen, wird es leicht, die Zellenfläche zu verringern, aber es tritt ein Problem auf, dass das Potential der P-Wannenregion nicht richtig angelegt werden kann und die Löschoperation nicht bewirkt werden kann, wenn ein Austausch der Speicherzellen in der Zeileneinheit vorgenommen wird.

[0021] Die Literaturstelle W0-A-96 34391 legt einen nicht-flüchtigen Speicher offen, der eine Vielzahl von Blöcken umfasst, wobei die Löscho- und Austauschoperationen in der Blockeinheit durchgeführt werden.

[0022] Entsprechend ist es ein Ziel dieser Erfindung, eine Halbleiterspeichervorrichtung vorzusehen, in der Elektronen in dem schwebenden Gate in das Substrat (P-Wannenregion) in dem Löschoprozess der Speicherzelle herausgezogen werden und die eine defekte Zelle stabil ersetzen kann, selbst wenn die defekte Zelle in den Speicherzellen enthalten ist.

[0023] Ferner ist es ein anderes Ziel dieser Erfindung, eine Halbleiterspeichervorrichtung vorzusehen, die den Spannungsabfall wegen dem Vorhandensein des defekten Abschnitts unterdrücken kann und die Löschooperation für richtige Blockkerne nicht behindern wird.

[0024] Ein anderes Ziel dieser Erfindung ist es, eine

Halbleiterspeichervorrichtung vorzusehen, in der die Leseoperation mit dem Steuergate-Potential, das auf die Energieversorgungsspannung eingestellt ist, bewirkt werden kann, und es nicht notwendig ist, das Steuergate-Potential zu steuern und die den Operationsspielraum der bei geringer Spannung betriebenen Vorrichtung groß machen kann.

[0025] Gemäß der vorliegenden Erfindung wird eine Halbleiterspeichervorrichtung vorgesehen, umfassend: eine Vielzahl von ersten Blockkernen, jeder inkludierend eine Speicherzellenanordnung mit Speicherzellen, die in einer Matrixform angeordnet sind, worin in dem Löschozeitpunkt Elektronen in einem schwebenden Gate in eine Wannenregion herausgezogen werden, und inkludierend einen Zeilendecoder zum Auswählen einer Zeile der Speicherzellen der Speicherzellenanordnung; mindestens einen zweiten Blockkern des gleichen Aufbaus wie die Vielzahl der ersten Blockkerne; einen Blockadresspuffer, der mit einem Blockadresssignal versorgt wird, einen Adressspeicherabschnitt für einen defekten Block zum Speichern einer Adresse für einen defekten Block; und einen Adressvergleichsabschnitt für einen defekten Block zum Vergleichen eines Ausgangssignals des Adressspeicherabschnitts für einen defekten Block mit einem Blockadresssignal, das von dem Blockadresspuffer ausgegeben wird, wobei wenn ein Defekt in den ersten Blockkernen auftritt, der Blockkern, in dem der Defekt auftritt, durch den mindestens einen zweiten Blockkern in der Blockkerneinheit basierend auf einem Ausgangssignal des Adressvergleichsabschnitts für einen defekten Block ersetzt wird, gekennzeichnet dadurch, dass die Halbleiterspeichervorrichtung ferner umfassend: erste Blockdecoder, jeder vorgesehen in den ersten Blockkernen, wobei die ersten Blockdecoder als Reaktion auf das Ausgangssignal des Blockadresspuffers und das Ausgangssignal des Adressvergleichsabschnitts für einen defekten Block arbeiten; erste Verriegelungsschaltungen, jede vorgesehen in den ersten Blockkernen, wobei die ersten Verriegelungsschaltungen ein Verriegelungssignal als Reaktion auf ein Blockauswahlsignal, ausgegeben von dem ersten Blockdecoder, und ein Signal, das eine Nichtauswahl anzeigt, verriegeln, wobei dadurch der erste Blockdecoder zwingend in einen ausgewählten Zustand oder einen nicht-ausgewählten Zustand gesetzt wird; einen zweiten Blockdecoder, vorgesehen in jedem mindestens einen zweiten Blockkern, wobei die zweiten Blockdecoder als Reaktion auf das Ausgangssignal des Blockadresspuffers und das Ausgangssignal des Adressvergleichsabschnitts für einen defekten Block arbeiten; und eine zweite Verriegelungsschaltung, vorgesehen in jedem mindestens einen zweiten Blockkern, wobei die zweite Verriegelungsschaltung ein Verriegelungssignal als Reaktion auf das Blockauswahlsignal, ausgegeben von dem zweiten Blockdecoder, und ein Signal, das die Nichtauswahl anzeigt, verriegelt, wobei dadurch der zweite Blockdecoder zwingend in den ausgewählten Zustand oder

nicht-ausgewählten Zustand gesetzt wird, die Speicherzellenanordnungen jede in Wannenregionen ausgebildet sind, die unabhängig gebildet werden, wenn Übereinstimmung der verglichenen Adressen in dem Adressvergleichsabschnitt für einen defekten Block erfasst wird, der erste Blockdecoder der ersten Blockkerne, worin ein Defekt auftritt, zwingend in den nichtausgewählten Zustand gesetzt wird und der zweite Blockdecoder des zweiten Blockkerns zwingend in den ausgewählten Zustand gesetzt wird, wobei dadurch der defekte Blockkern in der Blockkernereinheit in dem Zeitpunkt einer gleichzeitigen Löschung für die Vielzahl von Blockkernen ersetzt wird, die Adresse für einen defekten Block, die in dem Adressspeicherabschnitt für einen defekten Block gespeichert wird, in den Blockadresspuffer eingegeben wird und der erste Blockdecoder in dem defekten Blockkern Daten, die eine Nichtauswahl anzeigen, in die erste Verriegelungsschaltung verriegelt, wobei dadurch eine Anwendung des Löschpotentials auf die Speicherzellenanordnung des Blockkerns, in dem der Defekt auftritt, verhindert wird, und Blockadressen der zu löschenden Blöcke sequenziell in den ersten Blockdecoder eingegeben werden und das Blockauswahlsignal in der ersten Verriegelungsschaltung als Reaktion auf das Signal, das die Nichtauswahl anzeigt, verriegelt wird, wobei dadurch der erste Blockdecoder in dem Blockkern, der zu löschen ist, zwingend ausgewählt wird.

[0026] Da der Blockkern als eine Einheit für einen Austausch behandelt wird, kann mit dem obigen Aufbau die defekte Speicherzelle auf alle Fälle ersetzt werden, selbst wenn die defekte Zelle in den Speicherzellen enthalten ist, wenn die Speicherzelle der Struktur, in der ein hohes Potential an die P-Wannenregion angelegt wird, die das Substrat verwendet wird, um Elektronen in dem schwebenden Gate in die P-Wannenregion herauszuziehen, verwendet wird.

[0027] Wenn alle Blöcke der Halbleiterspeichervorrichtung gleichzeitig der Löschoperation unterzogen werden, kann der Spannungsabfall wegen dem Vorhandensein des defekten Abschnitts unterdrückt werden, indem verhindert wird, dass eine Spannung an den Blockkern angelegt wird, der den Defekt enthält, und die Löschoperation für den richtigen Blockkern wird nicht behindert.

[0028] Da die Speicherzelle der Struktur, die die gleiche wie die Speicherzelle des Hauptaufbaus ist, als ein Speicherelement der ausgefallenen Adresse verwendet wird und die Schwellspannung der Speicherzelle (zum Löschen) auf einen Erdpegel oder weniger dem Löschezitpunkt abgesenkt wird, die Leseoperation mit dem Steuergate-Potential, das auf die Energieversorgungsspannung gesetzt ist, bewirkt werden kann, ist es ferner nicht notwendig, das Steuergate-Potential zu steuern und der Operationsspielraum der bei niedriger Spannung betriebenen Vorrichtung kann groß gemacht werden.

[0029] Der Adressspeicherabschnitt für einen defekten Block kann einen Transistor der gleichen

Struktur wie die Speicherzellen der ersten Speicherzellenanordnung und einer zweiten Speicherzellenanordnung des mindestens einen zweiten Kernblocks als ein Speicherelement inkludieren.

[0030] Die Schwellspannung des Transistors kann auf einen Pegel abgesenkt werden, der in dem Löschezitpunkt des Speicherelements nicht höher als ein Erdpegel ist, und kann in dem Programmierzeitpunkt auf einen Pegel programmiert sein, der höher als ein Energieversorgungspegel ist, und das Steuergate-Potential kann auf das Energieversorgungspotential im Auslesezeitpunkt gesetzt sein.

[0031] Der Adressspeicherabschnitt für einen defekten Block kann Sicherungselemente inkludieren. Eine Adresse für einen defekten Block kann gemäß dem gespeichert werden, ob das Sicherungselement durchgebrannt ist oder nicht.

[0032] Die Operation zum Auslesen des Adressspeicherabschnitts für einen defekten Block kann in dem Einschaltzeitpunkt der Energieversorgung bewirkt werden und die Auslesedaten können in einen internen Abschnitt davon verriegelt werden.

[0033] Jeder der ersten Blockkerne kann ferner erste Spaltenauswahl-Gates zum Auswählen einer Spalte der Speicherzellen der Speicherzellenanordnung inkludieren, und der mindestens eine zweite Blockkern kann ferner ein zweites Spaltenauswahl-Gate zum Auswählen einer Spalte der Speicherzellen der Speicherzellenanordnung inkludieren, die Halbleiterspeichervorrichtung kann ferner umfassen einen Zeilenadresspuffer, der mit einem Zeilenadresssignal versorgt wird, zum Bereitstellen eines internen Zeilenadresssignals zu den Zeilenadressdecodern in den ersten Blockkernen und dem zweiten Blockkern, einen Spaltenadresspuffer, der mit einem Spaltenadresssignal versorgt wird, einen Spaltendecoder zum Dekodieren eines internen Spaltenadresssignals, das von dem Spaltenadresspuffer ausgegeben wird, um die ersten und zweiten Spaltenauswahl-Gates auszuwählen, und einen Deaktivierungsimpuls-generierungsabschnitt zum Ausgeben des Signals, das die Nichtauswahl anzeigt, in die ersten und zweiten Verriegelungsschaltungen.

[0034] Ein Abtastverstärker zum Verstärken von Daten, die aus der gewählten Speicherzelle ausgelesen werden, und ein Eingabe/Ausgabepuffer zum Übertragen von Daten in Bezug auf den Abtastverstärker können auch vorgesehen werden.

[0035] Die Erfindung kann vollständiger aus der folgenden detaillierten Beschreibung verstanden werden, wenn in Verbindung mit den begleitenden Zeichnungen genommen, in denen:

[0036] **Fig. 1** eine Querschnittsansicht einer konventionellen Speicherzelle in einem EEPROM ist, die die Datenlösch-/Umprogrammierungsoperation elektrisch bewirkt;

[0037] **Fig. 2** ein Blockdiagramm ist, das den schematischen Aufbau einer konventionellen Halbleiterspeichervorrichtung zeigt, die MOS-Transistoren von

geschichteten Gate-Strukturen als Speicherzellen verwendet und in der Redundanzzellen, die jede für einen Austausch einer defekten Zelle verwendet werden, wenn die defekte Zelle vorhanden ist, vorgesehen sind;

[0038] **Fig. 3** eine Querschnittsansicht einer verbesserten Speicherzelle in einem EEPROM ist, die die Datenlösch-/Umprogrammierungsoperation elektrisch bewirkt;

[0039] **Fig. 4** ein Blockdiagramm ist, das den Hauptabschnitt einer Halbleiterspeichervorrichtung gemäß einer Ausführungsform dieser Erfindung zeigt;

[0040] **Fig. 5** ein Schaltungsdiagramm ist, das ein Beispiel eines detaillierten Aufbaus eines Blockadresspuffers in der in **Fig. 4** gezeigten Schaltung zeigt;

[0041] **Fig. 6** ein Schaltungsdiagramm ist, das ein Beispiel des Aufbaus eines Teils eines R/D-Adressspeicherabschnitts in der in **Fig. 4** gezeigten Schaltung zeigt, wobei die Speicherzelle als eine Sicherungszelle verwendet wird;

[0042] **Fig. 7** ein Schaltungsdiagramm ist, das ein anderes Beispiel des Aufbaus des R/D-Adressspeicherabschnitts in der in **Fig. 4** gezeigten Schaltung zeigt;

[0043] **Fig. 8** ein Schaltungsdiagramm ist, das ein Beispiel des Aufbaus eines Blockadressvergleichsabschnitts in der in **Fig. 4** gezeigten Schaltung zeigt;

[0044] **Fig. 9** ein Schaltungsdiagramm ist, das ein Beispiel des Aufbaus eines Blockdecoders und einer Verriegelung in der in **Fig. 4** gezeigten Schaltung zeigt;

[0045] **Fig. 10** ein Schaltungsdiagramm ist, das ein anderes Beispiel des Aufbaus des Blockdecoders und der Verriegelung in der in **Fig. 4** gezeigten Schaltung zeigt;

[0046] **Fig. 11** ein Schaltungsdiagramm ist, das ein Beispiel des Aufbaus einer Speicherzellenanordnung in der in **Fig. 4** gezeigten Schaltung zeigt;

[0047] **Fig. 12** ein Schaltungsdiagramm ist, das ein anderes Beispiel des Aufbaus der Speicherzellenanordnung in der in **Fig. 4** gezeigten Schaltung zeigt;

[0048] **Fig. 13** ein Schaltungsdiagramm ist, das noch ein anderes Beispiel des Aufbaus der Speicherzellenanordnung in der in **Fig. 4** gezeigten Schaltung zeigt;

[0049] **Fig. 14** ein Schaltungsdiagramm ist, das ein anderes Beispiel des Aufbaus der Speicherzellenanordnung in der in **Fig. 4** gezeigten Schaltung zeigt; und

[0050] **Fig. 15** ein Schaltungsdiagramm ist, das noch ein anderes Beispiel des Aufbaus der Speicherzellenanordnung in der in **Fig. 4** gezeigten Schaltung zeigt.

[0051] **Fig. 4** ist ein Blockdiagramm, das den Hauptabschnitt einer Halbleiterspeichervorrichtung gemäß einer Ausführungsform dieser Erfindung zeigt. Die Halbleiterspeichervorrichtung inkludiert einen Spaltenadresspuffer **40**, einen Spaltendecoder **41**, Zeilenadresspuffer **42**, R/D- (Redundanz-) Adressspeicherabschnitt **43**, R/D-Adressvergleichsabschnitt **44**,

Blockadresspuffer **45**, Deaktivierungsimpuls-generierungsabschnitt **46**, Blockkerne **47-0** bis **47-n**, R/D-Blockkern **47-RD**, Abtastverstärker (S/A) **48**, Eingabe-/Ausgabepuffer **49** und Eingabe-/Ausgabepad **50**. Jeder der Blockkerne **47-0** bis **47-n** und R/D-Blockkern **47-RD** inkludiert eine Speicherzellenanordnung **51**, Zeilendecoder **52**, Blockdecoder **53**, Deaktivierungsverriegelung (LAT) **54** und Spaltenauswahl-Gates CTO bis CTj.

[0052] Die Speicherzellenanordnungen **51** der Blockkerne **47-0** bis **47-n** und R/D-Blockkern **47-RD** sind jeweils in unabhängigen P-Wannenregionen ausgebildet, die in einer N-Wannenregion gebildet sind. In jeder Speicherzellenanordnung **51** sind Speicherzellen, die aus nicht-flüchtigen Transistoren, gezeigt in **Fig. 3**, gebildet werden, in einer Matrixform angeordnet. Die Drains der Speicherzellen in jeder Spalte sind gemeinsam mit einer von Bitleitungen BL0 bis BLj für jeden der Blockkerne **47-0** bis **47-n** und R/D-Blockkern **47-RD** verbunden und die Steuergates der Speicherzellen in jeder Zeile sind gemeinsam mit einer entsprechenden von Wortleitungen WL0 bis WLk verbunden.

[0053] D.h. in der Halbleiterspeichervorrichtung dieser Ausführungsform werden die R/D-Speicherzellenanordnung **32** und R/D-Decoder **33**, die in jedem der Blockkerne **26-0** bis **26-n** in der konventionellen Halbleiterspeichervorrichtung, die in **Fig. 2** gezeigt wird, für einen Austausch in der Zeileneinheit vorgesehen sind, weggelassen. An Stelle von ihnen ist der R/D-Blockkern **47-RD**, der für einen Austausch in der Blockkerneinheit verwendet wird und die gleiche Struktur wie die Blockkerne **47-0** bis **47-n** hat, die in dem normalen Zustand gewählt werden, vorgesehen. Jeder der Blockkerne **47-0** bis **47-n** und R/D-Blockkern **47-RD** hat die Deaktivierungsverriegelung (LAT) **54** zum zwingenden Verhindern der Auswahloperation des Blockdecoders. Die Deaktivierungsverriegelung **54** wird mit einem Blockauswahlsignal/Bi (i = 0 bis n, RD) versorgt, das von dem Blockdecoder **53** ausgegeben wird und verriegelt ein Verriegelungssignal/DISi (i = 0 bis n, RD) als Reaktion auf ein Signal /SETPLS, das von dem Deaktivierungsimpuls-generierungsabschnitt **46** ausgegeben wird, um den Blockdecoder **53** zwingend in einen nicht-ausgewählten Zustand zu setzen.

[0054] Mit dem obigen Aufbau wird der Zeilenadresspuffer **42** mit einem Zeilenadresssignal ADDRi von außen versorgt und ein Ausgangssignal ARSi davon wird als ein internes Zeilenadresssignal den Zeilendecodern **52** in den Blockkernen **47-0** bis **47-n** und R/D-Blockkern **47-RD** zugeführt. Der Zeilendecoder **52** wählt eine der Wortleitungen WL0 bis WLk in der Speicherzellenanordnung **51**. Der Spaltenadresspuffer **40** wird mit einem Spaltenadresssignal ADDCi von außen versorgt und ein Ausgangssignal ACSi davon wird als ein internes Spaltenadresssignal dem Spaltendecoder **41** zugeführt und decodiert. Eines der Spaltenauswahl-Gates CTO bis CTj in jedem der Blockkerne **47-0** bis **47-n** und R/D-Blockkern

47-RD wird durch das Ausgangssignal des Spalten-decoders **41** derart ausgewählt, um eine der Bitleitungen BLO bis BLj auszuwählen. Der Blockadresspuffer **45** wird mit einem Blockadresssignal ADDBLi versorgt und ein Ausgangssignal ABLSi davon wird den Blockdecodern **53** der Blockkerne **47-0** bis **47-n** und R/D-Blockkern **47-RD** zugeführt. Somit wird eine Speicherzelle, die mit der ausgewählten Bitleitung und ausgewählten Wortleitung in der Speicherzellenanordnung des gewählten Blockkerns verbunden ist, ausgewählt. Gespeicherte Daten in der ausgewählten Speicherzelle werden dem Abtastverstärker **48** über das Spaltenauswahl-Gate des ausgewählten Blockkerns zugeführt, verstärkt und dann dem Eingabe-/Ausgabepuffer **49** zugeführt und von dem Eingabe-/Ausgabepad 50 nach außen ausgegeben.

[0055] Als Nächstes wird ein Fall betrachtet, worin ein Defekt in der Speicherzellenanordnung **51** in der Halbleiterspeichervorrichtung dieser Ausführungsform auftritt. In der vorliegenden Vorrichtung wird, falls die Speicherzellenanordnung **51** einen Defekt aufweist, die Adresse des Blockkerns, der den Defekt enthält, zuvor in dem R/D-Adressspeicherabschnitt 43 gespeichert und ein Ausgangssignal AFi des R/D-Adressspeicherabschnitts 43 und ein Ausgangssignal ABLSi des Blockadresspuffers **45** werden in dem R/D-Adressvergleichsabschnitt 44 verglichen. Falls das Ergebnis des Vergleichs "Übereinstimmung" anzeigt, wird ein Signal/HITBLK von dem R/D-Adressvergleichsabschnitt 44 ausgegeben. In diesem Zeitpunkt wird der Blockdecoder **53** des Blockkerns **47-RD** in den ausgewählten Zustand gesetzt. Im gleichen Zeitpunkt wird ein Signal/BLKDIS von dem R/D-Adressvergleichsabschnitt 44 ausgegeben und dem Blockdecoder **53** für eine normale Auswahl in dem Blockkern, der den Defekt enthält, zugeführt, um den Blockdecoder **53** zwingend in den nicht-ausgewählten Zustand zu setzen. Somit wird der Blockkern, der den Defekt enthält, durch den R/D-Blockkern **47-RD** für Redundanz ersetzt. In diesem Fall wird das Signal /BLKDIS nicht zu einem entsprechenden Eingangsabschnitt des R/D-Blockkerns **47-RD** eingegeben (z.B. wird die Energieversorgungsspannung = VDD eingegeben). In der Speicherzellenanordnung **51** des Redundanzblockkerns **47-RD** kann die Löschoption richtig bewirkt werden, selbst wenn die nichtflüchtigen Transistoren der Struktur, die in **Fig. 3** gezeigt wird, als die Speicherzellen verwendet werden, es sei denn, es tritt ein Defekt, wie etwa der Kurzschluss zwischen dem Substrat (P-Wannenregion) und dem schwebenden Gate oder Steuergate auf.

[0056] Mit der obigen Halbleiterspeichervorrichtung kann die Löschoption allgemein in der Blockkernereinheit bewirkt werden. Falls jedoch eine Verringerung der Testzeit in Betracht gezogen wird, ist es wünschenswert, gleichzeitig eine Vielzahl von Blöcken der Löschoption zu unterziehen. Für diesen Zweck wird ein Modus, in dem eine Vielzahl von Blöcken zwingend in den ausgewählten Zustand gesetzt

wird, zusätzlich als ein Testmodus vorgesehen. In diesem Fall wird auch der Blockkern, der den Defekt enthält, zwingend ausgewählt. Als ein Ergebnis tritt eine Möglichkeit auf, dass das richtige Substratpotential SLi wegen einem Kriechstrom, der über die defekte Zelle fließt, nicht an alle Blöcke angelegt werden kann und die Löschoption für alle Blöcke nicht bewirkt werden kann. Diese Tatsache wird auch in dieser Ausführungsform in Betracht gezogen, und falls ein Testsignal/BLKLOCK fällt, werden Fehlschlagadressdaten (Signal FADi), die in dem R/D-Adressspeicherabschnitt **43** gespeichert sind, zu dem Blockadresspuffer **45** eingegeben, um den Blockdecoder **53** in dem defekten Blockkern in den ausgewählten Zustand zu setzen. In diesem Zeitpunkt wird ein Signal /SETPLS von dem Deaktivierungsimpuls-generierungsabschnitt **46** ausgegeben und in die Deaktivierungsverriegelung **54** des Blocks verriegelt. Falls das Signal in die Deaktivierungsverriegelung **54** verriegelt ist, wird der Blockdecoder **53** des Blocks zwingend in den nichtausgewählten Zustand gesetzt, um zu verhindern, dass ein Potential an den defekten Block in der gleichzeitigen Löschoption für alle Blöcke angelegt wird, und eine Absenkung des Potentials kann verhindert werden. Deshalb kann die gleichzeitige Löschoption für alle Blöcke bewirkt werden.

[0057] **Fig. 5** ist ein Schaltungsdiagramm, das ein Beispiel des detaillierten Aufbaus des Blockadresspuffers **45** in der in **Fig. 4** gezeigten Schaltung zeigt. Der Puffer **45** inkludiert getaktete Inverter **61**, **62** und Inverter **63**, **64**. Das Blockadresssignal ADDBLi und das Signal FADi (Fehlschlagadressdaten) von dem R/D-Adressspeicherabschnitt **43** werden jeweils den Eingangsanschlüssen der getakteten Inverter **61**, **62** zugeführt. Einseiten-Takteingangsanschlüsse der getakteten Inverter **61**, **62** werden mit einem Testsignal /BLKLOCK versorgt und die anderen Takteingangsanschlüsse davon werden mit einem Signal versorgt, das durch Invertieren des Testsignals /BLKLOCK durch den Inverter **63** erhalten wird. Die Ausgangssignale der getakteten Inverter **61**, **62** werden dem Eingangsanschluss des Inverters **64** zugeführt, der wiederum ein Ausgangssignal ABLSi ausgibt.

[0058] Das Testsignal /BLKLOCK wird allgemein auf den Pegel "H" gesetzt, und in diesem Zeitpunkt wird das Blockadresssignal ADDBLi über den getakteten Inverter **61** und Inverter **64** übertragen und als das Ausgangssignal ABLSi ausgegeben. Im Testzeitpunkt wird das Testsignal /BLKLOCK auf den Pegel "L" gesetzt, und in diesem Zeitpunkt wird das Signal FADi, das Fehlschlagadressdaten anzeigt, über den getakteten Inverter **62** und Inverter **64** als das Ausgangssignal ABLSi ausgegeben. Das Ausgangssignal ABLSi des Blockadresspuffers **45** wird den Blockdecodern **53** in den Blockkernen **47-0** bis **47-n** und R/D-Blockkern zugeführt.

[0059] **Fig. 6** ist ein Schaltungsdiagramm, das ein Beispiel des Aufbaus eines Teils des R/D-Adress-

speicherabschnitts **43** in der in **Fig. 4** gezeigten Schaltung zeigt, wobei die Speicherzelle als eine Sicherungszelle verwendet wird. Die Schaltung inkludiert einen Speicherzellentransistor C1, P-Kanal-MOS- (PMOS-) Transistor P1, N-Kanal-MOS- (NMOS-) Transistor N1 mit einer Schwellspannung von ungefähr 0V, getaktete Inverter CINVI, CINV2, CINV3 und Inverter INV1, INV2. Der Speichertransistor (der hierin nachstehend als eine Sicherungszelle bezeichnet wird) C1 ist ein Transistor mit der gleichen Struktur wie der Hauptaufbau (Speicherzellen von jeder Speicherzellenanordnung **51**) und wird zum Speichern von Adressinformation verwendet. Falls eine Adresse "0" gespeichert wird, wird die Schwellspannung der Sicherungszelle C1 gelöscht oder auf einen Erd(GND-) Pegel oder weniger abgesenkt. Falls "1" gespeichert wird, ist sie auf einen positiven Pegel programmiert, der höher als die Energieversorgungsspannung VDD ist (z.B. $V_{th} = 5,0V$). Der PMOS-Transistor P1 wird als eine Last verwendet, wenn Information der Sicherungszelle C1 ausgelesen wird und wird mit einer derartigen Größe gebildet, um einen winzigen Strom zu verursachen (z.B. $1\mu A$), um als Reaktion auf ein Gate-Signal GLOAD zu fließen. In diesem Zeitpunkt kann das Gate-Signal GLOAD auf einen Pegel von 0V oder ein Zwischenpotential gesetzt sein, um zu veranlassen, dass der winzige Strom fließt. Der NMOS-Transistor N1, dessen Gate mit einem Signal FSBIAS versorgt wird, hat eine Funktion zum Begrenzen des Drain-Potentials der Sicherungszelle C1. Als der Pegel des Signals FSBIAS wird ein Potential verwendet, das um eine Schwellspannung V_{thN} des NMOS-Transistors N1 höher als das Drain-Potential ist.

[0060] Die beiden getakteten Inverter CINVI, CINV2 und Inverter INV1 bilden eine Verriegelungsschaltung zum Halten gespeicherter Information der Sicherungszelle C1. Die Verriegelungsoperation der Verriegelungsschaltung wird in dem Zeitpunkt des Einschaltens der Energieversorgung bewirkt. Der Grund dafür ist, eine Verzögerung beim Zugriff wegen dem Auslesen der Sicherungszelle C1 zu verhindern. Im Zeitpunkt des Einschaltens der Energieversorgung werden das Signal GLOAD und Signal FSBIAS auf die Potentiale im Zeitpunkt des Auslesens gesetzt, wie zuvor beschrieben. Das Steuergate VCG der Sicherungszelle C1 ist im Zeitpunkt des Einschaltens der Energieversorgung auf die Energieversorgungsspannung gesetzt, z.B. 1V. Das Signal VSOU, das als das Sourcepotential und Wannenpotential verwendet wird, wird auch auf 0V gesetzt. In diesem Zeitpunkt wird ein Signal FSREAD auf den Pegel "H" gesetzt, und ein Signal /FSREAD ist ein invertiertes Signal davon. Falls somit eine Adresse "0" in der Sicherungszelle gespeichert wird, fließt ein Strom, da die Schwellspannung auf einen negativen Wert abgesenkt ist (zum Löschen) und "0" als das Signal AFi ausgegeben wird. Falls eine Adresse "1" in der Sicherungszelle gespeichert ist, fließt kein Strom, da die Schwellspannung programmiert ist, ein positi-

ver Wert zu sein und "1" als das Signal AFi ausgegeben wird. Nach dem Ende der Operation zum Auslesen wird das Signal FSREAD auf den Pegel "L" gesetzt und Information der Sicherungszelle ist verriegelt. Da das Steuergate VCG der Sicherungszelle C1 im Zeitpunkt des Auslesens auf den Energieversorgungsspannungspegel gesetzt ist, ist es in diesem Zeitpunkt nicht notwendig, das Steuergatepotential zu steuern, selbst wenn die Operation des Auslesens in einem Zustand bewirkt wird, in dem die Energieversorgungsspannung auf den niedrigen Pegel gesetzt ist und es wird insbesondere für die bei geringer Spannung betriebene Vorrichtung effektiv.

[0061] **Fig. 7** zeigt ein anderes Beispiel des Aufbaus des R/D-Adressspeicherabschnitts in der in **Fig. 4** gezeigten Schaltung. Es wird ein Fall, worin die Speicherzelle verwendet wird, in der Schaltung von **Fig. 6** erläutert, aber in diesem Beispiel wird eine Sicherung F verwendet. Der grundlegende Schaltungsaufbau ist der gleiche wie die Schaltung von **Fig. 6**, von der Abschnitte, die die gleichen wie jene von **Fig. 6** sind, durch die gleichen Bezugszeichen bezeichnet werden und deren detaillierte Erläuterung weggelassen wird. Falls die Sicherung F durch Laser durchbrennt, wird mit dem obigen Aufbau ein Zustand äquivalent dem Zustand erhalten, wo "1" in der Speicherzelle C1 von **Fig. 6** gespeichert wird (das Signal AFi ist auf den Pegel "1" gesetzt), und falls die Sicherung F nicht durch Laser durchbrennt, wird ein Zustand äquivalent zu dem Zustand erhalten, in dem "0" in der Speicherzelle C1 gespeichert wird (das Signal AFi ist auf den Pegel "0" gesetzt) erhalten. Wenn das Testsignal BLKLOCK (entgegenliegende Phase des Testsignals /BLKLOCK) ansteigt, wird das Signal AFi als das Signal FADi dem Blockadresspuffer **45** über den getakteten Inverter CINV3 zugeführt. Somit wird im wesentlichen die gleiche Operation wie in der Schaltung von **Fig. 6** gemäß dem erreicht, ob die Sicherung F unterbrochen wird oder nicht.

[0062] **Fig. 8** ist ein Schaltungsdiagramm, das ein Beispiel des Aufbaus des Blockadressvergleichsabschnitts **44** in der in **Fig. 4** gezeigten Schaltung zeigt. Der Blockadressvergleichsabschnitt **44** inkludiert R/D-Adressdetektoren **71** einer Zahl entsprechend der Zahl von Bits der Blockadresse und einen Logikschaltungsabschnitt **72**, der mit Ausgangssignalen der Detektoren **71** versorgt wird. Jeder Detektor **71** inkludiert Inverter **73, 74, 75**, PMOS-Transistoren **76, 77** und NMOS-Transistoren **78, 79**. Das Signal AFi, das von dem R/D-Adressspeicherabschnitt **43** zugeführt wird, wird dem Eingangsanschluss des Inverters **73** und den Gates der Transistoren **76, 78** zugeführt. Das Ausgangssignal des Inverters **73** wird den Gates der Transistoren **79, 77** zugeführt. Das Signal ABLSi, das von dem Blockadresspuffer **45** ausgegeben wird, wird dem Eingangsanschluss des Inverters **74** und Enden einer Seite der Strompfade der Transistoren **76, 79** zugeführt. Das Ausgangssignal des Inverters **74** wird den Enden einer Seite der Strompfade der Transistoren **78, 77** zugeführt. Die anderen

Enden der Strompfade der Transistoren **76** bis **79** sind mit dem Eingangsanschluss des Inverters **75** verbunden und ein Signal **HITi** wird von dem Inverter **75** ausgegeben.

[0063] Der Logikschaltungsabschnitt **72** inkludiert ein NAND-Gate **80** und Inverter **81**, **82**. Ein Signal **ENABLE** (**FREIGEBEN**), das auf den Pegel "H" gesetzt wird, wenn der Speicher aktiviert wird (unter Verwendung von Blockredundanz), wird dem ersten Eingangsanschluss des NAND-Gates **80** zugeführt. Dieses Signal **ENABLE** wird zu einer Schaltung generiert, die der in **Fig. 6** oder **Fig. 7** gezeigten Schaltung äquivalent ist. Die zweiten bis vierten Eingangsanschlüsse davon werden mit Signalen **HIT0**, **HIT1**, **HIT2** versorgt, die von dem dreistufigen R/D-Adressdetektor **71** ausgegeben werden. Ein Ausgangssignal des NAND-Gates **80** wird als ein Signal **HITBLK** über den Inverter **81** ausgegeben und als ein Signal **/BLKDIS** über die Inverter **81**, **82** ausgegeben.

[0064] Mit dem obigen Aufbau werden das Ausgangssignal **AFi** des R/D-Adressspeicherabschnitts **43** und das Ausgangssignal **ABLSi** des Blockadresspuffers **45** durch den R/D-Adressdetektor **71** miteinander verglichen, und falls das Ergebnis des Vergleichs "Übereinstimmung" anzeigt, wird das Signal **HITBLK** von dem Logikschaltungsabschnitt **72** ausgegeben. Somit wird es möglich, den Blockdecoder **53** des R/D-Blockkerns **47-RD** in den ausgewählten Zustand zu setzen, und im gleichen Zeitpunkt wird das Signal **/BLKDIS** von dem Logikschaltungsabschnitt **72** ausgegeben und dem Blockdecoder **53** für eine normale Auswahl in dem Blockkern, der den Defekt enthält, zugeführt, um den Blockdecoder **53** zwingend in den nicht-ausgewählten Zustand zu setzen. Deshalb kann der Blockkern, der den Defekt enthält, durch den entlastenden R/D-Blockkern **47-RD** ersetzt werden.

[0065] **Fig. 9** ist ein Schaltungsdiagramm, das ein Beispiel des Aufbaus des Blockdecoders **53** und der Deaktivierungsverriegelung **54** in der in **Fig. 4** gezeigten Schaltung zeigt. Der Blockdecoder **53** inkludiert NAND-Gates **90**, **91**, Inverter **92**, **93** und Source-Leitungsspannungsgenerator **94**, und die Deaktivierungsverriegelung **54** inkludiert ein NAND-Gate **95**, PMOS-Transistoren **96** bis **98** und NMOS-Transistoren **99** bis **101**. Signale **ABLS0** bis **ABLS2**, die von dem Blockadresspuffer **45** ausgegeben werden, werden an die ersten bis dritten Eingangsanschlüsse des NAND-Gates **90** angelegt, und ein Ausgangssignal **/BLKDIS** des Inverters **82** in dem Blockadressvergleichsabschnitt **44** wird dem vierten Eingangsanschluss davon zugeführt. Ein Ausgangssignal (Blockauswahlsignal) **/Bi** des NAND-Gates **90** wird dem Eingangsanschluss des Inverters **92** und den Gates der Transistoren **96**, **100** zugeführt. Ein Ausgangssignal des Inverters **92** wird einem der Eingangsanschlüsse des NAND-Gates **91** zugeführt, und ein Ausgangssignal (Verriegelungssignal) **/DISi** des NAND-Gates **95** wird dem anderen Eingangsanschluss des NAND-Gates **91** zugeführt. Ein Aus-

gangssignal des NAND-Gates **91** wird dem Source-Leitungsspannungsgenerator **94** über den Inverter **93** zugeführt, und ein Signal **SLi** wird von dem Source-Leitungsspannungsgenerator **94** ausgegeben und der Speicherzellenanordnung **51** zugeführt. [0066] Ein Signal **/SETPLS**, das von dem Deaktivierungsimpulsgenerierungsabschnitt **46** ausgegeben wird, wird den Gates der Transistoren **97**, **99** zugeführt, und ein Signal **/CLRPLS** wird einem der Eingangsanschlüsse des NAND-Gates **95** zugeführt. Das Signal **/SETPLS** ist ein Signal zum Setzen der Verriegelung **54**, und das Signal **/CLRPLS** ist ein Signal zum Rücksetzen derselben. Die Strompfade der Transistoren **96**, **97**, **99** sind in Reihe verbunden, ein Ende des in Reihe verbundenen Strompfades ist mit der Energieversorgung verbunden und das andere Ende davon ist mit einem Verbindungsknoten der Strompfade der Transistoren **100** und **101** verbunden. Die Strompfade der Transistoren **98**, **100**, **101** sind zwischen der Energieversorgung und dem Erdknoten verbunden. Der Verbindungsknoten der Strompfade der Transistoren **97** und **99** und der Verbindungsknoten der Strompfade der Transistoren **98** und **100** sind mit dem anderen Eingangsanschluss des NAND-Gates **95** verbunden, und ein Ausgangssignal des NAND-Gates **95** wird den Gates der Transistoren **98**, **101** zugeführt.

[0067] Mit dem obigen Aufbau steuert der Blockdecoder **53** die Operation des Source-Leitungsspannungsgenerators **94** gemäß Signalen **ABLSi** (**ABLS0**, **ABLS1**, **ABLS2**), die von dem Blockadresspuffer ausgegeben werden, und einem Signal **/BLKDIS**, das von dem R/D-Adressvergleichsabschnitt **44** ausgegeben wird, derart, um das Substratpotential **SLi** für jeden Blockkern selektiv anzulegen. Da der Blockdecoder **53** in dem defekten Blockkern durch die Deaktivierungsverriegelung **54** zwingend in den nichtausgewählten Zustand gesetzt wird, kann eine Anwendung des Potentials auf den defekten Block in der gleichzeitigen Löschoperation für alle Blöcke verhindert werden und eine Absenkung im Potential kann verhindert werden. Als ein Ergebnis kann die gleichzeitige Löschooperation für alle Blöcke bewirkt werden.

[0068] **Fig. 10** ist ein Schaltungsdiagramm, das ein anderes Beispiel des Aufbaus des Blockdecoders **53** und der Deaktivierungsverriegelung **54** in der in **Fig. 4** gezeigten Schaltung zeigt. Der Blockdecoder **53** inkludiert ein NAND-Gate **110**, getaktete Inverter **111**, **112**, Inverter **113** und Source-Leitungsspannungsgenerator **114**. Die Deaktivierungsverriegelung **54** inkludiert ein NOR-Gatter **115**, PMOS-Transistoren **116**, **117**, NMOS-Transistor **118** und Inverter **119**, **120**. Signale **ABLS0** bis **ABLS2**, die von dem Blockadresspuffer **45** ausgegeben werden, werden den ersten bis dritten Eingangsanschlüssen des NAND-Gates **110** zugeführt, und ein Ausgangssignal **/BLKDIS** des Inverters **82** in dem Blockadressvergleichsabschnitt **44** wird dem vierten Eingangsanschluss davon zugeführt. Ein Ausgangssignal (Block-

auswahlsignal) /Bi des NAND-Gates **110** wird dem Eingangsanschluss des getakteten Inverters **111** und dem Gate des Transistors **116** zugeführt. Ein Signal MULTIBLK und ein Signal, das durch Invertieren des Signals MULTIBLK durch Verwendung des Inverters **113** erhalten wird, werden dem Takteingangsanschluss des getakteten Inverters **111** zugeführt, um die Operation davon zu steuern.

[0069] Ein Signal/SETPLS, das von dem Deaktivierungsimpulsgenerierungsabschnitt **46** ausgegeben wird, wird dem Gate des Transistors **117** zugeführt. Ein Signal /CLRPLS wird einem der Eingangsanschlüsse des NOR-Gates **115** zugeführt. Ein Ausgangssignal /Bi des NAND-Gates **110** wird dem anderen Eingangsanschluss des NOR-Gates **115** zugeführt, und ein Ausgangssignal des NOR-Gates **115** wird dem Gate des Transistors **118** zugeführt. Die Strompfade der Transistoren **116**, **117**, **118** sind zwischen der Energieversorgung und dem Erdknoten in Reihe verbunden. Ein Verbindungsknoten der Strompfade der Transistoren **117** und **118** ist mit dem Eingangsanschluss des Inverters **119** und dem Ausgangsanschluss des Inverters **120** verbunden. Der Ausgangsanschluss des Inverters **119** und der Eingangsanschluss des Inverters **120** sind mit dem Eingangsanschluss des getakteten Inverters **112** verbunden. Das Signal MULTIBLK und ein Signal, das durch Invertieren des Signals MULTIBLK durch Verwendung des Inverters **113** erhalten wird, werden dem Takteingangsanschluss des getakteten Inverters **112** zugeführt, um die Operation davon zu steuern. Ausgangssignale der getakteten Inverter **111**, **112** werden dem Source-Leitungsspannungsgenerator **114** zugeführt, der wiederum ein Signal SLi der Speicherzellenanordnung **51** zuführt.

[0070] In dem obigen Aufbau wird das Signal MULTIBLK auf den Pegel "0" gesetzt und die getakteten Inverter **111** und **112** werden jeweils aktiviert und deaktiviert, um die Blöcke einen nach dem anderen auf eine formale Art und Weise zu erleichtern. Dann werden die Signale ABLSi (ABLS0, ABLS1, ABLS2) und das Signal /BLKDIS dem Blockdecoder **53** (d.h. NAND-Gate **110**) in dem Block zugeführt, der ausgewählt wurde (die Signale ABLSi wurden von dem Blockadresspuffer **45** ausgegeben, und das Signal /BLKDIS wurde von dem Blockadressvergleichsabschnitt **44** ausgegeben). Somit fällt das Signal (Blockauswahlsignal) /Bi, das von dem NAND-Gate **110** ausgegeben wird, das in dem Blockdecoder **53** vorgesehen ist, der durch die Signale ABLS0, ABLS1, ABLS2 ausgewählt wurde und in dem keine Fehler gemacht wurden, auf tiefen Pegel. Ein Signal mit hohem Pegel wird dadurch dem Source-Leitungsspannungsgenerator **114** durch den getakteten Inverter **111** zugeführt. Auch wird das Sourcepotential (10V) der gemeinsamen Sourceleitung SLi zugeführt.

[0071] Um eine Vielzahl von Blöcken (oder alle Blöcke) zu erleichtern, wird das Signal MULTIBLK auf Pegel "1" gesetzt und die getakteten Inverter **111** und **112** werden deaktiviert bzw. aktiviert. Die Signale

ABLS0, ABLS1 und ABLS2 und das Signal /BLKDIS werden jeweils den Blockdecodern **53** (d.h. NAND-Gates **110**) der gewählten Blockkerne zugeführt. Ferner verriegelt die Deaktivierungsverriegelung **54** das Blockauswahlsignal Bi, das von dem NAND-Gate **110** ausgegeben wurde, als Reaktion auf die Impulssignale /CLRPLS und /SETPLS, die von dem Deaktivierungsimpulsgenerierungsabschnitt **46** ausgegeben wurden. Auf diesem Weg wird das Blockauswahlsignal /Bi in den Deaktivierungsverriegelungen **54** der Blockkerne gesetzt, die gelöscht werden sollten. Da der getaktete Inverter **112** in diesem Fall aktiviert bleibt, wird das Blockauswahlsignal /Bi, das in jeder Deaktivierungsverriegelung **54** gesetzt wird, dem Source-Leitungsspannungsgenerator **114** durch den getakteten Inverter **112** zugeführt. Der Blockdecoder **53**, der in einem beliebigen zu löschenden Block vorgesehen ist, wird ausgewählt. Dann wird das Sourcepotential (10V) auf die Sourceleitung SLi angelegt, die allen Blockkernen gemeinsam ist, die gelöscht werden sollten.

[0072] Wie in der Schaltung von Fig. 9 steuert der Blockdecoder **53** den Source-Leitungsspannungsgenerator **114** in Übereinstimmung mit Signalen ABLSi (ABLS0, ABLS1, ABLS2) und dem Signal BLKDIS (wie zuvor erwähnt, wurden die Signale ABLSi von dem Blockadresspuffer **45** ausgegeben, und das Signal /BLKDIS wurde von dem Blockadressvergleichsabschnitt **44** ausgegeben). Deshalb kann das Substratpotential SLi an jeden ausgewählten Blockkern angelegt werden. Der Blockdecoder **53**, der in dem zu löschenden Blockkern vorgesehen ist, wird durch die Deaktivierungsverriegelung **54** und das Signal MULTIBLK, das anzeigt, ob ein Blockkern oder alle Blockkerne gelöscht werden sollten, ausgewählt. Deshalb kann die Anwendung des Potentials auf einen beliebigen defekten Block verhindert werden. Auch kann verhindert werden, dass sich das Potential verringert. Daher können alle Blöcke gleichzeitig gelöscht werden.

[0073] Fig. 11 zeigt eine äquivalente Schaltung, die ein Beispiel des Aufbaus der Speicherzellenanordnung **51** in der in Fig. 4 gezeigten Schaltung zeigt. Die Speicherzellenanordnung **51** hat eine NAND-Zellenstruktur (siehe z.B. IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 26 Nr. 4 April 1991 S. 492-495). In diesem Beispiel ist jede NAND-Zelle durch seriell Verbinde der Strompfade von acht Speicherzellen M_1 bis M_8 und jeweiliges Verbinden erster und zweiter Auswahltransistoren S_1 , S_2 mit der Drain-Seite und Source-Seite der seriell verbundenen Strompfade aufgebaut. Die Steuergates der Speicherzellen M_1 bis M_8 sind ausgebildet, sich in der Zeilenrichtung zu erstrecken, um Steuergate-Leitungen CG_1 , CG_2 , ..., CG_8 zu bilden. Die Steuergate-Leitungen CG_1 , CG_2 , ..., CG_8 funktionieren als Wortleitungen. Die Gates der Auswahltransistoren S_1 , S_2 sind auch ausgebildet, sich in der Zeilenrichtung zu erstrecken, um Auswahlgate-Leitungen SG_1 , SG_2 zu bilden. Bitleitungen BL_1 , BL_2 , ..., BL_j sind ausgebildet,

sich in einer Richtung zu erstrecken, die die Steuergate-Leitungen CG_1, CG_2, \dots, CG_8 und Auswahlgate-Leitungen SG_1, SG_2 zu schneiden. Die Drains der Auswahltransistoren S_1 in der gleichen Spalte sind mit einer entsprechenden der Bitleitungen BL_1, BL_2, \dots, BL_j verbunden. Die Sources der Auswahltransistoren S_2 sind gemeinsam mit einer Sourceleitung SL verbunden.

[0074] **Fig. 12** zeigt eine äquivalente Schaltung, die ein anderes Beispiel des Aufbaus der Speicherzellenanordnung **51** in der in **Fig. 4** gezeigten Schaltung zeigt. Die Speicherzellenanordnung **51** hat eine NAND-Zellenstruktur (siehe z.B. US-Patent Nr.

[0075] 5,483,494). Die Drains von jenen nicht-flüchtigen Transistoren M_{00}, M_{01}, \dots , die jeweils NOR-Zellen bilden und in der gleichen Spalte angeordnet sind, sind mit einer entsprechenden von Bitleitungen BL_1, BL_2, \dots, BL_j verbunden, und die Sources der nicht-flüchtigen Transistoren sind gemeinsam mit einer Sourceleitung SL verbunden. Die Steuergates der nichtflüchtigen Transistoren sind ausgebildet, sich in der Zeilenrichtung zu erstrecken, um Wortleitungen WL_0, WL_1, WL_2, \dots zu bilden.

[0076] **Fig. 13** zeigt eine äquivalente Schaltung, die noch ein anderes Beispiel des Aufbaus der Speicherzellenanordnung **51** in der in **Fig. 4** gezeigten Schaltung zeigt. Die Speicherzellenanordnung **51** hat eine DINOR-Zellenstruktur (siehe z.B. S. Kobayashi; IS-SCC, Digest of Technical Papers, 1995, H. Onoda et al, IEDM tech. Digest, 1992, 5. 599 bis 602). In diesem Beispiel ist jede DINOR-Zelle durch paralleles Verbinden der Strompfade von 32 Speicherzellen M_0 bis M_{31} und Verbinden eines Auswahltransistors S mit den Drain-Seiten der Speicherzellen aufgebaut. Die Steuergates der Speicherzellen M_0 bis M_{31} sind ausgebildet, sich in der Zeilenrichtung zu erstrecken und funktionieren als Wortleitungen $WL_0, WL_1, WL_2, \dots, WL_{31}$. Die Gates der Auswahltransistoren S sind auch ausgebildet, sich in der Zeilenrichtung zu erstrecken, um eine Auswahlgate-Leitung ST zu bilden. Bitleitungen enthalten Hauptbitleitungen D_0, D_1, \dots, D_j und lokale Bitleitungen LB . Die Drains der Auswahltransistoren S in der gleichen Spalte sind mit einer entsprechenden der Hauptbitleitungen D_0, D_1, \dots, D_j verbunden, und die Sources der Auswahltransistoren sind jeweils mit dem lokalen Bitleitungen LB verbunden. Die Drains der Speicherzellen M_0 bis M_{31} sind mit einer entsprechenden der lokalen Bitleitungen LB verbunden, und die Sources davon sind mit der Sourceleitung SL verbunden.

[0077] **Fig. 14** zeigt eine äquivalente Schaltung, die ein anderes Beispiel des Aufbaus der Speicherzellenanordnung **51** in der in **Fig. 4** gezeigten Schaltung zeigt. Die Speicherzellenanordnung **51** hat eine AND-Zellenstruktur (siehe z.B. A. Zozoe; ISSCC, Digest of Technical Papers, 1995; H. Kume et al, IEDM tech. Digest, 1992, S. 991 bis 993). In diesem Beispiel wird jede AND-Zelle durch paralleles Verbinden der Strompfade von 32 Speicherzellen M_0 bis M_{31} , Verbinden eines ersten Auswahltransistors S_1 mit

den Drain-Seiten der Speicherzellen und Verbinden eines zweiten Auswahltransistors S_2 mit den Source-Seiten davon aufgebaut. Die Steuergates der Speicherzellen M_0 bis M_{31} sind ausgebildet, sich in der Zeilenrichtung zu erstrecken und funktionieren als Wortleitungen $WL_0, WL_1, WL_2, \dots, WL_{31}$. Die Gates der Auswahltransistoren S_1, S_2 sind auch ausgebildet, sich in der Zeilenrichtung zu erstrecken, um erste und zweite Auswahlgate-Leitungen ST_1, ST_2 zu bilden. Bitleitungen enthalten Hauptbitleitungen D_0, D_1, \dots, D_j und lokale Bitleitungen LB . Ferner enthalten Sourceleitungen eine Hauptsourceleitung MSL und lokale Sourceleitungen LS . Die Drains der Auswahltransistoren S_1 in der gleichen Spalte sind mit einer entsprechenden der Hauptbitleitungen D_0, D_1, \dots, D_j verbunden und die Source des Auswahltransistors ist mit der lokalen Bitleitung LB verbunden. Die Drains der Speicherzellen M_0 bis M_{31} sind gemeinsam mit einer entsprechenden der lokalen Bitleitungen LB verbunden und die Sources davon sind mit einer entsprechenden der lokalen Sourceleitungen LS verbunden. Die Sources der Auswahltransistoren S_2 sind gemeinsam mit der Hauptsourceleitung MSL verbunden und die Drains davon sind jeweils mit den lokalen Sourceleitungen LS verbunden.

[0078] **Fig. 15** zeigt eine äquivalente Schaltung, die noch ein anderes Beispiel des Aufbaus der Speicherzellenanordnung **51** in der in **Fig. 4** gezeigten Schaltung zeigt. Die Speicherzellenanordnung **51** hat eine NOR-Zellenstruktur mit Auswahltransistoren. Jede NOR-Zelle ist durch einen nicht-flüchtigen Transistor M und einen Auswahltransistor S aufgebaut. Die Drains der Auswahltransistoren S in der gleichen Spalte sind mit einer entsprechenden von Bitleitungen BL_0, BL_1, \dots, BL_j verbunden und die Sources davon sind jeweils mit den nichtflüchtigen Transistoren M verbunden. Die Sources der nichtflüchtigen Transistoren M sind gemeinsam mit einer Sourceleitung SL verbunden. Die Steuergates der nicht-flüchtigen Transistoren M sind ausgebildet, sich in der Zeilenrichtung zu erstrecken, um Wortleitungen WL zu bilden. Die Gates der Auswahltransistoren S sind auch ausgebildet, sich in der Zeilenrichtung zu erstrecken, um Auswahlgateleitungen ST zu bilden.

[0079] Diese Erfindung kann allgemein auf einen EEPROM angewendet werden, der Daten elektrisch löscht/umprogrammiert und kann auf einen beliebigen Typ eines Flash-Speichers angewendet werden, wie etwa eines virtuellen Erdungsanordnungstyps (Virtual Ground Array type) (siehe z.B. Lee et al; Symposium on VLSI Circuits, Digest of Technical Papers, 1994).

[0080] Wie oben beschrieben, kann gemäß dieser Erfindung in einer Halbleiterspeichervorrichtung, in der Elektronen in dem schwebenden Gate in das Substrat (P-Wannenregion) zum Löszeitpunkt der Speicherzelle herausgezogen werden, selbst wenn eine defekte Speicherzelle erfasst wird, die defekte Speicherzelle auf alle Fälle ersetzt werden.

[0081] In einem Fall ferner, in dem alle Blöcke in der

Halbleiterspeichervorrichtung gleichzeitig der Löschoption unterzogen werden, kann der Spannungsabfall in dem defekten Abschnitt unterdrückt werden, indem verhindert wird, dass ein Potential an den defekten Blockkern angelegt wird und die Löschoption für normale Blockkerne wird nicht behindert.

[0082] Durch Verwenden von Speicherzellen, die die gleiche Struktur haben wie die Speicherzellen des Hauptaufbaus als Speicherelemente von ausgefallenen Adressen haben und Absenkung der Schwellspannung der Speicherzelle im Löschozeitpunkt auf einen Erdpegel oder weniger kann die Operation zum Auslesen mit der Steuergate-Spannung, die auf die Energieversorgungsspannung eingestellt ist, bewirkt werden, es ist nicht notwendig, das Steuergate-Potential zu steuern und der Operationsspielraum der mit geringer Spannung betriebenen Vorrichtung kann groß gemacht werden.

Patentansprüche

1. Halbleiterspeichervorrichtung, die folgendes aufweist:

eine Vielzahl von ersten Blockkernen (**47-0** bis **47-n**), die jeweils eine Speicherzellenmatrix (**51**) enthalten, die Speicherzellen haben, die in einer Matrixform angeordnet sind, wobei Elektronen in einem schwebenden Gate in einen Wannenbereich zu der Löschozeit zurückgezogen werden, und die einen Zeilendecodierer (**52**) zum Auswählen einer Zeile der Speicherzellen der Speicherzellenmatrix (**51**) enthalten; wenigstens einen zweiten Blockkern (**47-RD**) von derselben Konstruktion wie die Vielzahl von ersten Blockkernen (**47-0** bis **47-n**); einen Block-Adressenpuffer (**45**), dem ein Block-Adressensignal (ADDBLi) zugeführt wird, einen Adressenspeicherabschnitt für einen defekten Block (**43**) zum Speichern einer Adresse für einen defekten Block; und einen Adressenvergleichsabschnitt für einen defekten Block (**44**) zum Vergleichen eines Ausgangssignals (AFi) des Adressenspeicherabschnitts für einen defekten Block (**43**) mit einem von dem Block-Adressenpuffer (**45**) ausgegebenen Block-Adressensignal (ABLSi), wobei dann, wenn ein Defekt in den ersten Blockkernen (**47-0** bis **47-n**) auftritt, der Blockkern, in welchem der Defekt auftritt, durch den wenigstens einen zweiten Blockkern (**47-RD**) in der Blockkerneinheit basierend auf einem Ausgangssignal (/BLKDIS, /HITBLK) des Adressenvergleichsabschnitts für einen defekten Block (**44**) ersetzt wird,

dadurch gekennzeichnet, dass die Halbleiterspeichervorrichtung weiterhin folgendes aufweist:

erste Blockdecodierer (**53**), die jeweils in den ersten Blockkernen (**47-0** bis **47-n**) vorgesehen sind, wobei die ersten Blockdecodierer in Reaktion auf das Ausgangssignal (ABLSi) des Block-Adressenpuffers (**45**) und das Ausgangssignal (/BLKDIS) des Adressen-

vergleichsabschnitts für einen defekten Block (**44**) arbeitet; erste Zwischenspeicherungsschaltungen (**54**), die jeweils in den ersten Blockkernen (**47-0** bis **47-n**) vorgesehen sind, wobei die ersten Zwischenspeicherungsschaltungen ein Zwischenspeicherungssignal (/DISi) in Reaktion auf ein von dem ersten Blockdecodierer (**53**) ausgegebenes Blockauswahlsignal (/Bi) und ein Signal (/SETPLS), das keine Auswahl anzeigt, zwischenspeichert, um dadurch zwingend den ersten Blockdecodierer (**53**) in einen ausgewählten Zustand oder einen nicht ausgewählten Zustand einzustellen; einen zweiten Blockdecodierer (**53**), der in jedem von wenigstens einem zweiten Blockkern (**47-RD**) vorgesehen ist, wobei die zweiten Blockdecodierer in Reaktion auf das Ausgangssignal (ABLSi) des Block-Adressenpuffers (**45**) und das Ausgangssignal (/BLKDIS) des Adressenvergleichsabschnitts für einen defekten Block (**44**) arbeiten; und eine zweite Zwischenspeicherungsschaltung (**54**), die in jedem von wenigstens dem einen zweiten Blockkern (**47-RD**) vorgesehen ist, wobei die zweite Zwischenspeicherungsschaltung ein Zwischenspeicherungssignal (DISi) in Reaktion auf das von dem zweiten Blockdecodierer (**53**) ausgegebene Blockauswahlsignal (/Bi) und ein Signal (/SETPLS, /CLRPLS), das die Nichtauswahl anzeigt, zwischenspeichert, um dadurch zwingend den zweiten Blockdecodierer (**53**) in den ausgewählten Zustand oder den nicht ausgewählten Zustand einzustellen, die Speicherzellenmatrizen (**51**) jeweils unabhängig ausgebildet in Wannenbereichen (**35**) ausgebildet sind, wenn eine Übereinstimmung der verglichenen Adressen in dem Adressenvergleichsabschnitt für einen defekten Block (**44**) erfasst wird, der erste Blockdecodierer (**53**) der ersten Blockkerne (**47-0** bis **47-n**), in welchem ein Defekt auftritt, zwingend in den nicht ausgewählten Zustand eingestellt wird, und der zweite Blockdecodierer (**53**) des zweiten Blockkerns (**47-RD**) zwingend in den ausgewählten Zustand eingestellt wird, um dadurch den defekten Blockkern in der Blockkerneinheit zu ersetzen, zu der Zeit eines gleichzeitigen Löschoens der Vielzahl von Blockkernen (**47-0** bis **47-n**) die in dem Adressenspeicherabschnitt für einen defekten Block (**43**) gespeicherte Adresse für einen defekten Block in den Block-Adressenpuffer (**45**) eingegeben wird und der erste Blockdecodierer (**53**) in dem defekten Blockkern Daten, die eine Nichtauswahl anzeigen, in die erste Zwischenspeicherungsschaltung (**54**) zwischenspeichert, um dadurch ein Anlegen eines Löschoentials an die Speicherzellenmatrix des Blockkerns zu verhindern, in welchem der Defekt auftritt, und Blockadressen (ABLi) der zu löschenden Blöcke sequentiell zum ersten Blockdecodierer (**53**) eingegeben werden und das Blockauswahlsignal (Bi) in Reaktion auf das Signal (/SETPLS, /CLRPLS), das die Nichtauswahl anzeigt, in der ersten Zwischenspeicherungsschaltung (**54**) zwischengespeichert

wird, um dadurch zwingend den ersten Blockdecoder (53) in dem Blockkern (47-0 bis 47-n) auszuwählen, der zu löschen ist.

2. Halbleiterspeichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der Adressenspeicherabschnitt für einen defekten Block (43) einen Transistor (C1) von derselben Struktur wie die Speicherzellen der ersten Speicherzellenmatrix (51) und einer zweiten Speicherzellenmatrix des wenigstens einen zweiten Kernblocks als Speicherelement enthält.

3. Halbleiterspeichervorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass die Schwellenspannung des Transistors (C1) zur Löschzeit des Speicherelements auf einen Pegel erniedrigt wird, der nicht höher als ein Erdungspegel ist, und zur Programmierzeit auf einen Pegel programmiert wird, der höher als ein Leistungsverorgungspotential ist, und das Steuergatepotential zu der Auslesezeit auf das Leistungsverorgungspotential eingestellt wird.

4. Halbleiterspeichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der Adressenspeicherabschnitt für einen defekten Block (43) Sicherungselemente (F) enthält.

5. Halbleiterspeichervorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass eine Adresse für einen defekten Block demgemäß gespeichert wird, ob das Sicherungselement (F) ausgelöst ist oder nicht.

6. Halbleiterspeichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die Ausleseoperation des Adressenspeicherabschnitts für einen defekten Block (43) zur Einschaltzeit der Leistungsverorgung bewirkt wird und die ausgelesenen Daten in einen inneren Abschnitt davon zwischengespeichert werden.

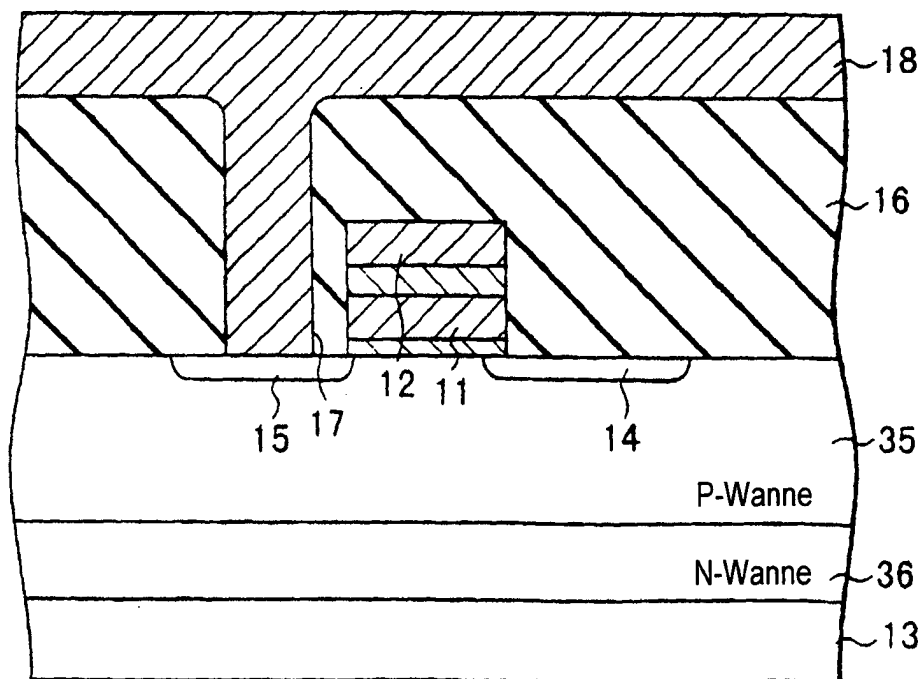
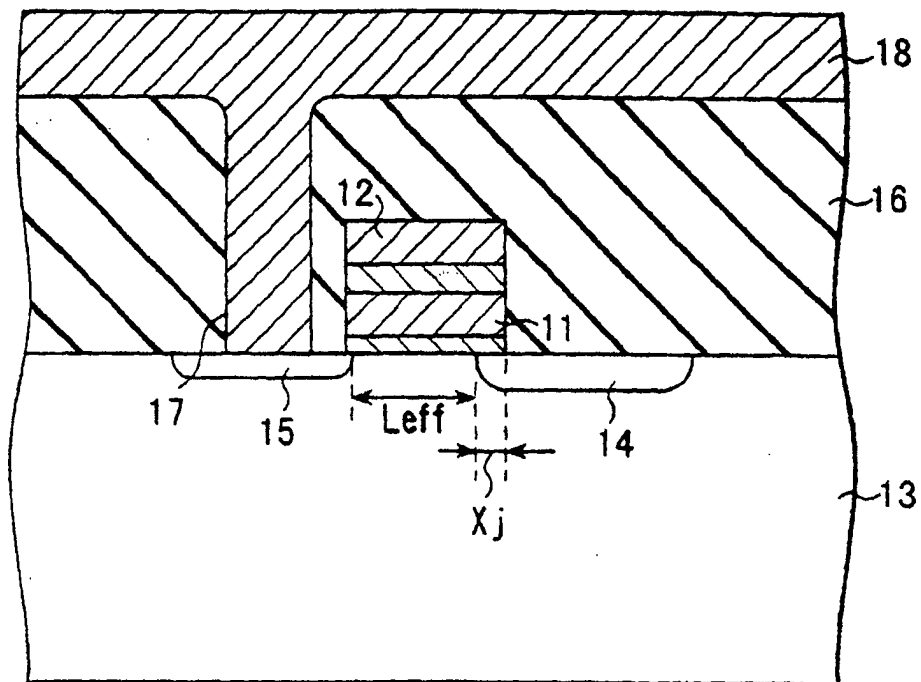
7. Halbleiterspeichervorrichtung nach Anspruch 1, wobei jeder der ersten Blockkerne (47-0 bis 47-n) weiterhin erste Spaltenauswahlgates (CTO-CTj) zum Auswählen einer Spalte der Speicherzellen der Speicherzellenmatrix (51) enthält, und der wenigstens eine zweite Blockkern (47-RD) weiterhin ein zweites Spaltenauswahlgate (CTO-CTj) zum Auswählen einer Spalte der Speicherzellen der Speicherzellenmatrix (51) enthält, dadurch gekennzeichnet, dass die Halbleiterspeichervorrichtung weiterhin folgendes aufweist: einen Zeilenadressenpuffer (42), dem ein Zeilenadressensignal (ADDRi) zugeführt wird, zum Zuführen eines internen Zeilenadressensignals (ARSi) zu den Zeilenadressendecodierern (52) in den ersten Blockkernen (47-0 bis 47-n) und den zweiten Blockkern (47-RD); einen Spaltenadressenpuffer (40), dem ein Spaltenadressensignal (ADDci) zugeführt wird;

einen Spaltendecodierer (41) zum Decodieren eines vom Spaltenadressenpuffer (40) ausgegebenen internen Spaltenadressensignals (ACSi), um die ersten und zweiten Spaltenauswahlgates (CTO-CTj) auszuwählen; und

einen Sperrimpuls-Erzeugungsabschnitt (46) zum Ausgeben des Signals (/SETPLS, /CLRPLS), das die Nichtauswahl anzeigt, in die ersten und zweiten Zwischenspeicherungsschaltungen (54).

8. Halbleiterspeichervorrichtung nach Anspruch 7, dadurch gekennzeichnet, dass sie weiterhin einen Leseverstärker (48) zum Verstärken von aus der ausgewählten Speicherzelle ausgelesenen Daten und einen Eingangs/Ausgangs-Puffer (49) zum Übertragen von Daten in Bezug auf den Leseverstärker (48) aufweist.

Es folgen 11 Blatt Zeichnungen



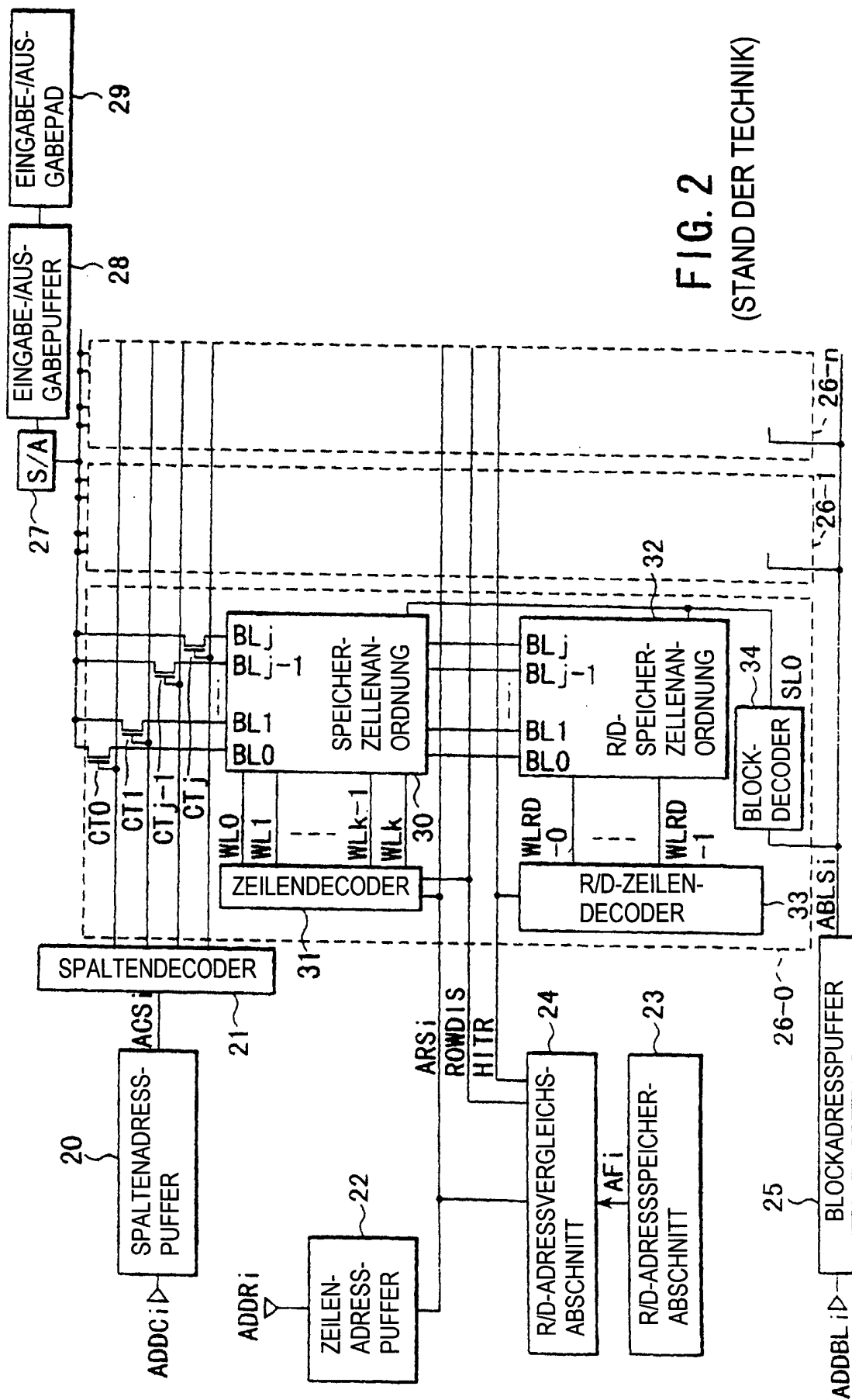


FIG. 2
(STAND DER TECHNIK)

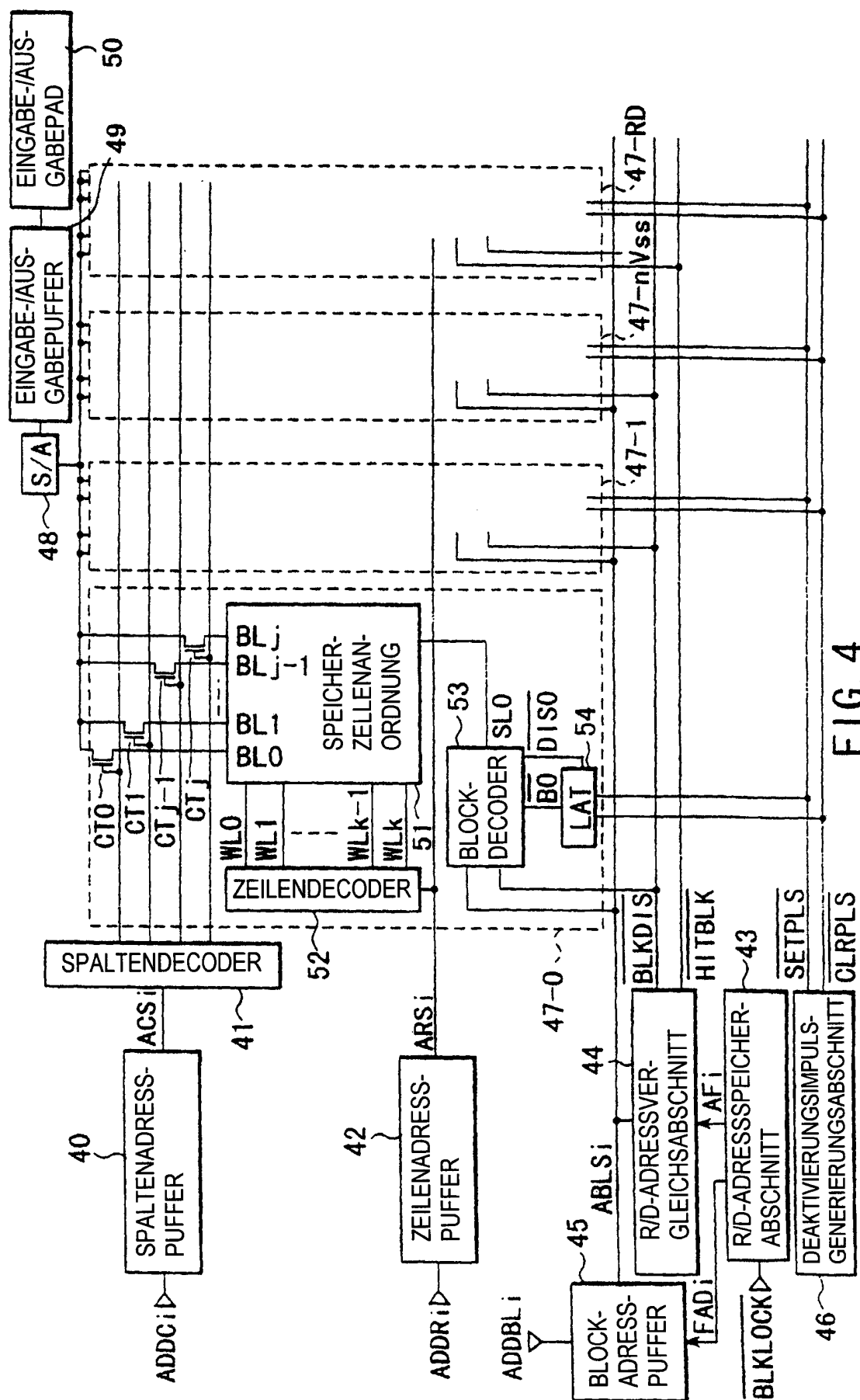


FIG. 4

FIG. 5

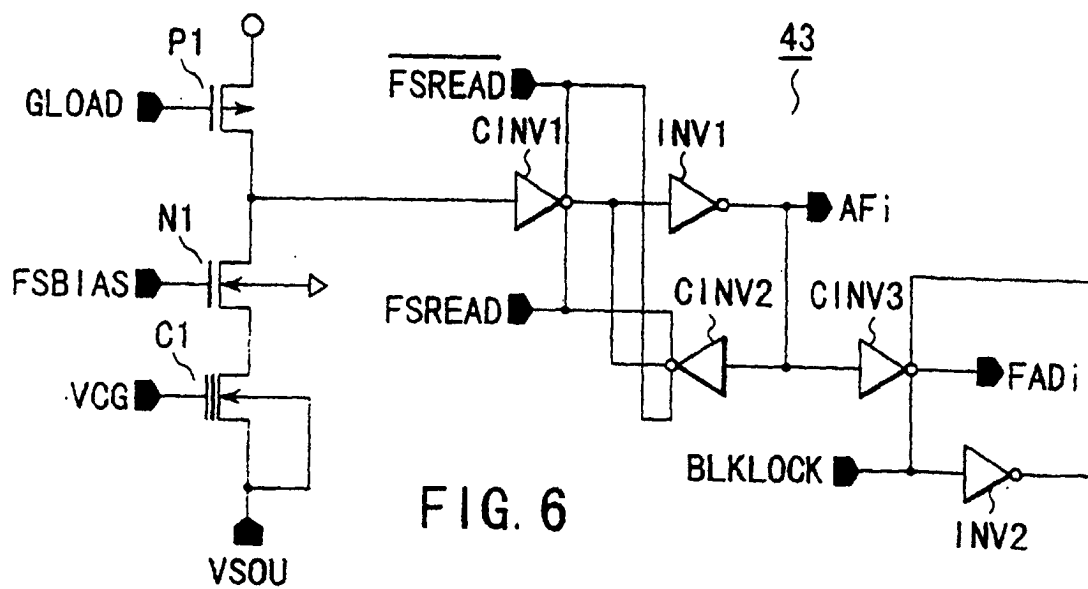
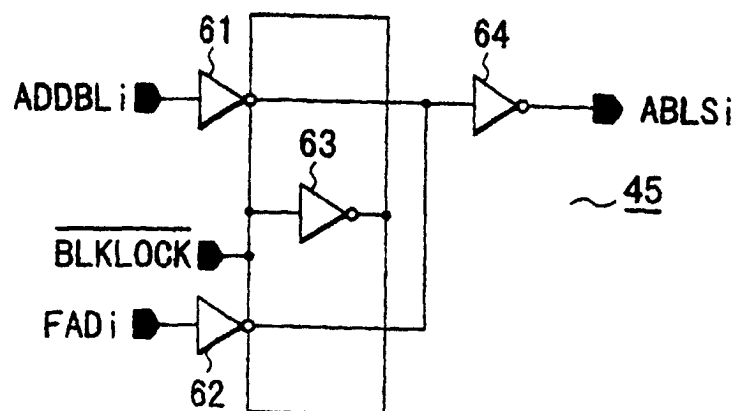


FIG. 6

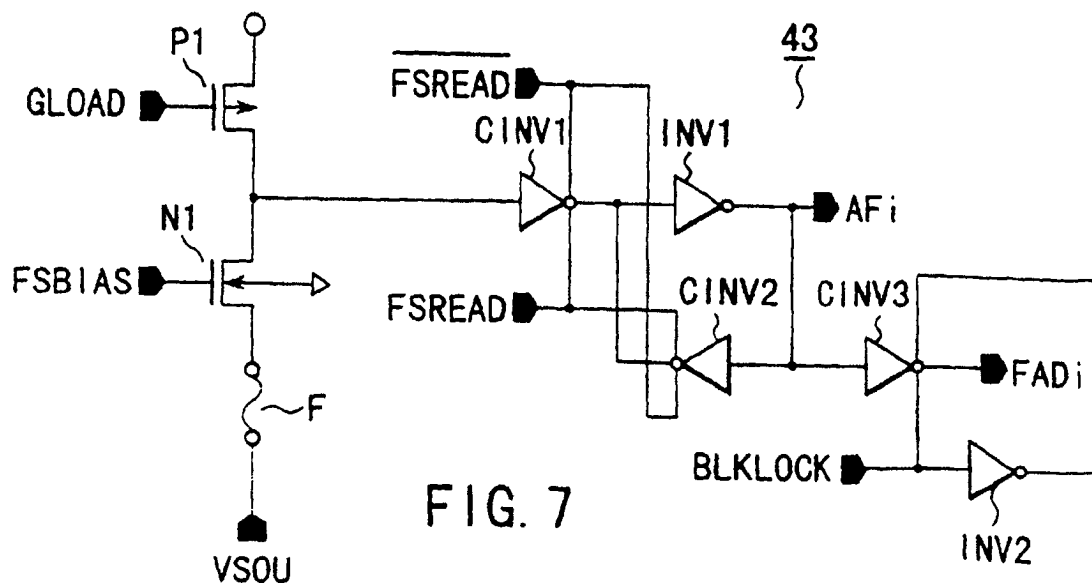


FIG. 7

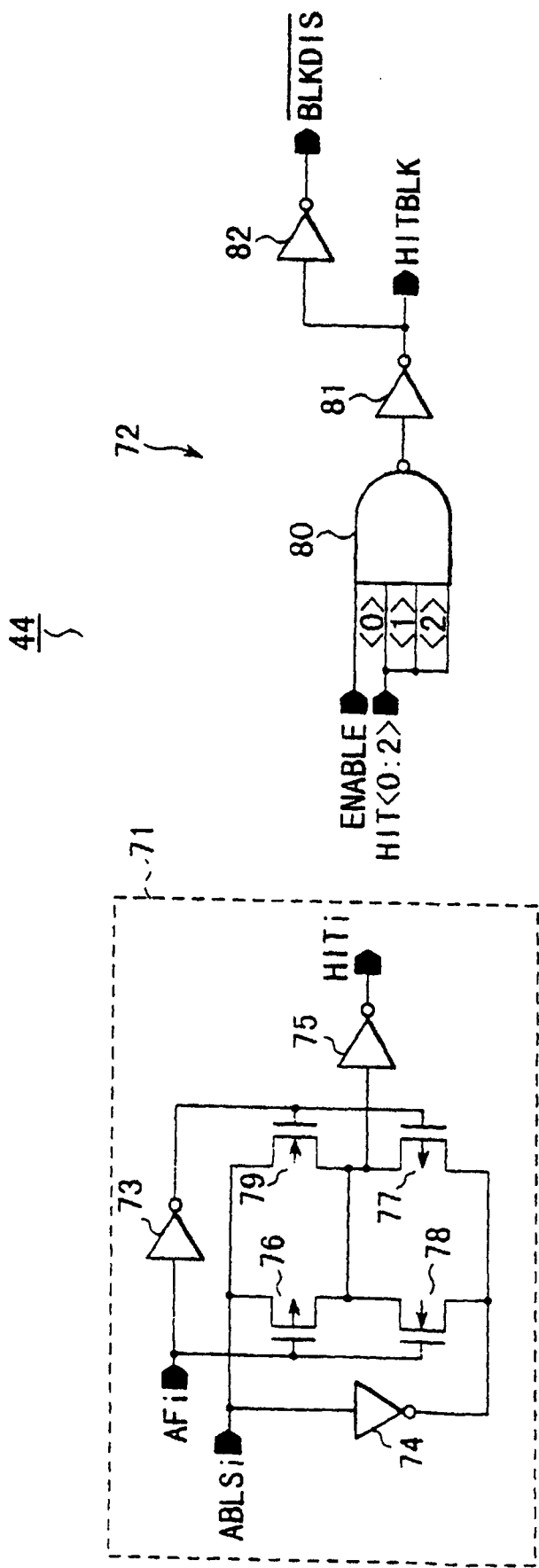


FIG. 8

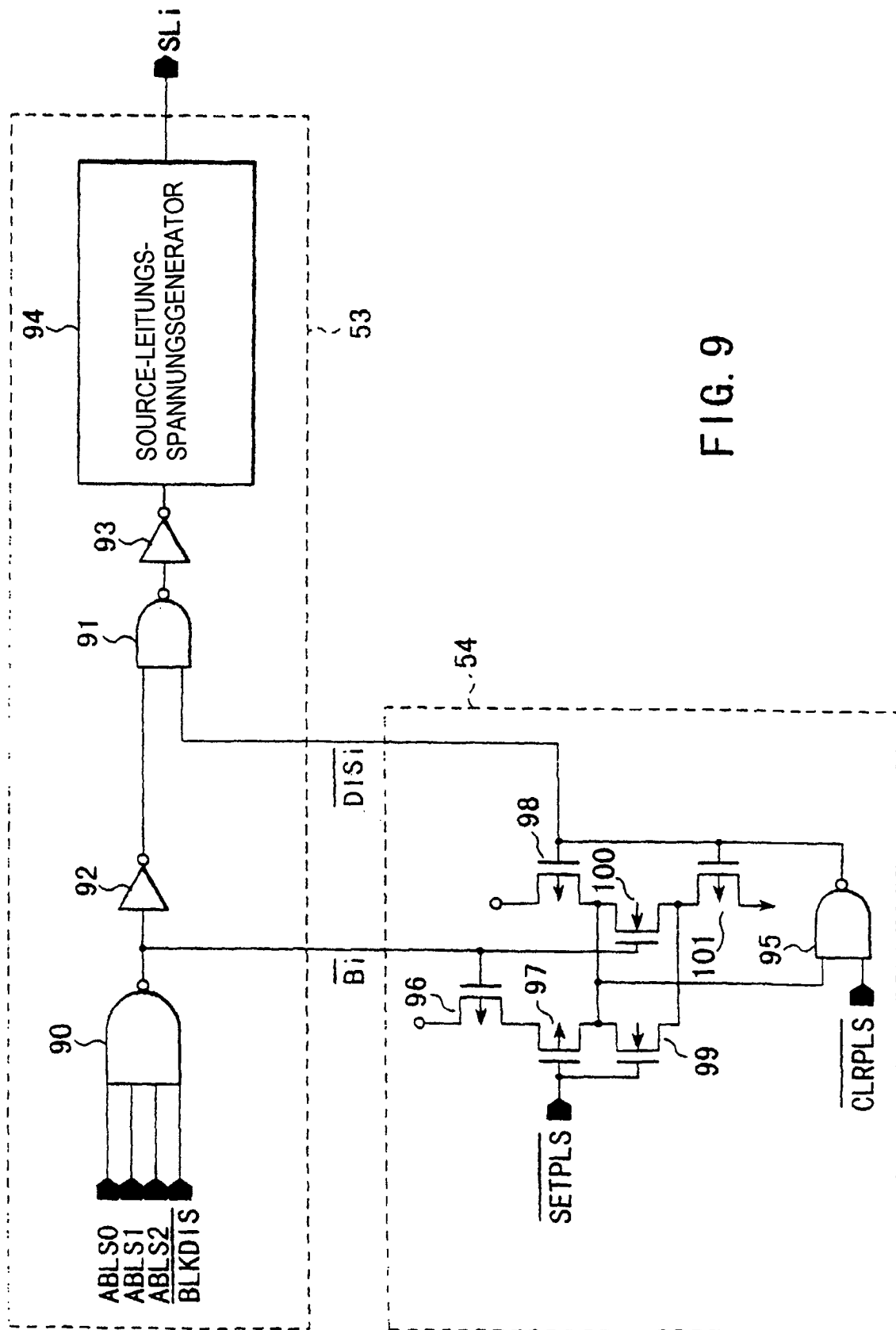


FIG. 9

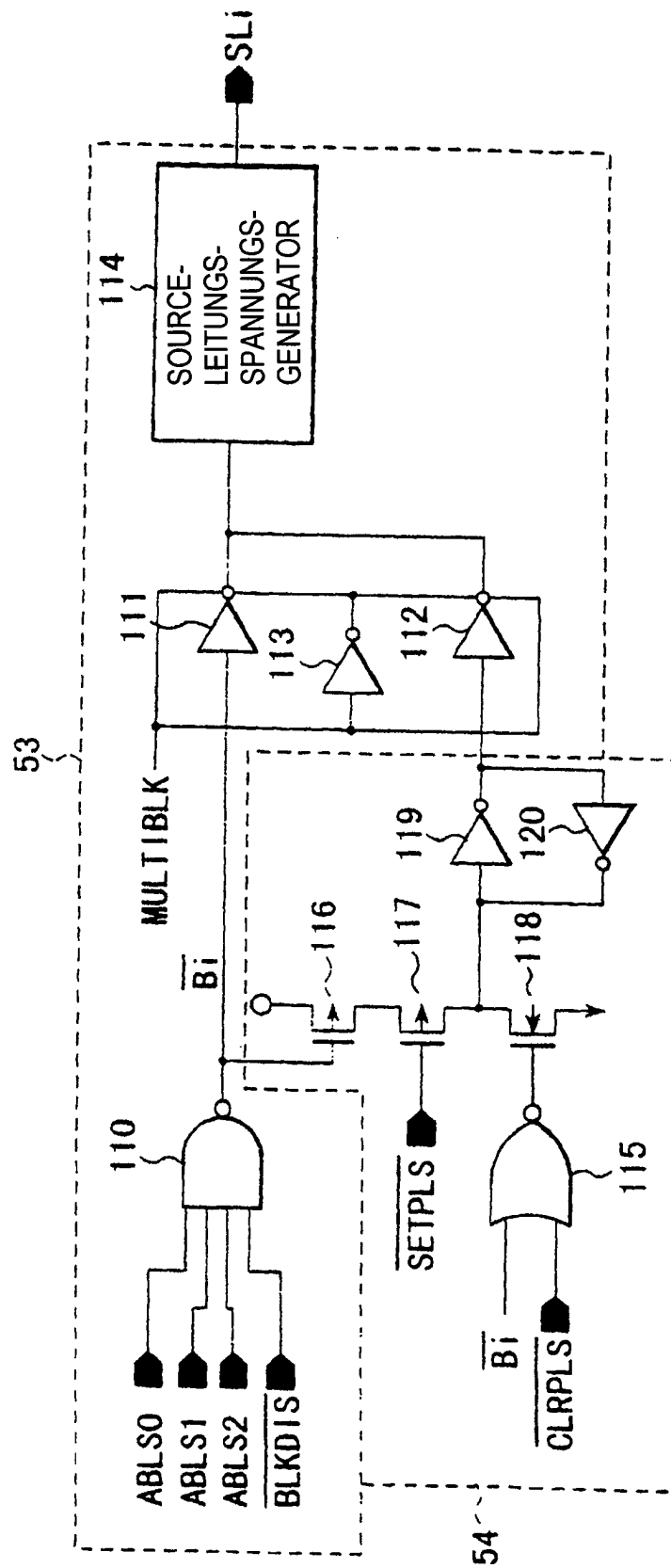


FIG. 10

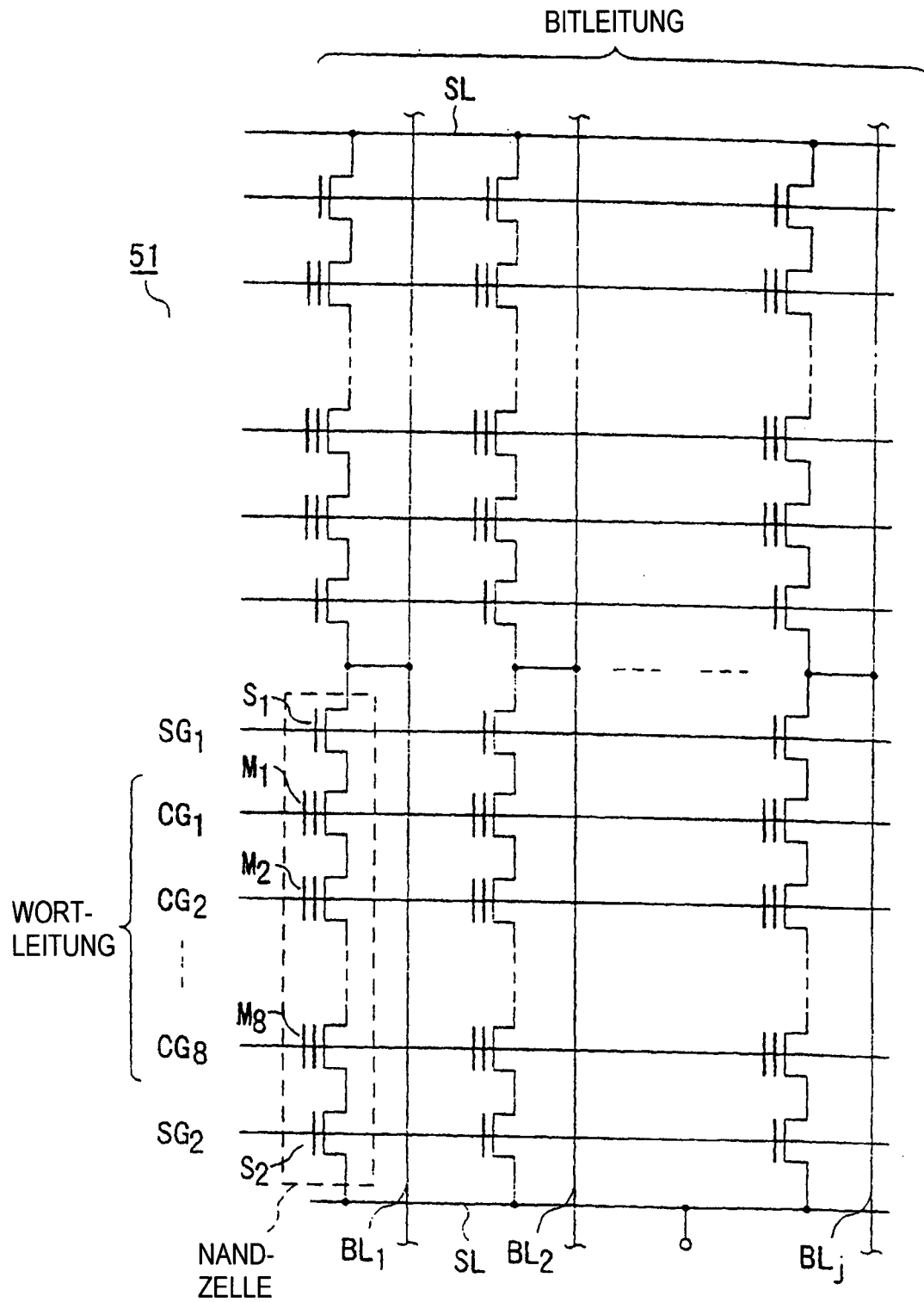
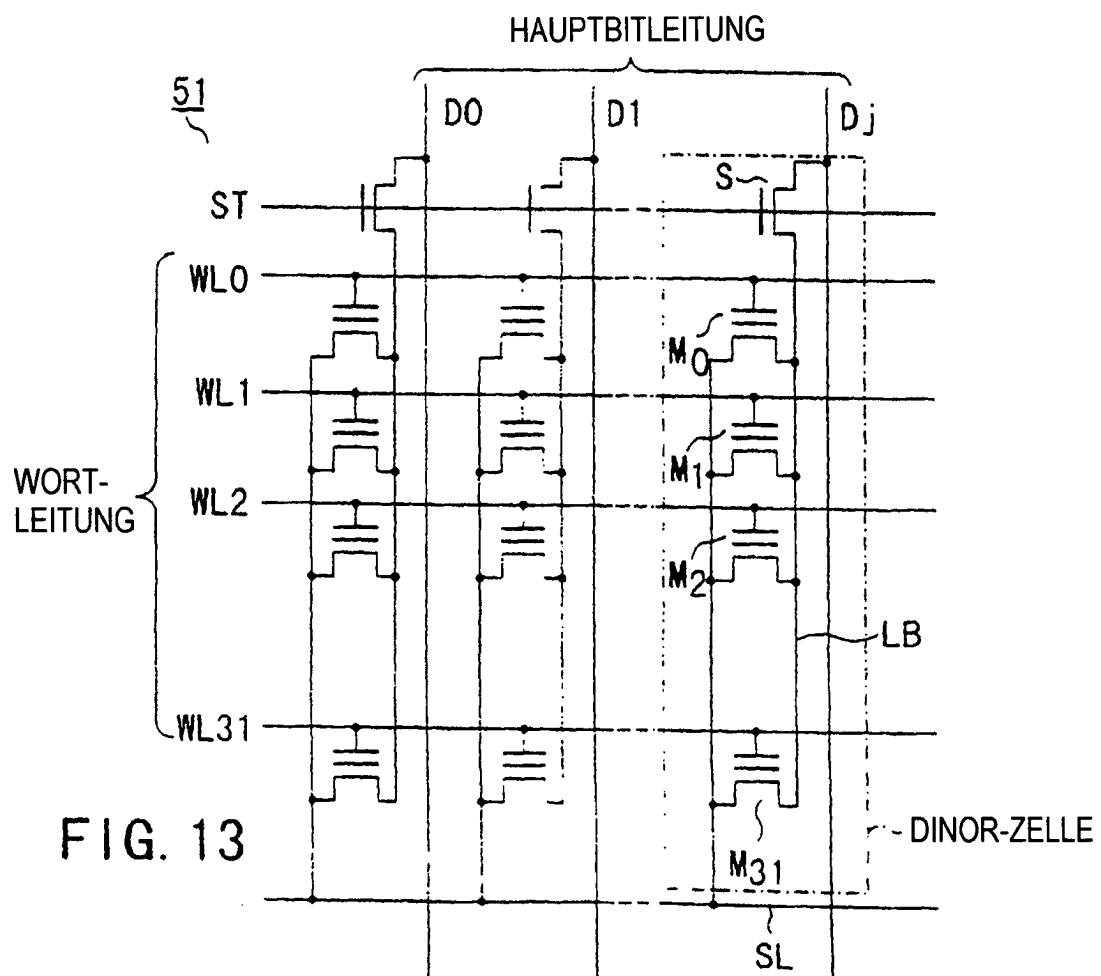
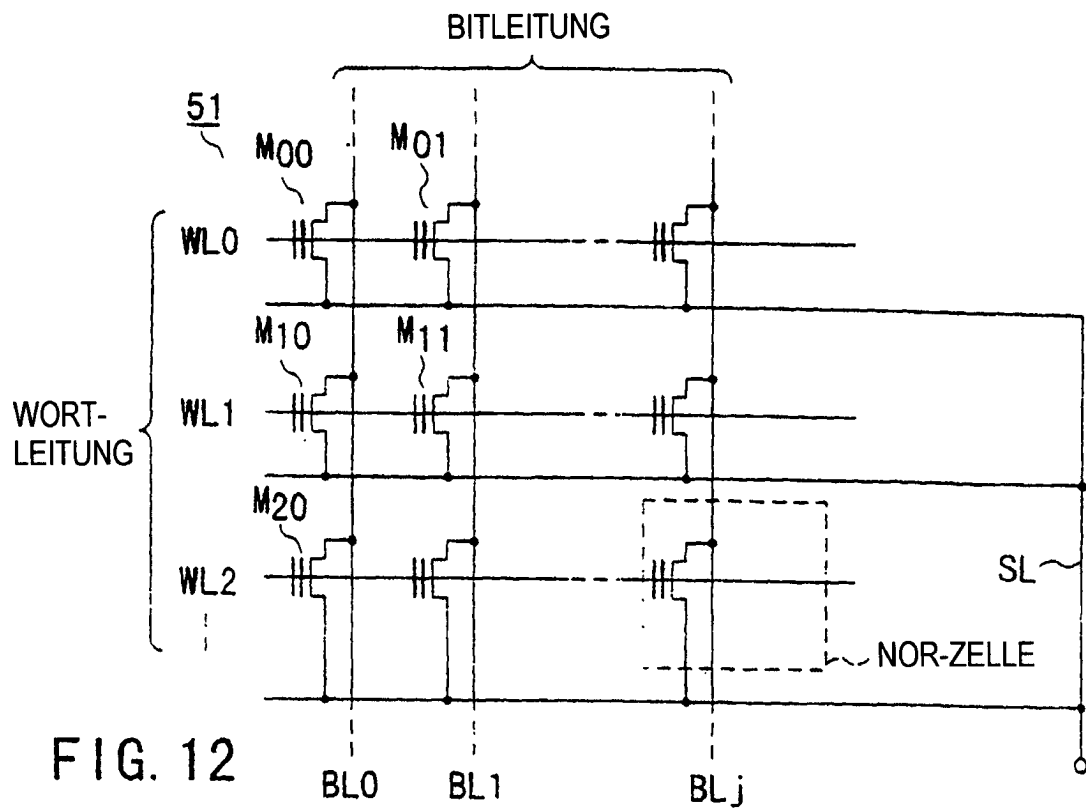


FIG. 11



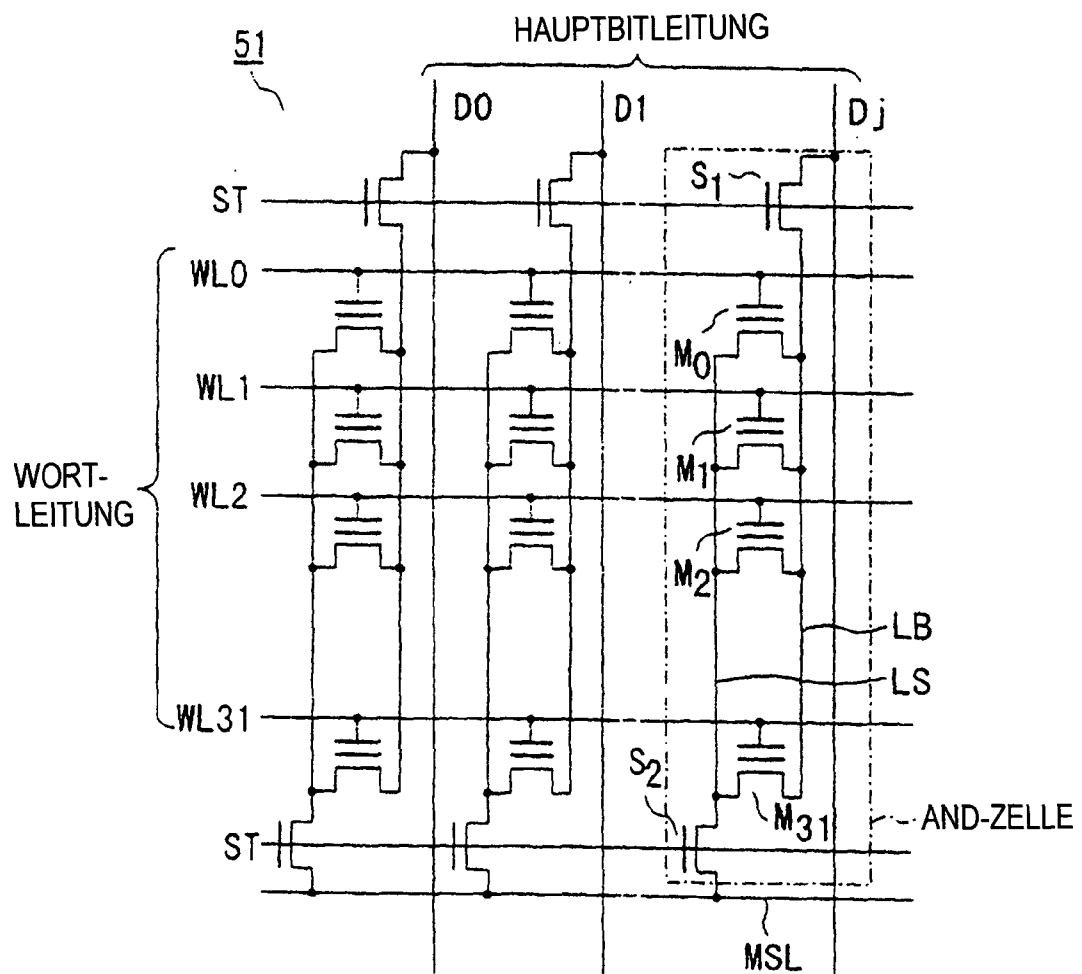


FIG. 14

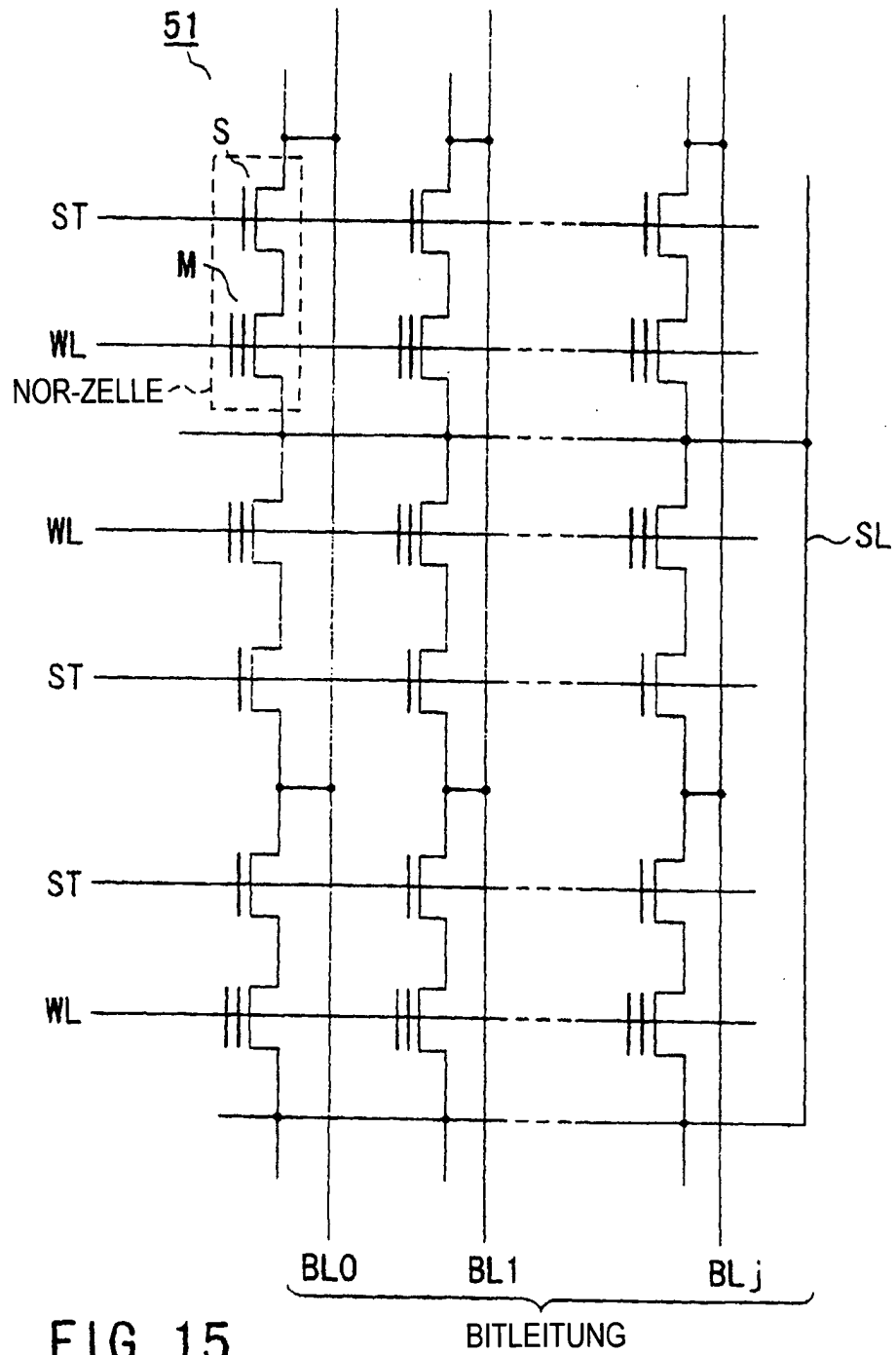


FIG. 15