

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/134516

発行日 平成24年11月12日 (2012.11.12)

(43) 国際公開日 平成22年11月25日 (2010.11.25)

(51) Int.Cl. F I テーマコード (参考)  
**HO2M 3/155 (2006.01)** HO2M 3/155 C 5H730  
 HO2M 3/155 B

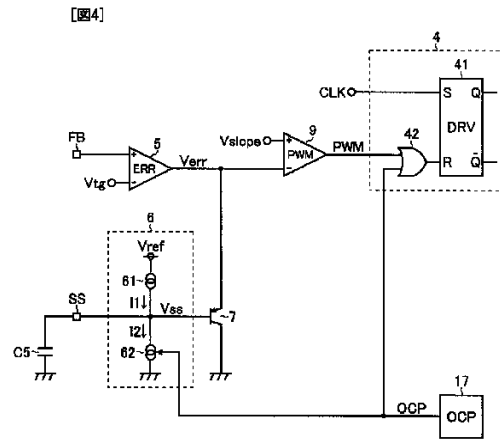
審査請求 未請求 予備審査請求 未請求 (全 51 頁)

<p>出願番号 特願2011-514418 (P2011-514418)</p> <p>(21) 国際出願番号 PCT/JP2010/058346</p> <p>(22) 国際出願日 平成22年5月18日 (2010.5.18)</p> <p>(31) 優先権主張番号 特願2009-120491 (P2009-120491)</p> <p>(32) 優先日 平成21年5月19日 (2009.5.19)</p> <p>(33) 優先権主張国 日本国(JP)</p> <p>(31) 優先権主張番号 特願2009-120501 (P2009-120501)</p> <p>(32) 優先日 平成21年5月19日 (2009.5.19)</p> <p>(33) 優先権主張国 日本国(JP)</p> <p>(31) 優先権主張番号 特願2009-279416 (P2009-279416)</p> <p>(32) 優先日 平成21年12月9日 (2009.12.9)</p> <p>(33) 優先権主張国 日本国(JP)</p>	<p>(71) 出願人 000116024                  ローム株式会社                  京都府京都市右京区西院溝崎町2 1 番地</p> <p>(74) 代理人 100085501                  弁理士 佐野 静夫</p> <p>(74) 代理人 100134555                  弁理士 林田 英樹</p> <p>(72) 発明者 村上 和宏                  京都府京都市右京区西院溝崎町2 1 ロー                  ム株式会社内</p> <p>Fターム(参考) 5H730 AA04 AA20 AS01 AS05 BB13                  BB57 DD04 EE13 FD01 FD26                  FF01 FG05 XC04 XC14 XC20                  XX03 XX15 XX24 XX35 XX47</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 電源装置及びこれを備えた電子機器

(57) 【要約】

本発明に係る電源装置 A は、出力トランジスタのオン / オフ制御信号を生成する駆動制御回路 4 と、コイル電流 I L を直接的ないしは間接的に監視して過電流検出信号 O C P を生成する過電流保護回路 1 7 と、電源装置 A が起動してから緩やかに上昇を開始するソフトスタート電圧 V s s を用いて出力電圧 V o u t の立ち上がりを抑制するソフトスタート制御回路 6 と、を有し、コイル電流 I L が過電流状態であるときに、駆動制御回路 4 は、パルスバイパルス方式の過電流保護動作として、過電流検出信号 O C P に応じたオン / オフ制御信号の強制リセット動作と、所定周波数のクロック信号 C L K に応じたオン / オフ制御信号のセット動作を繰り返し、ソフトスタート制御回路 6 は、過電流検出信号 O C P に応じたりセット動作として、ソフトスタート電圧 V s s を徐々に引き下げる。



**【特許請求の範囲】****【請求項 1】**

出力トランジスタをオン/オフさせてコイル電流を駆動することにより、入力電圧から所望の出力電圧を生成する電源装置であって、

前記出力トランジスタのオン/オフ制御信号を生成する駆動制御回路と、

前記コイル電流を直接的ないしは間接的に監視して過電流検出信号を生成する過電流保護回路と、

前記電源装置が起動してから緩やかに上昇を開始するソフトスタート電圧を用いて前記出力電圧の立ち上がりを抑制するソフトスタート制御回路と、

を有し、

前記コイル電流が過電流状態であるときに、

前記駆動制御回路は、パルスバイパルス方式の過電流保護動作として、前記過電流検出信号に応じた前記オン/オフ制御信号の強制リセット動作と、所定周波数のクロック信号に応じた前記オン/オフ制御信号のセット動作を繰り返し、

前記ソフトスタート制御回路は、前記過電流検出信号に応じたりセット動作として、前記ソフトスタート電圧を徐々に引き下げることを特徴とする電源装置。

**【請求項 2】**

前記ソフトスタート制御回路は、容量と、前記容量の充電電流を生成する第 1 定電流源と、前記過電流検出信号に応じて前記容量の放電電流を生成する第 2 定電流源とを有し、

前記充電電流と前記放電電流との比率は、前記過電流検出信号に応じたりセット動作に際して、前記容量に蓄えられている全ての電荷が直ちに放電されるのではなく、前記パルスバイパルス方式の過電流保護動作が行われている間に、前記ソフトスタート電圧が段階的に引き下げられるように設定されていることを特徴とする請求項 1 に記載の電源装置。

**【請求項 3】**

前記出力電圧に応じた帰還電圧と所定の目標電圧との差分を増幅して誤差電圧を生成する誤差増幅器と；

前記クロック信号を生成し、これを前記駆動制御回路のセット信号として送出する発振器と；

前記クロック信号に基づいて、三角波形、ランプ波形、ないしは、鋸波形のスロープ電圧を生成するスロープ電圧生成回路と；

前記誤差電圧と前記スロープ電圧とを比較してパルス幅変調信号を生成し、これを前記駆動制御回路のリセット信号として送出する PWM コンパレータと；

をさらに有することを特徴とする請求項 2 に記載の電源装置。

**【請求項 4】**

前記誤差電圧を前記ソフトスタート電圧に応じた上限値にクランプするクランプ回路を有することを特徴とする請求項 3 に記載の電源装置。

**【請求項 5】**

前記誤差増幅器は、前記帰還電圧と前記ソフトスタート電圧のより低い方と、前記目標電圧との差分を増幅して前記誤差電圧を生成することを特徴とする請求項 3 に記載の電源装置。

**【請求項 6】**

請求項 1 ~ 請求項 5 のいずれかに記載の電源装置を備えたことを特徴とする電子機器。

**【請求項 7】**

前記電源装置から電力供給を受けて動作するバスパワー機器が着脱されるポートを有することを特徴とする請求項 6 に記載の電子機器。

**【請求項 8】**

前記制御駆動回路と前記出力トランジスタとの間に挿入されるレベルシフタ回路をさらに有することを特徴とする請求項 1 に記載の電源装置。

**【請求項 9】**

前記レベルシフタ回路は、

10

20

30

40

50

第 1 電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第 1 電源電位よりも高い第 2 電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するものであって、

各々のソースがいずれも第 2 電源電位の印加端に接続された第 1、第 2 の P チャンネル型電界効果トランジスタと；

各々のソースがいずれも接地端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第 1、第 2 の N チャンネル型電界効果トランジスタと；

一端が第 1 の P チャンネル型電界効果トランジスタのドレインに接続され、他端が第 2 の P チャンネル型電界効果トランジスタのゲートと、第 1 の N チャンネル型電界効果トランジスタのドレインに接続された第 1 の抵抗と；

一端が第 2 の P チャンネル型電界効果トランジスタのドレインに接続され、他端が第 1 の P チャンネル型電界効果トランジスタのゲートと、第 2 の N チャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第 2 の抵抗と；

を有して成ることを特徴とする請求項 8 に記載の電源装置。

#### 【請求項 10】

前記レベルシフト回路は、

第 2 電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第 2 電源電位よりも低い第 1 電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するものであって、

各々のソースがいずれも接地端に接続された第 1、第 2 の N チャンネル型電界効果トランジスタと；

各々のソースがいずれも第 1 電源電位の印加端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第 1、第 2 の P チャンネル型電界効果トランジスタと；

一端が第 1 の N チャンネル型電界効果トランジスタのドレインに接続され、他端が第 2 の N チャンネル型電界効果トランジスタのゲートと、第 1 の P チャンネル型電界効果トランジスタのドレインに接続された第 1 の抵抗と；

一端が第 2 の N チャンネル型電界効果トランジスタのドレインに接続され、他端が第 1 の N チャンネル型電界効果トランジスタのゲートと、第 2 の P チャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第 2 の抵抗と；

を有して成ることを特徴とする請求項 8 に記載の電源装置。

#### 【請求項 11】

半導体装置に集積化され、閾値電圧設定用の抵抗を外付けするための外部端子として、高入力インピーダンス素子が外付けされる特定外部端子を流用し、前記半導体装置の通常動作が開始される前に、前記特定外部端子に所定の定電流を流すことで、前記特定外部端子に所定の定電圧を発生させ、これを閾値電圧として記憶することを特徴とする閾値電圧生成回路。

#### 【請求項 12】

前記特定外部端子に前記定電流を流す定電流源と；

クロック信号を生成するクロック生成部と；

前記クロック信号のパルス数をカウントし、そのカウント値をデジタル信号として出力するカウンタと；

前記デジタル信号をアナログ変換し、前記カウンタのカウントアップに応じて電圧値が上昇していくスweep電圧を生成するデジタル/アナログ変換器と；

前記スweep電圧と前記定電圧とを比較し、前記スweep電圧が前記定電圧に達するまでは、前記半導体装置の通常動作を待機させて、前記定電流源及び前記クロック生成部を動作させる一方、前記スweep電圧が前記定電圧に達して以後は、前記定電流源及び前記クロック生成部を停止させて、前記半導体装置の通常動作を開始させるための制御信号を生成するコンパレータと；

を有して成り、

10

20

30

40

50

前記スイープ電圧を前記閾値電圧として出力することを特徴とする請求項 1 1 に記載の閾値電圧生成回路。

【請求項 1 3】

前記定電流源及び前記クロック生成部は、前記半導体装置の低電圧保護動作が解除されたときに、各々の動作が開始されることを特徴とする請求項 1 2 に記載の閾値電圧生成回路。

【請求項 1 4】

前記閾値電圧設定用の抵抗として、前記特定外部端子に外付けされるプルアップ抵抗またはプルダウン抵抗を流用することを特徴とする請求項 1 1 ~ 請求項 1 3 のいずれかに記載の閾値電圧生成回路。

10

【請求項 1 5】

請求項 1 1 ~ 請求項 1 4 のいずれかに記載の閾値電圧生成回路と、  
前記半導体装置に外付けされたスイッチ素子の一端から引き出されるパルス状のスイッチ電圧と前記閾値電圧を比較して過電流保護信号を生成する過電流保護信号生成回路と、  
を有して成ることを特徴とする過電流保護回路。

【請求項 1 6】

前記高入力インピーダンス素子は、前記スイッチ素子として用いられる電界効果トランジスタであることを特徴とする請求項 1 5 に記載の過電流保護回路。

【請求項 1 7】

前記スイッチ素子の駆動制御を行う制御回路と、  
前記制御回路の指示に基づいて前記スイッチ素子の駆動信号を生成する駆動回路と、  
請求項 1 5 または請求項 1 6 に記載の過電流保護回路と、  
を前記半導体装置に集積化して成るスイッチ駆動装置であって、  
前記制御回路及び前記駆動回路の少なくとも一方は、前記過電流保護信号に基づいて、  
前記スイッチ素子に流れるスイッチ電流が過電流状態であると認識したときに、前記スイッチ素子の駆動を停止することを特徴とするスイッチ駆動装置。

20

【請求項 1 8】

請求項 1 7 に記載のスイッチ駆動装置と、  
前記スイッチ駆動装置によってオン/オフされる前記スイッチ素子と、  
前記スイッチ電圧を平滑化して出力電圧を生成する平滑回路と、  
を有して成ることを特徴とする電源装置。

30

【請求項 1 9】

第 1 電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第 1 電源電位よりも高い第 2 電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するレベルシフト回路であって、

各々のソースがいずれも第 2 電源電位の印加端に接続された第 1、第 2 の P チャネル型電界効果トランジスタと；

各々のソースがいずれも接地端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第 1、第 2 の N チャネル型電界効果トランジスタと；

一端が第 1 の P チャネル型電界効果トランジスタのドレインに接続され、他端が第 2 の P チャネル型電界効果トランジスタのゲートと、第 1 の N チャネル型電界効果トランジスタのドレインに接続された第 1 の抵抗と；

40

一端が第 2 の P チャネル型電界効果トランジスタのドレインに接続され、他端が第 1 の P チャネル型電界効果トランジスタのゲートと、第 2 の N チャネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第 2 の抵抗と；

を有して成ることを特徴とするレベルシフト回路。

【請求項 2 0】

第 2 電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第 2 電源電位よりも低い第 1 電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するレベルシフト回路であって、

50

各々のソースがいずれも接地端に接続された第 1、第 2 の N チャンネル型電界効果トランジスタと；

各々のソースがいずれも第 1 電源電位の印加端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第 1、第 2 の P チャンネル型電界効果トランジスタと；

一端が第 1 の N チャンネル型電界効果トランジスタのドレインに接続され、他端が第 2 の N チャンネル型電界効果トランジスタのゲートと、第 1 の P チャンネル型電界効果トランジスタのドレインに接続された第 1 の抵抗と；

一端が第 2 の N チャンネル型電界効果トランジスタのドレインに接続され、他端が第 1 の N チャンネル型電界効果トランジスタのゲートと、第 2 の P チャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第 2 の抵抗と；

を有して成ることを特徴とするレベルシフト回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、過電流保護機能を備えた電源装置、及び、これを備えた電子機器に関する。

【背景技術】

【0002】

(第 1 従来例)

図 7 は、電源装置の第 1 従来例を示す回路ブロック図である。本従来例の電源装置は、出力トランジスタ 201 をスイッチング駆動することにより、入力電圧  $V_{in}$  から所望の出力電圧  $V_{out}$  を生成するスイッチングレギュレータであって、出力トランジスタ 201 の出力帰還制御手段として、誤差増幅器 202 と、PWM [Pulse Width Modulation] コンパレータ 203 と、駆動制御回路 204 と、を有する。また、図 7 には示されていないが、出力トランジスタ 201 には、昇圧型、降圧型、ないし、昇降圧型の出力段を形成するコイル、ダイオード、容量などが接続される。

【0003】

誤差増幅器 202 は、出力電圧  $V_{out}$  に応じた帰還電圧  $V_{fb}$  と所定の目標電圧  $V_{tg}$  との差分を増幅して誤差電圧  $V_{err}$  を生成する。PWM コンパレータ 203 は、誤差電圧  $V_{err}$  と三角波形のスロープ電圧  $V_{slope}$  とを比較することで、スイッチングデューティを決定するためのパルス幅変調信号 PWM を生成し、これを駆動制御回路 204 に送出する。駆動制御回路 204 は、クロック信号 CLK とパルス幅変調信号 PWM に基づいて、出力トランジスタ 201 のオン/オフ制御信号を生成する。より具体的に述べると、駆動制御回路 204 は、クロック信号 CLK の立上がりエッジをトリガとして、出力トランジスタ 201 のオン/オフ制御信号をハイレベルにセットし、パルス幅変調信号 PWM の立上がりエッジをトリガとして、出力トランジスタ 201 のオン/オフ制御信号をローレベルにリセットする。

【0004】

また、本従来例の電源装置は、出力トランジスタ 201 に接続されるコイル（不図示）に流れるコイル電流  $I_L$  の過電流防止手段として、過電流保護回路 205 と、論理和演算器 206 と、を有する。

【0005】

過電流保護回路 205 は、コイル電流  $I_L$  が所定の過電流検出値  $I_{ocp}$  に達したことを検出したときに、過電流検出信号 OCP をローレベル（正常時論理レベル）からハイレベル（異常時論理レベル）に立ち上げる。論理和演算器 206 は、パルス幅変調信号 PWM と過電流検出信号 OCP との論理和信号をパルス幅変調信号 PWM に代えて駆動制御回路 204 に供給する。

【0006】

従って、コイル電流  $I_L$  が過電流状態となり、過電流検出信号 OCP がハイレベル（異常時論理レベル）に立ち上げられると、駆動制御回路 204 は、パルス幅変調信号 PWM

10

20

30

40

50

に依らず、出力トランジスタ 201 のオン/オフ制御信号をローレベルにリセットする。その結果、出力トランジスタ 201 が強制的にオフされてコイル電流  $I_L$  が遮断される。

【0007】

なお、上記の過電流保護動作によってコイル電流  $I_L$  が遮断されると、過電流検出信号  $OCP$  は再びローレベル（正常時論理レベル）に立ち下がるため、その後にクロック信号  $CLK$  がハイレベルに立ち上がると、駆動制御回路 204 は、出力トランジスタ 201 のオン/オフ制御信号をハイレベルにセットし直し、出力トランジスタ 201 は再びオンされる。ただし、その時点でコイル電流  $I_L$  の過電流状態が解消されていなければ、上記と同様の過電流保護動作が発動するので、出力トランジスタ 201 は強制的にオフされて、コイル電流  $I_L$  が再び遮断される。

10

【0008】

このように、第1従来例の電源装置では、コイル電流  $I_L$  の過電流防止動作として、過電流検出信号  $OCP$  による強制リセット動作と、クロック信号  $CLK$  によるセット動作（自己復帰動作）を繰り返す方式、いわゆるパルスバイパルス方式が採用されていた。

【0009】

図8は、第1従来例の過電流保護動作を示す波形図であり、上から順に、コイル電流  $I_L$ 、過電流検出信号  $OCP$ 、及び、誤差電圧  $V_{err}$  が示されている。

【0010】

（第2従来例）

図9は、電源装置の第2従来例を示す回路ブロック図である。本従来例の電源装置は、基本的に先出の第1従来例と同様であるが、過電流検出信号  $OCP$  によるリセット対象が駆動制御回路 204 ではなく、ソフトスタート回路 207 であるという点で相違する。

20

【0011】

ソフトスタート回路 207 は、電源装置の起動とともに、容量 207a の充電を開始して、トランジスタ 207d の導通度を制御することで、誤差電圧  $V_{err}$  を所定のソフトスタート電圧  $V_{ss}$ （容量 207a の充電電圧）に応じた上限値にクランプする。このようなソフトスタート制御により、緩やかに出力電圧  $V_{out}$  を立ち上げることができる。なお、誤差電圧  $V_{err}$  がソフトスタート電圧  $V_{ss}$  よりも低下した時点で、トランジスタ 207d が非動作状態となるので、ソフトスタート制御は終了される。

【0012】

一方、コイル電流  $I_L$  が過電流状態となり、過電流検出信号  $OCP$  がハイレベル（異常時論理レベル）に立ち上げられると、トランジスタ 207c がオンされるので、容量 207a に蓄えられていた電荷が直ちに放電される。その結果、トランジスタ 207d がフルオン状態となり、誤差電圧  $V_{err}$  がゼロ値まで引き下げられるので、パルス幅変調信号  $PWM$  のオンデューティはゼロ値となり、出力トランジスタ 201 が強制的にオフされてコイル電流  $I_L$  が遮断される。

30

【0013】

なお、上記の過電流保護動作によってコイル電流  $I_L$  が遮断されると、過電流検出信号  $OCP$  は再びローレベル（正常時論理レベル）に立ち下がるため、トランジスタ 207c がオフされて、再び容量 207a の充電が開始される。従って、過電流保護動作からの復帰時には、電源装置の起動時と同様のソフトスタート制御が行われる。

40

【0014】

このように、第2従来例の電源装置では、コイル電流  $I_L$  の過電流防止動作として、いわゆるソフトスタートリセット方式が採用されていた。

【0015】

図10は、第2従来例の過電流保護動作を示す波形図であり、コイル電流  $I_L$  の挙動が示されている。

【0016】

なお、上記に関連する従来技術の一例としては、特許文献1や特許文献2を挙げることができる。

50

## 【 0 0 1 7 】

また、レベルシフト回路の貫通電流防止技術の一例としては、特許文献 3 を挙げる事ができる。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 1 8 】

【 特許文献 1 】 特開 2 0 0 0 - 1 6 6 2 2 7 号公報

【 特許文献 2 】 特開 2 0 0 8 - 1 8 7 8 4 7 号公報

【 特許文献 3 】 特開平 6 - 2 0 4 8 5 0 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 9 】

確かに、上記第 1 従来例の電源装置であれば、コイル電流  $I_L$  が所定の過電流検出値  $I_{ocp}$  に達した時点で、即座に出力トランジスタ 2 0 1 をオフすることができるので、コイル電流  $I_L$  が過電流検出値  $I_{ocp}$  を上回ることはなく、高い過電流抑制効果を奏することが可能である。

## 【 0 0 2 0 】

しかしながら、上記第 1 従来例の電源装置では、コイル電流  $I_L$  が過電流状態に陥っている間、駆動制御回路 2 0 4 が過電流検出信号  $OCP$  によってリセットされ、出力トランジスタ 2 0 1 が強制的にオフとされる一方、誤差増幅器 2 0 4 は、何らリセットされることなく出力帰還動作を継続する構成とされていた。そのため、コイル電流  $I_L$  の過電流状態が解消した時点で、出力電圧  $V_{out}$  がその目標値から大幅に低下していた場合には、非常に高い誤差電圧  $V_{err}$  に基づいてパルス幅変調信号  $PWM$  のオンデューティが決定されるので、出力トランジスタ 2 0 1 のスイッチング動作を復帰させる際に、出力電圧  $V_{out}$  のオーバーシュートを生じるおそれがあった。

## 【 0 0 2 1 】

一方、上記第 2 従来例の電源装置であれば、コイル電流  $I_L$  が所定の過電流検出値  $I_{ocp}$  に達した時点で、ソフトスタート回路 2 0 7 がリセットされ、過電流保護動作からの復帰時には、電源装置の起動時と同様のソフトスタート制御が行われるので、出力電圧  $V_{out}$  のオーバーシュートを生じるおそれはない。

## 【 0 0 2 2 】

しかしながら、上記第 2 従来例の電源装置では、誤差増幅器 2 0 2 の出力端に接続される位相補償容量（図 9 では描写せず）や、ソフトスタート回路 2 0 7 のリセットスピード（容量 2 0 7 a の放電スピード）によっては、コイル電流  $I_L$  が所定の過電流検出値  $I_{ocp}$  を超えてしまうおそれがあった（図 1 0 を参照）。

## 【 0 0 2 3 】

また、上記第 2 従来例の電源装置では、コイル電流  $I_L$  が所定の過電流検出値  $I_{ocp}$  に達した時点で、容量 2 0 7 a に蓄えられている電荷を直ちに放電してしまう構成とされていた。そのため、過電流保護動作からの復帰時には、ソフトスタート制御が必ず一からやり直しとなり、出力電圧  $V_{out}$  が大幅に低下してしまうため、電源装置が搭載されるアプリケーションによっては、その動作に支障を生じるおそれがあった。

## 【 0 0 2 4 】

本発明は、本願の発明者が見出した上記問題点に鑑み、過電流の確実な抑制と復帰時のオーバーシュート防止を両立することが可能な電源装置及びこれを備えた電子機器を提供することを目的とする。

## 【 課題を解決するための手段 】

## 【 0 0 2 5 】

上記目的を達成するために、本発明に係る電源装置は、出力トランジスタをオン/オフさせてコイル電流を駆動することにより、入力電圧から所望の出力電圧を生成する電源装置であって、前記出力トランジスタのオン/オフ制御信号を生成する駆動制御回路と、前

10

20

30

40

50

記コイル電流を直接的ないしは間接的に監視して過電流検出信号を生成する過電流保護回路と、前記電源装置が起動してから緩やかに上昇を開始するソフトスタート電圧を用いて前記出力電圧の立ち上がりを抑制するソフトスタート制御回路と、を有し、前記コイル電流が過電流状態であるとき、前記駆動制御回路は、パルスバイパルス方式の過電流保護動作として、前記過電流検出信号に応じた前記オン/オフ制御信号の強制リセット動作と、所定周波数のクロック信号に応じた前記オン/オフ制御信号のセット動作を繰り返し、前記ソフトスタート制御回路は、前記過電流検出信号に応じたりセット動作として、前記ソフトスタート電圧を徐々に引き下げる構成（第1の構成）とされている。

【0026】

なお、上記第1の構成から成る電源装置において、前記ソフトスタート制御回路は、容量と、前記容量の充電電流を生成する第1定電流源と、前記過電流検出信号に応じて前記容量の放電電流を生成する第2定電流源とを有し、前記充電電流と前記放電電流との比率は、前記過電流検出信号に応じたりセット動作に際して、前記容量に蓄えられている全ての電荷が直ちに放電されるのではなく、前記パルスバイパルス方式の過電流保護動作が行われている間に、前記ソフトスタート電圧が段階的に引き下げられるように設定されている構成（第2の構成）にするとよい。

10

【0027】

また、上記第2の構成から成る電源装置は、前記出力電圧に応じた帰還電圧と所定の目標電圧の差分を増幅して誤差電圧を生成する誤差増幅器と；前記クロック信号を生成し、これを前記駆動制御回路のセット信号として送出する発振器と；前記クロック信号に基づいて、三角波形、ランプ波形、ないしは、鋸波形のスロープ電圧を生成するスロープ電圧生成回路と；前記誤差電圧と前記スロープ電圧とを比較してパルス幅変調信号を生成し、これを前記駆動制御回路のリセット信号として送出するPWMコンパレータと；をさらに有する構成（第3の構成）にするとよい。

20

【0028】

また、上記第3の構成から成る電源装置は、前記誤差電圧を前記ソフトスタート電圧に応じた上限値にクランプするクランプ回路を有する構成（第4の構成）にするとよい。

【0029】

また、上記第3の構成から成る電源装置において、前記誤差増幅器は、前記帰還電圧と前記ソフトスタート電圧のより低い方と、前記目標電圧との差分を増幅して前記誤差電圧を生成する構成（第5の構成）にするとよい。

30

【0030】

また、本発明に係る電子機器は、上記第1～第5いずれかの構成から成る電源装置を備えた構成（第6の構成）とされている。

【0031】

なお、上記第6の構成から成る電子機器は、前記電源装置から電力供給を受けて動作するバスパワー機器が着脱されるポートを有する構成（第7の構成）にするとよい。

【0032】

また、上記第1の構成から成る電源装置は、前記制御駆動回路と前記出力トランジスタとの間に挿入されるレベルシフタ回路をさらに有する構成（第8の構成）にするとよい。

40

【0033】

なお、上記第8の構成から成る電源装置において、前記レベルシフタ回路は、第1電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第1電源電位よりも高い第2電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するものであって、各々のソースがいずれも第2電源電位の印加端に接続された第1、第2のPチャンネル型電界効果トランジスタと；各々のソースがいずれも接地端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第1、第2のNチャンネル型電界効果トランジスタと；一端が第1のPチャンネル型電界効果トランジスタのドレインに接続され、他端が第2のPチャンネル型電界効果トランジスタのゲートと、第1のNチャンネル型電界効果トランジスタのドレインに接続された第1の抵抗と；一端が第2の

50



Pチャンネル型電界効果トランジスタのドレインに接続され、他端が第1のPチャンネル型電界効果トランジスタのゲートと、第2のNチャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第2の抵抗と；を有して成る構成（第9の構成）にするとよい。

【0034】

また、上記第8の構成から成る電源装置において、前記レベルシフト回路は、第2電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第2電源電位よりも低い第1電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するものであって、各々のソースがいずれも接地端に接続された第1、第2のNチャンネル型電界効果トランジスタと；各々のソースがいずれも第1電源電位の印加端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第1、第2のPチャンネル型電界効果トランジスタと；一端が第1のNチャンネル型電界効果トランジスタのドレインに接続され、他端が第2のNチャンネル型電界効果トランジスタのゲートと、第1のPチャンネル型電界効果トランジスタのドレインに接続された第1の抵抗と；一端が第2のNチャンネル型電界効果トランジスタのドレインに接続され、他端が第1のNチャンネル型電界効果トランジスタのゲートと、第2のPチャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第2の抵抗と；を有して成る構成（第10の構成）にするとよい。

10

【0035】

また、本発明に係る閾値電圧生成回路は、半導体装置に集積化され、閾値電圧設定用の抵抗を外付けするための外部端子として、高入力インピーダンス素子が外付けされる特定外部端子を流用し、前記半導体装置の通常動作が開始される前に、前記特定外部端子に所定の定電流を流すことで、前記特定外部端子に所定の定電圧を発生させ、これを閾値電圧として記憶する構成（第11の構成）とされている。

20

【0036】

なお、上記第11の構成から成る閾値電圧生成回路は、前記特定外部端子に前記定電流を流す定電流源と；クロック信号を生成するクロック生成部と；前記クロック信号のパルス数をカウントし、そのカウント値をデジタル信号として出力するカウンタと；前記デジタル信号をアナログ変換し、前記カウンタのカウントアップに応じて電圧値が上昇していくスweep電圧を生成するデジタル/アナログ変換器と；前記スweep電圧と前記定電圧とを比較し、前記スweep電圧が前記定電圧に達するまでは、前記半導体装置の通常動作を待機させて、前記定電流源及び前記クロック生成部を動作させる一方、前記スweep電圧が前記定電圧に達して以後は、前記定電流源及び前記クロック生成部を停止させて、前記半導体装置の通常動作を開始させるための制御信号を生成するコンパレータと；を有して成り、前記スweep電圧を前記閾値電圧として出力する構成（第12の構成）にするとよい。

30

【0037】

また、上記第12の構成から成る閾値電圧生成回路において、前記定電流源及び前記クロック生成部は、前記半導体装置の低電圧保護動作が解除されたときに、各々の動作が開始される構成（第13の構成）にするとよい。

40

【0038】

また、上記第11～第13いずれかの構成から成る閾値電圧生成回路は、前記閾値電圧設定用の抵抗として、前記特定外部端子に外付けされるブルアップ抵抗またはブルダウン抵抗を流用する構成（第14の構成）にするとよい。

【0039】

また、本発明に係る過電流保護回路は、上記第11～第14いずれかの構成から成る閾値電圧生成回路と、前記半導体装置に外付けされたスイッチ素子の一端から引き出されるパルス状のスイッチ電圧と前記閾値電圧を比較して過電流保護信号を生成する過電流保護信号生成回路と、を有して成る構成（第15の構成）とされている。

【0040】

50

なお、上記第15の構成から成る過電流保護回路において、前記高入力インピーダンス素子は、前記スイッチ素子として用いられる電界効果トランジスタである構成（第16の構成）にするとよい。

【0041】

また、本発明に係るスイッチ駆動装置は、前記スイッチ素子の駆動制御を行う制御回路と、前記制御回路の指示に基づいて前記スイッチ素子の駆動信号を生成する駆動回路と、上記第15または第16の構成から成る過電流保護回路と、を前記半導体装置に集積化して成るスイッチ駆動装置であって、前記制御回路及び前記駆動回路の少なくとも一方は、前記過電流保護信号に基づいて、前記スイッチ素子に流れるスイッチ電流が過電流状態であると認識したときに、前記スイッチ素子の駆動を停止する構成（第17の構成）とされている。

10

【0042】

また、本発明に係る電源装置は、上記第17の構成から成るスイッチ駆動装置と、前記スイッチ駆動装置によってオン/オフされる前記スイッチ素子と、前記スイッチ電圧を平滑化して出力電圧を生成する平滑回路と、を有して成る構成（第18の構成）とされている。

【0043】

また、本発明に係るレベルシフト回路は、第1電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第1電源電位よりも高い第2電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するレベルシフト回路であって、各々のソースがいずれも第2電源電位の印加端に接続された第1、第2のPチャンネル型電界効果トランジスタと；各々のソースがいずれも接地端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第1、第2のNチャンネル型電界効果トランジスタと；一端が第1のPチャンネル型電界効果トランジスタのドレインに接続され、他端が第2のPチャンネル型電界効果トランジスタのゲートと、第1のNチャンネル型電界効果トランジスタのドレインに接続された第1の抵抗と；一端が第2のPチャンネル型電界効果トランジスタのドレインに接続され、他端が第1のPチャンネル型電界効果トランジスタのゲートと、第2のNチャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第2の抵抗と；を有して成る構成（第19の構成）とされている。

20

【0044】

また、本発明に係るレベルシフト回路は、第2電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第2電源電位よりも低い第1電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するレベルシフト回路であって、各々のソースがいずれも接地端に接続された第1、第2のNチャンネル型電界効果トランジスタと；各々のソースがいずれも第1電源電位の印加端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第1、第2のPチャンネル型電界効果トランジスタと；一端が第1のNチャンネル型電界効果トランジスタのドレインに接続され、他端が第2のNチャンネル型電界効果トランジスタのゲートと、第1のPチャンネル型電界効果トランジスタのドレインに接続された第1の抵抗と；一端が第2のNチャンネル型電界効果トランジスタのドレインに接続され、他端が第1のNチャンネル型電界効果トランジスタのゲートと、第2のPチャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第2の抵抗と；を有して成る構成（第2の構成）とされている。

30

40

【発明の効果】

【0045】

本発明に係る電源装置及びこれを備えた電子機器であれば、過電流の確実な抑制と復帰時のオーバーシュート防止を両立することが可能となる。

【図面の簡単な説明】

【0046】

【図1】本発明に係る電源装置を備えた電子機器の一構成例を示すブロック図

【図2】電源装置Aの一構成例を示す回路ブロック図

50

- 【図 3】過電流保護回路 17 の一構成例を示す回路ブロック図
- 【図 4】駆動制御回路 4 とソフトスタート制御回路 6 の第 1 構成例を示す回路ブロック図
- 【図 5】過電流保護動作を説明するための波形図
- 【図 6】ソフトスタート制御回路 6 の第 2 構成例を示す回路ブロック図
- 【図 7】電源装置の第 1 従来例を示す回路ブロック図
- 【図 8】第 1 従来例の過電流保護動作を示す波形図
- 【図 9】電源装置の第 2 従来例を示す回路ブロック図
- 【図 10】第 2 従来例の過電流保護動作を示す波形図
- 【図 11】本発明に係るレベルシフト回路の第 1 実施形態を示す回路図
- 【図 12】本発明に係るレベルシフト回路の第 2 実施形態を示す回路図
- 【図 13】レベルシフト回路の一従来例を示す回路図
- 【図 14】本発明に係る閾値電圧生成回路を用いた電源装置の一実施形態を示す図
- 【図 15】制御回路 Y10 及び駆動回路 Y20 の一構成例を示す回路図
- 【図 16】制御回路 Y10 及び駆動回路 Y20 の動作例を示すタイミングチャート
- 【図 17】閾値電圧  $V_{th}$  の設定動作を説明するためのタイミングチャート
- 【図 18】過電流保護動作の一例を示すタイミングチャート
- 【図 19】過電流保護回路の一従来例を示す回路図
- 【発明を実施するための形態】
- 【0047】
- < 第 1 の技術的特徴 >
- 以下で開示する第 1 の技術的特徴は、過電流保護機能を備えた電源装置、及び、これを備えた電子機器に関するものである。
- 【0048】
- 図 1 は、本発明に係る電源装置を備えた電子機器の一構成例を示すブロック図である。本構成例の電子機器（例えば、ノート型パーソナルコンピュータ）は、電源装置 A と内部回路 B を有するほか、USB [Universal Serial Bus] 機器 C を外部接続することが可能な構成とされている。
- 【0049】
- 電源装置 A は、入力電圧  $V_{in}$  から所望の出力電圧  $V_{out}$  を生成し、これを内部回路 B や外付けの USB 機器 C に供給する。なお、電源装置 A の構成及び動作については、後ほど詳細に説明する。
- 【0050】
- 内部回路 B は、電源装置 A から出力電圧  $V_{out}$  の供給を受けて動作する電子回路（例えば、CPU [Central Processing Unit]、チップセット、メモリ、USB コントローラ）である。
- 【0051】
- USB 機器 C は、USB ポートに着脱可能な外部機器である。なお、本構成例の電子機器には、USB 機器 C として、商用電源から電力供給を受けて動作するセルフパワー機器（プリンタやスキャナなど）や、電子機器に内蔵された電源装置 A から電力供給を受けて動作するバスパワー機器（マウスや USB メモリなど）を接続することが可能である。
- 【0052】
- 図 2 は、電源装置 A の一構成例を示す回路ブロック図である。
- 【0053】
- 本図に示すように、本構成例の電源装置 A は、スイッチング電源 IC100 のほか、外付けのインダクタ L1、ダイオード D1、抵抗 R1 ~ R3、及び、容量 C1 ~ C5 を有して成り、入力電圧  $V_{in}$  から所望の出力電圧  $V_{out}$  を生成する降圧型のスイッチングレギュレータ（チョップパ型レギュレータ）である。
- 【0054】
- スイッチング電源 IC100 は、N チャネル型 MOS 電界効果トランジスタ 1a 及び 1b と、ドライバ 2a 及び 2b と、レベルシフト 3a 及び 3b と、駆動制御回路 4 と、誤差

増幅器 5 と、ソフトスタート制御回路 6 と、p n p 型バイポーラトランジスタ 7 と、スロー電圧生成回路 8 と、P W M [ Pulse Width Modulation ] コンパレータ 9 と、基準電圧生成回路 10 と、発振器 11 と、抵抗 12 a 及び 12 b と、ブースト用定電圧生成回路 13 と、ダイオード 14 と、低電圧ロックアウト回路 15 と、サーマルシャットダウン回路 16 と、過電流保護回路 17 と、を有する。

#### 【 0055 】

また、スイッチング電源 I C 100 は、外部との電氣的な接続手段として、イネーブル端子 E N と、帰還端子 F B と、位相補償端子 C P と、ソフトスタート端子 S S と、ブートストラップ端子 B S T と、入力端子 V I N と、スイッチ端子 S W と、グランド端子 G N D と、を有して成る。

10

#### 【 0056 】

スイッチング電源 I C 100 の外部において、入力端子 V I N は、入力電圧  $V_{in}$  (例えば 12 V) の印加端に接続される一方、容量 C 1 を介して接地端にも接続されている。スイッチ端子 S W は、ダイオード D 1 のカソードとインダクタ L 1 の一端にそれぞれ接続されている。ダイオード D 1 のアノードは、接地端に接続されている。インダクタ L 1 の他端は、出力電圧  $V_{out}$  の引出端に接続される一方、容量 C 3 の一端と抵抗 R 1 の一端にもそれぞれ接続されている。容量 C 3 の他端は、接地端に接続されている。抵抗 R 1 の他端は、抵抗 R 2 を介して接地端に接続されている。抵抗 R 1 と抵抗 R 2 との接続ノードは、帰還電圧  $V_{fb}$  の引出端として、帰還端子 F B に接続されている。スイッチ端子 S W とブートストラップ端子 B S T との間には、容量 C 2 が接続されている。イネーブル端子 E N は、スイッチング電源 I C 100 の駆動可否を制御するためのイネーブル信号が印加される端子である。位相補償端子 C P は、容量 C 4 及び抵抗 R 3 を介して接地端に接続されている。ソフトスタート端子 S S は、容量 C 5 を介して接地端に接続されている。

20

#### 【 0057 】

なお、上記のインダクタ L 1、ダイオード D 1、及び、容量 C 3 は、スイッチ端子 S W から引き出されるスイッチ電圧  $V_{sw}$  を整流・平滑して所望の出力電圧  $V_{out}$  を生成する整流・平滑回路として機能する。また、上記の抵抗 R 1、R 2 は、出力電圧  $V_{out}$  に応じた帰還電圧  $V_{fb}$  を生成する帰還電圧生成回路 (抵抗分圧回路) として機能する。また、上記の容量 C 2 は、スイッチング電源 I C 100 に内蔵される後述のダイオード 14 とともに、ブートストラップ回路を形成する。

30

#### 【 0058 】

次に、スイッチング電源 I C 100 の内部構成について説明する。

#### 【 0059 】

トランジスタ 1 a、1 b は、入力端子 V I N (入力電圧  $V_{in}$  の印加端) とグランド端子 G N D との間に直列接続された一对のスイッチ素子であり、これらを相補的にスイッチング駆動することにより、入力電圧  $V_{in}$  からパルス状のスイッチ電圧  $V_{sw}$  が生成される。なお、トランジスタ 1 a は、大きなスイッチ電流  $I_{sw}$  を流すための大型の出力トランジスタ (パワートランジスタ) であり、トランジスタ 1 b は、軽負荷時 (電流不連続モード時) に発生するリングングノイズをグランド端子 G N D に逃がすための小型の同期整流トランジスタである。両素子の接続関係についてより具体的に述べると、トランジスタ 1 a のドレインは、入力端子 V I N に接続されている。トランジスタ 1 a のソース及びバックゲートは、スイッチ端子 S W に接続されている。トランジスタ 1 b のドレインは、スイッチ端子 S W に接続されている。トランジスタ 1 b のソース及びバックゲートは、グランド端子 G N D に接続されている。

40

#### 【 0060 】

なお、本明細書中で用いられている「相補的」という文言は、トランジスタ 1 a、1 b のオン/オフが完全に逆転している場合のほか、貫通電流防止の観点からトランジスタ 1 a、1 b のオン/オフ遷移タイミングに所定の遅延が与えられている場合も含む。

#### 【 0061 】

ドライバ 2 a、2 b は、それぞれ、レベルシフタ 3 a、3 b の出力信号に基づいて、ト

50

ランジスタ 1 a、1 b のゲート電圧（スイッチング駆動信号）を生成する。なお、ドライバ 2 a の上側電源端は、ブートストラップ端子 B S T（ブースト電圧  $V_{bst}$  の印加端）に接続されている。ドライバ 2 a の下側電源端とドライバ 2 b の上側電源端は、いずれもスイッチ端子 S W に接続されている。ドライバ 2 b の下側電源端は、グランド端子 G N D に接続されている。なお、トランジスタ 1 a に与えられるゲート電圧のハイレベルはブースト電圧  $V_{bst}$  となり、ローレベルは接地電圧となる。また、トランジスタ 1 b に与えられるゲート電圧のハイレベルは入力電圧  $V_{in}$  となり、ローレベルは接地電圧となる。

**【0062】**

レベルシフタ 3 a、3 b は、それぞれ、駆動制御回路 4 から入力されるオン/オフ制御信号の電圧レベルを上げてドライバ 2 a、2 b に供給する。なお、レベルシフタ 3 a の上側電源端は、ブートストラップ端子 B S T（ブースト電圧  $V_{bst}$  の印加端）に接続されている。レベルシフタ 3 a の下側電源端とレベルシフタ 3 b の上側電源端は、いずれもスイッチ端子 S W に接続されている。レベルシフタ 3 b の下側電源端は、グランド端子 G N D に接続されている。

10

**【0063】**

駆動制御回路 4 は、クロック信号 C L K とパルス幅変調信号 P W M に基づいて、トランジスタ 1 a、1 b のオン/オフ制御信号を生成するロジック回路である。具体的に述べると、駆動制御回路 4 は、クロック信号 C L K の立上がりエッジをトリガとして、トランジスタ 1 a のオン/オフ制御信号をハイレベルにセットし、パルス幅変調信号 P W M の立上がりエッジをトリガとして、トランジスタ 1 a のオン/オフ制御信号をローレベルにリセットする。トランジスタ 1 b のオン/オフ制御信号は、基本的にトランジスタ 1 a のオン/オフ制御信号を論理反転させた信号となる。

20

**【0064】**

誤差増幅器 5 は、帰還電圧  $V_{fb}$  と所定の目標電圧  $V_{tg}$  との差分を増幅して誤差電圧  $V_{err}$  を生成する。接続関係について述べると、誤差増幅器 5 の反転入力端（-）は、帰還端子 F B に接続されており、帰還電圧  $V_{fb}$ （出力電圧  $V_{out}$  の実際値に相当）が印加されている。誤差増幅器 5 の非反転入力端（+）は、抵抗 1 2 a と抵抗 1 2 b との接続ノードに接続されており、所定の目標電圧  $V_{tg}$ （出力電圧  $V_{out}$  の目標設定値に相当）が印加されている。

**【0065】**

ソフトスタート制御回路 6 は、電源装置 A の起動とともに、ソフトスタート端子 S S に接続される容量 C 5 の充電を開始し、トランジスタ 7 の導通度を制御することで、誤差電圧  $V_{err}$  を所定のソフトスタート電圧  $V_{ss}$ （容量 C 5 の充電電圧 + トランジスタ 7 のベース・エミッタ間電圧）にクランプする。このようなソフトスタート制御により、起動時における容量 C 3 への充電電流に制限をかけながら、緩やかに出力電圧  $V_{out}$  が立ち上がるため、出力電圧  $V_{out}$  のオーバーシュートや、負荷への突入電流を未然に防止することが可能となる。なお、誤差電圧  $V_{err}$  がソフトスタート電圧  $V_{ss}$  よりも低下した時点で、トランジスタ 7 が非動作状態となるので、ソフトスタート制御は終了される。なお、ソフトスタート制御回路 6 の構成及び動作については、後ほど詳細な説明を行う。

30

**【0066】**

トランジスタ 7 は、ソフトスタート制御回路 6 の指示に基づき、電源装置 A の起動時に誤差電圧  $V_{err}$  をソフトスタート電圧  $V_{ss}$  にクランプする。接続関係について具体的に述べると、トランジスタ 7 のエミッタは、誤差増幅器 5 の出力端に接続されている。トランジスタ 7 のコレクタは、グランド端子 G N D に接続されている。トランジスタ 7 のベースは、ソフトスタート制御回路 6 を介してソフトスタート端子 S S に接続されている。

40

**【0067】**

スロープ電圧生成回路 8 は、発振器 1 1 で生成されるクロック信号 C L K に基づいて、三角波形、ランプ波形、ないしは、鋸波形のスロープ電圧  $V_{slope}$  を生成し、これを P W M コンパレータ 9 に送出する。

**【0068】**

50

PWMコンパレータ9は、誤差電圧 $V_{err}$ とスロープ電圧 $V_{slope}$ とを比較することで、スイッチングデューティを決定するためのパルス幅変調信号PWMを生成し、これを駆動制御回路4に送出する。ただし、スイッチングデューティの上限は、回路内部で定められる最大デューティに制限されるものであって、100%となることはない。接続関係について具体的に述べると、PWMコンパレータ9の非反転入力端(+)は、スロープ電圧生成回路8の出力端に接続されている。PWMコンパレータ9の反転入力端(-)は、誤差増幅器5の出力端と位相補償端子CPにそれぞれ接続されている。

**【0069】**

基準電圧生成回路10は、入力電圧 $V_{in}$ から基準電圧 $V_{ref}$ (例えば4.1V)を生成し、内部駆動電圧としてスイッチング電源IC100の各部に供給する。

10

**【0070】**

発振器11は、基準電圧 $V_{ref}$ の供給を受けて、所定周波数を有する矩形波状のクロック信号CLKを生成し、これを駆動制御回路4とスロープ電圧生成回路8に供給する。

**【0071】**

抵抗12a及び12bは、基準電圧 $V_{ref}$ を分圧することで、所望の目標電圧 $V_{tg}$ を生成し、これを誤差増幅器5の非反転入力端(+)に印加する。接続関係について具体的に述べると、抵抗12a及び12bは、基準電圧生成回路10の出力端(基準電圧 $V_{ref}$ の印加端)とグランド端子GNDとの間に直列接続されており、互いの接続ノードが誤差増幅器5の非反転入力端(+)に接続されている。

**【0072】**

20

ブースト用定電圧生成回路13は、入力電圧 $V_{in}$ から所定の定電圧 $V_{reg}$ (例えば5V)を生成する。

**【0073】**

ダイオード14は、定電圧生成回路13の出力端(定電圧 $V_{reg}$ の出力端)とブートストラップ端子BSTとの間に接続され、容量C2とともにブートストラップ回路を構成する素子であり、そのカソードからは、ドライバ2a及びレベルシフタ3aの駆動電圧として、所望のブースト電圧 $V_{bst}$ が引き出される。なお、ブースト電圧 $V_{bst}$ は、スイッチ電圧 $V_{sw}$ よりも容量C2の充電電圧分(定電圧 $V_{reg}$ からダイオード14の順方向降下電圧 $V_f$ を差し引いた電圧分)だけ高い電圧値となる。

**【0074】**

30

低電圧ロックアウト回路15は、基準電圧 $V_{ref}$ の供給を受けて動作し、入力電圧 $V_{in}$ の異常な低下を検出したときに、スイッチング電源IC100をシャットダウンする異常保護手段である。

**【0075】**

サーマルシャットダウン回路16は、基準電圧 $V_{ref}$ の供給を受けて動作し、監視対象温度(スイッチング電源IC100のジャンクション温度)が所定の閾値(例えば、175)に達したときに、スイッチング電源IC100をシャットダウンする異常保護手段である。

**【0076】**

40

過電流保護回路17は、入力電圧 $V_{in}$ の供給を受けて動作し、出力トランジスタ1aのオン時に流れるスイッチ電流 $I_{sw}$ を監視して、過電流検出信号OCPを生成する。なお、過電流検出信号OCPは、駆動制御回路4及びソフトスタート制御回路6のリセット信号として用いられる。具体的に述べると、過電流保護回路17において、スイッチ電流 $I_{sw}$ が過電流状態であると判定された場合、駆動制御回路4は、トランジスタ1a及び1bのスイッチング動作を停止し、ソフトスタート制御回路6は、容量C5のディスチャージを行う。この過電流保護動作については、後ほど詳細な説明を行う。

**【0077】**

以下では、まず、上記構成から成る電源装置Aのブートストラップ動作について説明する。トランジスタ1aがオフとされて、スイッチ端子SWに現れるスイッチ電圧 $V_{sw}$ がローレベル(0V)になっているときには、ブースト用定電圧生成回路13からダイオー

50

ト14及び容量C2を介する経路で電流が流れるため、ブートストラップ端子BSTとスイッチ端子SWとの間に接続された容量C2に電荷が充電される。このとき、ブートストラップ端子BSTに現れるブースト電圧 $V_{bst}$ （すなわち、容量C2の充電電圧）は、定電圧 $V_{reg}$ からダイオード14の順方向降下電圧 $V_f$ を差し引いた電圧値（ $V_{reg} - V_f$ ）となる。

【0078】

一方、容量C2に電荷が充電されている状態で、トランジスタ1aがオンとされて、スイッチ電圧 $V_{sw}$ がローレベル（0V）からハイレベル（ $V_{in}$ ）に立ち上げられると、ブースト電圧 $V_{bst}$ は、スイッチ電圧 $V_{sw}$ のハイレベル（ $V_{in}$ ）よりもさらに容量C2の充電電圧分（ $V_{reg} - V_f$ ）だけ高い電圧値（ $V_{in} + (V_{reg} - V_f)$ ）まで引き上げられる。従って、このようなブースト電圧 $V_{bst}$ をドライバ2a及びレベルシフタ3aの駆動電圧として供給することにより、トランジスタ1aのオン/オフ駆動を行うことが可能となる。

10

【0079】

次に、上記構成から成る電源装置Aの出力帰還動作について説明する。

【0080】

スイッチング電源IC100において、誤差増幅器5は、帰還電圧 $V_{fb}$ と目標電圧 $V_{tg}$ との差分を増幅して誤差電圧 $V_{err}$ を生成する。PWMコンパレータ9は、誤差電圧 $V_{err}$ とスロープ電圧 $V_{slope}$ を比較してパルス幅変調信号PWMを生成する。このとき、パルス幅変調信号PWMの論理は、誤差電圧 $V_{err}$ がスロープ電圧 $V_{slope}$ よりも高電位であればローレベルとなり、その逆であればハイレベルとなる。すなわち、誤差電圧 $V_{err}$ が高電位であるほど、パルス幅変調信号PWMの一周期に占めるローレベル期間が長くなり、逆に、誤差電圧 $V_{err}$ が低電位であるほど、パルス幅変調信号PWMの一周期に占めるローレベル期間が短くなる。

20

【0081】

駆動制御回路4は、クロック信号CLKとパルス幅変調信号PWMに基づき、トランジスタ1a、1bの同時オンを防止しつつ、パルス幅変調信号PWMのローレベル期間にはトランジスタ1aをオンとし、トランジスタ1bをオフとするように、逆に、パルス幅変調信号PWMのハイレベル期間には、トランジスタ1aをオフとし、トランジスタ1bをオンとするように、トランジスタ1a、1bのオン/オフ制御信号を生成する。

30

【0082】

上記の出力帰還制御により、トランジスタ1aは、帰還電圧 $V_{fb}$ が目標電圧 $V_{tg}$ と一致するように、言い換えれば、出力電圧 $V_{out}$ が所望の目標設定値と一致するようにスイッチング制御されることになる。

【0083】

また、トランジスタ1aとは相補的にトランジスタ1bの開閉制御が行われるので、軽負荷時や無負荷時にスイッチ電流 $I_{sw}$ が低下して、スイッチ電圧 $V_{sw}$ にリングングノイズが生じる状態（いわゆる電流不連続モード）に陥った場合でも、そのリングングノイズをトランジスタ1b経由でグランド端子GNDに逃がすことが可能となる。すなわち、トランジスタ1aのオフ時には、トランジスタ1bを介してスイッチ電圧 $V_{sw}$ をローレベル（0V）まで引き下げ、ブートストラップ端子BSTとスイッチ端子SWとの間に接続された容量C2を十分に充電することができるので、続くトランジスタ1aのオン時には、ブースト電圧 $V_{bst}$ を所望の電圧レベル（入力電圧 $V_{in}$ よりも高い電圧レベル）まで確実に引き上げることが可能となり、延いては、トランジスタ1aの誤動作（オン不能）を回避して、安定した降圧動作を実現することが可能となる。

40

【0084】

次に、過電流保護回路17の構成、及び、その基本動作（過電流検出信号OCPの生成動作）について、図3を参照しながら、詳細に説明する。

【0085】

図3は、過電流保護回路17の一構成例を示す回路ブロック図である。

50

## 【 0 0 8 6 】

図 2 に示す通り、過電流保護回路 1 7 は、閾値電圧  $V_{th}$  を生成する閾値電圧生成部 1 7 1 と、トランジスタ 1 a の一端から引き出されるスイッチ電圧  $V_{sw}$  と閾値電圧  $V_{th}$  とを比較して過電流検出信号  $OC P$  を生成するコンパレータ 1 7 2 と、スイッチ端子  $S W$  とコンパレータ 1 7 2 の反転入力端 ( - ) との間に接続され、トランジスタ 1 a と同期して開閉制御されるスイッチ 1 7 3 と、スイッチ 1 7 3 のオフ時にコンパレータ 1 7 2 の反転入力端 ( - ) を入力端子  $V_{IN}$  にプルアップする抵抗 1 7 4 と、を有する。

## 【 0 0 8 7 】

上記構成から成る過電流保護回路 1 7 において、スイッチ 1 7 3 は、トランジスタ 1 a がオンされているときにオンとされ、オフされているときにオフとされる。従って、コンパレータ 1 7 2 の反転入力端 ( - ) に印加されるスイッチ電圧  $V_{sw}'$  は、トランジスタ 1 a のオン時にはスイッチ電圧  $V_{sw}$  と一致し、トランジスタ 1 a のオフ時には、入力電圧  $V_{in}$  となる。

10

## 【 0 0 8 8 】

ここで、トランジスタ 1 a のオン時に得られるスイッチ電圧  $V_{sw}$  は、入力電圧  $V_{in}$  から、トランジスタ 1 a のオン抵抗  $R_{on}$  とこれに流れるスイッチ電流  $I_{sw}$  との積算値を差し引いた電圧値 (  $V_{in} - R_{on} \times I_{sw}$  ) となるので、トランジスタ 1 a のオン抵抗  $R_{on}$  を一定値とみなせば、その電圧値はスイッチ電流  $I_{sw}$  が大きいほど低下することになる。

## 【 0 0 8 9 】

従って、コンパレータ 1 7 2 において、反転入力端 ( - ) に印加されるスイッチ電圧  $V_{sw}'$  と、非反転入力端 ( + ) に印加される閾値電圧  $V_{th}$  を比較することにより、過電流の検出を行うことが可能となる。なお、本構成例の過電流保護回路 1 7 では、スイッチ電圧  $V_{sw}'$  が閾値電圧  $V_{th}$  よりも高ければ、過電流検出信号  $OC P$  はローレベル ( 正常状態を示す論理 ) となり、逆に、スイッチ電圧  $V_{sw}'$  が閾値電圧  $V_{th}$  よりも低ければ、過電流検出信号  $OC P$  はハイレベル ( 過電流状態を示す論理 ) となる。

20

## 【 0 0 9 0 】

なお、過電流検出信号  $OC P$  が過電流状態を示す論理 ( ハイレベル ) に遷移された時点で、駆動制御回路 4 は、トランジスタ 1 a、1 b のスイッチング駆動を停止して、スイッチング電源  $IC 100$  をシャットダウンする。また、ソフトスタート制御回路 6 は、電源装置 A の再起動に備えて、容量  $C 5$  の放電を行う。

30

## 【 0 0 9 1 】

このように、スイッチ電圧  $V_{sw}$  ( スイッチ電圧  $V_{sw}'$  ) と閾値電圧  $V_{th}$  とを比較して過電流検出信号  $OC P$  を生成する過電流検出回路 1 7 であれば、過電流の検出手段として出力電圧  $V_{out}$  の供給経路上にセンス抵抗を挿入する必要がないため、コストダウンや出力効率の向上を実現することが可能となる。

## 【 0 0 9 2 】

次に、過電流検出信号  $OC P$  に基づく過電流保護動作について、図 4 及び図 5 を参照しながら詳細に説明する。図 4 は、駆動制御回路 4 とソフトスタート制御回路 6 の第 1 構成例を示す回路ブロック図である。また、図 5 は、過電流保護動作を説明するための波形図であり、上から順に、コイル電流  $I_L$ 、過電流検出信号  $OC P$ 、ソフトスタート電圧  $V_{ss}$ 、帰還電圧  $V_{fb}$ 、及び、誤差電圧  $V_{err}$  が描写されている。なお、図 5 には、過電流保護回路 1 7 の監視対象電流として、コイル  $L 1$  に流れるコイル電流  $I_L$  が描写されているが、過電流保護回路 1 7 の構成については、スイッチ電流  $I_{sw}$  を監視することで、コイル電流  $I_L$  を間接的に監視する構成 ( 先述の構成 ) としてもよいし、コイル電流  $I_L$  を直接的に監視する構成 ( 例えば、コイル電流  $I_L$  をセンス抵抗によって電圧信号に変換し、これを所定の閾値電圧と比較する構成 ) としてもよい。

40

## 【 0 0 9 3 】

図 4 に示す通り、第 1 構成例の駆動制御回路 2 0 4 は、 $S R$  フリップフロップ 4 1 と、論理和演算器 4 2 と、を有する。

50



## 【 0 0 9 4 】

S Rフリップフロップ41のセット入力端(S)は、クロック信号CLKの印加端に接続されている。S Rフリップフロップ41のリセット入力端(R)は、論理和演算器42の出力端に接続されている。S Rフリップフロップ41の出力端(Q)と反転出力端(QB)からは、それぞれトランジスタ1a及び1bのオン/オフ制御信号が出力される。ただし、貫通電流防止の観点からトランジスタ1a、1bのオン/オフ遷移タイミングには所定の遅延を与えておく必要があるため、S Rフリップフロップ41の上記出力信号は、それぞれ、同時オン防止回路(不図示)を介して後段のレベルシフタ3a、3bに送出される。

## 【 0 0 9 5 】

論理和演算器42の第1入力端は、PWMコンパレータ9の出力端(パルス幅変調信号PWMの印加端)に接続されている。論理和演算器42の第2入力端は、過電流防止回路17の出力端(過電流検出信号OCPの印加端)に接続されている。従って、論理和演算器42は、パルス幅変調信号PWMと過電流検出信号OCPとの論理和信号をパルス幅変調信号PWMに代えてS Rフリップフロップ41のリセット入力端(R)に供給する。

## 【 0 0 9 6 】

また、図4に示す通り、第1構成例のソフトスタート制御回路6は、充電電流I1を生成する定電流源61と、放電電流I2を生成する定電流源62と、を有する。定電流源61の第1端は、基準電圧Vrefの印加端に接続されている。定電流源61の第2端と、定電流源62の第1端は、いずれもソフトスタート端子SSを介して容量C5に接続される一方、トランジスタ7のベースにも接続されている。定電流源62の第2端は、グランド端子GNDに接続されている。また、定電流源62のオン/オフ制御端は、過電流防止回路17の出力端(過電流検出信号OCPの印加端)に接続されている。

## 【 0 0 9 7 】

上記構成から成る電源装置において、過電流保護回路17は、コイル電流ILが所定の過電流検出値Iocpに達したことを検出したときに、過電流検出信号OCPをローレベル(正常時論理レベル)からハイレベル(異常時論理レベル)に立ち上げる。

## 【 0 0 9 8 】

従って、コイル電流ILが過電流状態となり、過電流検出信号OCPがハイレベル(異常時論理レベル)に立ち上げられると、駆動制御回路4は、パルス幅変調信号PWMに依ることなく、トランジスタ1aのオン/オフ制御信号をローレベルにリセットする。その結果、トランジスタ1aが強制的にオフされてコイル電流ILが遮断される。

## 【 0 0 9 9 】

なお、上記の過電流保護動作によってコイル電流ILが遮断されると、過電流検出信号OCPは再びローレベル(正常時論理レベル)に立ち下がるため、その後クロック信号CLKがハイレベルに立ち上がると、駆動制御回路4は、トランジスタ1aのオン/オフ制御信号をハイレベルにセットし直し、トランジスタ1aは再びオンされる。ただし、その時点でコイル電流ILの過電流状態が解消されていなければ、上記と同様の過電流保護動作が発動するので、トランジスタ1aは強制的にオフされてコイル電流ILが再遮断される。

## 【 0 1 0 0 】

このように、上記構成から成る電源装置では、コイル電流ILの過電流防止動作として過電流検出信号OCPによる強制リセット動作と、クロック信号CLKによるセット動作(自己復帰動作)を繰り返す方式、いわゆるパルスバイパルス方式が採用されている。

## 【 0 1 0 1 】

また、上記構成から成る電源装置では、コイル電流ILが過電流状態となり、過電流検出信号OCPがハイレベル(異常時論理レベル)に立ち上げられると、ソフトスタート制御回路6の定電流源62がオンされ、容量C5に蓄えられていた電荷の放電が行われる。

## 【 0 1 0 2 】

すなわち、上記構成から成る電源装置は、コイル電流ILが過電流状態となった場合、

10

20

30

40

50

パルスバイパルス方式の過電流防止動作を行いつつ、これと同時にソフトスタート制御回路6をリセットする構成とされている。

【0103】

このような構成とすることにより、コイル電流 $I_L$ が所定の過電流検出値 $I_{ocp}$ に達した時点で、パルスバイパルス方式の過電流保護動作によって、即座にトランジスタ1aをオフすることができるので、コイル電流 $I_L$ が過電流検出値 $I_{ocp}$ を上回ることではなく、高い過電流抑制効果を奏することが可能となる。また、コイル電流 $I_L$ の過電流状態が解消した時点で、出力電圧 $V_{out}$ （及びこれに応じた帰還電圧 $V_{fb}$ ）がその目標値から大幅に低下していた場合であっても、誤差電圧 $V_{err}$ は、ソフトスタート電圧 $V_{ss}$ （容量 $C_5$ の充電電圧）に応じた上限値にクランプされているので、パルス幅変調信号PWMのオンデューティを抑えて、出力電圧 $V_{out}$ を緩やかに立ち上げることも可能となり、延いては、過電流保護動作からの復帰時における出力電圧 $V_{out}$ のオーバーシュートを解消することが可能となる。

10

【0104】

従って、上記構成から成る電源装置であれば、パルスバイパルス方式とソフトスタートリセット方式の双方のメリットを最大限に活かすとともに、双方のデメリットを互いに補完することができるので、過電流の確実な抑制と復帰時のオーバーシュート防止を両立させることが可能となる。

【0105】

また、ここで重要なことは、ソフトスタート制御回路6のリセットに際して、容量 $C_5$ に蓄えられている全ての電荷が直ちに放電されるのではなく、パルスバイパルス方式の過電流保護動作が行われている間に、ソフトスタート電圧 $V_{ss}$ が段階的に引き下げられ、誤差電圧 $V_{err}$ が徐々に低下されるように、充電電流 $I_1$ と放電電流 $I_2$ の比率が設定されている点にある。

20

【0106】

図5に示したように、パルスバイパルス方式の過電流保護動作が行われている間、出力電圧 $V_{out}$ に応じた帰還電圧 $V_{fb}$ は、目標電圧 $V_{tg}$ よりも低い状態となるため、誤差増幅器5は、より高い誤差電圧 $V_{err}$ を出力しようとする。しかしながら、誤差電圧 $V_{err}$ は、段階的に引き下げられていくソフトスタート電圧 $V_{ss}$ に応じた上限値にクランプされているので、この時点でコイル電流 $I_L$ の過電流状態が解消され、トランジスタ1aのスイッチング動作が復帰されたとしても、出力電圧 $V_{out}$ のオーバーシュートを十分に抑制することができる。

30

【0107】

また、ノイズの重畳やUSB機器Cのホットプラグ動作（電子機器に電源が投入されている状態下でUSB機器Cを外部接続する動作）などに起因して、過渡的にコイル電流 $I_L$ が過電流状態となった場合、その過電流状態は速やかに解消されるため、容量 $C_5$ に蓄えられている全ての電荷が放電されることはなく、ソフトスタート電圧 $V_{ss}$ がゼロ値まで下がり切ることはない。従って、過電流保護動作からの復帰時にソフトスタート制御が一からやり直されることはないので、出力電圧 $V_{out}$ の大幅な低下が生じず、電子機器の動作に支障を来さずに済む。もちろん、過渡的にコイル電流 $I_L$ が過電流状態となった場合でも、パルスバイパルス方式の過電流保護動作は速やかに発動するため、コイル電流 $I_L$ が所定の過電流設定値 $I_{ocp}$ を上回ることではなく、高い過電流抑制効果を奏することが可能である。

40

【0108】

一方、コイル電流 $I_L$ の過電流状態が解消されず、パルスバイパルス方式の過電流保護動作が長期間に及ぶと、容量 $C_5$ に蓄えられていた電荷が完全に放電されるので、それ以後にコイル電流 $I_L$ の過電流状態が解消された場合には、電源装置Aの起動時と同様のソフトスタート制御が行われる。

【0109】

なお、上記の実施形態では、入力電圧 $V_{in}$ を降圧して出力電圧 $V_{out}$ を生成するス

50

イッチングレギュレータに本発明を適用した構成を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、その出力段として昇圧型や昇降圧型を採用しても構わない。

【0110】

また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【0111】

例えば、上記実施形態では、誤差電圧  $V_{err}$  をソフトスタート電圧  $V_{ss}$  に応じた上限値にクランプする構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、図6に示すように、ソフトスタート電圧  $V_{ss}$  を誤差増幅器5の第2非反転入力端(+)に入力し、誤差増幅器5では、帰還電圧  $V_{fb}$  とソフトスタート電圧  $V_{ss}$  のより低い方と、所定の目標電圧  $V_{tg}$  との差分増幅を行う構成としてもよい。

【0112】

<第2の技術的特徴>

以下で開示する第2の技術的特徴は、レベルシフト回路に関するものであり、例えば、図2のレベルシフト3a及び3bに適用される技術である。

【0113】

図13は、レベルシフト回路の一従来例を示す回路図である。従来のレベルシフト回路X3は、第1電源電位LVと接地電位GNDとの間でパルス駆動される入力信号INを入力とし、これを第1電源電位LVよりも高い第2電源電位HVと接地電位GNDとの間でパルス駆動される出力信号OUTに変換して出力するものであって、第1のPチャンネル型MOS [Metal Oxide Semiconductor] 電界効果トランジスタP31と、第2のPチャンネル型MOS 電界効果トランジスタP32と、第1のNチャンネル型MOS 電界効果トランジスタN31と、第2のNチャンネル型MOS 電界効果トランジスタN32と、インバータINV3と、を有して成る。

【0114】

トランジスタP31、P32のソースとバックゲートは、いずれも第2電源電位HVの印加端に接続されている。トランジスタP31のドレインは、トランジスタP32のゲートとトランジスタN31のドレインに接続されている。トランジスタP32のドレインはトランジスタP31のゲートと、トランジスタN32のドレインと、出力信号OUTの出力端に接続されている。トランジスタN31、N32のソースとバックゲートは、いずれも接地端に接続されている。トランジスタN31のゲートは、入力信号INの入力端に接続されている。トランジスタN32のゲートは、インバータINV3の出力端(反転入力信号INBの入力端)に接続されている。インバータINV3の入力端は、入力信号INの入力端に接続されている。インバータINV3の正電源端は、第1電源電位LVの印加端に接続されている。インバータINV3の負電源端は、接地端に接続されている。

【0115】

ところで、従来のレベルシフト回路X3では、第1電源電位LVと第2電源電位HVとの差が大きくなるほど、トランジスタP31、P32のオン抵抗値と、トランジスタN31、N32のオン抵抗値との相対的な較差が大きくなり、出力信号OUTの論理レベルを正常に切り換えることができなくなる、という課題があった。

【0116】

上記の課題について、第1電源電位LVを3.3V、第2電源電位HVを10Vと仮定して、より具体的に説明する。この場合、トランジスタN31、N32をオンするときには、そのゲート・ソース間に3.3Vの電位差が与えられることになり、トランジスタP31、P32をオンするときには、そのゲート・ソース間に10Vの電位差が与えられることになる。すなわち、トランジスタP31、P32をオンするとき、そのゲート・ソ

10

20

30

40

50

ース間に印加される電位差は、トランジスタN31、N32をオンするときに、そのゲート・ソース間に印加される電位差の3倍となる。従って、トランジスタN31、N32のオン抵抗値に比べて、トランジスタP31、P32のオン抵抗値は相対的に小さくなる。

【0117】

次に、トランジスタP31、P32のオン抵抗値とトランジスタN31、N32のオン抵抗値との間に相対的な較差が生じている状態で、入力信号INがローレベル（接地電位GND）からハイレベル（第1電源電位LV）に立ち上げられた場合について考察する。

【0118】

入力信号INがローレベル（接地電位GND）とされているとき、トランジスタN31はオフ状態とされており、トランジスタN32はオン状態とされている。このとき、トランジスタP31のゲート電位は、トランジスタN32を介してローレベル（接地電位GND）まで引き下げられているので、トランジスタP31はオン状態とされている。また、このとき、トランジスタP32のゲート電位は、トランジスタP31を介してハイレベル（第2電源電位HV）まで引き上げられているので、トランジスタP32はオフ状態とされている。その結果、出力信号OUTはローレベル（接地電位GND）とされている。

【0119】

一方、入力信号INがローレベル（接地電位GND）からハイレベル（第1電源電位LV）に立ち上げられたときには、トランジスタN31がオフ状態からオン状態に切り換えられ、トランジスタN32がオン状態からオフ状態に切り換えられる。

【0120】

このとき、トランジスタP31のオン抵抗値とトランジスタN31のオン抵抗値との相対的な較差が小さければ、トランジスタP32のゲート電位は、トランジスタN31を介してハイレベル（第2電源電位HV）からローレベル（接地電位GND）まで引き下げられるので、トランジスタP32がオフ状態からオン状態に切り換えられる。また、このとき、トランジスタP31のゲート電位は、トランジスタP32を介してローレベル（接地電位GND）からハイレベル（第2電源電位HV）まで引き上げられるので、トランジスタP31はオン状態からオフ状態に切り換えられる。その結果、出力信号OUTはローレベル（接地電位GND）からハイレベル（接地電位GND）に立ち上げられる。

【0121】

しかしながら、トランジスタP31のオン抵抗値とトランジスタN31のオン抵抗値との相対的な較差が大きい場合には、トランジスタN31を介してトランジスタP32のゲート電位をローレベル（接地電位GND）に引き下げる能力よりも、トランジスタP31を介してトランジスタP32のゲート電位をハイレベル（第2電源電位HV）に引き上げておく能力の方が強くなる。そのため、トランジスタN31をオフ状態からオン状態に切り換えたにも関わらず、トランジスタP32のゲート電位を十分に引き下げることができなくなるので、トランジスタP32のオン/オフ状態を正常に切り換えることが不可能となり、延いては、出力信号OUTの論理レベルを正常に切り換えることが不可能となるおそれがあった。

【0122】

なお、上記とは逆に、入力信号INがハイレベル（第1電源電位LV）からローレベル（接地電位GND）に立ち下げられるときには、トランジスタP32のオン抵抗値とトランジスタN32のオン抵抗値との相対的な較差が問題となる。

【0123】

そこで、従来のレベルシフト回路X3では、トランジスタP31、P32のオン抵抗値とトランジスタN31、N32のオン抵抗値との相対的な較差を是正すべく、トランジスタN31、N32の素子サイズをトランジスタP31、P32の素子サイズよりも大きく設計することにより、トランジスタN31、N32のオン抵抗値をトランジスタP31、P32のオン抵抗値と同程度まで引き下げる構成が採用されていた。例えば、第1電源電位LVを3.3V、第2電源電位HVを10Vと仮定した場合、トランジスタN31、N32の素子サイズは、トランジスタP31、P32の素子サイズよりも5倍以上大きく設

10

20

30

40

50

計されていた。

【0124】

しかしながら、上記従来の解決策では、第1電源電位LVと第2電源電位HVの差が大きくなるほど、トランジスタN31、N32の素子サイズを拡大しなければならず、回路規模の小型化を図る上で不利であった。

【0125】

また、従来のレベルシフト回路X3では、入力信号INの論理レベルが切り替わる度にトランジスタP31とトランジスタN31、或いは、トランジスタP32とトランジスタN32の同時オンが不可避免的に生じるため、第2電源電位HVの印加端から接地端に向けた貫通電流が断続的に流れる。

10

【0126】

しかしながら、従来のレベルシフト回路X3では、先述の通り、トランジスタN31、N32のオン抵抗値をトランジスタP31、P32のオン抵抗値と同程度まで引き下げることで双方のバランスを取る構成が採用されていたので、入力信号INの論理レベルが切り換わる度に、非常に大きな貫通電流が何ら抑制されることなく流れ続ける結果となり、省電力化を図る上で不利であった。

【0127】

そこで、以下で開示する第2の技術的特徴は、本願の発明者が見出した上記の問題点に鑑み、回路規模の小型化と省電力化を共に実現することが可能なレベルシフト回路を提供することを目的とする。

20

【0128】

まず、本発明に係るレベルシフト回路の第1実施形態について、図11を参照しながら詳細に説明する。図11は、本発明に係るレベルシフト回路の第1実施形態を示す回路図である。本実施形態のレベルシフト回路X1は、第1電源電位LVと接地電位GNDとの間でパルス駆動される入力信号INを入力とし、これを第1電源電位LVよりも高い第2電源電位HVと接地電位GNDとの間でパルス駆動される出力信号OUTに変換して出力するものであって、第1のPチャンネル型MOS電界効果トランジスタP11と、第2のPチャンネル型MOS電界効果トランジスタP12と、第1のNチャンネル型MOS電界効果トランジスタN11と、第2のNチャンネル型MOS電界効果トランジスタN12と、インバータINV1と、第1の抵抗R11と、第2の抵抗R12と、を有して成る。

30

【0129】

トランジスタP11、P12のソースとバックゲートは、いずれも第2電源電位HVの印加端に接続されている。トランジスタN11、N12のソースとバックゲートは、いずれも接地端に接続されている。トランジスタN11のゲートは、入力信号INの入力端に接続されている。トランジスタN12のゲートは、インバータINV1の出力端（反転入力信号INBの入力端）に接続されている。インバータINV1の入力端は、入力信号INの入力端に接続されている。インバータINV1の正電源端は、第1電源電位LVの印加端に接続されている。インバータINV1の負電源端は、接地端に接続されている。抵抗R11の一端は、トランジスタP11のドレインに接続されている。抵抗R11の他端は、トランジスタP12のゲートとトランジスタN11のドレインに接続されている。抵抗R12の一端は、トランジスタP12のドレインに接続されている。抵抗R12の他端は、トランジスタP11のゲートと、トランジスタN12のドレインと、出力信号OUTの出力端に接続されている。

40

【0130】

上記構成から成るレベルシフト回路X1において、入力信号INがローレベル（接地電位GND）とされているとき、トランジスタN11はオフ状態とされており、トランジスタN12はオン状態とされている。このとき、トランジスタP11のゲート電位は、トランジスタN12を介してローレベル（接地電位GND）まで引き下げられているので、トランジスタP11はオン状態とされている。また、このとき、トランジスタP12のゲート電位は、トランジスタP11を介してハイレベル（第2電源電位HV）まで引き上げら

50

れているので、トランジスタ P 1 2 はオフ状態とされている。その結果、出力信号 O U T はローレベル（接地電位 G N D ）とされている。

【 0 1 3 1 】

一方、入力信号 I N がローレベル（接地電位 G N D ）からハイレベル（第 1 電源電位 L V ）に立ち上げられたときには、トランジスタ N 1 1 がオフ状態からオン状態に切り換えられ、トランジスタ N 1 2 がオン状態からオフ状態に切り換えられる。

【 0 1 3 2 】

このとき、トランジスタ P 1 1 のオン抵抗値とトランジスタ N 1 1 のオン抵抗値との相対的な較差が問題となるが、本実施形態のレベルシフト回路 X 1 では、トランジスタ P 1 1 のオン抵抗値とトランジスタ N 1 1 のオン抵抗値との相対的な較差を是正するために、トランジスタ P 1 1 のドレインに抵抗 R 1 1 （例えば 1 0 k ）を付加し、トランジスタ P 1 1 の見かけ上のオン抵抗値をトランジスタ N 1 1 のオン抵抗値と同程度まで引き上げる構成が採用されている。このような構成は、トランジスタ N 1 1 の素子サイズを大きく設計し、トランジスタ N 1 1 のオン抵抗値をトランジスタ P 1 1 のオン抵抗値と同程度まで引き下げていた従来構成とは真逆の発想であると言える。

10

【 0 1 3 3 】

このような構成を採用したことにより、トランジスタ P 1 1 のオン抵抗値とトランジスタ N 1 1 のオン抵抗値との相対的な較差は小さくなる。従って、トランジスタ P 1 2 のゲート電位は、トランジスタ N 1 1 を介して、ハイレベル（第 2 電源電位 H V ）からローレベル（接地電位 G N D ）まで引き下げられるので、トランジスタ P 1 2 がオフ状態からオン状態に切り換えられる。また、このとき、トランジスタ P 1 1 のゲート電位は、トランジスタ P 1 2 を介して、ローレベル（接地電位 G N D ）からハイレベル（第 2 電源電位 H V ）まで引き上げられるので、トランジスタ P 1 1 はオン状態からオフ状態に切り換えられる。その結果、出力信号 O U T はローレベル（接地電位 G N D ）からハイレベル（第 2 電源電位 H V ）に立ち上げられる。

20

【 0 1 3 4 】

また、上記とは逆に、入力信号 I N がハイレベル（第 1 電源電位 L V ）からローレベル（接地電位 G N D ）に立ち下げられるときには、トランジスタ P 1 2 のオン抵抗値とトランジスタ N 1 2 のオン抵抗値との相対的な較差が問題となるが、これについても、本実施形態のレベルシフト回路 X 1 では、トランジスタ P 1 2 のオン抵抗値とトランジスタ N 1 2 のオン抵抗値との相対的な較差を是正する手段として、トランジスタ P 1 2 のドレインに抵抗 R 1 2 （例えば 1 0 k ）を付加し、トランジスタ P 1 2 の見かけ上のオン抵抗値をトランジスタ N 1 2 のオン抵抗値と同程度まで引き上げる構成が採用されている。

30

【 0 1 3 5 】

このような構成とすることにより、トランジスタ P 1 1 、 P 1 2 のオン抵抗値とトランジスタ N 1 1 、 N 1 2 のオン抵抗値との較差を是正するに際して、トランジスタ N 1 1 、 N 1 2 の素子サイズを不要に拡大する必要がなくなるので、回路規模の小型化を図る上で有利である。

【 0 1 3 6 】

また、本実施形態のレベルシフト回路 X 1 では、従来構成と同様、入力信号 I N の論理レベルが切り替わる度に、トランジスタ P 1 1 とトランジスタ N 1 1 、或いは、トランジスタ P 1 2 とトランジスタ N 1 2 の同時オンが不可避免的に生じるため、第 2 電源電位 H V の印加端から接地端に向けた貫通電流が断続的に流れる。

40

【 0 1 3 7 】

しかしながら、本実施形態のレベルシフト回路 X 1 であれば、先述の通り、トランジスタ P 1 1 、 P 1 2 の見かけ上のオン抵抗値をトランジスタ N 1 1 、 N 1 2 のオン抵抗値と同程度まで引き上げることで、双方のバランスを取る構成が採用されているので、貫通電流を効果的に抑制することが可能となり、省電力化を図る上でも有利である。

【 0 1 3 8 】

次に、本発明に係るレベルシフト回路の第 2 実施形態について、図 1 2 を参照しながら

50

詳細に説明する。図12は、本発明に係るレベルシフト回路の第2実施形態を示す回路図である。本実施形態のレベルシフト回路X2は、第2電源電位HVと接地電位GNDとの間でパルス駆動される入力信号INを入力とし、これを第2電源電位HVよりも低い第1電源電位LVと接地電位GNDとの間でパルス駆動される出力信号OUTに変換して出力するものであって、第1のPチャンネル型MOS電界効果トランジスタP21と、第2のPチャンネル型MOS電界効果トランジスタP22と、第1のNチャンネル型MOS電界効果トランジスタN21と、第2のNチャンネル型MOS電界効果トランジスタN22と、インバータINV2と、第1の抵抗R21と、第2の抵抗R22と、を有して成る。

**【0139】**

トランジスタN21、N22のソースとバックゲートは、いずれも接地端に接続されている。トランジスタP21、P22のソースとバックゲートは、いずれも第1電源電位LVの印加端に接続されている。トランジスタP21のゲートは、入力信号INの入力に接続されている。トランジスタP22のゲートは、インバータINV2の出力端（反転入力信号INBの入力端）に接続されている。インバータINV2の入力端は、入力信号INの入力端に接続されている。インバータINV2の正電源端は、第2電源電位HVの印加端に接続されている。インバータINV2の負電源端は、接地端に接続されている。抵抗R21の一端は、トランジスタN21のドレインに接続されている。抵抗R21の他端はトランジスタN22のゲートとトランジスタP21のドレインに接続されている。抵抗R22の一端は、トランジスタN22のドレインに接続されている。抵抗R22の他端は、トランジスタN21のゲートと、トランジスタP22のドレインと、出力信号OUTの出力端に接続されている。

10

20

**【0140】**

上記構成から成るレベルシフト回路X2において、入力信号INがローレベル（接地電位GND）とされているとき、トランジスタP21はオン状態とされており、トランジスタP22はオフ状態とされている。このとき、トランジスタN22のゲート電位は、トランジスタP21を介してハイレベル（第1電源電位LV）まで引き上げられているので、トランジスタN22はオン状態とされている。また、このとき、トランジスタN21のゲート電位は、トランジスタN22を介してローレベル（接地電位GND）まで引き下げられているので、トランジスタN21はオフ状態とされている。その結果、出力信号OUTはローレベル（接地電位GND）とされている。

30

**【0141】**

一方、入力信号INがローレベル（接地電位GND）からハイレベル（第2電源電位HV）に立ち上げられたときには、トランジスタP21がオン状態からオフ状態に切り換えられ、トランジスタP22がオフ状態からオン状態に切り換えられる。

**【0142】**

このとき、トランジスタP22のオン抵抗値とトランジスタN22のオン抵抗値との相対的な較差が問題となるが、本実施形態のレベルシフト回路X2では、トランジスタP22のオン抵抗値とトランジスタN22のオン抵抗値との相対的な較差を是正する手段として、トランジスタN22のドレインに抵抗R22（例えば10k $\Omega$ ）を付加し、トランジスタN22の見かけ上のオン抵抗値をトランジスタP22のオン抵抗値と同程度まで引き上げる構成が採用されている。

40

**【0143】**

このような構成を採用したことにより、トランジスタP22のオン抵抗値とトランジスタN22のオン抵抗値との相対的な較差は小さくなる。従って、トランジスタN21のゲート電位は、トランジスタP22を介して、ローレベル（接地電位GND）からハイレベル（第1電源電位LV）まで引き上げられるので、トランジスタN21がオフ状態からオン状態に切り換えられる。また、このとき、トランジスタN22のゲート電位は、トランジスタN21を介して、ハイレベル（第1電源電位LV）からローレベル（接地電位GND）まで引き下げられるので、トランジスタN22はオン状態からオフ状態に切り換えられる。その結果、出力信号OUTはローレベル（接地電位GND）からハイレベル（第1

50

電源電位  $L V$  ) に立ち上げられる。

【 0 1 4 4 】

また、上記とは逆に、入力信号  $I N$  がハイレベル ( 第 2 電源電位  $H V$  ) からローレベル ( 接地電位  $G N D$  ) に立ち下げられるときには、トランジスタ  $P 2 1$  のオン抵抗値とトランジスタ  $N 2 1$  のオン抵抗値との相対的な較差が問題となるが、これについても、本実施形態のレベルシフト回路  $X 2$  では、トランジスタ  $P 2 1$  のオン抵抗値とトランジスタ  $N 2 1$  のオン抵抗値との相対的な較差を是正する手段として、トランジスタ  $N 2 1$  のドレインに抵抗  $R 2 1$  ( 例えば  $10 k$  ) を付加し、トランジスタ  $N 2 1$  の見かけ上のオン抵抗値をトランジスタ  $P 2 1$  のオン抵抗値と同程度まで引き上げる構成が採用されている。

【 0 1 4 5 】

このような構成とすることにより、トランジスタ  $P 2 1$ 、 $P 2 2$  のオン抵抗値とトランジスタ  $N 2 1$ 、 $N 2 2$  のオン抵抗値との較差を是正するに際して、トランジスタ  $P 2 1$ 、 $P 2 2$  の素子サイズを不要に拡大する必要がなくなるので、回路規模の小型化を図る上で有利である。

【 0 1 4 6 】

また、本実施形態のレベルシフト回路  $X 2$  では、従来構成と同様、入力信号  $I N$  の論理レベルが切り替わる度に、トランジスタ  $P 2 1$  とトランジスタ  $N 2 1$ 、或いは、トランジスタ  $P 2 2$  とトランジスタ  $N 2 2$  の同時オンが不可避免的に生じるため、第 1 電源電位  $L V$  の印加端から接地端に向けた貫通電流が断続的に流れる。

【 0 1 4 7 】

しかしながら、本実施形態のレベルシフト回路  $X 2$  であれば、先述の通り、トランジスタ  $N 2 1$ 、 $N 2 2$  の見かけ上のオン抵抗値をトランジスタ  $P 2 1$ 、 $P 2 2$  のオン抵抗値と同程度まで引き上げることで、双方のバランスを取る構成が採用されているので、貫通電流を効果的に抑制することが可能となり、省電力化を図る上でも有利である。

【 0 1 4 8 】

なお、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【 0 1 4 9 】

< 第 3 の技術的特徴 >

以下で開示する第 3 の技術的特徴は、閾値電圧生成回路、並びに、これを用いた過電流保護回路、スイッチ駆動装置、及び、電源装置に関するものであり、例えば、図 2 の過電流保護回路 17 に適用される技術である。

【 0 1 5 0 】

図 19 は、過電流保護回路の一従来例を示す回路図である。図 19 に示されている従来例の過電流保護回路は、同期整流方式の降圧型スイッチングレギュレータの一部として機能する半導体装置  $Y 1 0 0$  (  $D C / D C$  コントローラ  $I C$  ) に内蔵されており、半導体装置  $Y 1 0 0$  に外付けされているトランジスタ  $N 2$  のドレインから引き出されるパルス状のスイッチ電圧  $V s w$  ( より正確には、トランジスタ  $N 2$  のオン時に得られるスイッチ電圧  $V s w$  のローレベル電位のみを抽出した第 2 スwitch 電圧  $V s w 2$  ) と所定の閾値電圧  $V t h$  とを比較して過電流保護信号  $O C P$  を生成する構成とされていた。

【 0 1 5 1 】

しかし、図 19 でも示したように、所定の閾値電圧  $V t h$  を生成する閾値電圧生成回路は一般に、外部端子  $T x$  に外付けされた抵抗  $R x$  に所定の定電流  $I x$  を流し込むことで、所望の閾値電圧  $V x$  (  $= I x \times R x$  ) を生成する構成とされていた。すなわち、半導体装置  $Y 1 0 0$  には、閾値電圧設定用の抵抗  $R x$  を外付けするためだけに専用の外部端子  $T x$  を設ける必要があり、パッケージサイズの小型化を阻害する要因の一つとなっていた。

【 0 1 5 2 】

そこで、以下で開示する第 3 の技術的特徴は、本願の発明者が見出した上記の問題点に鑑み、半導体装置の外部端子数を不要に増大することなく、閾値電圧を任意に設定することが可能な閾値電圧生成回路、並びに、これを用いた過電流保護回路、スイッチ駆動装

10

20

30

40

50



置、及び、電源装置を提供することを目的とする。

【0153】

以下では、同期整流方式の降圧型スイッチングレギュレータを形成するDC/DCコントローラICに内蔵され、過電流保護回路の過電流保護値(閾値電圧 $V_{th}$ )を任意に設定する閾値電圧生成回路として、本発明を適用した構成を例に挙げて詳細な説明を行う。

【0154】

図14は、本発明に係る閾値電圧生成回路を用いた電源装置の一実施形態を示す回路図である。本実施形態の電源装置は、半導体装置1を有するほか、これに外付けされるディスクリット素子として、Nチャネル型MOS[ Metal Oxide Semiconductor ]電界効果トランジスタN1と、Nチャネル型MOS電界効果トランジスタN2と、コイル $L_x$ 1と、コンデンサ $C_x$ 1と、抵抗 $R_x$ 1と、抵抗 $R_x$ 2と、抵抗 $R_x$ と、を有して成る。

10

【0155】

半導体装置Y1は、これに集積された回路ブロックとして、制御回路Y10と、駆動回路Y20と、低電圧保護回路Y30と、過電流保護回路Y40と、を有するほか、外部との電氣的な接続手段として、外部端子T0~T4を有して成るDC/DCコントローラICである。

【0156】

半導体装置Y1の外部において、トランジスタN1のドレインは、入力電圧 $V_{in}$ の入力端に接続されている。トランジスタN1のソースとバックゲートは、コイル $L_x$ 1の一端に接続されている。トランジスタN2のドレインは、コイル $L_x$ 1の一端に接続されている。トランジスタN2のソースとバックゲートは接地されている。コイル $L_x$ 1の他端は、出力電圧 $V_{out}$ の出力端に接続されている。なお、出力電圧 $V_{out}$ の出力端は、負荷Zに接続されている。また、出力電圧 $V_{out}$ の出力端は、コンデンサ $C_x$ 1を介して接地されている。また、出力電圧 $V_{out}$ の出力端は、抵抗 $R_x$ 1と抵抗 $R_x$ 2から成る抵抗分圧回路を介して接地されている。

20

【0157】

また、半導体装置Y1の外部において、外部端子T0は、入力電圧 $V_{in}$ の入力端に接続されている。外部端子T1は、トランジスタN1のゲートに接続されている。外部端子T2は、トランジスタN2のゲートに接続される一方、抵抗 $R_x$ を介して接地端にも接続されている。なお、抵抗 $R_x$ は、半導体装置Y1のシャットダウン時などにトランジスタN1のゲート論理不定を防止する目的で外付けされているブルダウン抵抗であるが、本実施形態の過電流保護回路Y40では、この抵抗 $R_x$ を過電流保護値(閾値電圧 $V_{th}$ )の設定用抵抗としても流用している。外部端子T3は、コイル $L_x$ 1の一端に接続されている。外部端子T4は、抵抗 $R_x$ 1と抵抗 $R_x$ 2との接続ノードに接続されている。

30

【0158】

このように、半導体装置Y1は、これに外付けされている素子と共に、入力電圧 $V_{in}$ を降圧して所望の出力電圧 $V_{out}$ を生成し、これを負荷Zに供給する同期整流方式の降圧型スイッチングレギュレータを形成している。

【0159】

制御回路Y10は、外部端子T4を介して入力される帰還電圧 $V_{fb}$ (出力電圧 $V_{out}$ の分圧電圧)に基づいて、トランジスタN1(出力用スイッチ素子)とトランジスタN2(同期整流用スイッチ素子)の駆動制御を行うべく、駆動回路Y20に指示を送る。また、制御回路Y10は、過電流保護回路Y40から入力される設定完了信号S2に基づいて、過電流保護値(閾値電圧 $V_{th}$ )の設定が完了されたことを認識したときに、トランジスタN1及びN2の駆動制御を開始する機能や、同じく過電流保護回路Y40から入力される過電流保護信号S3に基づいて、トランジスタN2に流れるシンク側のスイッチ電流 $I_{sw}$ が過電流状態であることを認識したときに、トランジスタN1及びN2の駆動を強制的に停止させる機能も備えている。

40

【0160】

駆動回路Y20は、制御回路Y10の指示に基づいて、トランジスタN1、N2の駆動

50

信号（ゲート電圧 $V_{G1}$ 、 $V_{G2}$ ）を生成する。ゲート電圧 $V_{G1}$ は、外部端子 $T1$ を介してトランジスタ $N1$ のゲートに印加され、ゲート電圧 $V_{G2}$ は、外部端子 $T2$ を介してトランジスタ $N2$ のゲートに印加される。なお、トランジスタ $N1$ をオンする際には、スイッチ電圧 $V_{sw}$ よりも高いゲート電圧 $V_{G1}$ が必要となる。図14では、このようなゲート電圧 $V_{G1}$ の生成手段が明示されていないが、例えば、公知のブートストラップ回路を用いることにより、所望のゲート電圧 $V_{G1}$ を生成することが可能である。

#### 【0161】

図15は、制御回路 $Y10$ 及び駆動回路 $Y20$ の一構成例を示す回路図である。本構成例の制御回路 $Y10$ は、エラーアンプ $Y11$ と、コンパレータ $Y12$ と、論理和演算器 $Y13$ と、スロープ生成部 $Y14$ と、クロック生成部 $Y15$ と、リセット優先型のRSフリップフロップ $Y16$ とを有して成る。また、駆動回路 $Y20$ は、ドライバ $Y21$ とドライバ $Y22$ を有して成る。

10

#### 【0162】

エラーアンプ $Y11$ の非反転入力端（+）は、参照電圧 $V_{ref}$ の入力端に接続されている。エラーアンプ $Y11$ の反転入力端（-）は、帰還電圧 $V_{fb}$ （出力電圧 $V_{out}$ の分圧電圧）の入力端に接続されている。コンパレータ $Y12$ の反転入力端（-）は、エラーアンプ $Y11$ の出力端に接続されている。コンパレータ $Y12$ の非反転入力端（+）は、スロープ生成部 $Y14$ の出力端に接続されている。論理和演算器 $Y13$ の第1入力端は、過電流保護回路 $Y40$ で生成される過電流保護信号 $S3$ の入力端に接続されている。論理和演算器 $Y13$ の第2入力端は、コンパレータ $Y12$ の出力端に接続されている。RSフリップフロップ $Y16$ のリセット端（R）は、論理和演算器 $Y13$ の出力端に接続されている。RSフリップフロップ $Y16$ のセット端（S）は、クロック生成部 $Y15$ の出力端に接続されている。RSフリップフロップ $Y16$ の出力端（Q）は、ドライバ $Y21$ の入力端に接続されている。ドライバ $Y21$ の出力端は、トランジスタ $N1$ のゲートに接続されている。RSフリップフロップ $Y16$ の反転出力端（QB）は、ドライバ $Y22$ の入力端に接続されている。ドライバ $Y22$ の出力端は、トランジスタ $N2$ のゲートに接続されている。

20

#### 【0163】

エラーアンプ $Y11$ は、帰還電圧 $V_{fb}$ と参照電圧 $V_{ref}$ との差分を増幅して誤差電圧 $S_B$ を生成する。誤差電圧 $S_B$ の電圧レベルは、出力電圧 $V_{out}$ がその目標設定値よりも低いほど高レベルとなる。

30

#### 【0164】

コンパレータ $Y12$ は、誤差電圧 $S_B$ とスロープ電圧 $S_C$ とを比較して比較信号 $S_D$ を生成する。比較信号 $S_D$ は、スロープ電圧 $S_C$ が誤差電圧 $S_B$ よりも低いときにローレベルとなり、スロープ電圧 $S_C$ が誤差電圧 $S_B$ よりも高いときにハイレベルとなる。

#### 【0165】

論理和演算器 $Y13$ は、比較信号 $S_D$ と過電流保護信号 $S3$ との論理和演算を行い、RSフリップフロップ $Y16$ のリセット信号を生成する。RSフリップフロップ $Y16$ のリセット信号は、過電流保護信号 $S3$ がローレベルのときには、比較信号 $S_D$ そのものとなり、過電流保護信号 $S3$ がハイレベルのときには、比較信号 $S_D$ の論理に依ることなく、常にハイレベルとなる。なお、過電流保護信号 $S3$ は、RSフリップフロップ $Y16$ の前段に入力される構成のほか、駆動回路 $Y20$ を形成するドライバ $Y21$ 及びドライバ $Y22$ のイネーブル信号として入力される構成（図15中の破線矢印を参照）としてもよい。

40

#### 【0166】

スロープ生成部 $Y14$ は、クロック信号 $S_A$ に同期したスロープ形状（三角波形状ないしは鋸波形状）のスロープ電圧 $S_C$ を生成する。なお、スロープ電圧 $S_C$ の電圧値は、クロック信号 $S_A$ の立上がりエッジをトリガとして上昇を開始し、比較信号 $S_D$ の立上がりエッジをトリガとしてゼロ値にリセットされる。ただし、比較信号 $S_D$ によるスロープ電圧 $S_C$ のリセット処理は必須でなく、クロック信号 $S_A$ の立上がりエッジでスロープ電圧 $S_C$ をゼロ値にリセットする構成としても構わない。

50

## 【 0 1 6 7 】

クロック生成部 Y 1 5 は、所定の周波数（例えば 3 0 0 k H z ~ 1 M H z ）でクロック信号 S A を生成する。なお、クロック生成部 Y 1 5 は、過電流保護回路 Y 4 0 から入力される設定完了信号 S 2 に基づいて、過電流保護値（閾値電圧 V t h ）の設定が完了されたことが認識されたときに、クロック信号 S A の生成動作を開始する機能を備えている。

## 【 0 1 6 8 】

R S フリップフロップ Y 1 6 は、クロック生成部 Y 1 5 から入力されるセット信号（クロック信号 S A ）の立上がりエッジで、出力端（Q）から出力される出力信号をハイレベルにセットし、反転出力端（Q B）から出力される反転出力信号をローレベルにセットする。また、R S フリップフロップ Y 1 6 は、論理和演算器 Y 1 3 から入力されるリセット信号の立上がりエッジで、出力端（Q）から出力される出力信号をローレベルにリセットし、反転出力端（Q B）から出力される反転出力信号をハイレベルにリセットする。

## 【 0 1 6 9 】

ドライバ Y 2 1 は、R S フリップフロップ Y 1 6 の出力信号に基づいて、トランジスタ N 1 のゲート電圧 V G 1 を生成し、トランジスタ N 1 のオン/オフ制御を行う。ドライバ Y 2 2 は、R S フリップフロップ Y 1 6 の反転出力信号に基づいて、トランジスタ N 2 のゲート電圧 V G 2 を生成し、トランジスタ N 2 のオン/オフ制御を行う。トランジスタ N 1、N 2 の相補的なオン/オフ制御に伴い、トランジスタ N 1 のソースとトランジスタ N 2 のドレインとの接続ノードには、パルス形状のスイッチ電圧 V s w が生成される。

## 【 0 1 7 0 】

なお、本明細書中で用いている「相補的」という文言は、トランジスタ N 1、N 2 のオン/オフが完全に逆転している場合のほか、貫通電流防止の観点からトランジスタ N 1、N 2 のオン/オフ遷移タイミングに所定の遅延が与えられている場合も含むものとする。

## 【 0 1 7 1 】

図 1 6 は、制御回路 Y 1 0 及び駆動回路 Y 2 0 の内部動作の一例を示すタイミングチャートであり、上から順に、クロック信号 S A、誤差電圧 S B、スロープ電圧 S C、比較信号 S D、ゲート電圧 V G 1、ゲート電圧 V G 2、及び、スイッチ電圧 V s w が描写されている。

## 【 0 1 7 2 】

図 1 6 から分かるように、トランジスタ N 1 のオンデューティ（クロック信号 S A で定められた所定の P W M [ Pulse Width Modulation ] 周期中において、ゲート電圧 V G 1 のハイレベル期間が占める比率）は、誤差電圧 S B の電圧レベルが高いほど大きくなり、誤差電圧 S B の電圧レベルが低いほど小さくなる。言い換えれば、トランジスタ N 1 のオンデューティは、出力電圧 V o u t がその目標値から離れているほど大きくなり、出力電圧 V o u t がその目標値に近づくほど小さくなる。このような出力電圧 V o u t のフィードバック制御により、トランジスタ N 1、N 2 は、帰還電圧 V f b が所定の参照電圧 V r e f と一致するように、言い換えれば、出力電圧 V o u t がその目標値と一致するように、スイッチング制御される。

## 【 0 1 7 3 】

図 1 4 に戻り、半導体装置 Y 1 に集積化されている回路ブロックの説明を続ける。

## 【 0 1 7 4 】

低電圧保護回路 Y 3 0（いわゆる U V L O [ Under Voltage LockOut ] 回路）は、外部端子 T 1 を介して入力される入力電圧 V i n と所定の下限電圧とを比較して低電圧保護信号 S 1 を生成する。具体的に述べると、低電圧保護回路 Y 3 0 は、入力電圧 V i n が所定の下限電圧より高ければ、低電圧保護信号 S 1 をハイレベル（半導体装置 Y 1 のリセット状態を解除するための論理レベル）とし、入力電圧 V i n が所定の下限電圧より低ければ、低電圧保護信号 S 1 をローレベル（半導体装置 Y 1 をリセットするための論理レベル）とする。

## 【 0 1 7 5 】

過電流保護回路 Y 4 0 は、トランジスタ N 2 のドレインから引き出されるパルス状のス

10

20

30

40

50

スイッチ電圧  $V_{sw}$  と所定の閾値電圧  $V_{th}$  とを比較して過電流保護信号  $S_3$  を生成する過電流保護信号生成回路  $Y_{41}$  と、半導体装置  $Y_1$  のリセット解除時（電源投入時）に閾値電圧  $V_{th}$  を生成して記憶する閾値電圧生成回路  $Y_{42}$  と、を有して成る。

【0176】

過電流保護信号生成回路  $Y_{41}$  は、スイッチ  $411$  と、コンパレータ  $412$  と、抵抗  $413$  と、を有して成る。スイッチ  $411$  の一端は、外部端子  $T_3$  を介してトランジスタ  $N_2$  のドレインに接続されている。すなわち、スイッチ  $411$  の一端には、スイッチ電圧  $V_{sw}$  が印加される。なお、スイッチ  $411$  は、トランジスタ  $N_2$  がオンされているときにオンされ、トランジスタ  $N_2$  がオフされているときにオフされる。コンパレータ  $412$  の非反転入力端（+）は、スイッチ  $411$  の他端に接続される一方、抵抗  $413$  を介して接地端にも接続されている。すなわち、コンパレータ  $412$  の非反転入力端（+）には、スイッチ電圧  $V_{sw}$  のローレベル電圧（以下では、これを第2スイッチ電圧  $V_{sw2}$  と呼ぶ）が印加される。コンパレータ  $412$  の反転入力端（-）は、閾値電圧生成回路  $Y_{42}$  の閾値電圧出力端に接続されている。すなわち、コンパレータ  $412$  の反転入力端（-）には、閾値電圧  $V_{th}$  が印加される。

10

【0177】

閾値電圧生成回路  $Y_{42}$  は、定電流源  $421$  と、クロック生成部  $422$  と、カウンタ  $423$  と、デジタル/アナログ変換器  $424$ （以下、DAC [Digital/Analog Converter]  $424$  と呼ぶ）と、コンパレータ  $425$  と、を有して成る。

【0178】

定電流源  $421$  は、所定の定電流  $I_x$  を生成し、これを外部端子  $T_2$  に外付けされた抵抗  $R_x$  に流し込んで、外部端子  $T_2$  に所定の定電圧  $V_x (= I_x \times R_x)$  を発生させる。なお、定電流源  $421$  は、低電圧保護回路  $Y_{30}$  で生成される低電圧保護信号  $S_1$  に基づいて、半導体装置  $Y_1$  の低電圧保護動作（リセット）が解除されたときに、定電流  $I_x$  の生成を開始する。

20

【0179】

クロック生成部  $422$  は、所定周波数のクロック信号  $S_x$  を生成する。なお、クロック生成部  $422$  は、低電圧保護回路  $Y_{30}$  で生成される低電圧保護信号  $S_1$  に基づいて、半導体装置  $Y_1$  の低電圧保護動作（リセット）が解除されたときに、クロック信号  $S_x$  の生成を開始する。

30

【0180】

カウンタ  $423$  は、クロック信号  $S_x$  のパルス数をカウントし、そのカウント値をデジタル信号  $S_y$  として出力する。

【0181】

DAC  $424$  は、デジタル信号  $S_y$  をアナログ変換し、カウンタ  $423$  のカウントアップに応じて電圧値が上昇していくスイープ電圧  $V_y$  を生成する。

【0182】

コンパレータ  $425$  は、その非反転入力端（+）に入力される定電圧  $V_x$  と反転入力端（-）に入力されるスイープ電圧  $V_y$  とを比較し、スイープ電圧  $V_y$  が定電圧  $V_x$  に達するまでは、トランジスタ  $N_1$  及び  $N_2$  の駆動を待機させて、定電流源  $421$  及びクロック生成部  $422$  の動作を継続させる一方、スイープ電圧  $V_y$  が定電圧  $V_x$  に達して以後は、定電流源  $421$  及びクロック生成部  $422$  を停止させて、トランジスタ  $N_1$  及び  $N_2$  の駆動を開始させるための設定完了信号  $S_2$  を生成する。

40

【0183】

次に、上記構成から成る閾値電圧生成回路  $Y_{42}$  の動作について、図17を参照しながら詳細に説明する。

【0184】

図17は、閾値電圧生成回路  $Y_{42}$  による閾値電圧  $V_{th}$  の設定動作を説明するためのタイミングチャートであり、上から順に、入力電圧  $V_{in}$ 、低電圧保護信号  $S_1$ 、ゲート電圧  $V_{G1}$ 、ゲート電圧  $V_{G2}$ 、スイープ電圧  $V_y (= 閾値電圧  $V_{th}$ )$ 、及び、設定完

50

了信号 S 2 が描写されている。

【 0 1 8 5 】

時刻 t 1 において、入力電圧  $V_{in}$  が立ち上げられ、その電圧値が所定の下限電圧を上回ると、低電圧保護信号 S 1 がローレベルからハイレベルに立ち上げられる。定電流源 4 2 1 及びクロック生成部 4 2 2 は、低電圧保護信号 S 1 の立上がりエッジをトリガとして各々の動作を開始する。

【 0 1 8 6 】

具体的に述べると、定電流源 4 2 1 は、時刻 t 1 以降、所定の定電流  $I_x$  (例えば  $10 \mu A$ ) を外部端子 T 2 に外付けされた抵抗  $R_x$  に流し込むことにより、外部端子 T 2 に所定の定電圧  $V_x (= I_x \times R_x)$  を発生させる。先述したように、抵抗  $R_x$  は、半導体装置 1 のシャットダウン時などにトランジスタ N 1 のゲート論理不定を防止する目的で外付けされているプルダウン抵抗であるが、その抵抗値はかなり高い自由度 (例えば  $1 k \sim 10 k$ ) で選択が可能であり、過電流保護値 (閾値電圧  $V_{th}$ ) の設定用抵抗としても十分に流用することができる。このような流用を積極的に行うことにより、外付け素子の不要な増大を回避することが可能となる。

【 0 1 8 7 】

なお、図 1 7 では、低電圧保護信号 S 1 がハイレベルに立ち上がる時刻 t 1 から、スweep電圧  $V_y$  が定電圧  $V_x$  に達する時刻 t 2 までの間、外部端子 T 2 に印加されるゲート電圧  $V_{G2}$  として、定電圧  $V_x$  が生じている様子が示されている。

【 0 1 8 8 】

また、クロック生成部 4 2 2 は、時刻 t 1 以降、所定周波数のクロック信号  $S_x$  を生成し始めるので、そのパルス数をカウントするカウンタ 4 2 3 のカウントアップに応じて、スweep電圧  $V_y$  は徐々に上昇していく。

【 0 1 8 9 】

コンパレータ 4 2 5 は、時刻 t 1 以降、スweep電圧  $V_y$  が定電圧  $V_x$  に達する時刻 t 2 までの間、トランジスタ N 1 及び N 2 の駆動を待機させて、定電流源 4 2 1 及びクロック生成部 4 2 2 の動作を継続させるように、設定完了信号 S 2 をハイレベルに維持する。このような構成とすることにより、閾値電圧  $V_{th}$  の設定動作中には、外部端子 T 2 に印加されるゲート電圧  $V_{G2}$  が変動しないので、閾値電圧設定用の抵抗  $R_x$  を外付けするための外部端子として、トランジスタ N 2 が接続される外部端子 T 2 を流用しても、閾値電圧  $V_{th}$  の設定動作に支障を生じることはない。

【 0 1 9 0 】

一方、時刻 t 2 において、スweep電圧  $V_y$  が定電圧  $V_x$  に達すると、コンパレータ 4 2 5 は、定電流源 4 2 1 及びクロック生成部 4 2 2 を停止させて、トランジスタ N 1 及び N 2 の駆動を開始させるように、設定完了信号 S 2 をハイレベルからローレベルに立ち下げる。なお、コンパレータ 4 2 5 は、設定完了信号 S 2 がハイレベルからローレベルに立ち下がったとき、これをラッチ出力する構成とされている。

【 0 1 9 1 】

上記した一連の動作により、カウンタ 4 2 3 では、その時点でのカウント値 (デジタル信号  $S_y$ ) が保持されたままとなり、これをアナログ変換して得られるスweep電圧  $V_y$  の電圧値は、定電圧  $V_x$  に保持されたままとなる。そして、閾値電圧生成回路 Y 4 2 は、これを閾値電圧  $V_{th}$  として、過電流保護信号生成回路 Y 4 1 に出力する。すなわち、閾値電圧  $V_{th}$  の電圧値は、定電圧  $V_x (= I_x \times R_x)$  に設定される。

【 0 1 9 2 】

上記で説明したように、閾値電圧生成回路 Y 4 2 は、閾値電圧設定用の抵抗  $R_x$  を外付けするための外部端子として、専用の外部端子 (図 1 9 の外部端子  $T_x$  を参照) ではなく、トランジスタ N 2 が接続される外部端子 T 2 を流用し、トランジスタ N 1 及び N 2 の駆動開始前に、外部端子 T 2 に外付けされた抵抗  $R_x$  に定電流源 4 2 1 から所定の定電流  $I_x$  を流し込むことで、外部端子 T 2 に所定の定電圧  $V_x$  を発生させ、これを閾値電圧  $V_{th}$  として記憶する構成とされている。

10

20

30

40

50

## 【 0 1 9 3 】

このような構成とすることにより、半導体装置 Y 1 の外部端子数を不要に増大することなく、閾値電圧  $V_{th}$  を任意に設定することができるので、パッケージの小型化やコストダウンを実現することが可能となる。

## 【 0 1 9 4 】

なお、定電流源 4 2 1 は、トランジスタ N 1 及び N 2 の駆動が開始される前に、定電流  $I_x$  の出力を停止するように制御されるので、スイッチングレギュレータの通常動作に支障を来すことはない。

## 【 0 1 9 5 】

また、本実施形態の閾値電圧生成回路 Y 4 2 では、クロック生成部 4 2 2、カウンタ 4 2 3、DAC 4 2 4、及び、コンパレータ 4 2 5 を使用することにより、外部端子 T 2 に発生した定電圧  $V_x$  を非常にシンプルな回路構成でスキャンし、その電圧値を記憶することが可能となる。

10

## 【 0 1 9 6 】

次に、上記構成から成る過電流保護信号生成回路 Y 4 1 の動作について、図 1 8 を参照しながら詳細に説明する。

## 【 0 1 9 7 】

図 1 8 は、過電流保護動作の一例を示すタイミングチャートであり、上から順に、スイッチ電圧  $V_{sw}$ 、第 2 スwitch 電圧  $V_{sw2}$ 、及び、過電流保護信号  $S_3$  が示されている。

20

## 【 0 1 9 8 】

先にも述べたように、スイッチ電圧  $V_{sw}$  が入力される外部端子 T 3 とコンパレータ 4 1 2 の非反転入力端 (+) との間には、スイッチ 4 1 1 が挿入されており、このスイッチ 4 1 1 は、トランジスタ N 2 がオンされているときにオンとされ、オフされているときにオフとされる。また、コンパレータ 4 1 2 の非反転入力端 (+) は、抵抗 4 1 3 を介して接地端にプルダウンされている。従って、コンパレータ 4 1 2 の非反転入力端 (+) に印加される第 2 スwitch 電圧  $V_{sw2}$  は、図 1 8 に示した通り、トランジスタ N 2 のオン時にはスイッチ電圧  $V_{sw}$  と一致し、トランジスタ N 2 のオフ時には接地電位 GND となる。

## 【 0 1 9 9 】

なお、トランジスタ N 2 のオン時に得られるスイッチ電圧  $V_{sw}$  のローレベル電位は、トランジスタ N 2 のオン抵抗  $R_{on}$  と、トランジスタ N 2 に流れるスイッチ電流  $I_{sw}$  との積算値 ( $= R_{on} \times I_{sw}$ ) で算出することができるので、トランジスタ N 2 のオン抵抗  $R_{on}$  を一定値とみなせば、スイッチ電圧  $V_{sw}$  のローレベル電位は、スイッチ電流  $I_{sw}$  が大きいほど上昇することになる。

30

## 【 0 2 0 0 】

従って、コンパレータ 4 1 2 を用いて第 2 スwitch 電圧  $V_{sw2}$  と閾値電圧  $V_{th}$  を比較することにより、スイッチ電流  $I_{sw}$  が過電流状態であるか否かの検出を行うことができる。なお、本実施形態の場合、第 2 スwitch 電圧  $V_{sw2}$  が閾値電圧  $V_{th}$  より低ければ、過電流保護信号  $S_3$  はローレベル (正常状態を示す論理) となり、逆に、第 2 スwitch 電圧  $V_{sw2}$  が閾値電圧  $V_{th}$  より高ければ、過電流保護信号  $S_3$  はハイレベル (過電流状態を示す論理) となる。なお、コンパレータ 4 1 2 は、過電流保護信号  $S_3$  がローレベルからハイレベルに立ち上がったとき、これをラッチ出力する構成とされている。

40

## 【 0 2 0 1 】

このように、過電流保護信号  $S_3$  がローレベルからハイレベルに立ち上げられたとき、図 1 5 に示した制御回路 Y 1 0 は、コンパレータ Y 1 2 の比較信号  $S_D$  が論理和演算器 Y 1 3 によって遮断され、RS フリップフロップ Y 1 6 のリセット状態が継続される状態となるので、トランジスタ N 1 及び N 2 の駆動が強制的に停止される。従って、スイッチ電流  $I_{sw}$  の過電流状態を遅滞なく検出して、迅速に保護動作を実施することができるので、半導体装置 Y 1 や周辺部品の破壊を未然に防止し、セットの信頼性を高めることが可能

50

となる。

【0202】

また、上記構成から成る過電流信号生成回路 Y 4 1 であれば、過電流の検出手段として、電流経路上にセンス抵抗を挿入する必要がないため、コストダウンや出力効率の向上を実現することが可能となる。

【0203】

なお、一旦オフラッチされた出力動作の復帰に関しては、外部からのイネーブル信号等に依りて復帰するようにしてもよいし、別途内蔵のタイマなどを用いて自己復帰するようにしてもよい。

【0204】

なお、上記の実施形態では、同期整流方式の降圧型スイッチングレギュレータを形成する DC / DC コントローラ IC に内蔵され、過電流保護回路の過電流保護値（閾値電圧  $V_{th}$ ）を任意に設定する閾値電圧生成回路として、本発明を適用した構成を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、その他の用途に供される閾値電圧を任意に設定する手段としても好適に用いることが可能である。また、本発明は、ダイオード方式の降圧型スイッチングレギュレータや、昇圧型ないしは昇降圧型のスイッチングレギュレータなど、様々な電源装置に広く適用することが可能である。

【0205】

また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【0206】

例えば、上記実施形態において、閾値電圧生成回路 Y 4 2 は、閾値電圧設定用の抵抗  $R_x$  を外付けするための外部端子として、トランジスタ N 2 が接続される外部端子 T 2 を流用した構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、高入力インピーダンス素子が外付けされる特定外部端子であって、抵抗  $R_x$  を介する電流経路以外に定電流  $I_x$  の流れる経路が存在しない特定外部端子であれば、いかなる外部端子を流用しても構わない。

【0207】

また、上記実施形態では、閾値電圧設定用の抵抗として、外部端子と接地端との間に外付けされたプルダウン抵抗を流用する構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、閾値電圧設定用の抵抗として、特定外部端子と電源端との間に外付けされたプルアップ抵抗を流用する構成としても構わない。その場合、定電流源は、プルアップ抵抗を介して電源端から所定の定電流を引き込む形に接続すればよい。

【産業上の利用可能性】

【0208】

本明細書中に開示されている第 1 の技術的特徴（過電流保護機能を備えた電源装置、及び、これを備えた電子機器に関連する発明）は、例えば、液晶ディスプレイ、プラズマディスプレイ、ノートパソコン用電源（DDR [Double-Data-Rate] メモリ用電源など）、DVD [Digital Versatile Disc] プレーヤ/レコーダ、BD [Blu-Ray Disc] プレーヤ/レコーダなどの電源装置として広く一般に用いられるスイッチングレギュレータの信頼性を高める上で有用な技術である。

【0209】

また、本明細書中に開示されている第 2 の技術的特徴（レベルシフトに関連する発明）は、様々な電子機器（液晶ディスプレイ、プラズマディスプレイ、光ディスクドライブなど）に搭載され、その信号レベル変換手段として用いられるレベルシフト回路の小型化や省電力化を図る上で有用な技術である。

【0210】

また、本明細書中に開示されている第 3 の技術的特徴（過電流保護回路に関する発明）は、例えば、様々な電子機器（液晶ディスプレイ、プラズマディスプレイ、光ディスクドライブなど）に搭載される電源装置の過電流保護値を任意に調整するための技術として好

10

20

30

40

50

適に利用することが可能である。

【符号の説明】

【0211】

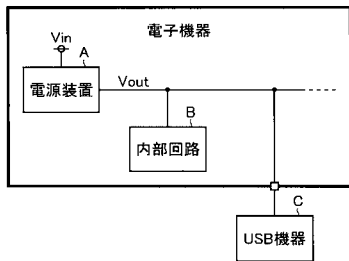
A	電源装置（スイッチングレギュレータ）	
B	内部回路	
C	USB機器	
100	スイッチング電源IC	
1a	Nチャンネル型MOS電界効果トランジスタ（出力用）	
1b	Nチャンネル型MOS電界効果トランジスタ（リングゲノ イズ放電用）	10
2a、2b	ドライバ	
3a、3b	レベルシフタ	
4	駆動制御回路	
41	SRフリップフロップ	
42	論理和演算器	
5	誤差増幅器	
6	ソフトスタート制御回路	
61	定電流源（充電用）	
62	定電流源（放電用）	
7	pnp型バイポーラトランジスタ	20
8	スロープ電圧生成回路	
9	PWMコンパレータ	
10	基準電圧生成回路	
11	発振器	
12a、12b	抵抗	
13	ブースト用定電圧生成回路	
14	ダイオード	
15	低電圧ロックアウト回路	
16	サーマルシャットダウン回路	
17	過電流保護回路	30
171	閾値電圧生成回路	
172	コンパレータ	
173	スイッチ	
174	抵抗	
L1	インダクタ	
D1	ダイオード	
R1～R3	抵抗	
C1～C5	容量	
EN	イネーブル端子	
FB	帰還端子	40
CP	位相補償端子	
SS	ソフトスタート端子	
BST	ブートストラップ端子	
VIN	入力端子	
SW	スイッチ端子	
GND	グランド端子	
X1、X2	レベルシフタ回路	
P11、P21	第1のPチャンネル型MOS電界効果トランジスタ	
P12、P22	第2のPチャンネル型MOS電界効果トランジスタ	
N11、N21	第1のNチャンネル型MOS電界効果トランジスタ	50



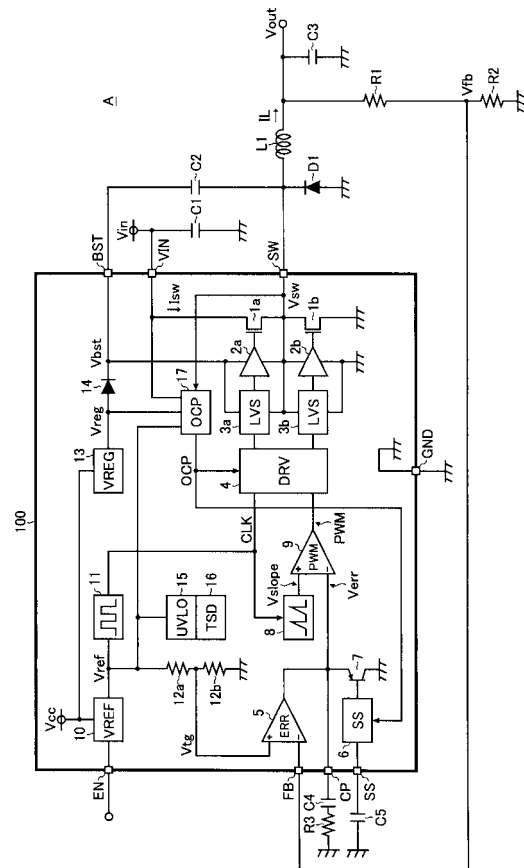
N 1 2、N 2 2	第 2 の N チャンネル型 M O S 電界効果トランジスタ	
I N V 1、I N V 2	インバータ	
R 1 1、R 2 1	第 1 の抵抗	
R 1 2、R 2 2	第 2 の抵抗	
L V	第 1 電源電位	
H V	第 2 電源電位	
G N D	接地電位	
I N	入力信号	
I N B	反転入力信号	
O U T	出力信号	10
Y 1	半導体装置 ( D C / D C コントローラ I C )	
Y 1 0	制御回路	
Y 1 1	エラーアンプ	
Y 1 2	コンパレータ	
Y 1 3	論理和演算器	
Y 1 4	スロープ生成部	
Y 1 5	クロック生成部	
Y 1 6	R S フリップフロップ	
Y 2 0	駆動回路	
Y 2 1、Y 2 2	ドライバ	20
Y 3 0	低電圧保護回路 ( U V L O 回路 )	
Y 4 0	過電流保護回路	
Y 4 1	過電流保護信号生成回路	
4 1 1	スイッチ	
4 1 2	コンパレータ	
4 1 3	抵抗	
Y 4 2	閾値電圧生成回路	
4 2 1	定電流源	
4 2 2	クロック生成部	
4 2 3	カウンタ	30
4 2 4	デジタル / アナログ変換器 ( D A C )	
4 2 5	コンパレータ	
N 1	N チャンネル型 M O S 電界効果トランジスタ ( 出力用スイッチ素子 )	
N 2	N チャンネル型 M O S 電界効果トランジスタ ( 同期整流用スイッチ素子 )	
L x 1	コイル	
C x 1	コンデンサ	
R x 1、R x 2	抵抗	
R x	抵抗 ( プルダウン用 / 保護値設定用 )	40
T 0 ~ T 4	外部端子	
Z	負荷	
V i n	入力電圧	
V o u t	出力電圧	
V s w	スイッチ電圧	
V s w 2	第 2 スイッチ電圧	
I s w	スイッチ電流 ( シンク側 )	
I x	定電流 ( 保護値設定用 )	
V x	定電圧 ( 保護値設定用 )	
V y	スロープ電圧	50

- S x クロック信号 (カウンタインクリメント用)
- S y デジタル信号 (カウンタ値)
- S 1 低電圧保護信号
- S 2 設定完了信号
- S 3 過電流保護信号
- V G 1、V G 2 ゲート電圧
- S A クロック信号 (PWM周期設定用)
- S B 誤差電圧
- S C スロープ電圧
- S D 比較信号

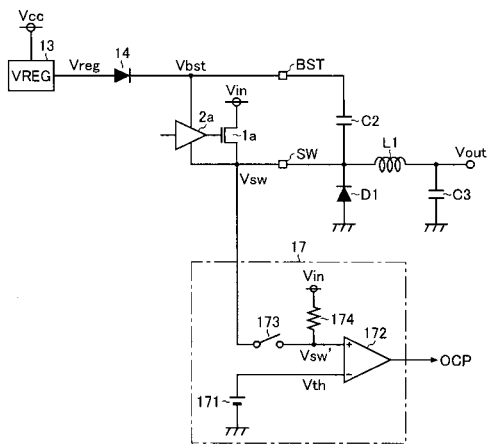
【 図 1 】



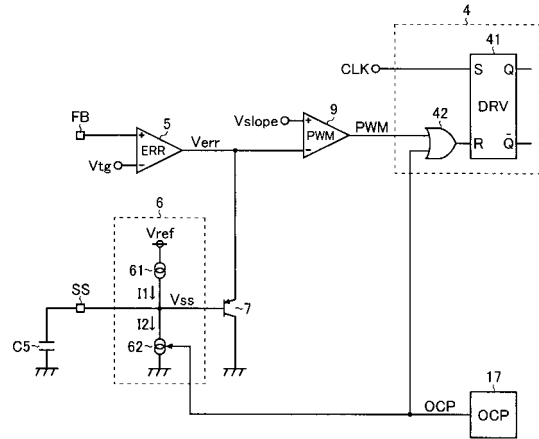
【 図 2 】



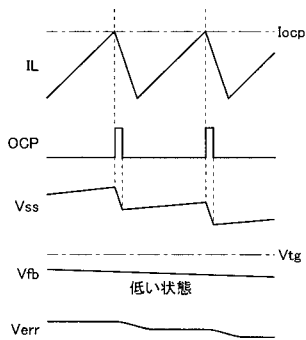
【 図 3 】



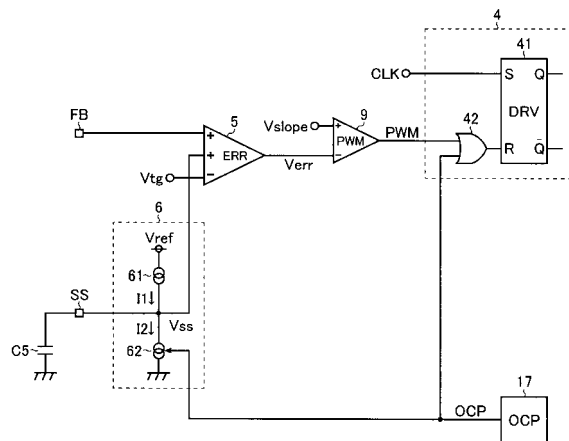
【 図 4 】



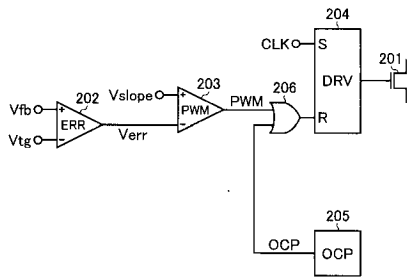
【 図 5 】



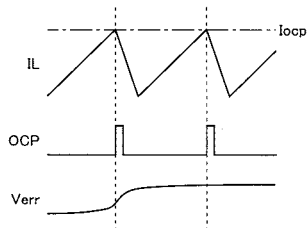
【 図 6 】



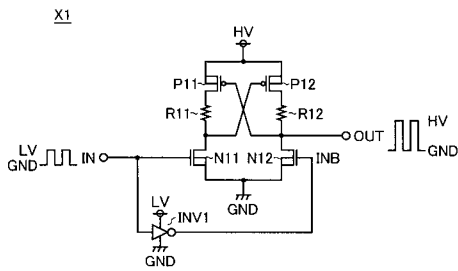
【 図 7 】



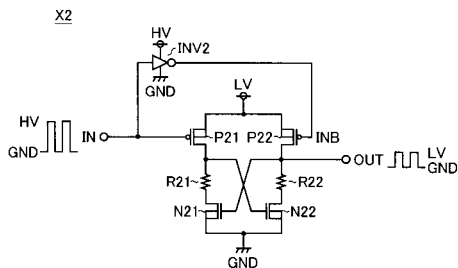
【 図 8 】



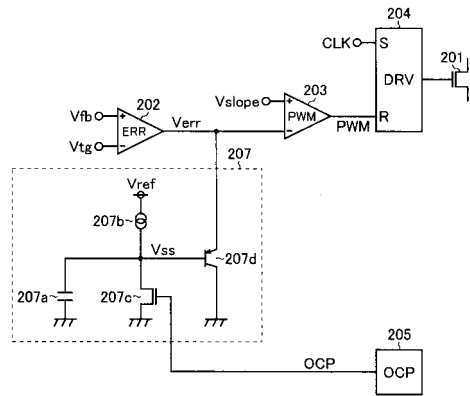
【 図 1 1 】



【 図 1 2 】



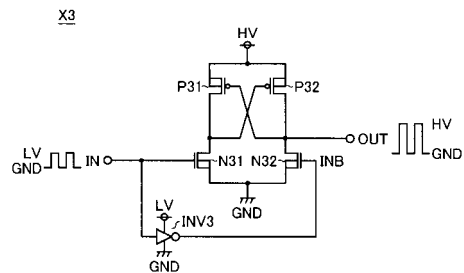
【 図 9 】



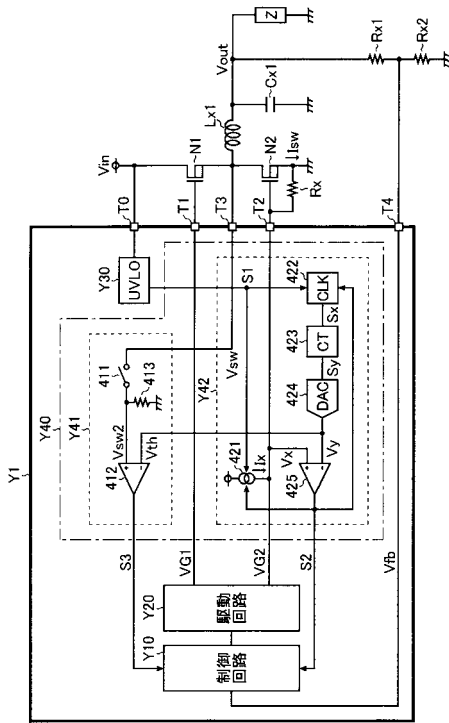
【 図 1 0 】



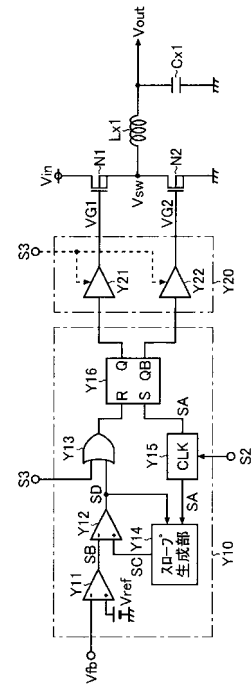
【 図 1 3 】



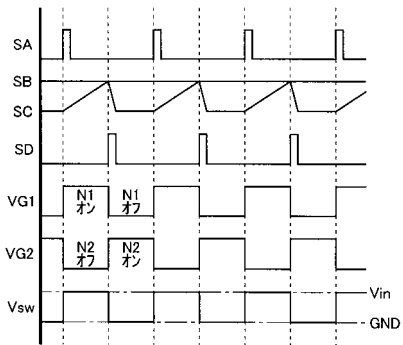
【 図 1 4 】



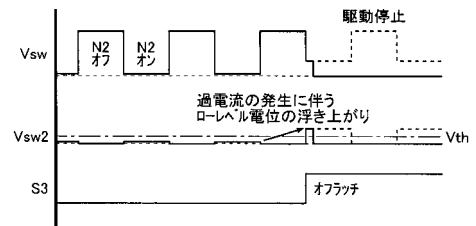
【 図 1 5 】



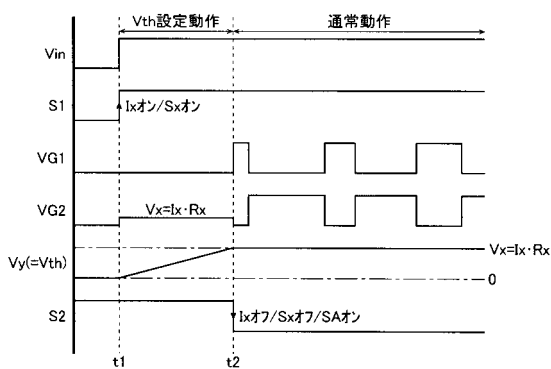
【 図 1 6 】



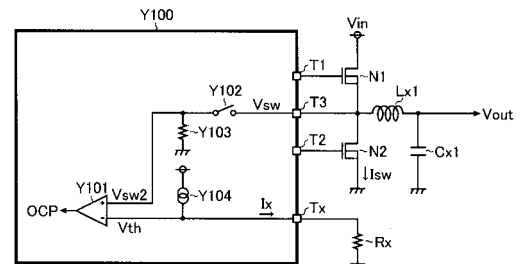
【 図 1 8 】



【 図 1 7 】



【 図 1 9 】



## 【手続補正書】

【提出日】平成23年10月5日(2011.10.5)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

## 【特許請求の範囲】

## 【請求項1】

出力トランジスタをオン/オフさせてコイル電流を駆動することにより、入力電圧から所望の出力電圧を生成する電源装置であって、

前記出力トランジスタのオン/オフ制御信号を生成する駆動制御回路と、

前記コイル電流を直接的ないしは間接的に監視して過電流検出信号を生成する過電流保護回路と、

前記電源装置が起動してから緩やかに上昇を開始するソフトスタート電圧を用いて前記出力電圧の立ち上がりを抑制するソフトスタート制御回路と、

を有し、

前記コイル電流が過電流状態であるときに、

前記駆動制御回路は、パルスバイパルス方式の過電流保護動作として、前記過電流検出信号に応じた前記オン/オフ制御信号の強制リセット動作と、所定周波数のクロック信号に応じた前記オン/オフ制御信号のセット動作を繰り返し、

前記ソフトスタート制御回路は、前記過電流検出信号に応じたりセット動作として、前記ソフトスタート電圧を徐々に引き下げることを特徴とする電源装置。

## 【請求項2】

前記ソフトスタート制御回路は、容量と、前記容量の充電電流を生成する第1定電流源と、前記過電流検出信号に応じて前記容量の放電電流を生成する第2定電流源とを有し、

前記充電電流と前記放電電流との比率は、前記過電流検出信号に応じたりセット動作に際して、前記容量に蓄えられている全ての電荷が直ちに放電されるのではなく、前記パルスバイパルス方式の過電流保護動作が行われている間に、前記ソフトスタート電圧が段階的に引き下げられるように設定されていることを特徴とする請求項1に記載の電源装置。

## 【請求項3】

前記出力電圧に応じた帰還電圧と所定の目標電圧との差分を増幅して誤差電圧を生成する誤差増幅器と；

前記クロック信号を生成し、これを前記駆動制御回路のセット信号として送出する発振器と；

前記クロック信号に基づいて、三角波形、ランプ波形、ないしは、鋸波形のスロープ電圧を生成するスロープ電圧生成回路と；

前記誤差電圧と前記スロープ電圧とを比較してパルス幅変調信号を生成し、これを前記駆動制御回路のリセット信号として送出するPWMコンパレータと；

をさらに有することを特徴とする請求項2に記載の電源装置。

## 【請求項4】

前記誤差電圧を前記ソフトスタート電圧に応じた上限値にクランプするクランプ回路を有することを特徴とする請求項3に記載の電源装置。

## 【請求項5】

前記誤差増幅器は、前記帰還電圧と前記ソフトスタート電圧のより低い方と、前記目標電圧との差分を増幅して前記誤差電圧を生成することを特徴とする請求項3に記載の電源装置。

## 【請求項6】

請求項1～請求項5のいずれかに記載の電源装置を備えたことを特徴とする電子機器。

## 【請求項7】

前記電源装置から電力供給を受けて動作するバスパワー機器が着脱されるポートを有することを特徴とする請求項 6 に記載の電子機器。

【請求項 8】

前記駆動制御回路と前記出力トランジスタとの間に挿入されるレベルシフト回路をさらに有することを特徴とする請求項 1 に記載の電源装置。

【請求項 9】

前記レベルシフト回路は、

第 1 電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第 1 電源電位よりも高い第 2 電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するものであって、

各々のソースがいずれも第 2 電源電位の印加端に接続された第 1、第 2 の P チャンネル型電界効果トランジスタと；

各々のソースがいずれも接地端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第 1、第 2 の N チャンネル型電界効果トランジスタと；

一端が第 1 の P チャンネル型電界効果トランジスタのドレインに接続され、他端が第 2 の P チャンネル型電界効果トランジスタのゲートと、第 1 の N チャンネル型電界効果トランジスタのドレインに接続された第 1 の抵抗と；

一端が第 2 の P チャンネル型電界効果トランジスタのドレインに接続され、他端が第 1 の P チャンネル型電界効果トランジスタのゲートと、第 2 の N チャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第 2 の抵抗と；

を有して成ることを特徴とする請求項 8 に記載の電源装置。

【請求項 10】

前記レベルシフト回路は、

第 2 電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第 2 電源電位よりも低い第 1 電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するものであって、

各々のソースがいずれも接地端に接続された第 1、第 2 の N チャンネル型電界効果トランジスタと；

各々のソースがいずれも第 1 電源電位の印加端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第 1、第 2 の P チャンネル型電界効果トランジスタと；

一端が第 1 の N チャンネル型電界効果トランジスタのドレインに接続され、他端が第 2 の N チャンネル型電界効果トランジスタのゲートと、第 1 の P チャンネル型電界効果トランジスタのドレインに接続された第 1 の抵抗と；

一端が第 2 の N チャンネル型電界効果トランジスタのドレインに接続され、他端が第 1 の N チャンネル型電界効果トランジスタのゲートと、第 2 の P チャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第 2 の抵抗と；

を有して成ることを特徴とする請求項 8 に記載の電源装置。

【請求項 11】

半導体装置に集積化され、閾値電圧設定用の抵抗を外付けするための外部端子として、高入力インピーダンス素子が外付けされる特定外部端子を流用し、前記半導体装置の通常動作が開始される前に、前記特定外部端子に所定の定電流を流すことで、前記特定外部端子に所定の定電圧を発生させ、これを閾値電圧として記憶することを特徴とする閾値電圧生成回路。

【請求項 12】

前記特定外部端子に前記定電流を流す定電流源と；

クロック信号を生成するクロック生成部と；

前記クロック信号のパルス数をカウントし、そのカウント値をデジタル信号として出力するカウンタと；

前記デジタル信号をアナログ変換し、前記カウンタのカウントアップに応じて電圧値が

上昇していくスイープ電圧を生成するデジタル/アナログ変換器と；

前記スイープ電圧と前記定電圧とを比較し、前記スイープ電圧が前記定電圧に達するまでは、前記半導体装置の通常動作を待機させて、前記定電流源及び前記クロック生成部を動作させる一方、前記スイープ電圧が前記定電圧に達して以後は、前記定電流源及び前記クロック生成部を停止させて、前記半導体装置の通常動作を開始させるための制御信号を生成するコンパレータと；

を有して成り、

前記スイープ電圧を前記閾値電圧として出力することを特徴とする請求項 1 1 に記載の閾値電圧生成回路。

【請求項 1 3】

前記定電流源及び前記クロック生成部は、前記半導体装置の低電圧保護動作が解除されたときに、各々の動作が開始されることを特徴とする請求項 1 2 に記載の閾値電圧生成回路。

【請求項 1 4】

前記閾値電圧設定用の抵抗として、前記特定外部端子に外付けされるプルアップ抵抗またはプルダウン抵抗を流用することを特徴とする請求項 1 1 ~ 請求項 1 3 のいずれかに記載の閾値電圧生成回路。

【請求項 1 5】

請求項 1 1 ~ 請求項 1 4 のいずれかに記載の閾値電圧生成回路と、

前記半導体装置に外付けされたスイッチ素子の一端から引き出されるパルス状のスイッチ電圧と前記閾値電圧を比較して過電流保護信号を生成する過電流保護信号生成回路と、  
を有して成ることを特徴とする過電流保護回路。

【請求項 1 6】

前記高入力インピーダンス素子は、前記スイッチ素子として用いられる電界効果トランジスタであることを特徴とする請求項 1 5 に記載の過電流保護回路。

【請求項 1 7】

前記スイッチ素子の駆動制御を行う制御回路と、

前記制御回路の指示に基づいて前記スイッチ素子の駆動信号を生成する駆動回路と、

請求項 1 5 または請求項 1 6 に記載の過電流保護回路と、

を前記半導体装置に集積化して成るスイッチ駆動装置であって、

前記制御回路及び前記駆動回路の少なくとも一方は、前記過電流保護信号に基づいて、前記スイッチ素子に流れるスイッチ電流が過電流状態であると認識したときに、前記スイッチ素子の駆動を停止することを特徴とするスイッチ駆動装置。

【請求項 1 8】

請求項 1 7 に記載のスイッチ駆動装置と、

前記スイッチ駆動装置によってオン/オフされる前記スイッチ素子と、

前記スイッチ電圧を平滑化して出力電圧を生成する平滑回路と、

を有して成ることを特徴とする電源装置。

【請求項 1 9】

第 1 電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第 1 電源電位よりも高い第 2 電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するレベルシフト回路であって、

各々のソースがいずれも第 2 電源電位の印加端に接続された第 1、第 2 の P チャネル型電界効果トランジスタと；

各々のソースがいずれも接地端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第 1、第 2 の N チャネル型電界効果トランジスタと；

一端が第 1 の P チャネル型電界効果トランジスタのドレインに接続され、他端が第 2 の P チャネル型電界効果トランジスタのゲートと、第 1 の N チャネル型電界効果トランジスタのドレインに接続された第 1 の抵抗と；

一端が第 2 の P チャネル型電界効果トランジスタのドレインに接続され、他端が第 1 の



Pチャンネル型電界効果トランジスタのゲートと、第2のNチャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第2の抵抗と；

を有して成ることを特徴とするレベルシフト回路。

【請求項20】

第2電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第2電源電位よりも低い第1電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するレベルシフト回路であって、

各々のソースがいずれも接地端に接続された第1、第2のNチャンネル型電界効果トランジスタと；

各々のソースがいずれも第1電源電位の印加端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第1、第2のPチャンネル型電界効果トランジスタと；

一端が第1のNチャンネル型電界効果トランジスタのドレインに接続され、他端が第2のNチャンネル型電界効果トランジスタのゲートと、第1のPチャンネル型電界効果トランジスタのドレインに接続された第1の抵抗と；

一端が第2のNチャンネル型電界効果トランジスタのドレインに接続され、他端が第1のNチャンネル型電界効果トランジスタのゲートと、第2のPチャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第2の抵抗と；

を有して成ることを特徴とするレベルシフト回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

しかしながら、上記第1従来例の電源装置では、コイル電流 $I_L$ が過電流状態に陥っている間、駆動制御回路204が過電流検出信号OCPによってリセットされ、出力トランジスタ201が強制的にオフとされる一方、誤差増幅器202は、何らリセットされることなく出力帰還動作を継続する構成とされていた。そのため、コイル電流 $I_L$ の過電流状態が解消した時点で、出力電圧 $V_{out}$ がその目標値から大幅に低下していた場合には、非常に高い誤差電圧 $V_{err}$ に基づいてパルス幅変調信号PWMのオンデューティが決定されるので、出力トランジスタ201のスイッチング動作を復帰させる際に、出力電圧 $V_{out}$ のオーバーシュートを生じるおそれがあった。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

また、上記第1の構成から成る電源装置は、前記駆動制御回路と前記出力トランジスタとの間に挿入されるレベルシフト回路をさらに有する構成（第8の構成）にするとよい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

また、本発明に係るレベルシフト回路は、第2電源電位と接地電位との間でパルス駆動される入力信号を入力とし、これを第2電源電位よりも低い第1電源電位と接地電位との間でパルス駆動される出力信号に変換して出力するレベルシフト回路であって、各々のソ

ースがいずれも接地端に接続された第 1、第 2 の N チャンネル型電界効果トランジスタと；各々のソースがいずれも第 1 電源電位の印加端に接続され、各々のゲートが前記入力信号及びその論理反転信号の入力端に各々接続された第 1、第 2 の P チャンネル型電界効果トランジスタと；一端が第 1 の N チャンネル型電界効果トランジスタのドレインに接続され、他端が第 2 の N チャンネル型電界効果トランジスタのゲートと、第 1 の P チャンネル型電界効果トランジスタのドレインに接続された第 1 の抵抗と；一端が第 2 の N チャンネル型電界効果トランジスタのドレインに接続され、他端が第 1 の N チャンネル型電界効果トランジスタのゲートと、第 2 の P チャンネル型電界効果トランジスタのドレインと、前記出力信号の出力端に接続された第 2 の抵抗と；を有して成る構成（第 2 0 の構成）とされている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 6

【補正方法】変更

【補正の内容】

【0 0 8 6】

図 3 に示す通り、過電流保護回路 1 7 は、閾値電圧  $V_{th}$  を生成する閾値電圧生成部 1 7 1 と、トランジスタ 1 a の一端から引き出されるスイッチ電圧  $V_{sw}$  と閾値電圧  $V_{th}$  とを比較して過電流検出信号  $OCP$  を生成するコンパレータ 1 7 2 と、スイッチ端子  $SW$  とコンパレータ 1 7 2 の反転入力端（-）との間に接続され、トランジスタ 1 a と同期して開閉制御されるスイッチ 1 7 3 と、スイッチ 1 7 3 のオフ時にコンパレータ 1 7 2 の反転入力端（-）を入力端子  $V_{IN}$  にプルアップする抵抗 1 7 4 と、を有する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 0

【補正方法】変更

【補正の内容】

【0 1 2 0】

このとき、トランジスタ  $P_{31}$  のオン抵抗値とトランジスタ  $N_{31}$  のオン抵抗値との相対的な較差が小さければ、トランジスタ  $P_{32}$  のゲート電位は、トランジスタ  $N_{31}$  を介してハイレベル（第 2 電源電位  $HV$ ）からローレベル（接地電位  $GND$ ）まで引き下げられるので、トランジスタ  $P_{32}$  がオフ状態からオン状態に切り換えられる。また、このとき、トランジスタ  $P_{31}$  のゲート電位は、トランジスタ  $P_{32}$  を介してローレベル（接地電位  $GND$ ）からハイレベル（第 2 電源電位  $HV$ ）まで引き上げられるので、トランジスタ  $P_{31}$  はオン状態からオフ状態に切り換えられる。その結果、出力信号  $OUT$  はローレベル（接地電位  $GND$ ）からハイレベル（第 2 電源電位  $HV$ ）に立ち上げられる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 1 5 4

【補正方法】変更

【補正の内容】

【0 1 5 4】

図 1 4 は、本発明に係る閾値電圧生成回路を用いた電源装置の一実施形態を示す回路図である。本実施形態の電源装置は、半導体装置  $Y_1$  を有するほか、これに外付けされるディスクリット素子として、N チャンネル型  $MOS$  [Metal Oxide Semiconductor] 電界効果トランジスタ  $N_1$  と、N チャンネル型  $MOS$  電界効果トランジスタ  $N_2$  と、コイル  $L_{x1}$  と、コンデンサ  $C_{x1}$  と、抵抗  $R_{x1}$  と、抵抗  $R_{x2}$  と、抵抗  $R_x$  と、を有して成る。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2010/058346
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H02M3/155(2006.01)i, H02H3/08(2006.01)i, H02H3/087(2006.01)i, H03K19/0185(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H02M3/155, H02H3/08, H02H3/087, H03K19/0185  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-187847 A (Rohm Co., Ltd.), 14 August 2008 (14.08.2008), paragraphs [0016] to [0070]; fig. 1 to 3 (Family: none)	1-10 11-18
Y A	JP 2000-166227 A (Nippon Denki Data Kiki Kabushiki Kaisha), 16 June 2000 (16.06.2000), paragraphs [0005] to [0038]; fig. 2 (Family: none)	1-10 11-18
Y	JP 2004-48835 A (Rohm Co., Ltd.), 12 February 2004 (12.02.2004), paragraphs [0010] to [0038]; fig. 1 & US 2004/0008528 A1 & TW 223489 B & KR 10-2004-0005615 A & CN 1592059 A	2-5
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 August, 2010 (12.08.10)		Date of mailing of the international search report 24 August, 2010 (24.08.10)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/058346

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-169549 A (International Business Machines Corp.), 22 June 2001 (22.06.2001), paragraph [0035]; fig. 3 & US 6362980 B1	7
X Y	JP 5-343980 A (Seiko Epson Corp.), 24 December 1993 (24.12.1993), paragraph [0008]; fig. 8 (Family: none)	19-20 9-10

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/058346

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The special technical feature of the inventions of claims 1-10 is considered to be a power supply device, wherein a drive control circuit repeats the forced reset operation of the on/off control signal in accordance with an over-current detection signal and the set operation of the on/off control signal in accordance with a clock signal of a predetermined frequency as the over-current protection operation of a pulse-by-pulse mode, and a soft start control circuit reduces a soft start voltage gradually as the reset operation in accordance with the over-current detection signal.

The special technical feature of the inventions of claims 11-18 is considered to be a threshold voltage generation circuit (continued to extra sheet)

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2010/058346

Continuation of Box No.III of continuation of first sheet(2)

which is integrated into a semiconductor integrated circuit, diverts a specific external terminal to which a high input impedance element is externally attached as an external terminal for externally attaching a resistor for setting a threshold voltage, and passes a predetermined constant current through the specific external terminal before the normal operation of the semiconductor device is started, thereby generating a predetermined constant voltage in the external terminal and storing the generated voltage as the threshold voltage.

The special technical feature of the inventions of claims 19-20 is considered to be a level shifter circuit which comprises a first resistor, one end of which is connected to the drain of a first P-channel type field effect transistor, and the other end of which is connected to the gate of a second P-channel type field effect transistor and the drain of a first N-channel type field effect transistor, and a second resistor, one end of which is connected to the drain of the second P-channel type field effect transistor, and the other end of which is connected to the gate of the first P-channel type field effect transistor, the drain of a second N-channel type field effect transistor, and the terminal of an output signal.

Therefore the claims include the following three inventions (group).

(Invention 1) Claims 1-10: The inventions pertaining to a power supply device

(Invention 2) Claims 11-18: The inventions pertaining to a threshold voltage generation circuit

(Invention 3) Claims 19-20: The inventions pertaining to a level shifter circuit

国際調査報告		国際出願番号 PCT/JP2010/058346									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M3/155 (2006.01)i, H02H3/08 (2006.01)i, H02H3/087 (2006.01)i, H03K19/0185 (2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M3/155, H02H3/08, H02H3/087, H03K19/0185											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	JP 2008-187847 A (ローム株式会社) 2008.08.14, [0016] - [0070]、[図1] - [図3] (ファミリーなし)	1-10 11-18									
Y A	JP 2000-166227 A (日本電気データ機器株式会社) 2000.06.16, [0005] - [0038]、[図2] (ファミリーなし)	1-10 11-18									
Y	JP 2004-48835 A (ローム株式会社) 2004.02.12, [0010] - [0038]、[図1] & US 2004/0008528 A1 & TW 223489 B & KR 10-2004-0005615 A & CN 1592059 A	2-5									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 12.08.2010		国際調査報告の発送日 24.08.2010									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 塩治 雅也	3V 3630								
		電話番号 03-3581-1101	内線 3358								

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 5 8 3 4 6
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-169549 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2001.06.22, [0035]、[図3] & US 6362980 B1	7
X Y	JP 5-343980 A (セイコーエプソン株式会社) 1993.12.24, [0008]、[図8] (ファミリーなし)	19-20 9-10



国際調査報告

国際出願番号 PCT/JP2010/058346

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

- 1.  請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
- 2.  請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
- 3.  請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1-10に係る発明の特別な技術的特徴は、駆動制御回路がパルスバイパルス方式の過電流保護動作として、過電流検出信号に応じたオン/オフ制御信号の強制リセット動作と、所定周波数のクロック信号に応じたオン/オフ制御信号のセット動作を繰り返す、ソフトスタート制御回路は、過電流検出信号に応じたりセット動作として、ソフトスタート電圧を徐々に引き下げる電源装置であると認められる。

請求項11-18に係る発明に特別な技術的特徴は、半導体集積回路に集積化され、閾値電圧設定用の抵抗を外付けするための外部端子として、高入力インピーダンス素子が外付けされる特定外部端子を流用し、半導体装置の通常動作が開始される前に、特定外部端子に所定の定電流を流すことで、外部端子に所定の定電圧を発生させ、これを閾値電圧として記憶する閾値電圧生成回路であると認められる。

- 1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
- 2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
- 3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
- 4.  出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告

国際出願番号 PCT/J P 2 0 1 0 / 0 5 8 3 4 6

請求項19-20に係る発明に特別な技術的特徴は、一端が第1のPチャンネル型電界トランジスタのドレインに接続され、他端が第2のPチャンネル型電界効果トランジスタのゲートと、第1のNチャンネル型電界効果トランジスタのドレインに接続された第1の抵抗と、一端が第2のPチャンネル型電界効果トランジスタのドレインに接続され、他端が第1のPチャンネル型電界効果トランジスタのゲートと、第2のNチャンネル型電界効果トランジスタのドレインと、出力信号端子に接続された第2の抵抗とを有するレベルシフタ回路である認められる。

よって、請求項の範囲には、以下のような3の発明（群）が含まれる。

- (発明1) 請求項1-10：電源装置に関するもの
- (発明2) 請求項11-18：閾値電圧生成回路に関するもの
- (発明3) 請求項19-20：レベルシフタ回路に関するもの

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。