



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년12월03일
(11) 등록번호 10-2736947
(24) 등록일자 2024년11월27일

(51) 국제특허분류(Int. Cl.)
H01L 33/08 (2010.01) H01L 33/00 (2024.01)
H01L 33/38 (2010.01) H01L 33/62 (2010.01)
(52) CPC특허분류
H01L 33/08 (2013.01)
H01L 33/0008 (2013.01)
(21) 출원번호 10-2021-7002551
(22) 출원일자(국제) 2019년09월10일
심사청구일자 2022년09월06일
(85) 번역문제출일자 2021년01월26일
(65) 공개번호 10-2021-0049780
(43) 공개일자 2021년05월06일
(86) 국제출원번호 PCT/KR2019/011708
(87) 국제공개번호 WO 2020/055091
국제공개일자 2020년03월19일
(30) 우선권주장
62/731,218 2018년09월14일 미국(US)
16/561,440 2019년09월05일 미국(US)
(56) 선행기술조사문헌
KR101786082 B1
KR1020170115142 A
JP2015012044 A
US20150001561 A1

(73) 특허권자
서울바이오시스 주식회사
경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
(72) 발명자
장성규
경기도 안산시 단원구 산단로 163번길 65-16
이호준
경기도 안산시 단원구 산단로163번길 65-16
채종현
경기도 안산시 단원구 산단로163번길 65-16
(74) 대리인
특허법인에이아이피

전체 청구항 수 : 총 20 항

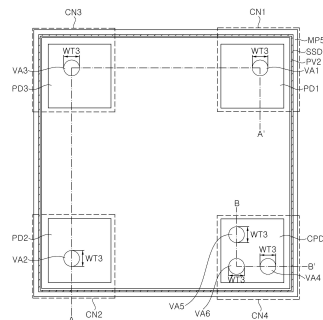
심사관 : 배성주

(54) 발명의 명칭 발광 소자

(57) 요약

발광 소자를 제공한다. 제1 n형 반도체층, 제1 활성층, 제1 p형 반도체층, 및 제1 오믹층을 포함하는 제1 발광부, 제1 발광부에 배치되며, 제2 n형 반도체층, 제2 활성층, 제2 p형 반도체층, 및 제2 오믹층을 포함하는 제2 발광부, 제2 발광부에 배치되며, 제3 n형 반도체층, 제3 활성층, 제3 p형 반도체층, 제3 p형 반도체층과 일면이 전기적으로 접하는 제1 금속 패턴, 및 제3 n형 반도체층과 일면이 전기적으로 접하는 제2 금속 패턴을 포함하는 제3 발광부, 제1 및 제2 n형 반도체층들과 제2 금속 패턴과 전기적으로 공통 연결되는 공통 패드, 제2 금속 패턴과 공통 패드 사이에서 제2 금속 패턴 및 공통 패드를 전기적으로 연결하는 제1 비아 구조물을 포함하되, 제2 금속 패턴의 일 면은 제1 비아 구조물과 접하는 제1 부분과, 제3 n형 반도체층과 접하는 제2 부분을 갖는다.

대표도



(52) CPC특허분류

H01L 33/38 (2013.01)

H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

제1-1형 반도체층, 제1 활성층, 제1-2형 반도체층, 및 제1 오믹층을 포함하는 제1 발광부;

상기 제1 발광부 상에 배치되며, 제2-1형 반도체층, 제2 활성층, 제2-2형 반도체층, 및 제2 오믹층을 포함하는 제2 발광부;

상기 제2 발광부 상에 배치되며, 제3-1형 반도체층, 제3 활성층, 제3-2형 반도체층, 상기 제3-2형 반도체층과 일 면이 전기적으로 접하는 제1 도전 패턴, 및 상기 제3-1형 반도체층과 일 면이 전기적으로 접하는 제2 도전 패턴을 포함하는 제3 발광부;

상기 제1 오믹층과 전기적으로 연결되는 제1 패드;

상기 제2 오믹층과 전기적으로 연결되는 제2 패드;

상기 제1 도전 패턴과 전기적으로 연결되는 제3 패드;

상기 제1-1형 및 제2-1형 반도체층들과 상기 제2 도전 패턴과 전기적으로 공통 연결되는 공통 패드; 및

상기 제2 도전 패턴과 상기 공통 패드 사이에서 상기 제2 도전 패턴 및 상기 공통 패드를 전기적으로 연결하는 제6 비아 구조물을 포함하되,

상기 제1 도전 패턴은 제1 두께를 가지고, 상기 제2 도전 패턴은 상기 제1 두께보다 큰 제2 두께를 갖는 발광 소자.

청구항 2

제1항에 있어서,

상기 제2 도전 패턴의 일 면은 상기 제6 비아 구조물과 접하는 제1 부분과, 상기 제3-1형 반도체층과 접하는 제2 부분을 갖고,

상기 제2 도전 패턴의 제2 부분은 상기 제1 부분의 1 내지 5배의 면적을 갖는 발광 소자.

청구항 3

제2항에 있어서,

상기 제2 부분이 상기 제1 부분을 감싸는 구조를 갖는 발광 소자.

청구항 4

제1항에 있어서,

상기 제1 도전 패턴은 상기 제3-2형 반도체층에 접하고,

상기 제2 도전 패턴은 상기 제3-1형 반도체층 및 상기 제3 활성층을 관통하는 발광 소자.

청구항 5

제4항에 있어서,

상기 제1 도전 패턴의 일 면에 대향하는 타 면은 상기 제2 도전 패턴의 일 면에 대향하는 타 면과 동일하거나 높은 레벨인 발광 소자.

청구항 6

제1항에 있어서,

상기 제2 도전 패턴은 상기 일 면에 대향하는 타 면을 더 가지되,
상기 일 면의 폭이 타 면의 폭보다 크며,
상기 타 면의 폭은 상기 제6 비아 구조물의 폭보다 큰 발광 소자.

청구항 7

제1항에 있어서,
상기 제2 도전 패턴은 상기 제6 비아 구조물과 인접한 부분의 외측벽이 돌출된 구조를 갖는 발광 소자.

청구항 8

제1항에 있어서,
상기 제1 도전 패턴 및 상기 제3 패드 사이에서 상기 제1 도전 패턴 및 상기 제3 패드를 전기적으로 연결하는 제3 비아 구조물을 더 포함하되,
상기 제1 도전 패턴의 일 면은 상기 제3 비아 구조물과 접하는 제1 부분과, 상기 제3-2형 반도체층과 접하는 제2 부분을 갖는 발광 소자.

청구항 9

제8항에 있어서,
상기 제1 도전 패턴의 제2 부분은 상기 제1 부분의 1 내지 5배의 면적을 갖는 발광 소자.

청구항 10

제9항에 있어서,
상기 제2 부분이 상기 제1 부분을 감싸는 구조를 갖는 발광 소자.

청구항 11

제8항에 있어서,
상기 제1 도전 패턴은 상기 제3 비아 구조물보다 큰 폭을 갖는 발광 소자.

청구항 12

제1항에 있어서,
상기 제1 오믹층 및 상기 제1 패드 사이를 전기적으로 연결하는 제1 비아 구조물;
상기 제2 오믹층 및 상기 제2 패드 사이를 전기적으로 연결하는 제2 비아 구조물;
상기 제1 도전 패턴 및 상기 제3 패드 사이를 전기적으로 연결하는 제3 비아 구조물; 및
상기 제6 및 상기 제1 내지 제4 비아 구조물들 각각과, 상기 제1 내지 제3 발광부들과 전기적으로 절연하는 제1 패시베이션막을 더 포함하되,
상기 제1 패시베이션막은 상기 제1 내지 제4 비아 구조물들 각각의 외측벽을 감싸는 제1 부분과 상기 제3-1형 반도체층과 상기 제1 내지 제3 패드들 및 상기 공통 패드 사이에 배치되는 제2 부분을 가지며,
상기 제1 패시베이션막의 상기 제2 부분이 상기 제1 부분보다 크거나 동일한 두께를 갖는 발광 소자.

청구항 13

제12항에 있어서,
상기 공통 패드와 상기 제1-1형 반도체층 사이를 전기적으로 연결하는 제4 비아 구조물; 및
상기 공통 패드와 상기 제2-1형 반도체층 사이를 전기적으로 연결하는 제5 비아 구조물을 더 포함하되,

상기 제1 패시베이션막의 제1 부분은 상기 제4 및 제5 비아 구조물들 각각의 외측벽을 감싸는 발광 소자.

청구항 14

제12항에 있어서,

상기 제2 도전 패턴은 상기 제6 비아 구조물과 접하는 일 면과 일 면에 대향하는 타 면을 가지며,

상기 제2 도전 패턴의 타 면 및 상기 제2-1형 반도체층과 전기적으로 접하는 제2 패턴 및 상기 제2 패턴과 상기 제1-1형 반도체층 사이를 전기적으로 연결하는 제1 패턴을 포함하는 제4 비아 구조물을 더 포함하는 발광 소자.

청구항 15

제1항에 있어서,

상기 제1-1형, 제2-1형, 및 제3-1형 반도체층들 각각의 일 면에 대향하는 타 면은 복수의 돌기를 갖는 발광 소자.

청구항 16

제1항에 있어서,

상기 제1-1형, 제2-1형, 및 제3-1형 반도체층들 각각은 n형 반도체를 포함하고,

상기 제1-2형, 제2-2형, 및 제3-2형 반도체층들 각각은 p형 반도체를 포함하는 발광 소자.

청구항 17

제1항에 있어서,

상기 제1-1형, 제2-1형, 및 제3-1형 반도체층들 각각은 p형 반도체를 포함하고,

상기 제1-2형, 제2-2형, 및 제3-2형 반도체층들 각각은 n형 반도체를 포함하는 발광 소자.

청구항 18

제1항에 있어서,

상기 제1 두께는 0.3 내지 0.4 μ m 범위 내인 발광 소자.

청구항 19

제1 항에 있어서,

상기 제2 두께는 3 내지 4 μ m 범위 내인 발광 소자.

청구항 20

제1 항에 있어서,

상기 제2 발광부와 상기 제3 발광부를 접착하는 접착부를 더 포함하되,

상기 제2 두께는 상기 접착부보다 더 두꺼운 발광 소자.

청구항 21

삭제

발명의 설명

기술 분야

본 발명은 발광 소자에 관한 것으로, 보다 상세하게는 복수의 발광층들이 적층된 발광 소자에 관한 것이다.

배경 기술

[0001]

- [0002] 발광 다이오드는 무기 광원으로로서, 디스플레이 장치, 차량용 램프, 일반 조명과 같은 여러 분야에 다양하게 이용되고 있다. 발광 다이오드는 수명이 길고, 소비 전력이 낮으며, 응답속도가 빠른 장점이 있어 기존 광원을 빠르게 대체하고 있다.
- [0003] 특히, 디스플레이 장치는 일반적으로 청색, 녹색 및 적색의 혼합색을 이용하여 다양한 색상을 구현한다. 디스플레이 장치의 각 픽셀은 청색, 녹색 및 적색의 서브 픽셀을 구비하며, 이들 서브 픽셀들의 색상을 통해 특정 픽셀의 색상이 정해지고, 이들 픽셀들의 조합에 의해 이미지가 구현된다.
- [0004] 발광 다이오드는 디스플레이 장치에서 백라이트 광원으로 주로 사용되어 왔다. 그러나 최근 발광 다이오드를 이용하여 직접 이미지를 구현하는 차세대 디스플레이로서 마이크로 LED(micro LED)가 개발되고 있다.

발명의 내용

해결하려는 과제

- [0005] 본원 발명이 해결하고자 하는 과제는 광효율 및 광추출이 향상된 발광 소자를 제공하는데 있다.
- [0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 해결하고자 하는 일 과제를 달성하기 위하여 본 발명의 실시예들에 따른 발광 소자는, 제1-1형 반도체층, 제1 활성층, 제1-2형 반도체층, 및 제1 오믹층을 포함하는 제1 발광부, 상기 제1 발광부 상에 배치되며, 제2-1형 반도체층, 제2 활성층, 제2-2형 반도체층, 및 제2 오믹층을 포함하는 제2 발광부, 상기 제2 발광부 상에 배치되며, 제3-1형 반도체층, 제3 활성층, 제3-2형 반도체층, 상기 제3-2형 반도체층과 일 면이 전기적으로 접하는 제1 금속 패턴, 및 상기 제3-1형 반도체층과 일 면이 전기적으로 접하는 제2 금속 패턴을 포함하는 제3 발광부, 상기 제1 오믹층과 전기적으로 연결되는 제1 패드, 상기 제2 오믹층과 전기적으로 연결되는 제2 패드, 상기 제1 금속 패턴과 전기적으로 연결되는 제3 패드, 상기 제1-1형 및 제2-1형 반도체층들과 상기 제2 금속 패턴과 전기적으로 공통 연결되는 공통 패드, 및 상기 제2 금속 패턴과 상기 공통 패드 사이에서 상기 제2 금속 패턴 및 상기 공통 패드를 전기적으로 연결하는 제1 비아 구조물을 포함하되, 상기 제2 금속 패턴의 일 면은 상기 제1 비아 구조물과 접하는 제1 부분과, 상기 제3-1형 반도체층과 접하는 제2 부분을 갖는다.
- [0008] 실시예들에 따르면, 상기 제2 금속 패턴의 제2 부분은 상기 제1 부분의 1 내지 5배의 면적을 가질 수 있다.
- [0009] 실시예들에 따르면, 상기 제2 부분이 상기 제1 부분을 감싸는 구조를 가질 수 있다.
- [0010] 실시예들에 따르면, 상기 제1 및 제2 금속 패턴들 각각의 전기전도도가 상기 제1 및 제2 오믹층들 각각의 전기전도도보다 클 수 있다.
- [0011] 실시예들에 따르면, 상기 제1 금속 패턴은 상기 제3-2형 반도체층에 접하고 제1 두께를 가지며, 상기 제2 금속 패턴은 상기 제3-1형 반도체층 및 상기 제3 활성층을 관통하며, 상기 제1 두께보다 큰 제2 두께를 가질 수 있다.
- [0012] 실시예들에 따르면, 상기 제1 금속 패턴의 일 면에 대향하는 타 면은 상기 제2 금속 패턴의 일 면에 대향하는 타 면과 동일하거나 높은 레벨일 수 있다.
- [0013] 실시예들에 따르면, 상기 제2 금속 패턴은 상기 일 면에 대향하는 타 면을 더 가지되, 상기 일 면의 폭이 타 면의 폭보다 크며, 상기 타 면의 폭은 상기 제1 비아 구조물의 폭보다 클 수 있다.
- [0014] 실시예들에 따르면, 상기 제2 금속 패턴은 상기 제1 비아 구조물과 인접한 부분의 외측벽이 돌출된 구조를 가질 수 있다.
- [0015] 실시예들에 따르면, 상기 발광 소자는, 상기 제1 금속 패턴 및 상기 제3 패드 사이에서 상기 제1 금속 패턴 및 상기 제3 패드를 전기적으로 연결하는 제2 비아 구조물을 더 포함하되, 상기 제1 금속 패턴의 일 면은 상기 제2 비아 구조물과 접하는 제1 부분과, 상기 제3-2형 반도체층과 접하는 제2 부분을 가질 수 있다.
- [0016] 실시예들에 따르면, 상기 제1 금속 패턴의 제2 부분은 상기 제1 부분의 1 내지 5배의 면적을 가질 수 있다.
- [0017] 실시예들에 따르면, 상기 제2 부분이 상기 제1 부분을 감싸는 구조를 가질 수 있다.

- [0018] 실시예들에 따르면, 상기 제1 금속 패턴은 상기 제2 비아 구조물보다 큰 폭을 가질 수 있다.
- [0019] 실시예들에 따르면, 상기 발광 소자는 상기 제1 오믹층 및 상기 제1 패드 사이를 전기적으로 연결하는 제2 비아 구조물, 상기 제2 오믹층 및 상기 제2 패드 사이를 전기적으로 연결하는 제3 비아 구조물, 상기 제1 금속 패턴 및 상기 제3 패드 사이를 전기적으로 연결하는 제4 비아 구조물, 및 상기 제1 내지 제4 비아 구조물들 각각과, 상기 제1 내지 제3 발광부들과 전기적으로 절연하는 제1 패시베이션막을 더 포함하되, 상기 제1 패시베이션막은 상기 제1 내지 제4 비아 구조물들 각각의 외측벽을 감싸는 제1 부분과 상기 제3-1형 반도체층과 상기 제1 내지 제3 패드들 및 상기 공통 패드 사이에 배치되는 제2 부분을 가지며, 상기 제1 패시베이션막의 상기 제2 부분이 상기 제1 부분보다 크거나 동일한 두께를 가질 수 있다.
- [0020] 실시예들에 따르면, 상기 발광 소자는, 상기 공통 패드와 상기 제1-1형 반도체층 사이를 전기적으로 연결하는 제5 비아 구조물 및 상기 공통 패드와 상기 제2-1형 반도체층 사이를 전기적으로 연결하는 제6 비아 구조물을 더 포함하되, 상기 제1 패시베이션막의 제1 부분은 상기 제5 및 제6 비아 구조물들 각각의 외측벽을 감쌀 수 있다.
- [0021] 실시예들에 따르면, 상기 제1 내지 제6 비아 구조물들 각각은 배선막 및 배선막의 외측벽을 감싸는 시드막을 포함할 수 있다.
- [0022] 실시예들에 따르면, 상기 제2 금속 패턴은 상기 제1 비아 구조물과 접하는 일 면과 일 면에 대향하는 타 면을 가지며, 상기 발광 소자는, 상기 제2 금속 패턴의 타 면 및 상기 제2-1형 반도체층과 전기적으로 접하는 제1 패턴 및 상기 제1 패턴과 상기 제1-1형 반도체층 사이를 전기적으로 연결하는 제2 패턴을 포함하는 제5 비아 구조물을 더 포함할 수 있다.
- [0023] 실시예들에 따르면, 상기 제1 내지 제5 비아 구조물들 각각은 배선막 및 배선막의 외측벽을 감싸는 시드막을 포함할 수 있다.
- [0024] 실시예들에 따르면, 상기 발광 소자는, 상기 제1 내지 제3 발광부들 각각의 외측벽을 감싸는 패시베이션막, 및 상기 패시베이션막의 외측벽을 감싸는 외측 시드막을 더 포함할 수 있다.
- [0025] 실시예들에 따르면, 상기 발광 소자는, 상기 제1 내지 제3 발광부들 중 적어도 하나의 외측벽을 감싸는 제1 외측 시드막, 상기 제1 내지 제3 발광부들 중 하나또는 두 개와 상기 제1 외측 시드막 사이에 배치되는 제1 패시베이션막, 상기 제1 내지 제3 발광부들의 나머지의 외측벽을 감싸는 제2 외측 시드막, 및 상기 제1 내지 제3 발광부들의 나머지와 상기 제2 외측 시드막 사이에 배치되는 제2 패시베이션막을 더 포함할 수 있다.
- [0026] 실시예들에 따르면, 상기 제1-1형, 제2-1형, 및 제3-1형 반도체층들 각각의 일 면에 대향하는 타 면은 복수의 돌기를 가질 수 있다.
- [0027] 실시예들에 따르면, 상기 제1-1형, 제2-1형, 및 제3-1형 반도체층들 각각은 n형 반도체를 포함하고, 상기 제1-2형, 제2-2형, 및 제3-2형 반도체층들 각각은 p형 반도체를 포함할 수 있다.
- [0028] 실시예들에 따르면, 상기 제1-1형, 제2-1형, 및 제3-1형 반도체층들 각각은 p형 반도체를 포함하고, 상기 제1-2형, 제2-2형, 및 제3-2형 반도체층들 각각은 n형 반도체를 포함할 수 있다.
- [0029] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0030] 본 발명의 실시예들에 따른 발광 소자에 따르면, 적색을 발현하는 발광부에서 n형 반도체층과 p형 반도체층에 금속 패턴이 형성되어 오믹 특성을 향상시킬 수 있다.
- [0031] 그리고, 제1-1형 반도체층, 제2-1형 반도체층, 및 제3-1형 반도체층이 공통 패드에 공통으로 전기적으로 연결됨으로써, 제1-2형 반도체층, 제2-2형 반도체층, 및 제3-2형 반도체층을 공통으로 연결하는 것보다 안정적으로 전류를 공급받을 수 있다.
- [0032] 또한, 발광 소자의 외측벽에 시드막이 형성되어, 발광 소자로부터 발생된 광을 반사시켜 발광 소자의 광 효율을 향상시킬 수 있다.

도면의 간단한 설명

- [0033] 도 1a은 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 평면도이다.
 도 1b는 도 1a의 발광 소자를 A-A' 및 B-B'으로 절단한 단면도이다.
 도 1c는 도 1b의 A를 확대한 확대도이다.
 도 1d는 도 1b의 B를 확대한 확대도이다.
 도 1e는 도 1b에 도시된 발광 소자의 제1 도전 패턴의 평면도이다.
 도 1f는 도 1b에 도시된 발광 소자의 제2 도전 패턴의 평면도이다.
 도 1g는 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 평면도이다.
 도 1h는 도 1g의 발광 소자를 A-A' 및 B-B'으로 절단한 단면도이다. 도 1i는 본 발명의 일 실시예에 따른 발광 소자의 제1 내지 제3 발광부들 각각의 단위 면적 당 전류 밀도에 대한 정규 외부 양자 효율을 나타내는 그래프이다.
 도 2a은 본 발명의 다른 실시예들에 따른 발광 소자를 설명하기 위한 평면도이다.
 도 2b는 도 2a의 발광 소자를 C-C'으로 절단한 단면도이다.
 도 3 내지 도 28은 본 발명의 일 실시예에 따른 발광 소자를 제조하기 위한 방법을 설명하기 위한 단면도들이다.
 도 29 내지 도 46은 본 발명의 다른 실시예에 따른 발광 소자를 제조하는 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예들을 설명한다. 그러나 본 발명은, 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 여러 가지 형태로 구현될 수 있고 다양한 변경을 가할 수 있다.
- [0035] 또한, 본 발명의 실시예들에서 사용되는 용어들은 다르게 정의되지 않는 한, 해당 기술 분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다.
- [0036] 이하, 도면들을 참조하여 본 발명의 실시예들에 따른 발광 소자에 대하여 상세하게 설명한다.
- [0037] 도 1a은 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 평면도이고, 도 1b는 도 1a의 발광 소자를 A-A' 및 B-B'으로 절단한 단면도이고, 도 1c는 도 1b의 A를 확대한 확대도이며, 도 1d는 도 1b의 B를 확대한 확대도이고, 도 1e는 도 1b에 도시된 발광 소자의 제1 도전 패턴의 평면도이고, 도 1f는 도 1b에 도시된 발광 소자의 제2 도전 패턴의 평면도이다. 도 1g는 본 발명의 일 실시예에 따른 발광 소자를 설명하기 위한 평면도이고, 도 1h는 도 1g의 발광 소자를 A-A' 및 B-B'으로 절단한 단면도이다. 도 1i는 본 발명의 일 실시예에 따른 발광 소자의 제1 내지 제3 발광부들 각각의 단위 면적 당 전류 밀도에 대한 정규 외부 양자 효율을 나타내는 그래프이다.
- [0038] 도 1a 내지 도 1h를 참조하면, 발광 소자는 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3)를 포함할 수 있다.
- [0039] 평면적 관점에서, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3)는 서로 동일 평면에 위치하는 외측벽을 갖는 사각형 구조를 가질 수 있다. 평면적 관점에서, 발광 소자는 제1 모서리(CN1), 제2 모서리(CN2), 제3 모서리(CN3), 및 제4 모서리(CN4)를 포함할 수 있다.
- [0040] 일 예에 따르면, 제1 발광부(LE1) 상에 제2 발광부(LE2)가 일 방향을 치우쳐 배치되고, 제2 발광부(LE2) 상에 제3 발광부(LE3)가 일 방향으로 치우쳐 배치될 때, 제1 발광부(LE1)에서 발광된 광이 제2 발광부(LE2) 및 제3 발광부(LE3)를 거치는 광이 있는가 하면, 제2 발광부(LE2) 및 제3 발광부(LE3)를 거치지 않는 광이 있어, 혼색이 발생하는 경우가 있다. 본 실시예에 따르면, 제1 발광부(LE1) 및 제2 발광부(LE2) 및 제3 발광부(LE3)는 서로 동일한 외측벽을 갖는 사각형 구조를 가짐으로써, 일 방향으로 치우쳐 적층되는 경우에서 발생하는 혼색을 미연에 방지할 수 있다.
- [0041] 제1 발광부(LE1)의 일 면은 제2 발광부(LE2)와 마주할 때, 제1 발광부(LE1)의 타 면은 발광 소자의 광 추출면일 수 있다. 제1 발광부(LE1)의 타 면이 광 추출면일 경우, 제1 발광부(LE1)의 파장이 가장 짧고, 제2 발광부(LE

2)의 파장은 제1 발광부(LE1)의 파장보다 길고 제3 발광부(LE3)의 파장보다 짧으며, 제3 발광부(LE3)의 파장이 가장 길 수 있다. 예컨대, 제1 발광부(LE1)는 청색광을 발광시키며, 제2 발광부(LE2)는 녹색광을 발광시키며, 제3 발광부(LE3)는 적색광을 발광시킬 수 있다.

[0042] 제1 발광부(LE1)는 수직 적층된 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106), 및 제1 오믹층(108)을 포함할 수 있다. 제2 발광부(LE2)는 수직 적층된 제2 n형 반도체층(202), 제2 활성층(204), 제2 p형 반도체층(206), 및 제2 오믹층(208)을 포함할 수 있다. 제3 발광부(LE3)는 수직 적층된 제3 p형 반도체층(306), 제3 활성층(304) 및 제3 n형 반도체층(302)과, 제3 p형 반도체층(306)과 전기적으로 연결된 제1 도전 패턴(CP1)과 제3 n형 반도체층(302)과 전기적으로 연결된 제2 도전 패턴(CP2)을 포함할 수 있다.

[0043] 제1 n형 반도체층(102), 제2 n형 반도체층(202), 및 제3 n형 반도체층(302) 각각은 Si이 도핑된 질화갈륨계 반도체층일 수 있다. 제1 p형 반도체층(106), 제2 p형 반도체층(206), 및 제3 p형 반도체층(306) 각각은 Mg가 도핑된 질화갈륨계 반도체층일 수 있다. 제1 활성층(104), 제2 활성층(204), 및 제3 활성층(304) 각각은 다중양자우물구조(Multi Quantum Well: MQW)를 포함할 수 있고, 원하는 피크 파장의 광을 방출하도록 그 조성비가 결정될 수 있다. 제1 오믹층(108) 및 제2 오믹층(208) 각각은 산화주석(SnO₂), 산화인듐(InO₂), 산화아연(ZnO), 산화인듐주석(ITO), 산화인듐아연(IZO), 및 산화인듐주석아연(ITZO)과 같은 투명 산화물층(Transparent Conductive Oxide: TCO)을 이용하여 형성될 수 있다. 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2) 각각은 제1 오믹층 및 제2 오믹층 보다 높은 전기전도 특성을 갖는 물질을 포함할 수 있다. 일 실시예에 따르면, 제1 도전 패턴(CP1)은 TCO를 대신하여 제3 p형 반도체층(306)과 전기적으로 연결되며, Au/Ge 합금을 포함할 수 있다. 제2 도전 패턴(CP2)은 TCO를 대신하여 제3 n형 반도체층(302)과 전기적으로 연결되며 Au/Be 합금을 포함할 수 있다. 제3 발광부(LE3)가 TCO를 대신하여 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)을 오믹층으로 사용하여 오믹 특성을 향상시킬 수 있다.

[0044] 도 1b 및 도 1d를 참조하면, 제1 도전 패턴(CP1)은 발광 소자의 네 개의 모서리들 중 하나(예컨대, 제3 모서리(CN3))에 위치한 제3 p형 반도체층(306)과 전기적으로 접할 수 있다. 제1 도전 패턴(CP1)은 제2 발광부(LE2)와 제3 p형 반도체층(306) 사이에서, 제1 도전 패턴(CP1)의 일 면이 제3 p형 반도체층(306) 일 면에 접하며 배치될 수 있다. 일 예로, 제1 도전 패턴(CP1)은 제1 두께(TH1)를 가질 수 있다. 예컨대, 제1 두께(TH1)는 0.3 내지 0.4μm일 수 있다.

[0045] 제2 도전 패턴(CP2)은 발광 소자의 네 개의 모서리들 중 다른 하나(예컨대, 제4 모서리(CN4))에 위치한 제3 n형 반도체층(302)과 전기적으로 접할 수 있다. 제2 도전 패턴(CP2)은 제3 발광부(LE3) 내부로 연장되며, 제3 p형 반도체층(306)과 제3 활성층(304)을 관통하는 기둥 구조를 가질 수 있다. 제2 도전 패턴(CP2)의 외측벽을 감싸는 제1 패시베이션막(PV1)에 의해 제2 도전 패턴(CP2)은 제3 p형 반도체층(306) 및 제3 활성층(304)과 절연될 수 있다. 제1 패시베이션막(PV1)은 SiNx, TiNx, TiOx, TaOx, ZrOx, HfOx, AlOx 및 SiOx으로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있다. 제1 패시베이션막(PV1)은 제3 p형 반도체층(306) 상으로 연장될 수 있다. 또한, 제1 패시베이션막(PV1)은 제1 도전 패턴(CP1)을 감싸며 배치할 수 있다.

[0046] 제2 도전 패턴(CP2)의 일 면이 제3 n형 반도체층(302)의 일 면과 접하며, 제2 도전 패턴(CP2)의 일 면에 대향하는 타 면은 제2 발광부에 인접한 제3 p형 반도체층(306)의 표면보다 낮거나 동일한 레벨에 위치할 수 있다. 일 예로, 제2 도전 패턴(CP2)은 제1 도전 패턴(CP1)보다 큰 제2 두께(TH2)를 가지며, 예컨대, 3 내지 4μm의 두께를 가질 수 있다. 이와 같이, 제3 발광부(LE3) 내부로 연장된 제2 도전 패턴(CP2)의 제2 두께(TH2)가 제1 도전 패턴(CP1)의 제1 두께(TH1)보다 크게 형성하여, 제1 도전 패턴(CP1)의 타 면과, 제2 도전 패턴(CP2)의 타 면의 레벨 차이를 감소시킬 수 있다.

[0047] 도 1b 및 도 1c에 도시된 본 발명의 일 실시예에 따르면, 제2 도전 패턴(CP2)에서 제6 비아 구조물(VA6)에 인접한 상부(UP)의 제1 폭(WT1)이 제3 p형 반도체층(306) 및 제3 활성층(304)을 관통하는 하부(LP)의 제2 폭(WT2)보다 클 수 있다. 제2 도전 패턴(CP2)의 하부(LP)는 일정한 제2 폭(WT2)을 가지나, 제2 도전 패턴(CP2)의 상부(UP)는 위로 갈수록 폭이 넓어지는 구조를 가질 수 있다. 제1 폭(WT1)은 제2 도전 패턴(CP2)의 최장 폭일 수 있다. 또한, 제6 비아 구조물(VA6)에 인접한 제2 도전 패턴(CP2)의 상부 외측벽은 돌출되어 뾰족한 가장자리(SP)를 가질 수 있다.

[0048] 일 실시예에 따르면, 제2 발광부(LE2)의 제2 n형 반도체층(202)은 제2 활성층(204)에 접하는 일 면과, 일 면에 대향하는 타 면을 포함할 수 있다. 제2 n형 반도체층(202)의 타 면에는 다수의 미세 돌기들(도 6 참조)이 형성될 수 있다. 미세 돌기들은 서로 균일할 수 있으며, 불균일할 수 있다. 도시되지 않았으나, 제1 발광부(LE1)의 제1 n형 반도체층(102)의 일 면 및 제3 발광부(LE3)의 제3 n형 반도체층(302)의 일 면 각각에도 다수의 미세 돌

기들이 형성될 수 있다.

- [0049] 도 1a 내지 도 1h를 참조하면, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 각각의 외측벽은 동일 평면일 수 있다. 이하, 발광 소자의 외측벽은 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 각각의 외측벽을 말한다.
- [0050] 발광 소자는 제1 발광부(LE1) 및 제2 발광부(LE2) 사이에 배치되는 제1 접착부(AD1) 및 제1 컬러 필터(CF1)와, 제2 발광부(LE2) 및 제3 발광부(LE3) 사이에 배치되는 제2 접착부(AD2) 및 제2 컬러 필터(CF2)를 더 포함할 수 있다.
- [0051] 제1 접착부(AD1) 및 제2 접착부(AD2) 각각은 접착 특성을 가지며 투과율이 높은 예컨대, SOG(Silicon On Glass), SiO₂, 포토레지스트(photoresist), BCB(BenzoCycloButine), 또는 HSQ(Hydrogen SilsesQuioxanes)과 같은 물질을 포함할 수 있다. 제1 컬러 필터(CF1) 및 제2 컬러 필터(CF2) 각각은 TiO₂ 및 SiO₂가 교번 적층된 구조를 갖는 DBR(Distributed Bragg Reflector)를 포함할 수 있다. 일 예로, 제1 컬러 필터(CF1) 및 제2 컬러 필터(CF2)는 TiO₂ 및 SiO₂의 성분비 및 교번 적층되는 순서 및 수량이 서로 상이할 수 있다. 일 실시예에 따르면, 제1 컬러 필터(CF1)는 제2 발광부(LE2)로부터 발생된 광 및 제3 발광부(LE3)로부터 발생된 광을 선택적으로 통과시키며, 제1 발광부(LE1)로부터 발생된 광을 반사시킬 수 있다. 제2 컬러 필터(CF2)는 제3 발광부(LE3)로부터 발생된 광을 선택적으로 통과시키며, 제1 발광부(LE1)로부터 발생된 광과 제2 발광부(LE2)로부터 발생된 광을 반사시킬 수 있다.
- [0052] 일 실시예에 따르면, 제2 도전 패턴(CP2)이 제3 p형 반도체층, 제3 활성층을 관통하여 배치되고, 제1 도전 패턴(CP1)은 제3 p형 반도체층 상에 배치됨으로써, 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2) 사이 단차를 감소시키기 위하여, 제2 도전 패턴(CP2)이 제1 도전 패턴(CP1)보다 큰 두께로 형성될 수 있다. 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)의 일 면에 배치되는 제2 접착부(AD2)가 제2 컬러 필터(CF2)와 접촉할 시, 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)의 감소된 단차에 의해 제2 접착부(AD2)가 움푹하게 들어가거나 돌출되는 부분 없이 실질적으로 균일하게 형성될 수 있다. 제2 접착부(AD2)가 움푹하게 들어가거나 돌출되는 경우, 움푹한 부분 및 돌출된 부분에서 에어 갭(air gap)이 형성되고 제2 접착부(AD2)를 열압착으로 접촉시킬 때 에어 갭 내 공기가 팽창하여 제2 접착부(AD2)와 제2 컬러 필터(CF2) 사이를 박리시킬 수 있다. 본 발명의 실시예들에 따르면, 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2) 사이의 두께 단차를 두어 제2 접착부(AD2) 접하는 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)의 단차를 감소시킴으로써, 제2 접착부(AD2)가 움푹한 부분 또는 돌출된 부분 형성을 방지할 수 있으며, 에어 갭으로 인한 박리를 방지할 수 있다.
- [0053] 제3 발광부(LE3) 상에서, 제1 모서리(CN1)에 배치되며 제1 오믹층(108)과 전기적으로 연결되는 제1 패드(PD1), 제2 모서리(CN2)에 배치되며 제2 오믹층(208)과 전기적으로 연결되는 제2 패드(PD2), 제3 모서리(CN3)에 배치되며 제1 도전 패턴(CP1)과 전기적으로 연결되는 제3 패드(PD3), 및 제4 모서리(CN4)에 배치되며 제1 내지 제3 n형 반도체층(302)들을 공통으로 전기적으로 연결되는 공통 패드(CPD)가 제공될 수 있다.
- [0054] 일 예로, 제1 패드(PD1), 제2 패드(PD2), 제3 패드(PD3), 및 공통 패드(CPD) 각각은 Au, Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Hf, Cr, Ti, 및 Cu으로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있다. 또한, 상기 열거된 물질들의 합금을 포함할 수 있다.
- [0055] 일 예로, 제1 패드(PD1), 제2 패드(PD2), 제3 패드(PD3), 및 공통 패드(CPD) 각각은 평면적으로 동일한 폭(WT) 및 형상을 가질 수 있다. 예를 들어, 발광 소자가 10X10 μ m일 경우, 제1 패드(PD1), 제2 패드(PD2), 제3 패드(PD3), 및 공통 패드(CPD) 각각은 3 내지 4 μ m의 너비를 가지며, 제1 패드(PD1), 제2 패드(PD2), 제3 패드(PD3), 및 공통 패드(CPD) 사이는 각각 2 내지 4 μ m의 폭을 가질 수 있다.
- [0056] 발광 소자는, 제1 모서리(CN1)에 배치되며 제1 오믹층(108) 및 제1 패드(PD1) 사이를 전기적으로 연결하는 제1 비아 구조물(VA1), 제2 모서리(CN2)에 배치되며 제2 오믹층(208) 및 제2 패드(PD2) 사이를 전기적으로 연결하는 제2 비아 구조물(VA2), 및 제3 모서리(CN3)에 배치되며 제1 도전 패턴(CP1) 및 제3 패드(PD3) 사이를 전기적으로 연결하는 제3 비아 구조물(VA3)을 더 포함할 수 있다. 또한, 발광 소자는 제4 모서리(CN4)에 배치되며 제1 n형 반도체층(102) 및 공통 패드(CPD)를 전기적으로 연결하는 제4 비아 구조물(VA4), 제2 n형 반도체층(202) 및 공통 패드(CPD)를 전기적으로 연결하는 제5 비아 구조물(VA5), 및 제2 도전 패턴(CP2) 및 공통 패드(CPD)를 전기적으로 연결하는 제6 비아 구조물(VA6)을 더 포함할 수 있다.
- [0057] 제1 비아 구조물(VA1)은 제3 발광부(LE3), 제2 접착부(AD2), 제2 컬러 필터(CF2), 제2 발광부(LE2), 제1 접착부(AD1), 및 제1 컬러 필터(CF1)를 관통할 수 있다. 제2 비아 구조물(VA2)은 제3 발광부(LE3), 제2 접착부

(AD2), 및 제2 컬러 필터(CF2)를 관통할 수 있다. 제3 비아 구조물(VA3)은 제3 발광부(LE3)를 관통할 수 있다. 제4 비아 구조물(VA4)은 제3 발광부(LE3), 제2 접착부(AD2), 제2 컬러 필터(CF2), 제2 발광부(LE2), 제1 접착부(AD1), 제1 컬러 필터(CF1), 제1 오믹층(108), 제1 p형 반도체층(106), 및 제1 활성층(104)을 관통할 수 있다. 제5 비아 구조물(VA5)은 제3 발광부(LE3), 제2 접착부(AD2), 제2 컬러 필터(CF2), 제2 오믹층(208), 제2 p형 반도체층(206), 및 제2 활성층(204)을 관통할 수 있다. 제6 비아 구조물(VA6)은 제3 n형 반도체층(302)을 관통할 수 있다. 도 1a 및 도 1b를 참조하면, 제1 비아 구조물(VA1), 제2 비아 구조물(VA2), 제3 비아 구조물(VA3), 제4 비아 구조물(VA4), 제5 비아 구조물(VA5), 및 제6 비아 구조물(VA6) 각각은 동일한 제3 폭(WT3)을 가질 수 있다. 제3 폭(WT3)은 1 μ m이하일 수 있다.

[0058] 도 1g 및 도 1h를 참조하면, 제1 비아 구조물(VA1), 제2 비아 구조물(VA2), 제3 비아 구조물(VA3), 제4 비아 구조물(VA4), 제5 비아 구조물(VA5), 및 제6 비아 구조물(VA6) 각각은 서로 상이한 폭을 가질 수 있다. 일 예로, 제1 비아 구조물(VA1), 제2 비아 구조물(VA2), 제3 비아 구조물(VA3), 제4 비아 구조물(VA4), 및 제5 비아 구조물(VA5) 각각은 동일한 제3 폭(WT3)을 가지나, 제6 비아 구조물(VA6)은 제3 폭(WT3) 보다 큰 제4 폭(WT4)를 가질 수 있다. 예를 들어, 제1 발광부(LE1)가 청색광을 발광하고, 제2 발광부(LE2)가 녹색광을 발광하며, 제3 발광부(LE3)가 적색광을 발광할 때, 제1 발광부, 제2 발광부, 및 제3 발광부 각각에서 단위 면적 당 전류 밀도에 따른 최대 외부 양자 효율(External Quantum Efficiency: EQE)이 상이할 수 있다. 도 1i에서, x축은 발광 소자의 단위 면적 당 전류 밀도를 나타내며, y축은 정규 외부 양자 효율(normalized EQE)을 나타낸다. 도 1i를 참조하면, 최대 외부 양자 효율 100%를 내기 위하여, 제1 발광부(LE1) 및 제2 발광부(LE2)는 단위 면적 당 약 2A/cm²의 전류가 요구되나, 제3 발광부(LE3)는 단위 면적당 약 20A/cm²가 요구된다. 본 발명의 실시예들에 따른 발광 소자는 제1 발광부, 제2 발광부, 및 제3 발광부가 수직 적층되어, 동일한 전류를 인가하여 최대 외부 양자 효율을 내는 것이 바람직한데, 이를 위하여, 제3 발광부(LE3)의 면적을 감소시켜, 제3 발광부(LE3)로 인가되는 전류의 양을 제1 발광부(LE1) 및 제2 발광부(LE2) 각각으로 인가되는 전류의 양 정도로 낮출 수 있다. 따라서, 전술한 바와 같이, 제3 발광부(LE3)의 제6 비아 구조물(VA6)을 제1 내지 제5 비아 구조물들(VA1, VA2, VA3, VA4, VA5) 각각의 크기보다 크게 형성하여, 적색의 제3 발광부(LE3)의 면적을 감소시켜, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 각각으로 실질적으로 동일한 전류를 인가시켜, 최대의 외부 양자 효율을 나타낼 수 있다.

[0059] 한편, 도시되지 않았으나 동일한 이유로, 제3 발광부의 제3 p형 반도체층(306)과 전기적으로 연결되는 제3 비아 구조물(VA3)은 제1 비아 구조물(VA1), 제2 비아 구조물(VA2), 제4 비아 구조물(VA4), 제5 비아 구조물(VA5), 및 제6 비아 구조물(VA6) 각각의 제3 폭(WT3)보다 큰 제4 폭(WT4)을 가질 수 있다.

[0060] 도 1b 및 도 1e에 도시된 본 발명의 일 실시예에 따르면, 제3 비아 구조물(VA3)의 일 면은 제1 도전 패턴(CP1)의 일 면과 접할 수 있다. 제1 도전 패턴(CP1)은 제3 폭(WT3)보다 큰 폭을 가질 수 있다. 제1 도전 패턴(CP1)의 일 면은 제3 비아 구조물(VA3) 및 제3 p형 반도체층(306)의 일 면과 동시에 접할 수 있다. 제1 도전 패턴(CP1)은 제3 비아 구조물(VA3)과 접하는 제1 부분(PT1)과, 제3 p형 반도체층(306)과 접하는 제2 부분(PT2)을 포함할 수 있다. 제2 부분(PT2)은 제1 부분(PT1)을 감싸는 구조를 가질 수 있다. 제2 부분(PT2)의 면적은 제1 부분(PT1)의 면적의 1 내지 5배일 수 있다.

[0061] 도 1b 및 도 1f에 도시된 본 발명의 일 실시예에 따르면, 제6 비아 구조물(VA6)의 일 면은 제2 도전 패턴(CP2)의 일 면과 접할 수 있다. 제2 도전 패턴(CP2)은 제3 폭(WT3)보다 큰 폭을 가질 수 있다. 도 1c를 참조하면, 제2 도전 패턴은 제1 폭(WT1) 및 제2 폭(WT2)을 가질 수 있으며, 제6 비아 구조물(VA6)의 제3 폭(WT3)은 제1 폭(WT1)보다 작고, 제2 폭(WT2)보다 작을 수 있다. 제2 폭(WT2)은 제1 폭(WT1)보다 작고, 제3 폭(WT3)보다 클 수 있다. 제2 도전 패턴(CP2)의 일 면은 제6 비아 구조물(VA6) 및 제3 n형 반도체층(302)과 동시에 접할 수 있다. 제2 도전 패턴(CP2)은 제6 비아 구조물(VA6)과 접하는 제1 부분(PT1)과, 제3 n형 반도체층(302)과 접하는 제2 부분(PT2)을 포함할 수 있다. 제2 부분(PT2)은 제1 부분(PT1)을 감싸는 구조를 가질 수 있다. 제2 부분(PT2)의 면적은 제1 부분(PT1)의 면적의 1 내지 5배일 수 있다.

[0062] 도 1a 내지 도 1h를 참조하면, 제1 비아 구조물(VA1), 제2 비아 구조물(VA2), 제3 비아 구조물(VA3), 제4 비아 구조물(VA4), 제5 비아 구조물(VA5), 및 제6 비아 구조물(VA6) 각각은 시드막(SD)(seed layer) 및 배선막(ML)(plating layer)을 포함하되, 시드막(SD)이 배선막(ML)의 외측벽을 감싸는 구조를 가질 수 있다. 일 예로, 시드막(SD) 및 배선막(ML)은 구리를 포함하되, 시드막(SD) 내 구리 밀도가 배선막(ML) 내 구리 밀도보다 더 높을 수 있다.

[0063] 발광 소자는, 제1 비아 구조물(VA1), 제2 비아 구조물(VA2), 제3 비아 구조물(VA3), 제4 비아 구조물(VA4), 제5

비아 구조물(VA5), 및 제6 비아 구조물(VA6) 각각의 외측벽을 감싸고, 제3 n형 반도체층(302)의 표면으로 연장하는 제2 패시베이션막(PV2)을 더 포함할 수 있다. 제2 패시베이션막(PV2)은 제3 n형 반도체층(302)의 표면으로 연장함으로써, 제3 n형 반도체층(302)과 제1 패드(PD1), 제2 패드(PD2), 제3 패드(PD3) 및 공통 패드(CPD) 사이를 전기적으로 절연시킬 수 있다. 제2 패시베이션막(PV2)은 SiNx, TiNx, TiOx, TaOx, ZrOx, HfOx, AlOx 및 SiOx으로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있으며 투명하고 절연 특성을 갖는 물질을 포함할 수 있다.

[0064] 일 실시예에 따르면, 제2 패시베이션막(PV2)은 제3 n형 반도체층(302)의 표면으로 연장하는 부분의 두께가 제1 비아 구조물(VA1), 제2 비아 구조물(VA2), 제3 비아 구조물(VA3), 제4 비아 구조물(VA4), 제5 비아 구조물(VA5), 및 제6 비아 구조물(VA6) 각각의 외측벽을 감싸는 부분의 두께보다 크거나 동일할 수 있다.

[0065] 제3 n형 반도체층(302) 표면 배치되는 제2 패시베이션막(PV2)의 두께가 제1 비아 구조물(VA1), 제2 비아 구조물(VA2), 제3 비아 구조물(VA3), 제4 비아 구조물(VA4), 제5 비아 구조물(VA5), 및 제6 비아 구조물(VA6) 각각의 외측벽을 감싸는 부분의 두께보다 크거나 동일하기 때문에, 기판으로부터 발광 소자를 분리할 때 기판이 휘게 되는데, 이때 제3 n형 반도체층(302) 표면에 배치된 제2 패시베이션막(PV2)이 제1 패드(PD1), 제2 패드(PD2), 제3 패드(PD3), 및 공통 패드(CPD)가 발광 소자로부터 박리되는 것을 방지할 수 있다.

[0066] 발광 소자의 외측벽을 감싸며 배치되는 외측 시드막(SSD)을 더 포함할 수 있다. 일 실시예에 따르면, 제2 패시베이션막(PV2)은 외측 시드막(SSD) 및 발광 소자 사이로 연장되어 배치될 수 있다. 외측 시드막(SSD)의 양단면은 제4 비아 구조물(VA4)의 양단면과 실질적으로 동일 평면일 수 있다. 본 발명의 일 실시예에 따르면, 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 각각으로부터 발생된 광 중에서, 측면 방향으로 발광하는 광이 외측 시드막(SSD)에 의해 반사되어, 발광 소자의 광 효율을 향상시킬 수 있다.

[0067] 선택적으로, 일 실시예에 따르면, 외측 시드막(SSD)의 외측벽을 감싸는 마스크 패턴(MP5)을 더 포함할 수 있다. 마스크 패턴(MP5)에 의해 발광 소자가 외부와 전기적으로 절연될 수 있다. 마스크 패턴(MP5)은 포토레지스트 또는 폴리이미드, 에폭시 등과 같이 불투명하며 절연 특성을 갖는 물질을 포함할 수 있다.

[0068] 일 실시예에 따르면, 발광 소자를 완성한 후 제거되는 기판(도시되지 않음) 제1 발광부(LE1)의 제1 p형 반도체층(106) 사이에서 휨(bowing) 현상이 나타나는데, 휨 현상으로 인하여 기판 상에 복수의 발광 소자들 사이를 소자 분리 공정 중에 발광 소자에 크랙(crack)이 발생할 수 있다. 발광 소자의 외측벽을 감싸는 마스크 패턴(MP5)에 의해 크랙을 방지할 수 있다.

[0069] 도 1a 내지 도 1h에서 설명된 발광 소자에서는 제1 n형 반도체층(102), 제2 n형 반도체층(202), 및 제3 n형 반도체층(302) 각각이 공통 패드(CPD)에 전기적으로 연결된 것으로 설명하였으나, 제1 p형 반도체층(106), 제2 p형 반도체층(206), 및 제3 p형 반도체층(306) 각각이 공통 패드(CPD)에 전기적으로 연결될 수도 있다.

[0070] 도 2a는 본 발명의 다른 실시예에 따른 발광 소자를 설명하기 위한 평면도이다. 도 2b는 도 2a의 발광 소자를 C-C'으로 절단한 단면도이다.

[0071] 도 2a 및 도 2b를 참조하면, 발광 소자는 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3)를 포함할 수 있다.

[0072] 제1 발광부(LE1)는 수직 적층된 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106), 및 제1 오믹층(108)을 포함할 수 있다. 제2 발광부(LE2)는 수직 적층된 제2 오믹층(208), 제2 p형 반도체층(206), 제2 활성층(204), 및 제2 n형 반도체층(202)을 포함할 수 있다. 제3 발광부(LE3)는 수직 적층된 제3 p형 반도체층(306), 제3 활성층(304), 및 제3 n형 반도체층(302)을 포함할 수 있다. 제3 발광부(LE3)는 제3 p형 반도체층(306)과 전기적으로 연결되는 제1 도전 패턴(CP1)과, 제3 n형 반도체층(302)과 전기적으로 연결되는 제2 도전 패턴(CP2)을 더 포함할 수 있다.

[0073] 발광 소자는 제1 발광부(LE1) 및 제2 발광부(LE2) 사이에 배치되는 제1 컬러 필터(CF1) 및 제1 접착부(AD1)와, 제2 발광부(LE2) 및 제3 발광부(LE3) 사이에 배치되는 제2 컬러 필터(CF2), 제2 접착부(AD2), 및 제3 접착부(AD3)를 더 포함할 수 있다. 제1 컬러 필터(CF1)는 제1 오믹층(108)과 제1 접착부(AD1) 사이에 배치될 수 있다. 선택적으로, 제1 컬러 필터(CF1)는 제1 오믹층(108) 및 제1 접착부(AD1) 사이에 배치될 수 있다. 제2 컬러 필터(CF2)는 제3 p형 반도체층(306) 및 제3 접착부(AD3) 사이에 배치될 수 있다. 제1 접착부(AD1)는 제1 컬러 필터(CF1) 및 제2 오믹층(208) 사이에 배치되어 제1 발광부(LE1) 및 제2 발광부(LE2) 사이를 접착시킬 수 있다. 일 실시예에 따르면, 제1 접착부(AD1)는 제1 컬러 필터(CF1), 제1 오믹층(108), 제1 p형 반도체층(106), 및 제1 활성층(104)을 관통하는 홀의 내측벽으로 연장되어 배치될 수 있다. 제2 접착부(AD2)는 제2 n형 반도체층(202) 및

제3 접착부(AD3) 사이에 배치될 수 있다. 제3 접착부(AD3)는 제2 접착부(AD2) 및 제2 컬러 필터(CF2) 사이에 배치되며, 제2 컬러 필터(CF2), 제2 p형 반도체층(206), 및 제2 활성층(204)을 관통하는 홀의 내측벽으로 연장되어 배치될 수 있다.

[0074] 일 실시예에 따르면, 제1 도전 패턴(CP1)은 제3 p형 반도체층(306) 상에 전기적으로 접할 수 있다. 제1 도전 패턴(CP1)은 제2 발광부(LE2)와 제3 p형 반도체층(306) 사이에서, 제1 도전 패턴(CP1)의 일 면이 제3 p형 반도체층(306) 일 면에 접하며 배치될 수 있다. 일 예로, 제1 도전 패턴(CP1)은 제2 컬러 필터(CF2) 및 제3 접착부(AD3)를 관통하는 기둥 구조를 가질 수 있다.

[0075] 제2 도전 패턴(CP2)은 제3 n형 반도체층(302)과 전기적으로 접할 수 있다. 제2 도전 패턴(CP2)은 제3 발광부(LE3) 내부로 연장되며 제3 p형 반도체층(306)과 제3 활성층(304)을 관통하는 기둥 구조를 가질 수 있다. 제2 도전 패턴(CP2)은 제1 도전 패턴(CP1)보다 큰 두께를 가질 수 있다. 일 예로, 제2 도전 패턴(CP2)은 제3 접착부(AD3), 제2 컬러 필터(CF2), 제3 p형 반도체층(306), 및 제3 활성층(304)을 관통하는 기둥 구조를 가질 수 있다.

[0076] 제2 도전 패턴(CP2)의 타 면이 제1 도전 패턴(CP1)의 타 면보다 높은 레벨에 위치하나, 제2 도전 패턴(CP2)의 일 면과 제1 도전 패턴(CP1)의 일 면은 서로 동일 평면에 배치될 수 있다. 제1 도전 패턴(CP1)의 일 면과 제2 도전 패턴(CP2)의 일 면은 제3 발광부(LE3)를 제2 발광부(LE2)에 접촉시킬 때 접하는 면으로, 제1 도전 패턴(CP1)의 일 면과 제2 도전 패턴(CP2)의 일 면이 서로 동일 평면으로써 접촉특성이 향상될 수 있다.

[0077] 발광 소자는 평면적으로 사각형 구조를 가지며, 제1 모서리(CN1), 제2 모서리(CN2), 제3 모서리(CN3), 및 제4 모서리(CN4)를 포함할 수 있다. 제3 발광부(LE3) 상에서, 제1 모서리(CN1)에 배치되며 제1 오믹층(108)과 전기적으로 연결되는 제1 패드(PD1), 제2 모서리(CN2)에 배치되며 제2 오믹층(208)과 전기적으로 연결되는 제2 패드(PD2), 제3 모서리(CN3)에 배치되며 제1 도전 패턴(CP1)과 전기적으로 연결되는 제3 패드(PD3), 및 제4 모서리(CN4)에 배치되며 제1 n형 반도체층(102), 제2 n형 반도체층(202), 및 제3 n형 반도체층(302) 각각을 공통으로 전기적으로 연결되는 공통 패드(CPD)가 제공될 수 있다.

[0078] 일 실시예에 따르면, 발광 소자는 제1 패드(PD1)와 제1 오믹층(108) 사이를 전기적으로 연결하는 제1 비아 구조물(VA1)과, 제2 패드(PD2)와 제2 오믹층(208) 사이를 전기적으로 연결하는 제2 비아 구조물(VA2)과, 제3 패드(PD3)와 제1 도전 패턴(CP1) 사이를 전기적으로 연결하는 제3 비아 구조물(VA3)과, 공통 패드(CPD)와 제1 n형 반도체층(102), 제2 n형 반도체층(202), 및 제3 n형 반도체층(302)을 전기적으로 연결하는 제4 비아 구조물(VA4)을 더 포함할 수 있다.

[0079] 제1 비아 구조물(VA1)은 제1 p형 반도체층(106)과 전기적으로 접촉하며, 제1 접착부(AD1) 및 제2 발광부(LE2)를 관통하는 제1 패턴(P1_1)과, 제1 패턴(P1_1)과 전기적으로 접촉하며 제2 발광부(LE2) 및 제3 발광부(LE3) 사이에 배치되는 제2 패턴(P2_1)과, 제2 패턴(P2_1)과 제1 패드(PD1) 사이에서 제3 발광부(LE3)를 관통하여 제2 패턴(P2_1) 및 제1 패드(PD1) 사이를 전기적으로 연결하는 제3 패턴(P3_1)을 포함할 수 있다. 일 예로, 제1 패턴(P1_1)은 제1 배선막(ML1)과 제1 배선막(ML1)의 외측벽을 감싸는 제1 시드막(SD1)을 포함할 수 있다. 이 경우, 제1 패턴(P1_1)은 구리와 같은 금속을 포함할 수 있다. 또한, 제1 패턴(P1_1)의 외측벽은 제1 패시베이션막(PV1)에 의해 감싸져 제2 발광부(LE2)와 전기적으로 절연될 수 있다. 제1 패시베이션막(PV1)은 제1 패턴(P1_1)의 외측벽을 감싸고 제2 n형 반도체층(202) 표면으로 연장되는 구조를 가질 수 있다. 제1 패시베이션막(PV1)은 SiO₂ 또는 SiN과 같이 투명하고 절연 특성을 갖는 물질을 포함할 수 있다. 제2 패턴(P2_1)은 제2 접착부(AD2)에 의해 그 외측벽이 감싸지고, 제2 패턴(P2_1)의 일 면은 제1 패턴(P1_1)과 접촉하고 일 면에 대향하는 타 면은 제3 패턴(P3_1)과 접촉할 수 있다. 제2 패턴(P2_1)은 Au와 같은 금속을 포함할 수 있다. 제2 패턴(P2_1)의 두께와 제2 접착부(AD2)의 두께는 실질적으로 동일할 수 있다. 제3 패턴(P3_1)은 제2 배선막(ML2)과 제2 배선막(ML2)의 외측벽을 감싸는 제2 시드막(SD2)을 포함할 수 있다. 이 경우, 제3 패턴(P3_1)은 구리와 같은 금속을 포함할 수 있다. 제3 패턴(P3_1)은 제2 패시베이션막(PV2)에 의해 감싸져 제3 발광부(LE3)와 전기적으로 절연될 수 있다. 제2 패시베이션막(PV2)은 SiO₂ 또는 SiN과 같이 투명하고 절연 특성을 갖는 물질을 포함할 수 있다.

[0080] 제2 비아 구조물(VA2)은 제2 n형 반도체층(202), 제2 활성층(204), 및 제2 p형 반도체층(206)을 관통하여 제2 오믹층(208)과 전기적으로 접하는 제1 패턴(P1_2)과, 제2 발광부(LE2) 및 제3 발광부(LE3) 사이에 배치되며 제1 패턴(P1_2)과 전기적으로 접하는 제2 패턴(P2_2)과, 제2 접착부(AD2) 및 제3 발광부(LE3)를 관통하며 제2 패턴(P2_2) 및 제2 패드(PD2)를 전기적으로 연결하는 제3 패턴(P3_2)을 포함할 수 있다. 일 예로, 제1 패턴(P1_2)은 제1 배선막(ML1)과, 제1 배선막(ML1)의 외측벽을 감싸는 제1 시드막(SD1)을 포함할 수 있다. 이

경우, 제1 패턴(PT1_2)은 구리와 같은 금속을 포함할 수 있다. 또한, 제1 패턴(PT1_2)의 외측벽은 제1 패시베이션막(PV1)에 의해 감싸져 제2 발광부(LE2)와 전기적으로 절연될 수 있다. 제1 패시베이션막(PV1)은 제1 비아 구조물(VA1)의 제1 패턴(PT1_1)의 외측벽과 제2 비아 구조물(VA2)의 제1 패턴(PT1_2)의 외측벽을 각각 감싸고, 제2 n형 반도체층(202) 표면으로 연장하는 구조를 가질 수 있다. 제2 패턴(PT2_2)은 제2 접착부(AD2)에 의해 그 외측벽이 감싸지고, 제2 패턴(PT2_2)의 일 면은 제1 패턴(PT1_2)과 접촉하고 일 면에 대향하는 타 면은 제3 패턴(PT3_2)과 접촉할 수 있다. 제1 비아 구조물(VA1)의 제2 패턴(PT2_1)과 제2 비아 구조물(VA2)의 제2 패턴(PT2_2)은 동일 레벨에 위치할 수 있다. 제2 패턴(PT2_2)의 두께와 제2 접착부(AD2)의 두께는 실질적으로 동일할 수 있다. 제2 패턴(PT2_2)은 Au와 같은 금속을 포함할 수 있다. 제3 패턴(PT3_2)은 제2 배선막(ML2)과 제2 배선막(ML2)의 외측벽을 감싸는 제2 시드막(SD2)을 포함할 수 있다. 이 경우, 제3 패턴(PT3_2)은 구리와 같은 금속을 포함할 수 있다. 제2 비아 구조물(VA2)의 제3 패턴(PT3_2)과 제1 비아 구조물(VA1)의 제3 패턴(PT3_1)은 실질적으로 동일한 구조를 가질 수 있다. 한편, 제3 패턴(PT3_2)은 제2 패시베이션막(PV2)에 의해 감싸져 제3 발광부(LE3)와 전기적으로 절연될 수 있다. 제2 패시베이션막(PV2)은 제1 비아 구조물(VA1)의 제3 패턴(PT3_1)의 외측벽과 제2 비아 구조물(VA2)의 제3 패턴(PT3_2)의 외측벽을 각각 감싸고 제3 n형 반도체층(302) 표면으로 연장하는 구조를 가질 수 있다.

[0081] 제3 비아 구조물(VA3)은 제3 n형 반도체층(302), 제3 활성층(304), 및 제3 p형 반도체층(306)을 관통하여 제1 도전 패턴(CP1)과 제3 패드(PD3) 사이를 전기적으로 연결할 수 있다. 제3 비아 구조물(VA3)은 제2 배선막(ML2)과 제2 배선막(ML2)의 외측벽을 감싸는 제2 시드막(SD2)을 포함할 수 있다. 이 경우, 제3 비아 구조물(VA3)은 구리와 같은 금속을 포함할 수 있다.

[0082] 일 실시예에 따르면, 제3 비아 구조물(VA3)의 일 면은 제1 도전 패턴(CP1)의 일 면과 접할 수 있다. 제1 도전 패턴(CP1)은 제3 비아 구조물(VA3)의 폭보다 큰 폭을 가질 수 있다. 제1 도전 패턴(CP1)의 일 면은 제3 비아 구조물(VA3) 및 제3 p형 반도체층(306)의 일 면과 동시에 접할 수 있다. 제1 도전 패턴(CP1)은 제3 비아 구조물(VA3)과 접하는 제1 부분(PT1)과, 제3 p형 반도체층(306)과 접하는 제2 부분(PT2)을 포함할 수 있다. 제2 부분(PT2)은 제1 부분(PT1)을 감싸는 구조를 가질 수 있다. 제2 부분(PT2)의 면적은 제1 부분(PT1)의 면적의 1 내지 5배일 수 있다.

[0083] 제4 비아 구조물(VA4)은 제1 n형 반도체층(102)과 전기적으로 접하고 제1 활성층(104), 제1 p형 반도체층(106), 제1 오믹층(108), 제1 컬러 필터(CF1), 및 제2 발광부(LE2)를 관통하는 제1 패턴(PT1_4)과, 일 면이 제1 패턴(PT1_4) 및 제2 n형 반도체층(202)과 전기적으로 접하고 타 면이 제2 도전 패턴(CP2)과 전기적으로 접하며 제2 접착부(AD2) 내에 배치되는 제2 패턴(PT2_4)과, 제2 도전 패턴(CP2)과 공통 패드(CPD) 사이를 전기적으로 연결하는 제3 패턴(PT3_4)을 포함할 수 있다. 제1 패턴(PT1_4)은 제1 배선막(ML1)과 제1 배선막(ML1)의 외측벽을 감싸는 제1 시드막(SD1)을 포함할 수 있다. 제1 패시베이션막(PV1)은 제1 패턴(PT1_4)의 외측벽을 감쌀 수 있다. 또한, 제1 접착부(AD1)는 제1 패시베이션막(PV1)이 둘러싸진 제1 패턴(PT1_4)의 외측벽의 일부를 감싸고, 제1 컬러 필터(CF1) 표면으로 연장하는 구조를 가질 수 있다. 제2 패턴(PT2_4)의 외측벽은 제2 접착부(AD2)에 의해 둘러싸진 구조를 가질 수 있다. 제3 패턴(PT3_4)은 제2 배선막(ML2)과 제2 배선막(ML2)의 외측벽을 감싸는 제2 시드막(SD2)을 포함하며, 제2 패시베이션막(PV2)에 의해 외측벽이 감싸진 구조를 가질 수 있다. 제2 패시베이션막(PV2)은 제3 n형 반도체층(302) 표면으로 연장하며, 제1 비아 구조물(VA1)의 제3 패턴(PT3_1)과 제2 비아 구조물(VA2)의 제3 패턴(PT3_2)과 제4 비아 구조물(VA4)의 제3 패턴(PT1_4) 각각의 외측벽을 감싸는 구조를 가질 수 있다.

[0084] 일 실시예에 따르면, 제4 비아 구조물(VA4)의 일 면은 제2 도전 패턴(CP2)의 일 면과 접할 수 있다. 제2 도전 패턴(CP2)은 제4 비아 구조물(VA4)의 폭보다 큰 폭을 가질 수 있다. 제2 도전 패턴(CP2)의 일 면은 제4 비아 구조물(VA4)과 접하는 제1 부분(PT1)과, 제3 n형 반도체층(302)과 접하는 제2 부분(PT2)을 포함할 수 있다. 제2 부분(PT2)은 제1 부분(PT1)을 감싸는 구조를 가질 수 있다. 제2 부분(PT2)의 면적은 제1 부분(PT1)의 면적보다 1 내지 5배일 수 있다.

[0085] 제1 발광부(LE1) 및 제2 발광부(LE2) 각각의 외측벽은 동일 평면일 수 있다. 제1 발광부(LE1) 및 제2 발광부(LE2) 각각의 외측벽을 따라 제1 외측 시드막(SSD1)이 제공될 수 있다. 제1 외측 시드막(SSD1)과 제1 발광부(LE1) 및 제2 발광부(LE2) 각각의 외측벽 사이에 제1 패시베이션막(PV1)이 연장되어, 제1 패시베이션막(PV1)에 의해 제1 발광부(LE1) 및 제2 발광부(LE2)가 제1 외측 시드막(SSD1)과 절연될 수 있다. 또한, 제1 외측 시드막(SSD1) 외측벽에 마스킹 패턴(MP3)이 더 구비될 수 있다.

[0086] 제2 접착부(AD2)의 외측벽은 제1 발광부(LE1), 제2 발광부(LE2), 및 제3 발광부(LE3) 각각의 외측벽으로부터 돌

출된 구조를 가질 수 있다. 제3 발광부(LE3)의 외측벽 상에 배치되고, 제2 접착부(AD2)의 노출된 가장자리 상부면으로 연장하는 제2 외측 시드막(SSD2)이 더 제공될 수 있다. 제2 외측 시드막(SSD2) 및 제3 발광부(LE3) 외측벽 사이에 제2 패시베이션막(PV2)이 연장되어, 제2 패시베이션막(PV2)에 의해 제3 발광부(LE3)가 제2 외측 시드막(SSD2)과 절연될 수 있다. 또한, 제2 외측 시드막(SSD2) 외측벽에 마스크 패턴(MP4)이 더 구비될 수 있다.

- [0087] 도 2a 및 도 2b에서 설명된 발광 소자에서는 제1 n형 반도체층(102), 제2 n형 반도체층(202), 및 제3 n형 반도체층(302) 각각이 공통 패드(CPD)에 전기적으로 연결된 것으로 설명하였으나, 제1 p형 반도체층(106), 제2 p형 반도체층(206), 및 제3 p형 반도체층(306) 각각이 공통 패드(CPD)에 전기적으로 연결될 수도 있다.
- [0088] 이하, 도 1a 내지 도 1f의 발광 소자를 제조하는 방법을 설명하기로 한다.
- [0089] 도 3 내지 도 28은 일 실시예에 따른 발광 소자의 제조 방법을 설명하기 위한 단면도들이다.
- [0090] 도 3을 참조하면, 제1 기판(100) 상에 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106) 및 제1 오믹층(108)을 포함하는 제1 발광부(LE1)를 형성할 수 있다. 제1 발광부(LE1) 상에 제1 컬러 필터(CF1)를 형성할 수 있다. 제1 컬러 필터(CF1)는 선택적으로 생략될 수 있다.
- [0091] 제1 기판(100)은 평면적 관점에서 사각형 구조를 가지며 제1 모서리(CN1), 제2 모서리(CN2), 제3 모서리(CN3), 제4 모서리(CN4)를 포함할 수 있다. 제1 발광부(LE1) 및 제1 컬러 필터(CF1)는 제1 기판(100)에 대응하는 사각형 구조를 가지며, 제1 기판(100)의 외측벽과 제1 발광부(LE1) 및 제1 컬러 필터(CF1) 각각의 외측벽은 동일 평면일 수 있다.
- [0092] 도 4를 참조하면, 제2 기판(200) 상에 제2 n형 반도체층(202), 제2 활성층(204), 제2 p형 반도체층(206) 및 제2 오믹층(208)을 포함하는 제2 발광부(LE2)를 형성할 수 있다.
- [0093] 일 실시예에 따르면, 제2 기판(200) 상에 제2 n형 반도체층(202)을 성장하기 전에, 도펀트가 도핑되지 않은 갈륨 질화층이 성장될 수 있다.
- [0094] 제2 기판(200)은 평면적 관점에서 사각형 구조를 가지며, 제2 발광부(LE2)는 제2 기판(200)에 대응하는 사각형 구조를 가지며, 제2 기판(200)의 외측벽과 제2 발광부(LE2) 각각의 외측벽은 동일 평면일 수 있다. 한편, 제2 기판(200)은 제1 기판(100)에 대응되는 구조 및 크기를 가질 수 있다.
- [0095] 도 5를 참조하면, 제2 발광부(LE2)를 뒤집어 제2 오믹층(208) 상에 제거 가능한 접착제를 이용하여 지지 기판(SS)을 접촉시킬 수 있다. 이어서, 제2 기판(200)을 레이저 리프트 오프(laser lift off) 방법을 이용하여 제2 발광부(LE2)로부터 제거시킬 수 있다. 제2 기판(200)이 제거된 부분에는 제2 n형 반도체층(202)이 노출되거나 도펀트가 도핑되지 않은 게르마늄 질화층이 노출될 수 있다.
- [0096] 도 6을 참조하면, 노출된 갈륨 질화층을 에칭 공정을 이용하여 식각하고 화학 처리하여, 표면에 다수의 돌기들을 형성할 수 있다. 다수의 돌기들은 도펀트가 도핑되지 않은 갈륨 질화층에 형성되거나, 제2 n형 반도체층(202)에 형성될 수 있다.
- [0097] 제2 n형 반도체층(202) 또는 도펀트가 도핑되지 않는 갈륨 질화층에 다수의 돌기들이 형성됨으로써, 제1 활성층(104) 또는 제2 활성층(204)으로부터 발생된 광이 다수의 돌기들에서 산란되어 광 추출 효율을 향상시킬 수 있다.
- [0098] 한편, 도 6에 도시된 공정은 선택적으로 수행될 수 있다. 또한, 상세하게 도시되지 않으나, 제1 n형 반도체층(102) 또는 제2 n형 반도체층(202)에도 복수의 돌기들이 형성될 수 있다.
- [0099] 이하에서는 도 6의 공정이 생략된 것으로 도시하고 설명하기로 한다.
- [0100] 도 7을 참조하면, 제1 기판(100)의 제1 컬러 필터(CF1) 상에 제1 접착부(AD1)를 증착하고, 지지 기판에 접촉된 제2 발광부(LE2)를 다시 뒤집어 제2 발광부(LE2)의 제2 오믹층(208)이 제1 접착부(AD1)와 접촉하도록 배치한 후, 열을 가해 제1 발광부(LE1) 및 제2 발광부(LE2)를 접촉시킬 수 있다. 이어서, 지지 기판(SS)을 제2 발광부(LE2)로부터 제거하고, 제거 가능한 접착제(RA)도 제거하여, 제2 오믹층(208)을 노출시킬 수 있다.
- [0101] 이로써, 제1 기판(100) 상에 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106), 제1 오믹층(108), 제1 컬러 필터(CF1), 제1 접착부(AD1), 제2 n형 반도체층(202), 제2 활성층(204), 제2 p형 반도체층(206) 및 제2 오믹층(208)이 순차적으로 적층될 수 있다.
- [0102] 도 8을 참조하면, 노출된 제2 오믹층(208) 상에 제2 컬러 필터(CF2)를 형성할 수 있다. 제2 컬러 필터(CF2)는

선택적으로 생략될 수 있다.

- [0103] 도 9를 참조하면, 제3 기판(300) 상에 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306)을 포함하는 제3 발광부(LE3)를 형성할 수 있다. 제3 기판(300)은 평면적 관점으로 사각형 구조를 가지며, 제3 발광부(LE3)는 제3 기판(300)에 대응하는 사각형 구조를 가지며, 제3 기판(300)의 외측벽과 제3 발광부(LE3)의 외측벽은 동일 평면일 수 있다. 한편, 제3 기판(300)은 제1 기판(100) 및 제2 기판(200) 각각에 대응하는 구조 및 크기를 가질 수 있다.
- [0104] 도 10을 참조하면, 제3 p형 반도체층(306) 및 제3 활성층(304)을 식각하여 제3 n형 반도체층(302)을 노출시키는 제1 홀(H1)을 형성할 수 있다. 제1 홀(H1)은 제4 모서리(CN4)에 형성될 수 있다. 일 예로, 제1 홀(H1)은 3 내지 3.5 μ m의 깊이를 가질 수 있다.
- [0105] 일 실시예에 따르면, 제1 홀(H1)은 일정한 폭을 갖는 상부와, 점진적으로 폭이 증가하는 하부를 가질 수 있다. 제1 홀(H1)의 하부는 뾰족한 가장자리를 가질 수 있다(도 1c 참조).
- [0106] 도 11을 참조하면, 제1 홀(H1)이 형성된 제3 n형 반도체층(302) 상에 제1 홀(H1)이 매립되지 않도록 제1 패시베이션막(PV1)을 컨포멀하게 형성할 수 있다. 제1 패시베이션막(PV1)은 SiN, TiN, TiO₂, Ta₂O₅, ZrO_x, HfO_x, 및 SiO₂으로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있다. 일 예로, 제1 패시베이션막(PV1)은 SiN을 포함할 수 있다.
- [0107] 제2 모서리(CN2)에 위치한 제1 패시베이션막(PV1)을 부분적으로 식각하여 제3 p형 반도체층(306)을 노출시키는 제2 홀(H2)을 형성할 수 있다. 제2 홀(H2)의 깊이는 제1 홀(H1)보다 작으며, 0.3 μ m일 수 있다.
- [0108] 제2 홀(H2)이 형성되는 동안, 제1 홀(H1)의 저면에 형성된 제1 패시베이션막(PV1)이 함께 식각되어 제3 n형 반도체층(302)을 노출시킬 수 있다.
- [0109] 선택적으로 제1 패시베이션막(PV1)은 생략될 수 있다. 다만, 제1 패시베이션막(PV1)이 생략되는 경우, 후속하여 형성되는 제2 도전 패턴(CP2)은 제1 홀(H1) 내측벽에서 이격되어 형성될 수 있다.
- [0110] 도 12를 참조하면, 제1 홀(H1)을 매립하는 제2 도전 패턴(CP2)을 형성하고, 제2 홀(H2)을 매립하는 제1 도전 패턴(CP1)을 형성할 수 있다.
- [0111] 제1 도전 패턴(CP1)은 Au/Be 합금을 포함하고, 제2 도전 패턴(CP2)은 Au/Ge 합금을 포함할 수 있다. 제1 도전 패턴(CP1)은 제2 홀(H2)의 깊이와 동일하거나 클 수 있다. 제2 도전 패턴(CP2)은 제1 홀(H1)의 깊이와 동일하거나 클 수 있다. 예컨대, 제2 도전 패턴(CP2)은 3 내지 4 μ m의 두께를 가질 수 있다.
- [0112] 도 13을 참조하면, 제1 도전 패턴(CP1), 제2 도전 패턴(CP2), 및 제3 발광부(LE3)가 형성된 제3 기판(300)을 뒤집어, 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)이 제2 컬러 필터(CF2)와 마주하도록 위치시킬 수 있다. 제2 접착부(AD2)를 이용하여 제2 발광부(LE2) 및 제3 발광부(LE3)를 접착시킬 수 있다.
- [0113] 이로써, 제1 기판(100) 상에 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106), 제1 오믹층(108), 제1 컬러 필터(CF1), 제1 접착부(AD1), 제2 n형 반도체층(202), 제2 활성층(204), 제2 p형 반도체층(206) 및 제2 오믹층(208), 제2 컬러 필터(CF2), 제2 접착부(AD2), 제3 p형 반도체층(306), 제3 활성층(304), 및 제3 n형 반도체층(302)이 순차적으로 적층될 수 있다. 또한, 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)이 제2 접착부(AD2) 및 제3 발광부(LE3) 사이에 배치될 수 있다.
- [0114] 제3 발광부(LE3)를 접착한 후, 제3 기판(300)은 레이저 리프트 오프 공정에 의해 제거될 수 있다.
- [0115] 선택적으로, 도 11에서 제1 패시베이션막(PV1)이 형성되지 않고 제2 도전 패턴(CP2)은 제1 홀(H1) 내측벽에서 이격되어 형성되는 경우, 제2 접착부(AD2)는 제1 홀(H1) 및 제2 도전 패턴(CP2) 사이 공간을 채우며 형성될 수 있다.
- [0116] 도 14를 참조하면, 제1 모서리(CN1), 제2 모서리(CN2), 제4 모서리(CN4)에 배치된 제3 발광부(LE3), 제2 접착부(AD2), 및 제2 컬러 필터(CF2)를 식각하여, 제2 오믹층(208)을 노출시키는 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 및 제6 홀(H6)을 각각 형성할 수 있다. 제3 홀(H3)은 제2 모서리(CN2)에 배치되고, 제4 홀(H4)은 제1 모서리(CN1)에 배치되고, 제5 홀(H5) 및 제6 홀(H6)은 제4 모서리(CN4)에 배치될 수 있다.
- [0117] 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 및 제6 홀(H6) 각각은 실질적으로 동일한 제1 폭을 가질 수 있다.
- [0118] 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 및 제6 홀(H6)을 형성하는 동안 제3 발광부(LE3), 제2 접착부(AD2), 및

제2 컬러 필터(CF2) 각각의 가장자리가 식각되어, 제2 오믹층(208)의 일부를 노출시킬 수 있다. 평면적 관점에서 노출된 제2 오믹층(208)은 제2 컬러 필터(CF2)의 외측벽을 감싸는 구조를 가질 수 있다.

- [0119] 일 실시예에 따르면, 제3 발광부(LE3), 제2 접착부(AD2), 및 제2 컬러 필터(CF2) 각각의 가장자리가 식각됨으로써, 제1 기관(100)과 제1 발광부(LE1)의 제1 p형 반도체층(106) 사이에서 발생하는 스트레스를 완화시킬 수 있다.
- [0120] 도 15를 참조하면, 제3 홀(H3) 내부를 제1 마스크 패턴(MP1)을 형성할 수 있다. 제1 마스크 패턴(MP1)은 후속되는 식각 공정에서 사용되는 에천트에 대하여 식각 선택비를 가져 실질적으로 식각되지 않는 물질을 포함할 수 있다. 예컨대, 제1 마스크 패턴(MP1)은 포토레지스트를 포함할 수 있다.
- [0121] 도 16을 참조하면, 제4 홀(H4), 제5 홀(H5), 및 제6 홀(H6) 각각의 저면에 배치된 제2 오믹층(208), 제2 p형 반도체층(206), 및 제2 활성층(204)을 식각하여 제2 n형 반도체층(202)을 부분적으로 노출시킬 수 있다. 식각 공정을 통해 제4 홀(H4), 제5 홀(H5), 및 제6 홀(H6) 각각은 아래로 확장된 구조를 가질 수 있다.
- [0122] 제4 홀(H4), 제5 홀(H5), 및 제6 홀(H6) 각각을 아래로 확장하는 동안 제2 오믹층(208), 제2 p형 반도체층(206), 및 제2 활성층(204) 각각의 가장자리가 식각되어, 제2 n형 반도체층(202)의 일부를 노출시킬 수 있다. 평면적 관점에서 노출된 제2 n형 반도체층(202)은 제2 활성층(204)의 외측벽을 감싸는 구조를 가질 수 있다.
- [0123] 일 실시예에 따르면, 제2 오믹층(208), 제2 p형 반도체층(206), 및 제2 활성층(204) 각각의 가장자리가 식각됨으로써, 제1 기관(100)과 제1 발광부(LE1)의 제1 p형 반도체층(106) 사이에서 발생하는 스트레스를 완화시킬 수 있다.
- [0124] 이어서, 제5 홀(H5) 내부에 제2 마스크 패턴을 형성할 수 있다. 제2 마스크 패턴(MP2)은 후속되는 식각 공정에서 사용되는 에천트에 대하여 식각 선택비를 가져 실질적으로 식각되지 않는 물질, 예컨대 포토레지스트를 포함할 수 있다.
- [0125] 도 17을 참조하면, 제4 홀(H4) 및 제6 홀(H6) 각각의 저면에 배치된 제2 n형 반도체층(202), 제1 접착부(AD1), 및 제1 컬러 필터(CF1)를 식각하여, 제1 오믹층(108)을 부분적으로 노출시킬 수 있다. 식각 공정을 통해 제4 홀(H4) 및 제6 홀(H6) 각각은 아래로 확장된 구조를 가질 수 있다.
- [0126] 제4 홀(H4) 및 제6 홀(H6) 각각을 아래로 확장하는 동안 제2 n형 반도체층(202), 제1 접착부(AD1), 및 제1 컬러 필터(CF1) 각각의 가장자리가 식각되어, 제1 오믹층(108)의 일부를 노출시킬 수 있다. 평면적 관점에서 노출된 제1 오믹층(108)은 제1 컬러 필터(CF1)의 외측벽을 감싸는 구조를 가질 수 있다.
- [0127] 일 실시예에 따르면, 제2 n형 반도체층(202), 제1 접착부(AD1), 및 제1 컬러 필터(CF1) 각각의 가장자리가 식각됨으로써, 제1 기관(100)과 제1 발광부(LE1)의 제1 p형 반도체층(106) 사이에서 발생하는 스트레스를 완화시킬 수 있다.
- [0128] 이어서, 제4 홀(H4) 내부에 제3 마스크 패턴(MP3)을 형성할 수 있다. 제3 마스크 패턴(MP3)은 후속되는 식각 공정에서 사용되는 에천트에 대하여 식각 선택비를 가져 실질적으로 식각되지 않는 물질, 예컨대 포토레지스트를 포함할 수 있다.
- [0129] 도 18을 참조하면, 제6 홀(H6) 저면에 배치된 제1 오믹층(108), 제1 p형 반도체층(106), 및 제1 활성층(104)을 식각하여, 제1 n형 반도체층(102)을 부분적으로 노출시킬 수 있다. 식각 공정을 통해 제6 홀(H6)은 아래로 더욱 확장된 구조를 가질 수 있다.
- [0130] 제6 홀(H6)이 아래로 확장하는 동안 제1 오믹층(108), 제1 p형 반도체층(106), 및 제1 활성층(104)의 가장자리가 식각되어 제1 n형 반도체층(102)의 일부를 노출시킬 수 있다. 평면적 관점에서 노출된 제1 n형 반도체층(102)은 제1 활성층(104)의 외측벽을 감싸는 구조를 가질 수 있다.
- [0131] 일 실시예에 따르면, 제1 오믹층(108), 제1 p형 반도체층(106), 및 제1 활성층(104)의 가장자리가 식각됨으로써, 제1 기관(100)과 제1 발광부(LE1)의 제1 p형 반도체층(106) 사이에서 발생하는 스트레스를 완화시킬 수 있다.
- [0132] 이어서, 제6 홀(H6) 내부에 제4 마스크 패턴(MP4)을 형성할 수 있다. 제4 마스크 패턴(MP4)은 후속되는 식각 공정에서 사용되는 에천트에 대하여 식각 선택비를 가져 실질적으로 식각되지 않는 물질, 예컨대 포토레지스트를 포함할 수 있다.

- [0133] 도 19를 참조하면, 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)이 노출되도록 제3 모서리(CN3)에 제7 홀(H7) 및 제4 모서리(CN4)에 제8 홀(H8)을 각각 형성할 수 있다. 제7 홀(H7)은 제3 n형 반도체층(302), 제3 활성층(304), 및 제3 p형 반도체층(306)을 식각하여 제1 도전 패턴(CP1)을 노출시킬 수 있다. 제8 홀(H8)은 제3 n형 반도체층(302)을 식각하여 제2 도전 패턴(CP2)을 노출시킬 수 있다.
- [0134] 제7 홀(H7) 및 제8 홀(H8)을 형성하는 식각 공정 동안 또는 형성 후, 제1 기판(100) 상에서 제1 n형 반도체층(102)을 식각하여, 복수의 발광 소자들로 분리하는 공정이 수행될 수 있다. 도 22의 공정에서 발광 소자들을 소자 분리하여, 제1 기판(100)과 제1 발광부(LE1) 특히, 제1 p형 반도체층(106) 사이에서 휨(bowing) 현상으로 인한 스트레스를 완화시킬 수 있다.
- [0135] 제7 홀(H7) 및 제8 홀(H8)을 형성하고, 발광 소자들의 소자 분리 후, 제1 마스크 패턴(MP1), 제2 마스크 패턴(MP2), 제3 마스크 패턴(MP3), 및 제4 마스크 패턴(MP4)은 제거될 수 있다.
- [0136] 도 20을 참조하면, 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각을 매립하지 않도록 제3 n형 반도체층(302) 상에 제2 패시베이션막(PV2)을 컨포멀하게 형성할 수 있다. 또한, 제2 패시베이션막(PV2)은 가장자리가 식각된 외측벽을 덮을 수 있다.
- [0137] 일 실시예에 따르면, 제2 패시베이션막(PV2)에서, 제3 n형 반도체층(302) 상부에 형성된 제2 패시베이션막(PV2)의 두께(TH1)는 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각의 저면 및 측벽에 형성된 제2 패시베이션막(PV2)의 두께(TH2)보다 클 수 있다. 제3 n형 반도체층(302) 상부에 형성된 제2 패시베이션막(PV2)의 두께(TH1)가 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각의 저면 및 측벽에 형성된 제2 패시베이션막(PV2)의 두께(TH2)보다 2 내지 4배 클 수 있다.
- [0138] 일 실시예에 따르면, 제2 패시베이션막(PV2)은 광투과율이 우수하고 절연 특성을 갖는 SiO₂와 같은 물질을 포함할 수 있다.
- [0139] 도 21을 참조하면, 제2 패시베이션막(PV2)을 제3 n형 반도체층(302) 표면에 대하여 수직방향으로 식각하여, 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각의 저면에 형성된 제2 패시베이션막(PV2)을 선택적으로 제거시킬 수 있다.
- [0140] 제3 n형 반도체층(302) 상부에 형성된 제2 패시베이션막(PV2)의 두께(TH1)가 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각의 저면 및 측벽에 형성된 제2 패시베이션막(PV2)의 두께(TH2)보다 크기 때문에, 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각의 저면에 형성된 제2 패시베이션막(PV2)이 식각되는 동안, 제3 n형 반도체층(302) 상부에 형성된 제2 패시베이션막(PV2)이 잔류할 수 있다. 또한, 제2 패시베이션막(PV2)을 수직하게 식각함으로써, 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각의 측벽에 형성된 제2 패시베이션막(PV2)은 식각되지 않고 잔류할 수 있다.
- [0141] 일 실시예에 따르면, 식각 공정 후, 제3 n형 반도체층(302) 상부에 잔류하는 제2 패시베이션막(PV2)의 두께가 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각에 잔류하는 제2 패시베이션막(PV2)의 두께보다 크거나 동일할 수 있다.
- [0142] 제3 n형 반도체층(302) 상부에 잔류하는 제2 패시베이션막(PV2)의 두께가 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각에 잔류하는 제2 패시베이션막(PV2)의 두께보다 크거나 동일하기 때문에, 후술되는 공정, 제1 기판(100)으로부터 완성된 발광 소자를 분리할 때, 제1 기판이 휘게 되는데, 이때 제3 n형 반도체층(302) 표면에 배치된 제2 패시베이션막(PV2)이 제1 패드(PD1, 도 26 참조), 제2 패드(PD2, 도 26 참조), 제3 패드(PD3, 도 26 참조), 및 공통 패드(CPD, 도 26 참조)가 발광 소자로부터 박리되는 것을 방지할 수 있다.
- [0143] 일 실시예에 따르면, 제3 홀(H3)의 저면에 제2 오믹층(208)이 노출되고, 제4 홀(H4)의 저면에 제1 오믹층(108)이 노출되고, 제5 홀(H5)의 저면에 제2 n형 반도체층(202)이 노출되고, 제6 홀(H6)의 저면에 제1 n형 반도체층(102)이 노출되고, 제7 홀(H7)의 저면에 제1 도전 패턴(CP1)이 노출되고, 제8 홀(H8)의 저면에 제2 도전 패턴(CP2)이 노출될 수 있다.
- [0144] 도 22를 참조하면, 제2 패시베이션막(PV2)이 형성된 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8)을 매립하지 않도록 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8)이 형성된 제3 n형 반도체층(302) 상에 컨포멀하게 시드막(SD)을 형성할 수 있다. 시드막(SD)은 구리와 같

은 금속을 포함할 수 있다. 일 예로, 시드막(SD)은 20 내지 30nm의 두께로 형성될 수 있다.

- [0145] 또한, 시드막(SD)은 제2 패시베이션막(PV2)이 형성된 발광 소자의 외측벽을 감싸며 형성될 수 있다. 이하, 발광 소자의 외측벽에 형성된 시드막(SD)은 외측 시드막(SSD)이라 한다.
- [0146] 도 23을 참조하면, 외측 시드막(SSD)이 형성된 발광 소자의 외측벽에 제5 마스크 패턴(MP5)을 형성할 수 있다. 제5 마스크 패턴(MP5)은 광투과율이 낮고 절연 특성을 갖는 포토레지스트를 포함할 수 있다.
- [0147] 도 24를 참조하면, 시드막(SD)을 이용하여 제3 홀(H3), 제4 홀(H4), 제5 홀(H5), 제6 홀(H6), 제7 홀(H7), 제8 홀(H8) 각각을 채우는 배선막(ML)을 형성할 수 있다. 배선막(ML)은 전해질 도금을 이용하여 형성할 수 있다. 배선막(ML)은 구리와 같은 금속을 포함할 수 있다.
- [0148] 배선막(ML)이 형성되는 동안, 발광 소자의 외측벽에 형성된 제5 마스크 패턴(MP5)에 의해 발광 소자의 외측벽에는 배선막(ML)이 형성되지 않을 수 있다. 따라서, 인접한 다른 발광 소자들이나 외부와 전기적으로 연결되는 것을 방지할 수 있다.
- [0149] 일 실시예에 따르면, 제1 기판(100) 상에 발광 소자들이 소자 분리되어 제1 기판(100) 및 발광 소자 사이 스트레스는 완화되었으나, 여전히 제1 기판(100) 상에 발광 소자들 사이에는 스트레스가 잔류할 수 있다. 이러한 스트레스에 의해 발광 소자에 크랙이 발생할 수 있는데, 제5 마스크 패턴(MP5)이 완화하는 기능을 할 수 있다.
- [0150] 도 25를 참조하면, 제3 n형 반도체층(302) 상에 형성된 제2 패시베이션막(PV2)의 상부면이 노출되도록 배선막(ML) 및 시드막(SD)을 식각할 수 있다. 제2 패시베이션막(PV2)이 배선막(ML) 및 시드막(SD) 식각 공정의 식각 저지막으로 기능할 수 있다. 배선막(ML) 및 시드막(SD)의 식각 공정으로는 화학적 기계적 연마(Chemical Mechanical Polishing: CMP) 공정을 사용할 수 있다.
- [0151] 이로써, 제3 홀(H3)을 매립하는 제2 비아 구조물(VA2), 제7 홀(H7)을 매립하는 제3 비아 구조물(VA3), 제4 홀(H4)을 매립하는 제1 비아 구조물(VA1), 제5 홀(H5)을 매립하는 제5 비아 구조물(VA5), 제8 홀(H8)을 매립하는 제6 비아 구조물(VA6), 및 제6 홀(H6)을 매립하는 제4 비아 구조물(VA4)을 각각 형성할 수 있다.
- [0152] 제1 비아 구조물(VA1)은 제1 모서리(CN1)에 형성되고, 제2 비아 구조물(VA2)은 제2 모서리(CN2)에 형성되며, 제3 비아 구조물(VA3)은 제3 모서리(CN3)에 형성될 수 있다. 제4 비아 구조물(VA4), 제5 비아 구조물(VA5), 및 제6 비아 구조물(VA6)은 제4 모서리(CN4)에 형성될 수 있다.
- [0153] 도 26를 참조하면, 제2 패시베이션막(PV2) 상에, 제1 비아 구조물(VA1)과 전기적으로 접하는 제1 패드(PD1)와, 제2 비아 구조물(VA2)과 전기적으로 접하는 제2 패드(PD2)와, 제3 비아 구조물(VA3)과 전기적으로 접하는 제3 패드(PD3)와, 제4 비아 구조물(VA4), 제5 비아 구조물(VA5), 및 제6 비아 구조물(VA6)과 공통으로 전기적으로 접하는 공통 패드(CPD)를 각각 형성할 수 있다.
- [0154] 제1 패드(PD1), 제2 패드(PD2), 및 제3 패드(PD3) 각각으로는 양의 전압이 인가되고, 공통 패드(CPD)로는 음의 전압이 인가될 수 있다.
- [0155] 도 27을 참조하면, 도 3 내지 도 26을 통해 형성된 다수의 발광 소자들(LED)을 목적하는 실장기판(MB) 상에 실장할 수 있다.
- [0156] 실장기판(MB)에는 제1 패드(PD1), 제2 패드(PD2), 제3 패드(PD3), 및 공통 패드(CPD)와 각각 전기적으로 접촉되는 본딩 패드들(BPD)이 형성될 수 있다. 본딩 패드들 상에 접촉 볼들(BL)을 각각 형성할 수 있다. 접촉 볼들(BL) 각각은 In, Sn, AuSn, InAu 등을 포함할 수 있다.
- [0157] 본딩 패드들(BPD) 및 접촉 볼들(BL)은 발광 소자가 실장되는 위치에 대응되도록 형성될 수 있다.
- [0158] 다수의 발광 소자들(LED)이 형성된 제1 기판(100)을 뒤집어, 발광 소자들(LED)이 본딩 패드들(BPD)이 형성된 실장기판(MB)과 마주하도록 위치시킬 수 있다.
- [0159] 뒤집힌 제1 기판(100) 상에 제1 기판으로부터 분리하고자하는 발광 소자들을 노출시키는 마스크 패턴(MSK)을 형성할 수 있다.
- [0160] 도 28을 참조하면, 마스크 패턴(MSK)을 이용하여 제1 기판(100)으로 선택적 레이저 리프트 오프(selective LLO) 공정을 수행하여, 실장기판(MB)의 목적하는 실장 위치에 배치된 발광 소자들(LED)을 제1 기판(100)으로부터 분리할 수 있다. 분리된 발광 소자들(LED) 사이의 이격거리는 실장기판(MB)에 따라 달라질 수 있다.
- [0161] 분리된 발광 소자들(LED) 각각의 제1 패드(PD1), 제2 패드(PD2), 제3 패드(PD3), 및 공통 패드(CPD) 각각은 본

딩 패드(BPD) 상에 형성된 접착 볼(BL)과 접촉할 수 있다. 이로써, 실장기관(MB)에 발광 소자들(LED)이 실장될 수 있다.

- [0162] 발광 소자들(LED)은 목적하는 위치에 모두 실장하면, 제1 기관(100)을 제거하는 공정을 따로 수행하지 않고 발광 소자들(LED)로부터 제1 기관(100)이 분리될 수 있다.
- [0163] 이하, 도 2a 및 도 2b에 도시된 발광 소자를 제조하는 방법을 설명하기로 한다.
- [0164] 도 29 내지 도 46은 본 발명의 다른 실시예에 따른 발광 소자를 제조하는 방법을 설명하기 위한 단면도들이다.
- [0165] 도 29를 참조하면, 제1 기관(100) 상에 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106), 및 제1 오믹층(108)을 형성하여 제1 발광부(LE1)를 형성할 수 있다. 이어서, 제1 발광부(LE1) 상에 제1 컬러 필터(CF1)를 형성할 수 있다. 제1 컬러 필터(CF1)는 선택적으로 제거될 수 있다.
- [0166] 제1 기관(100)은 평면적 관점에서 사각형 구조를 가지며, 제1 모서리(CN1), 제2 모서리(CN2), 제3 모서리(CN3), 및 제4 모서리(CN4)를 포함할 수 있다.
- [0167] 제1 컬러 필터(CF1), 제1 오믹층(108), 제1 p형 반도체층(106), 및 제1 활성층(104)을 식각하여 제4 모서리(CN4)에 제1 n형 반도체층(102)을 노출시키는 제1 홀(H1)을 형성할 수 있다.
- [0168] 식각 공정 동안, 복수의 제1 발광부(LE1)들이 제1 기관(100) 상에서 소자 분리될 수 있다. 즉, 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106), 제1 오믹층(108), 제1 컬러 필터(CF1)의 가장자리가 식각되어 인접한 제1 발광부들(LE1) 사이가 소자 분리될 수 있다.
- [0169] 제1 발광부들(LE1)을 소자 분리하여, 제1 기관(100)과 제1 발광부(LE1)사이에서 휨(bowing) 현상으로 인한 스트레스를 완화시킬 수 있다.
- [0170] 도 30을 참조하면, 제1 홀(H1)을 매립하도록 제1 컬러 필터(CF1) 상에 제1 접착부(AD1)를 형성할 수 있다. 제1 접착부(AD1)는 소자 분리에 의해 노출된 기관의 상부면을 덮어 소자 분리된 제1 발광 소자의 외측벽을 덮을 수 있다.
- [0171] 도 31을 참조하면, 제2 기관(200) 상에 제2 n형 반도체층(202), 제2 활성층(204), 제2 p형 반도체층(206), 및 제2 오믹층(208)을 형성하여 제2 발광부(LE2)를 형성할 수 있다.
- [0172] 도 32를 참조하면, 제2 발광부(LE2)를 뒤집어 제2 오믹층(208)이 제1 접착부(AD1)와 마주하도록 위치시킬 수 있다. 열 처리하여, 제1 접착부(AD1)를 이용하여 제1 발광부(LE1) 및 제2 발광부(LE2)를 접착시킬 수 있다. 이어서, 제2 기관(200)을 레이저 리프트 오프 공정을 이용하여 제2 발광부(LE2)로부터 제거할 수 있다.
- [0173] 이 결과, 제1 기관(100) 상에 제1 n형 반도체층(102), 제1 활성층(104), 제1 p형 반도체층(106), 제1 오믹층(108), 제1 컬러 필터(CF1), 제1 접착부(AD1), 제2 오믹층(208), 제2 p형 반도체층(206), 제2 활성층(204), 및 제2 n형 반도체층(202)이 순차적으로 적층될 수 있다.
- [0174] 도 33을 참조하면, 제2 n형 반도체층(202), 제2 활성층(204), 및 제2 p형 반도체층(206)을 식각하여, 제1 모서리(CN1)의 제1 오믹층(108)을 노출시키는 제3 홀(H3), 제2 모서리(CN2)의 제2 오믹층(208)을 노출시키는 제2 홀(H2), 제4 모서리(CN4)의 제2 오믹층(208)을 노출시키는 제4 홀(H4)을 형성할 수 있다. 일 예로, 제2 홀(H2) 및 제3 홀(H3)은 동일한 폭을 가지나, 제4 홀(H4)은 제2 홀(H2) 또는 제3 홀(H3) 보다 큰 폭을 가질 수 있다.
- [0175] 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4)이 형성되는 동안, 제2 n형 반도체층(202), 제2 활성층(204), 및 제2 p형 반도체층(206) 각각의 가장자리가 식각되어, 제2 오믹층(208)의 가장자리가 노출될 수 있다. 노출된 제2 오믹층(208)은 제2 p형 반도체층(206)을 감싸는 구조를 가질 수 있다. 제2 n형 반도체층(202), 제2 활성층(204), 및 제2 p형 반도체층(206) 각각의 가장자리가 식각되어, 제1 기관으로 가해지는 스트레스를 완화시킬 수 있다.
- [0176] 이어서, 제2 홀(H2) 내부에 제1 마스크 패턴(MP1)을 형성할 수 있다. 제1 마스크 패턴(MP1)은 후속되는 식각 공정에서 사용되는 에천트에 식각 선택비를 가져 실질적으로 식각되지 않는 물질을 포함할 수 있다. 예컨대, 제1 마스크 패턴은 포토레지스트를 포함할 수 있다.
- [0177] 도 34를 참조하면, 제3 홀(H3) 및 제4 홀(H4) 저면에 위치한 제2 오믹층(208), 제1 접착부(AD1) 및 제1 컬러 필터(CF1)를 식각하여, 제1 오믹층(108)을 노출시킬 수 있다.
- [0178] 제3 홀(H3) 내부를 제2 마스크 패턴(MP2)으로 매립한 후, 제4 홀(H4) 저면에 위치한 제1 오믹층(108), 제1 p형 반도체층(106), 및 제1 활성층(104)을 식각하여 제1 n형 반도체층(102)을 노출시킬 수 있다. 제4 홀(H4) 하부

내측벽에는 제1 접착부(AD1)가 잔류할 수 있다.

- [0179] 식각 공정을 통해 제3 홀(H3) 및 제4 홀(H4)은 아래로 확장된 구조를 가질 수 있다. 제3 홀(H3) 및 제4 홀(H4)이 아래로 확장하는 동안 제2 오믹층(208), 제1 접착부(AD1), 제1 컬러 필터(CF1)와 제1 오믹층(108), 제1 p형 반도체층(106), 제1 활성층(104), 및 제1 n형 반도체층(102)이 식각되어 적층된 제1 발광부(LE1) 및 제2 발광부(LE2)가 소자 분리될 수 있다.
- [0180] 제1 발광부(LE1) 및 제2 발광부(LE2)가 소자 분리됨으로써, 제1 기판으로 가해지는 스트레스를 완화시킬 수 있다.
- [0181] 도 35를 참조하면, 제1 마스크 패턴(MP1) 및 제2 마스크 패턴(MP2)을 제거한 후, 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4)이 형성된 제2 n형 반도체층(202) 상에 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4)을 매립하지 않도록 제1 패시베이션막(PV1)을 컨포멀하게 형성할 수 있다. 제1 패시베이션막(PV1)은 식각된 제1 발광부(LE1) 및 제2 발광부(LE2) 각각의 외측벽을 덮을 수 있다. 제1 패시베이션막(PV1)은 SiO₂를 포함할 수 있다.
- [0182] 일 실시예에 따르면, 제1 패시베이션막(PV1)에서, 제2 n형 반도체층(202) 상부면에 형성된 제1 패시베이션막(PV1)의 두께가 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4) 각각의 측벽 및 저면에 형성된 제1 패시베이션막(PV1)의 두께보다 클 수 있다. 예컨대, 제2 n형 반도체층(202) 상부면에 형성된 제1 패시베이션막(PV1)의 두께가 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4) 각각의 측벽 및 저면에 형성된 제1 패시베이션막(PV1)의 두께보다 2 내지 4 배 클 수 있다.
- [0183] 이어서, 제2 홀(H2), 제3 홀(H3) 및 제4 홀(H4) 각각의 저면에 형성된 제1 패시베이션막(PV1)을 제거할 수 있다. 제1 패시베이션막(PV1)을 제2 n형 반도체층(202)의 표면에 대하여 수직인 방향으로 식각할 수 있다.
- [0184] 제2 n형 반도체층(202) 상부면에 형성된 제1 패시베이션막(PV1)의 두께가 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4) 각각의 측벽 및 저면에 형성된 제1 패시베이션막(PV1)의 두께보다 크기 때문에, 제1 패시베이션막(PV1)을 제2 n형 반도체층(202)의 표면에 대하여 수직인 방향으로 식각할 때, 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4) 각각의 저면에 형성된 제1 패시베이션막(PV1)이 제거되는 동안 제2 n형 반도체층(202) 상부에 형성된 제1 패시베이션막(PV1)이 잔류할 수 있다. 또한, 제1 패시베이션막(PV1)을 수직 방향으로 식각하기 때문에 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4) 각각의 측벽에 형성된 제1 패시베이션막(PV1)이 식각되지 않고 잔류할 수 있다.
- [0185] 또한, 제1 발광부(LE1) 및 제2 발광부(LE2) 각각의 외측벽에 제1 패시베이션막(PV1)이 잔류할 수 있다.
- [0186] 일 실시예에 따르면, 제2 n형 반도체층(202) 상부면에 형성된 제1 패시베이션막(PV1)의 두께가 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4) 각각의 측벽에 잔류하는 제1 패시베이션막(PV1)의 두께보다 크거나 같을 수 있다.
- [0187] 도 36을 참조하면, 제1 패시베이션막(PV1)이 형성된 제2 n형 반도체층(202) 상에 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4) 각각을 매립하지 않도록 제1 시드막(SD1)을 컨포멀하게 형성될 수 있다. 제1 발광부(LE1) 및 제2 발광부(LE2)의 외측벽을 덮는 제1 외측 시드막(SSD1)이 함께 형성될 수 있다.
- [0188] 이어서, 제1 외측 시드막(SSD1)을 덮는 제3 마스크 패턴(MP3)을 더 형성할 수 있다. 제3 마스크 패턴(MP3)은 광 투과율이 낮으며 절연 특성을 갖는 포토레지스트를 포함할 수 있다.
- [0189] 일 실시예에 따르면, 후속 공정에서 제1 기판을 제거하는 동안 발광 소자의 외측벽을 감싸는 제3 마스크 패턴(MP3)에 의해 발광 소자의 크랙을 방지할 수 있다.
- [0190] 도 37을 참조하면, 제1 시드막(SD1)이 형성된 제2 홀(H2), 제3 홀(H3), 및 제4 홀(H4)을 매립하도록 제1 시드막(SD1) 상에 제1 배선막(ML1)을 형성할 수 있다. 제1 외측 시드막(SSD1) 상에서는 제3 마스크 패턴(MP3)에 의해 제1 배선막(ML1)이 형성되지 않을 수 있다.
- [0191] 이어서, 제1 패시베이션막(PV1)의 상부면이 노출되도록 제1 배선막(ML1) 및 제1 시드막(SD1)을 식각할 수 있다. 제1 패시베이션막(PV1)이 제1 배선막(ML1) 및 제1 시드막(SD1) 식각 공정의 식각 저지막으로 기능할 수 있다. 제1 배선막(ML1) 및 제1 시드막(SD1)의 식각 공정으로는 화학적 기계적 연마 공정을 사용할 수 있다.
- [0192] 이로써, 제2 홀(H2)을 매립하는 제2 비아 구조물(VA2)의 제1 패턴(PT1_2), 제3 홀(H3)을 매립하는 제1 비아 구조물(VA1)의 제1 패턴(PT1_1), 및 제4 홀(H4)을 매립하는 제4 비아 구조물(VA4)의 제1 패턴(PT1_4)을 각각 형성할 수 있다.
- [0193] 제1 비아 구조물(VA1)의 제1 패턴(PT1_1), 제2 비아 구조물(VA2)의 제1 패턴(PT1_2), 및 제4 비아 구조물(VA

4)의 제1 패턴(PT1_4) 각각은 제1 시드막(SD1)이 제1 배선막(ML1)을 둘러싼 구조를 가지며, 구리를 포함할 수 있다.

[0194] 일 예로, 제1 시드막(SD1)의 구리 결정이 제1 배선막(ML1)의 구리 결정보다 밀도가 높을 수 있다.

[0195] 도 38을 참조하면, 제1 비아 구조물(VA1)의 제1 패턴(PT1_1), 제2 비아 구조물(VA2)의 제2 패턴(PT2_2), 및 제4 비아 구조물(VA4)의 제1 패턴(PT1_4) 각각 상에 제1 비아 구조물(VA1)의 제2 패턴(PT2_1), 제2 비아 구조물(VA2)의 제2 패턴(PT2_2), 및 제4 비아 구조물(VA4)의 제2 패턴(PT2_4)을 각각 형성할 수 있다. 제1 비아 구조물(VA1)의 제2 패턴(PT2_1), 제2 비아 구조물(VA2)의 제2 패턴(PT2_2), 및 제4 비아 구조물(VA4)의 제2 패턴(PT2_4) 각각은 Au를 포함할 수 있다.

[0196] 제1 비아 구조물(VA1)에서, 제2 패턴(PT2_1)은 제1 패턴(PT1_1)보다 큰 폭을 가지며, 제1 패턴(PT1_1)의 일 면이 제1 오믹층(108)과 전기적으로 접하며 일 면과 대향하는 타 면이 제2 패턴(PT2_1)의 일 면과 전기적으로 접할 수 있다. 제2 패시베이션막(PV2)은 제1 패턴(PT1_1)의 외측벽을 감싸며, 제2 패턴(PT2_1)과 제2 n형 반도체층(202) 사이를 절연시킬 수 있다. 또한, 제1 패시베이션막(PV1)이 형성된 제1 패턴(PT1_1)의 적어도 일부는 제1 접착부(AD1)에 의해 감싸진 구조를 가질 수 있다. 일 예로, 제1 접착부(AD1)는 제1 패시베이션막(PV1)이 형성된 제1 패턴(PT1_1)의 중간 부분을 감쌀 수 있다.

[0197] 제2 비아 구조물(VA2)에서, 제2 패턴(PT2_2)은 제1 패턴(PT1_2)보다 큰 폭을 가지며, 제1 패턴(PT1_2)의 일 면이 제2 오믹층(208)과 전기적으로 접하며 일 면에 대향하는 타 면이 제2 패턴(PT2_2)의 일 면과 전기적으로 접할 수 있다. 제2 패시베이션막(PV2)은 제1 패턴(PT1_2)의 외측벽을 감싸며 제2 패턴(PT2_2)과 제2 n형 반도체층(202) 사이를 절연시킬 수 있다.

[0198] 제4 비아 구조물(VA4)에서, 제2 패턴(PT2_4)은 제1 패턴(PT1_4)보다 큰 폭을 가지며, 제1 패턴의 일 면이 제1 n형 반도체층(102)과 전기적으로 접하며 일 면에 대향하는 타 면은 제2 패턴(PT2_4)의 일 면과 전기적으로 접할 수 있다. 일 실시예에 따르면, 제4 비아 구조물(VA4)의 제2 패턴(PT2_4)의 일 면은 제1 패턴(PT1_4)과 접하는 제1 부분(PT1)과, 제2 n형 반도체층(202)과 접하는 제2 부분(PT2)을 포함하며, 제2 부분(PT2)이 제1 부분(PT1)보다 1 내지 5배 클 수 있다. 한편, 제1 패시베이션막(PV1)이 제2 패턴(PT2_4)의 외측벽을 감싸며, 제2 패턴(PT2_4)과 제2 n형 반도체층(202) 사이에서 제거되어, 제2 패턴(PT2_4)과 제2 n형 반도체층(202) 사이가 전기적으로 접할 수 있다. 또한, 제4 비아 구조물(VA4)의 제1 패턴(PT1_4)이 제1 접착부(AD1) 내부로 연장되는 구조로, 제1 접착부(AD1)가 제4 비아 구조물(VA4)의 제1 패턴(PT1_4)의 하부의 외측벽을 감싸는 구조를 가질 수 있다.

[0199] 도 39를 참조하면, 제1 비아 구조물(VA1)의 제2 패턴(PT2_1), 제2 비아 구조물(VA2)의 제2 패턴(PT2_2), 및 제4 비아 구조물(VA4)의 제2 패턴(PT2_4)이 형성된 제1 패시베이션막(PV1) 상에 제2 접착부(AD2)를 형성할 수 있다. 제2 접착부(AD2)의 상부면은 제1 비아 구조물(VA1)의 제2 패턴(PT2_1), 제2 비아 구조물(VA2)의 제2 패턴(PT2_2), 및 제4 비아 구조물(VA4)의 제2 패턴(PT2_4) 각각의 상부면과 동일 평면일 수 있다.

[0200] 일 예로, 제1 비아 구조물(VA1)의 제2 패턴(PT2_1), 제2 비아 구조물(VA2)의 제2 패턴(PT2_2), 및 제4 비아 구조물(VA4)의 제2 패턴(PT2_4) 각각은 Au와 같은 금속을 포함하고, 제2 패시베이션막(PV2)을 SiO₂를 포함할 수 있다.

[0201] 도 40을 참조하면, 제3 기판(300) 상에 제3 n형 반도체층(302), 제3 활성층(304) 및 제3 p형 반도체층(306)을 포함하는 제3 발광부(LED)를 형성할 수 있다. 제3 p형 반도체층(306) 상에 제2 컬러 필터(CF2)를 형성할 수 있다.

[0202] 제3 모서리(CN3)에서 제2 컬러 필터(CF2)를 식각하여 제3 p형 반도체층(306)을 노출시키며 제5 홀(H5)을 형성하고, 제4 모서리(CN4)에서 제2 컬러 필터(CF2), 제3 p형 반도체층(306), 및 제3 활성층(304)을 식각하여 제3 n형 반도체층(302)을 노출시키는 제6 홀(H6)을 형성할 수 있다.

[0203] 이어서, 제2 컬러 필터(CF2) 상에 제5 홀(H5) 및 제6 홀(H6)을 매립하는 제3 접착부(AD3)를 형성할 수 있다. 제3 접착부(AD3)는 제2 컬러 필터(CF2) 상부를 덮을 수 있다.

[0204] 도 41을 참조하면, 제5 홀(H5) 및 제6 홀(H6) 내부의 제3 접착부(AD3)를 식각하여 제3 p형 반도체층(306)을 노출시키도록 제5 홀(H5)을 다시 오픈하고, 제3 n형 반도체층(302)의 일부를 노출시키며 제6 홀(H6)보다 작은 폭을 갖는 제7 홀(H7)을 형성할 수 있다. 제7 홀(H7)은 내측벽에 제3 접착부(AD3)가 잔류할 수 있다.

[0205] 도 42를 참조하면, 제5 홀(H5)을 매립하는 제1 도전 패턴(CP1) 및 제7 홀(H7)을 매립하는 제2 도전 패턴(CP2)을

각각 형성할 수 있다. 제1 도전 패턴(CP1)은 제3 p형 반도체층(306)과 전기적으로 접하며, Au/Be 합금을 포함하며 제3 p형 반도체층(306)의 오믹층으로 기능할 수 있다. 제1 도전 패턴(CP1)의 외측벽은 제3 접착부(AD3)에 의해 둘러싸인 구조를 가질 수 있다. 제2 도전 패턴(CP2)은 제3 n형 반도체층(302)과 전기적으로 접하며, Au/Ge 합금을 포함하며 제3 n형 반도체층(302)의 오믹층으로 기능할 수 있다. 제2 도전 패턴(CP2)의 외측벽은 제7 홀(H7) 내 잔류하는 제3 접착부(AD3)에 의해 제3 p형 반도체층(306) 및 제3 활성층(304)과 절연될 수 있다. 이와 같이 제3 p형 반도체층(306) 및 제3 n형 반도체층(302) 각각이 금속을 포함하는 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)을 오믹층으로 사용함으로써, 제3 발광부(LE3)의 오믹 특성을 향상시킬 수 있다.

[0206] 제1 도전 패턴(CP1), 제2 도전 패턴(CP2), 및 제3 접착부(AD3) 각각의 상부면이 동일 평면이 되도록 연마 공정을 수행할 수 있다. 이 경우, 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)은 금속을 포함하고, 제3 접착부(AD3)는 SiO₂를 포함할 수 있다.

[0207] 도 43을 참조하면, 제3 기관(300)을 뒤집어, 제1 도전 패턴(CP1) 및 제2 도전 패턴(CP2)이 제2 발광부(LE2) 상에 배치되는 제1 비아 구조물(VA1)의 제2 패턴(PT2_1), 제2 비아 구조물(VA2)의 제2 패턴(PT2_2), 및 제4 비아 구조물(VA4)의 제2 패턴(PT2_4)과 마주보도록 할 수 있다.

[0208] 일 실시예에 따르면, 제1 비아 구조물(VA1)의 제2 패턴(PT2_1), 제2 비아 구조물(VA2)의 제2 패턴(PT2_2), 제4 비아 구조물(VA4)의 제2 패턴(PT2_4), 및 제2 접착부(AD2)과, 제1 도전 패턴(CP1), 제2 도전 패턴(CP2), 및 제3 접착부(AD3)가 서로 마주하며, 열처리 공정을 통해 서로 접착시킬 수 있다. 특히, 제4 비아 구조물(VA4)의 제2 패턴(PT2_4)과 제2 도전 패턴(CP2)이 접착되고, 제2 접착부(AD2) 및 제3 접착부(AD3)가 접착되며, 제1 비아 구조물(VA1)의 제2 패턴(PT2_1) 및 제2 비아 구조물(VA2)의 제2 패턴(PT2_2) 각각은 제2 접착부(AD2)와 접착될 수 있다.

[0209] 제2 접착부(AD2) 및 제3 접착부(AD3) 사이, 즉 절연물 간의 접착과, 제4 비아 구조물(VA4)의 제2 패턴과 제2 도전 패턴(CP2) 사이, 즉 금속 간의 접착이 동시에 수행되어 공정을 단순화할 수 있다.

[0210] 이어서, 제3 기관(300)을 레이저 리프트 오프 공정을 수행하여 제3 발광부(LE3)로부터 제거시킬 수 있다. 제3 기관(300)을 제거함으로써, 제3 n형 반도체층(302)이 노출될 수 있다.

[0211] 도 44를 참조하면, 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 제2 컬러 필터(CF2), 및 제3 접착부(AD3)를 식각하여 제2 비아 구조물의 제2 패턴(PT2_2)을 노출시키는 제8 홀(H8)과, 제3 n형 반도체층(302), 제3 활성층(304), 및 제3 p형 반도체층(306)을 식각하여 제1 도전 패턴(CP1)을 노출시키는 제9 홀(H9)과, 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 제2 컬러 필터(CF2), 및 제3 접착부(AD3)를 식각하여 제1 비아 구조물(VA1)의 제2 패턴(PT2_1)을 노출시키는 제10 홀(H10)과, 제3 n형 반도체층(302)을 식각하여 제2 도전 패턴(CP2)을 노출시키는 제11 홀(H11)을 형성할 수 있다.

[0212] 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11)을 형성하는 동안 제3 n형 반도체층(302), 제3 활성층(304), 제3 p형 반도체층(306), 제2 컬러 필터(CF2), 및 제3 접착부(AD3)의 가장자리가 식각되어 제2 접착부(AD2)의 가장자리가 노출될 수 있다. 가장자리에 노출된 제2 접착부(AD2)는 제3 접착부(AD3)의 외측벽을 둘러싸는 구조를 가질 수 있다.

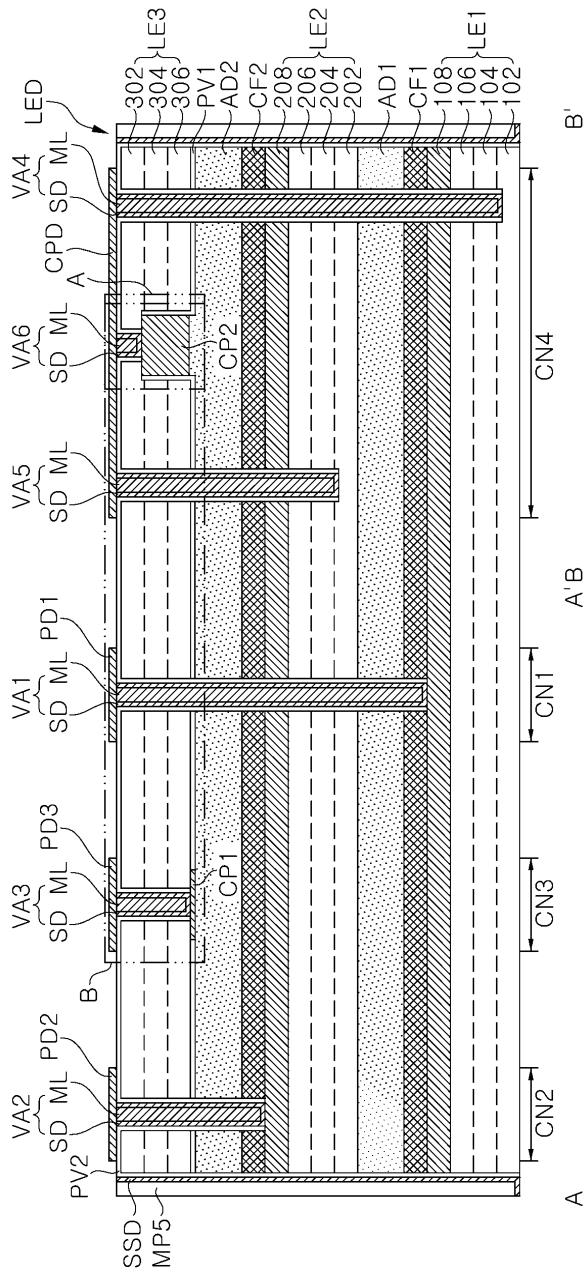
[0213] 이어서, 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11)을 매립하지 않도록 제3 n형 반도체층(302) 상에 제2 패시베이션막(PV2)을 컨포멀하게 형성할 수 있다. 일 실시예에 따르면, 제2 패시베이션막(PV2)에서, 제3 n형 반도체층(302)의 상부면에 형성된 제2 패시베이션막(PV2)의 두께가 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각의 측벽 및 저면에 형성된 제2 패시베이션막의 두께보다 클 수 있다. 일 예로, 제3 n형 반도체층(302)의 상부면에 형성된 제2 패시베이션막(PV2)의 두께가 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각의 측벽 및 저면에 형성된 제2 패시베이션막(PV2)의 두께보다 2 내지 4배 클 수 있다.

[0214] 제2 패시베이션막(PV2)을 제3 n형 반도체층(302) 표면에 수직인 방향으로 식각하여, 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각의 저면에 형성된 제2 패시베이션막(PV2)을 제거할 수 있다.

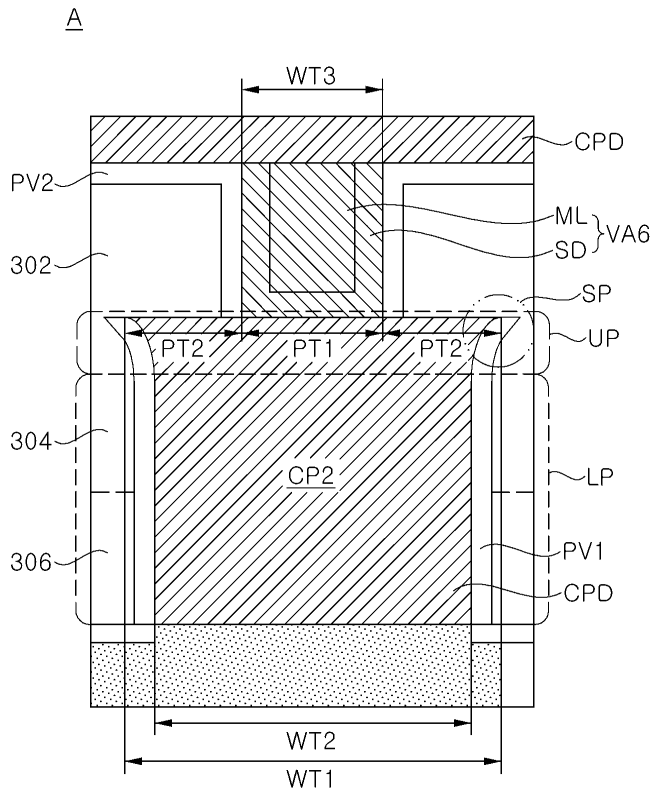
[0215] 제3 n형 반도체층(302) 상부면에 형성된 제2 패시베이션막(PV2)의 두께가 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각의 측벽 및 저면에 형성된 제2 패시베이션막(PV2)의 두께보다 크기 때문에 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각의 저면의 제2 패시베이션막(PV2)이 제거되는 동안 제3 n형 반도체층(302) 상부면의 제2 패시베이션막(PV2) 및 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각의 측벽의 제2 패시베이션막(PV2)이 잔류할 수 있다.

- [0216] 제3 n형 반도체층(302) 상부면에 잔류하는 제2 패시베이션막(PV2)의 두께가 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각의 측벽에 잔류하는 제2 패시베이션막(PV2)의 두께보다 크거나 동일하기, 후술되는 공정, 제1 기판(100)으로부터 완성된 발광 소자를 분리할 때, 제1 기판(100)이 휘게 되는데, 이때 제3 n형 반도체층(302) 상부면에 형성된 제2 패시베이션막(PV2)이 제1 패드(PD1, 도 2b 참조), 제2 패드(PD2, 도 2b 참조), 제3 패드(PD3, 도 2b 참조), 및 공통 패드(CPD, 도 2b 참조)가 발광 소자로부터 박리되는 것을 방지할 수 있다.
- [0217] 또한, 제2 접착부(AD2) 가장자리를 노출시키는 제3 접착부(AD3), 제2 컬러 필터(CF2), 제2 p형 반도체층(206), 제2 활성층(204), 및 제2 n형 반도체층(202) 외측벽에 형성된 제2 패시베이션막(PV2)이 잔류할 수 있다.
- [0218] 일 실시예에 따르면, 제3 n형 반도체층(302) 상부면에 잔류하는 제2 패시베이션막(PV2)의 두께가 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각의 측벽에 잔류하는 제2 패시베이션막(PV2)의 두께보다 크거나 같을 수 있다.
- [0219] 도 45를 참조하면, 제2 패시베이션막(PV2)이 형성된 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각을 매립하지 않도록 제3 n형 반도체층(302) 상에 제2 시드막(SD2)을 컨포멀하게 형성할 수 있다.
- [0220] 또한, 제2 접착부(AD2) 가장자리를 노출시키며 제2 패시베이션막(PV2)이 형성된 제3 접착부(AD3), 제2 컬러 필터(CF2), 제2 p형 반도체층(206), 제2 활성층(204), 및 제2 n형 반도체층(202) 외측벽으로 제2 외측 시드막(SSD2)이 연장될 수 있다.
- [0221] 이어서, 제2 외측 시드막(SSD2)을 덮는 제4 마스크 패턴(MP4)을 형성할 수 있다. 제4 마스크 패턴(MP4)은 광투과성이 낮으며 절연 특성을 갖는 포토레지스트를 포함할 수 있다.
- [0222] 일 실시예에 따르면, 발광 소자의 외측벽을 감싸는 제4 마스크 패턴(MP4)에 의해 후속 공정 중에 발생할 수 있는 발광 소자의 크랙을 방지할 수 있다.
- [0223] 도 46을 참조하면, 제2 시드막(SD2)을 이용하여, 제8 홀(H8), 제9 홀(H9), 제10 홀(H10), 및 제11 홀(H11) 각각을 매립하면서 제2 시드막(SD2) 상에 제2 배선막(ML2)을 형성할 수 있다.
- [0224] 이어서, 제2 패시베이션막(PV2)의 상부면이 노출되도록 제2 시드막(SD2) 및 제2 배선막(ML2)을 식각하여 제8 홀(H8)을 매립하는 제2 비아 구조물(VA2)의 제3 패턴(PT3_2)과, 제9 홀(H9)을 매립하는 제3 비아 구조물(VA3)과, 제10 홀(H10)을 매립하는 제1 비아 구조물(VA1)의 제3 패턴(PT3_1)과, 및 제11 홀(H11)을 매립하는 제4 비아 구조물(VA4)의 제3 패턴(PT3_4)을 각각 형성할 수 있다.
- [0225] 제1 비아 구조물(VA1)의 제3 패턴(PT3_1), 제2 비아 구조물(VA2)의 제3 패턴(PT3_2), 제3 비아 구조물(VA3), 및 제4 비아 구조물(VA4)의 제3 패턴(PT3_4) 각각의 상부면은 제2 패시베이션막(PV2)의 상부면과 실질적으로 동일할 수 있다.
- [0226] 한편, 제2 외측 시드막(SSD2) 상에 제4 마스크 패턴(MP4)이 배치됨으로써 제2 외측 시드막(SSD2) 상에는 제2 배선막(ML2)이 형성되지 않을 수 있다.
- [0227] 일 실시예에 따르면, 제2 외측 시드막(SSD2) 및 제2 배선막(ML2)은 구리를 포함할 수 있다. 일 예로, 제2 외측 시드막(SSD2)의 구리 결정이 제2 배선막(ML2)의 구리 결정보다 큰 밀도를 가질 수 있다.
- [0228] 다시 도 2b를 참조하면, 제2 패시베이션막(PV2) 상에 제1 비아 구조물(VA1)의 제3 패턴(PT3_1)과 전기적으로 접하는 제1 패드(PD1), 제2 비아 구조물(VA2)의 제3 패턴(PT3_2)과 전기적으로 접하는 제2 패드(PD2), 제3 비아 구조물(VA3)과 전기적으로 접하는 제3 패드(PD3) 및 제4 비아 구조물(VA4)의 제3 패턴(PT3_4)과 전기적으로 접하는 공통 패드(CPD)를 각각 형성할 수 있다.
- [0229] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

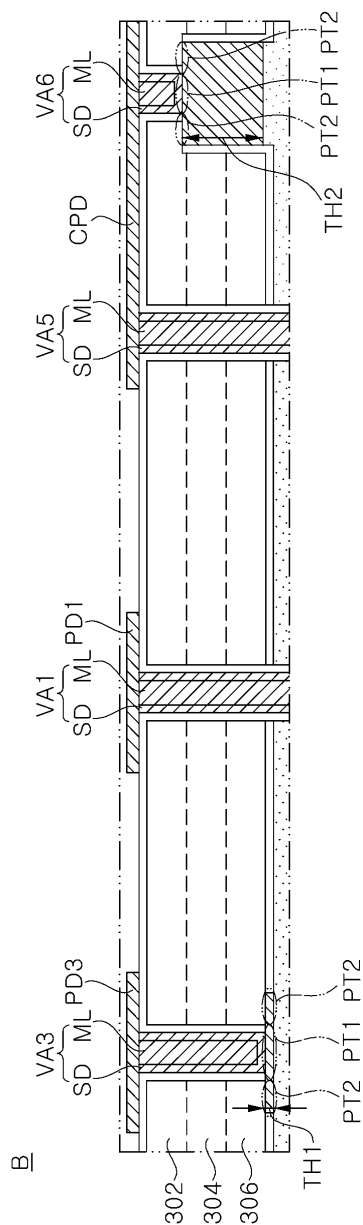
도면1b



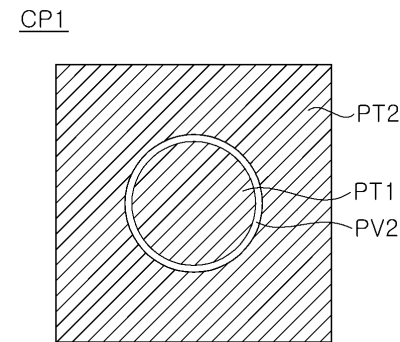
도면1c



도면1d

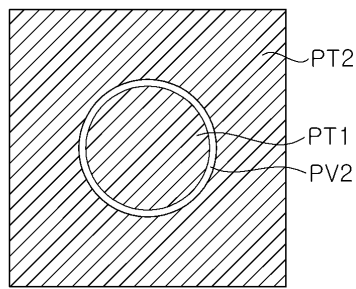


도면1e

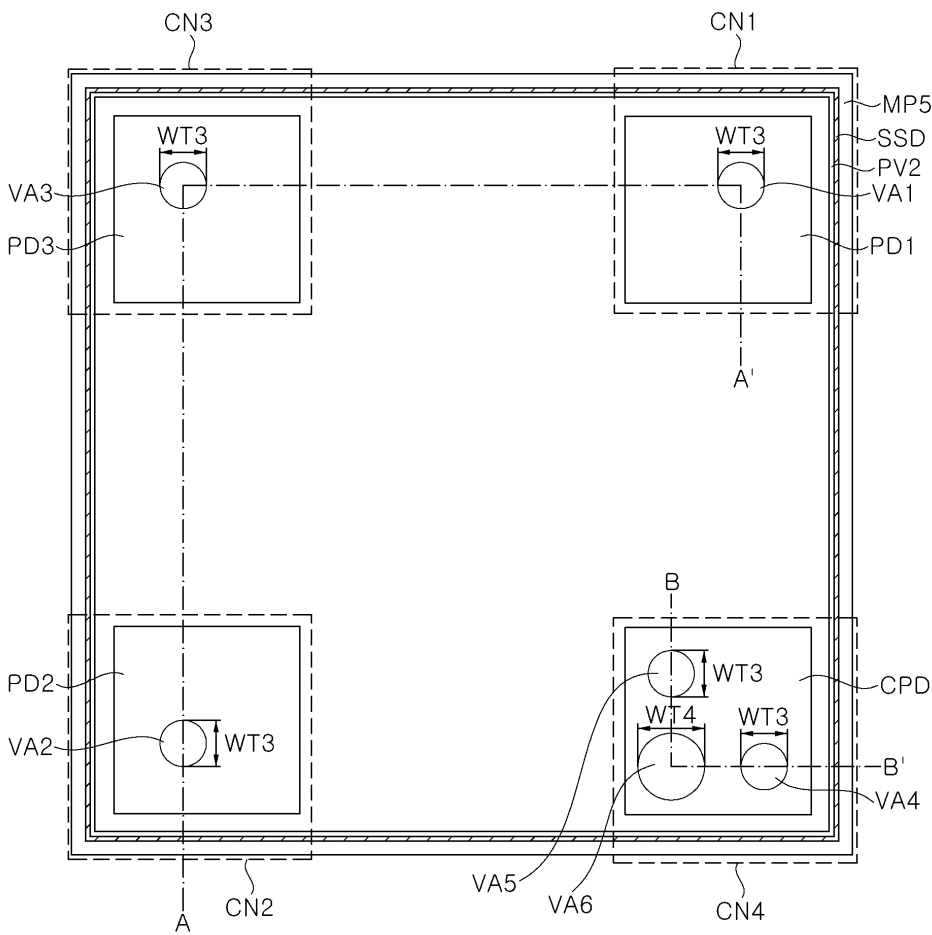


도면1f

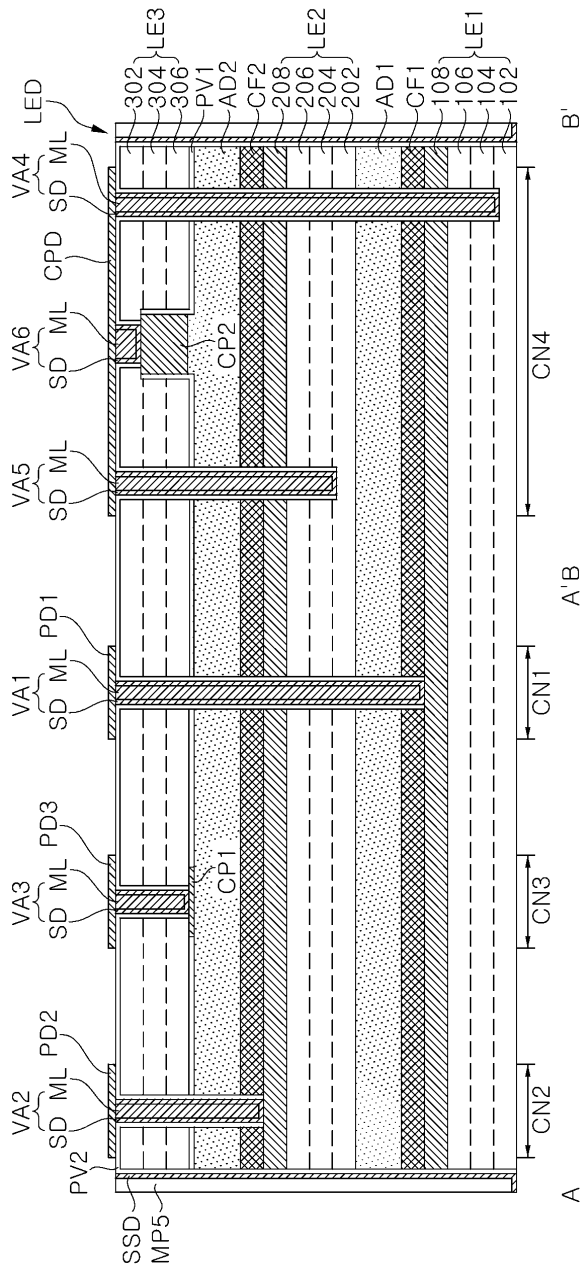
CP2



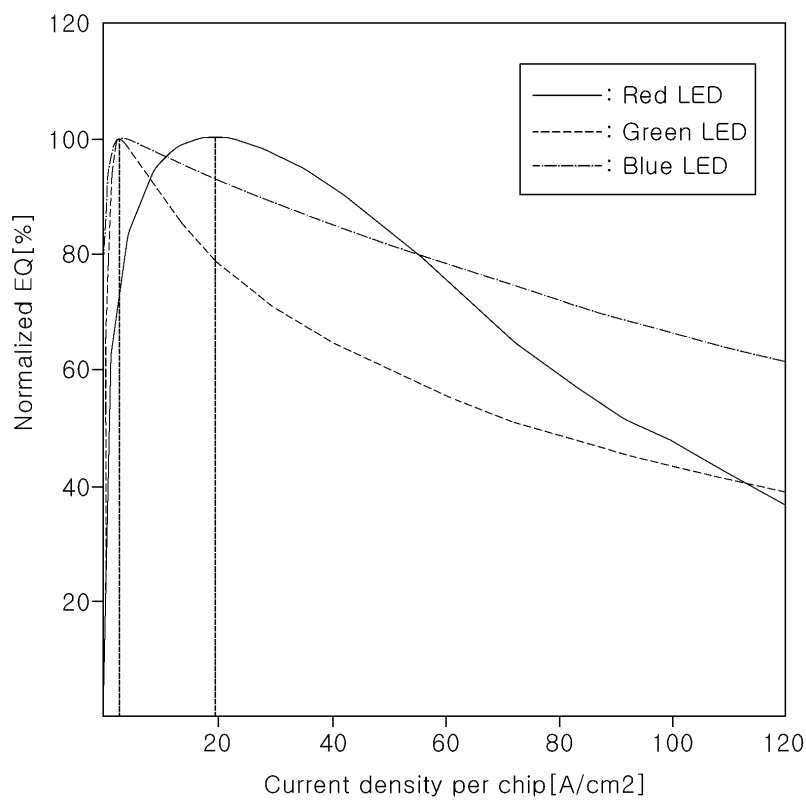
도면1g



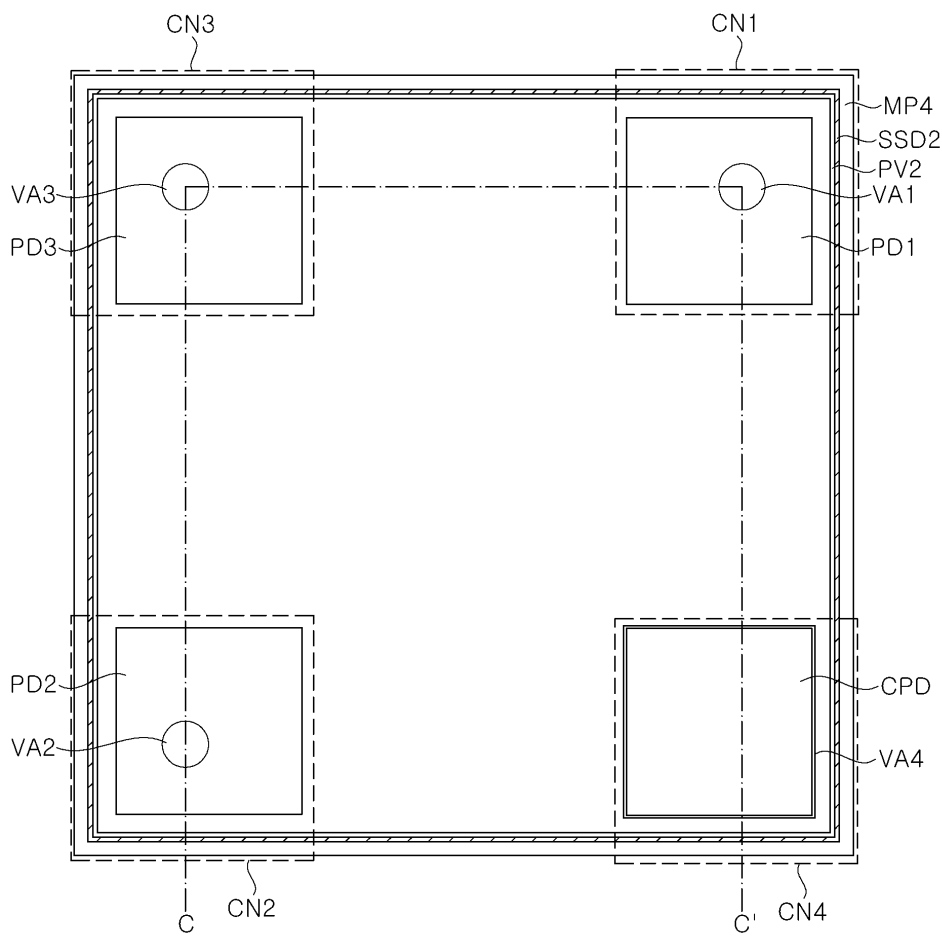
도면1h



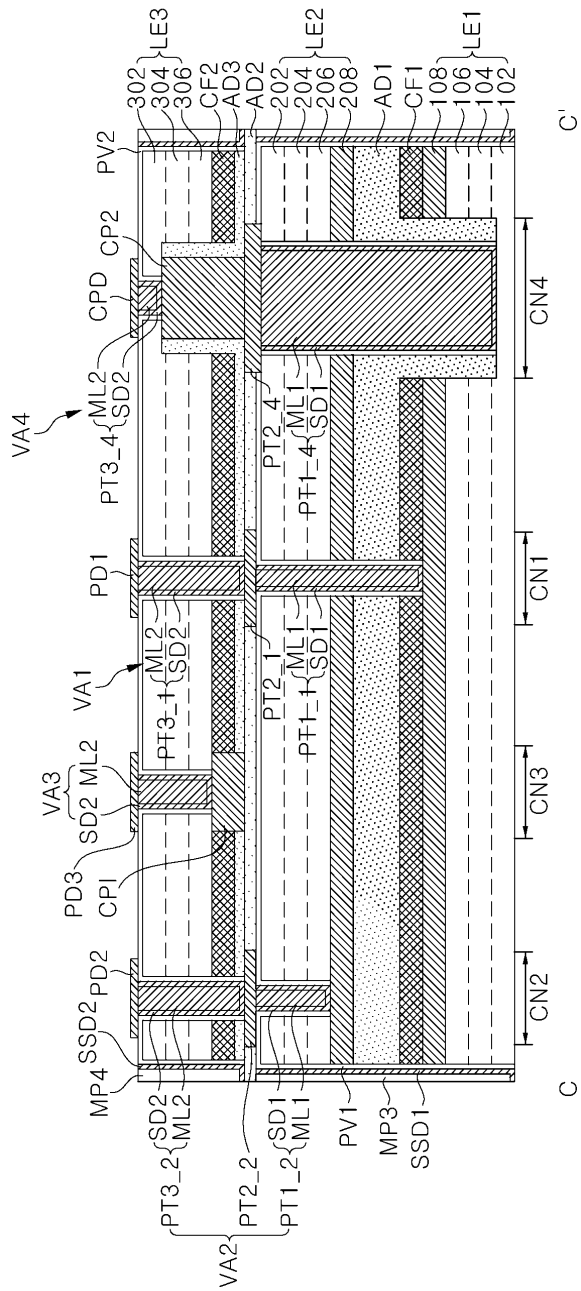
도면1i



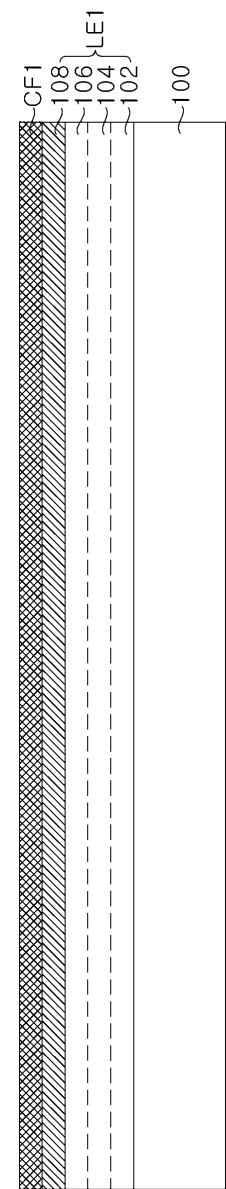
도면2a



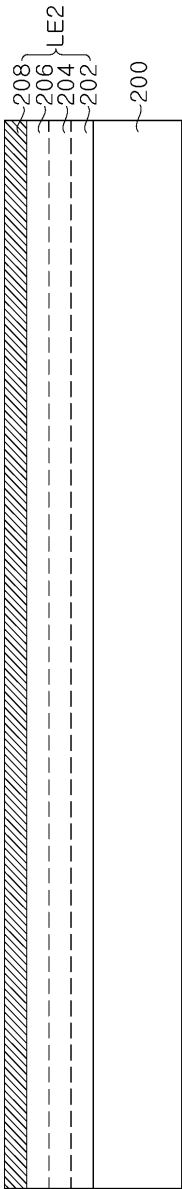
도면2b



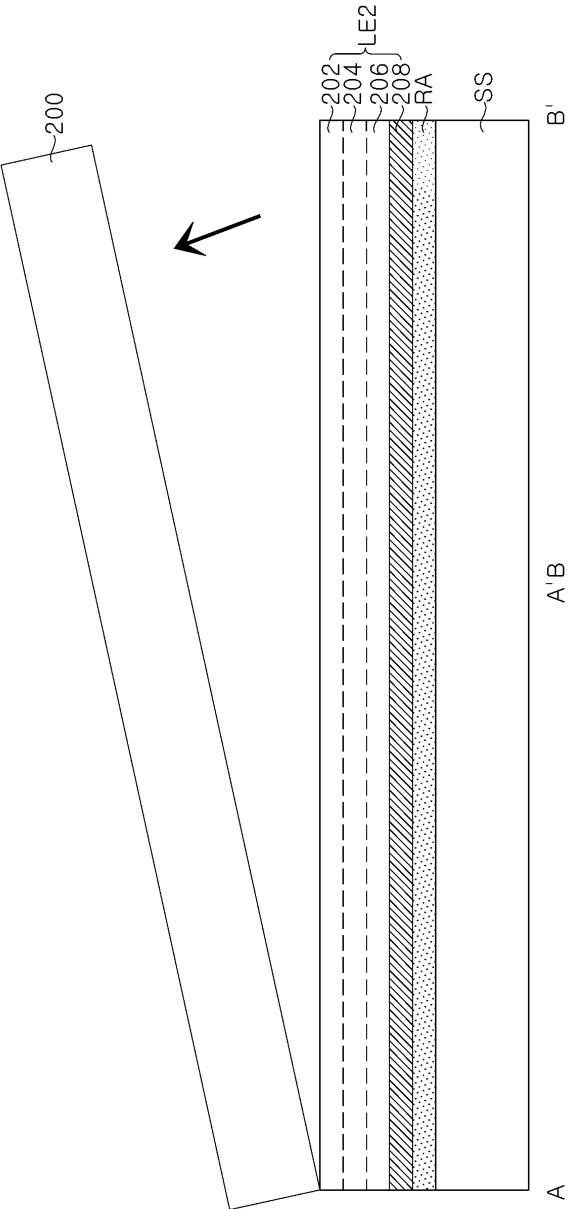
도면3



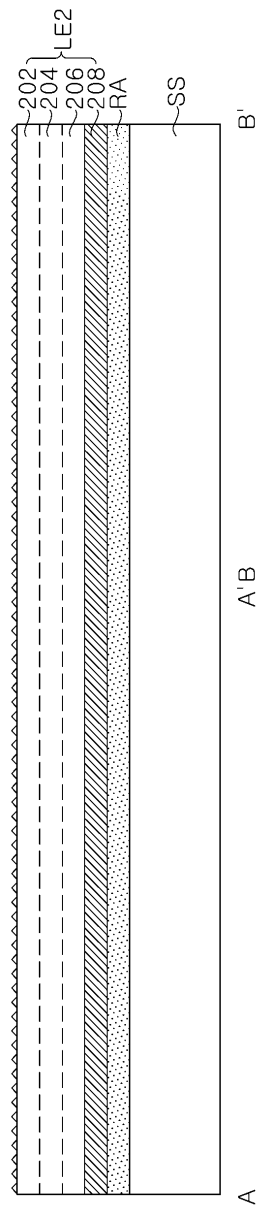
도면4



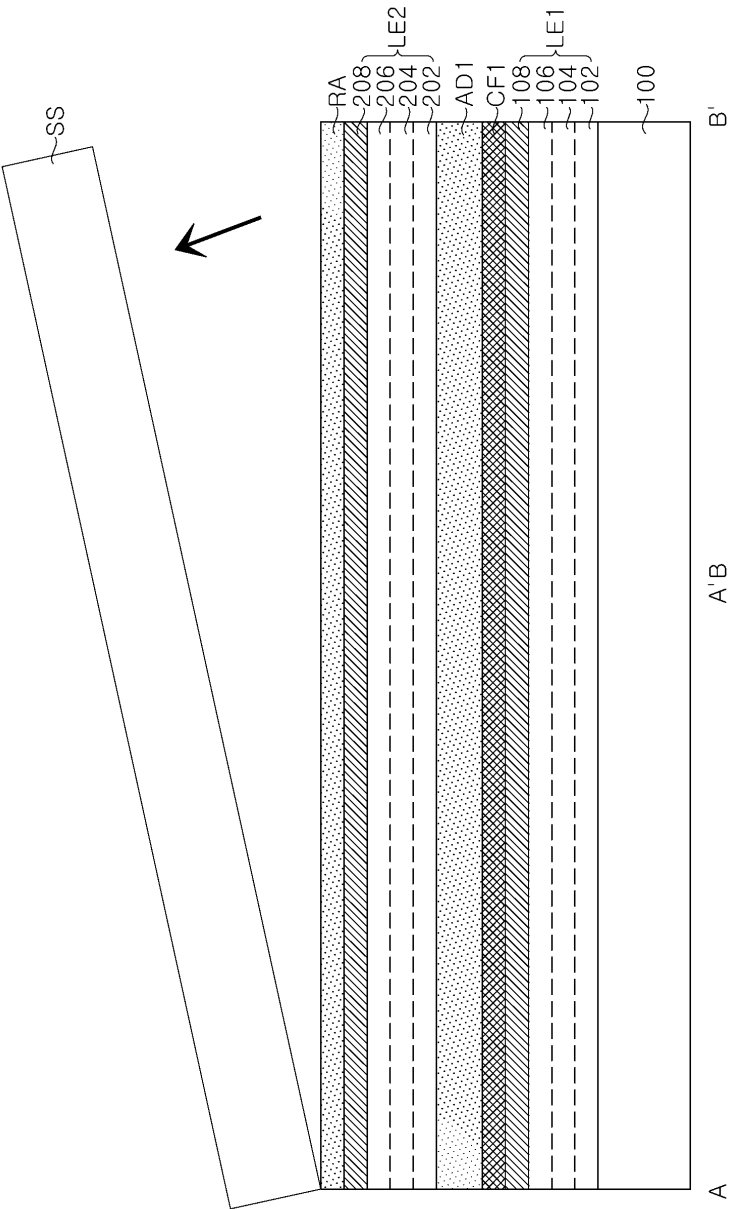
도면5



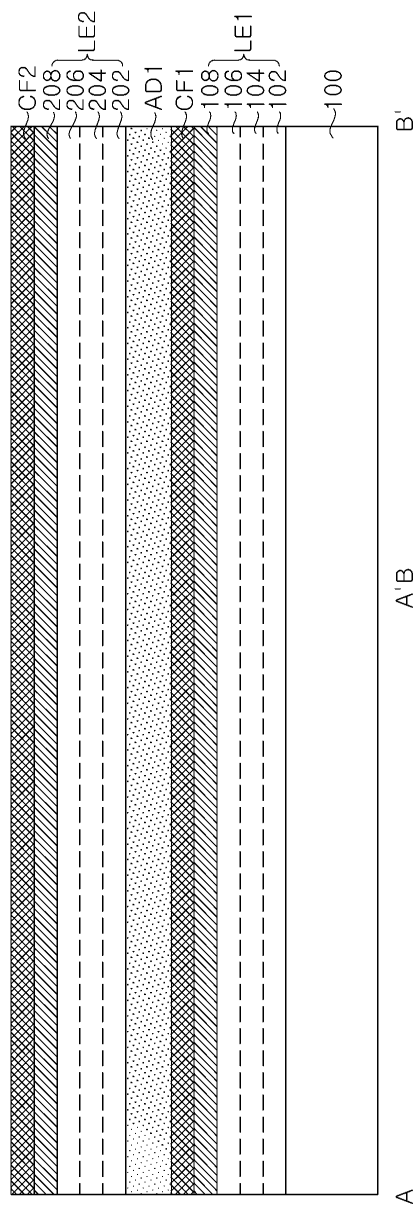
도면6



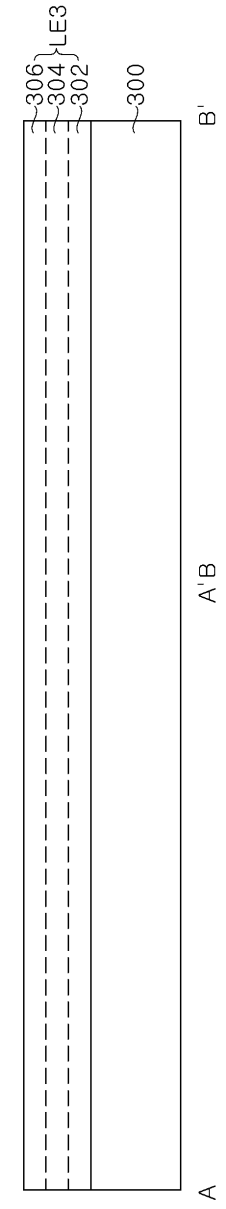
도면7



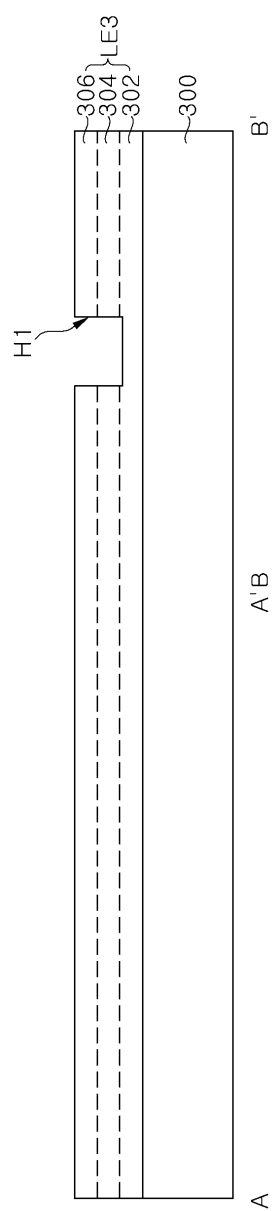
도면8



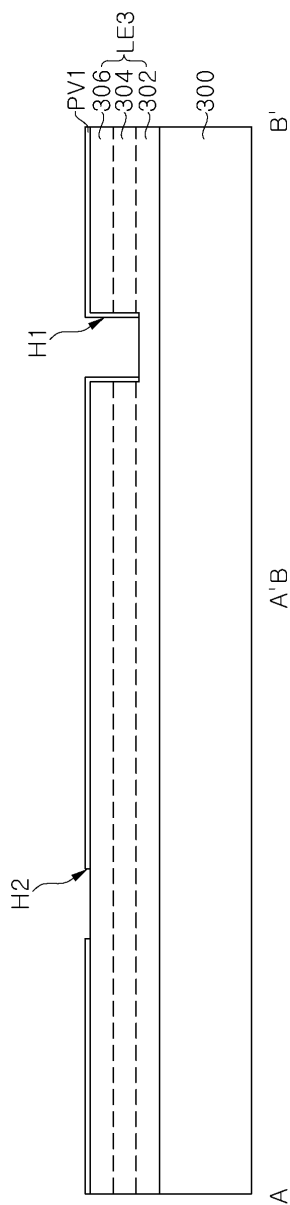
도면9



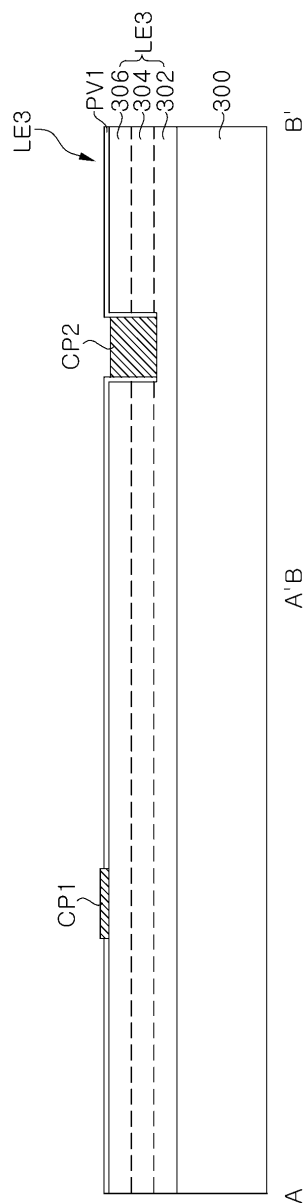
도면10



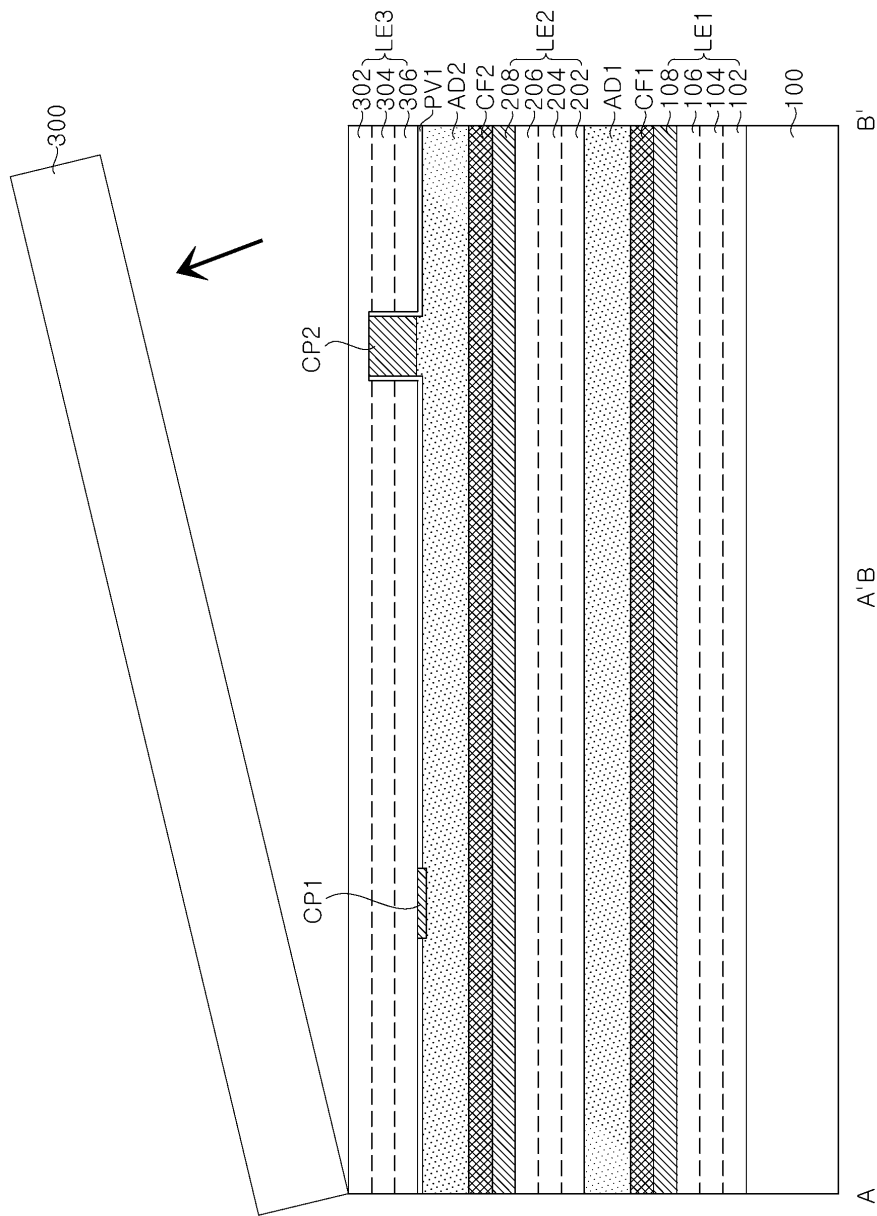
도면11



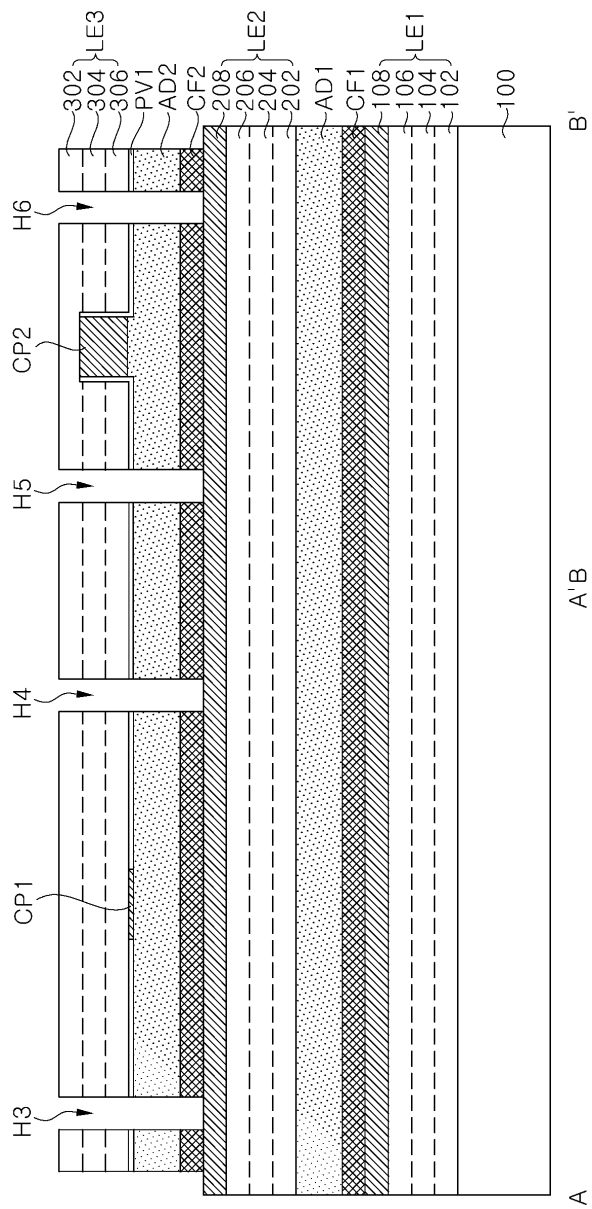
도면12



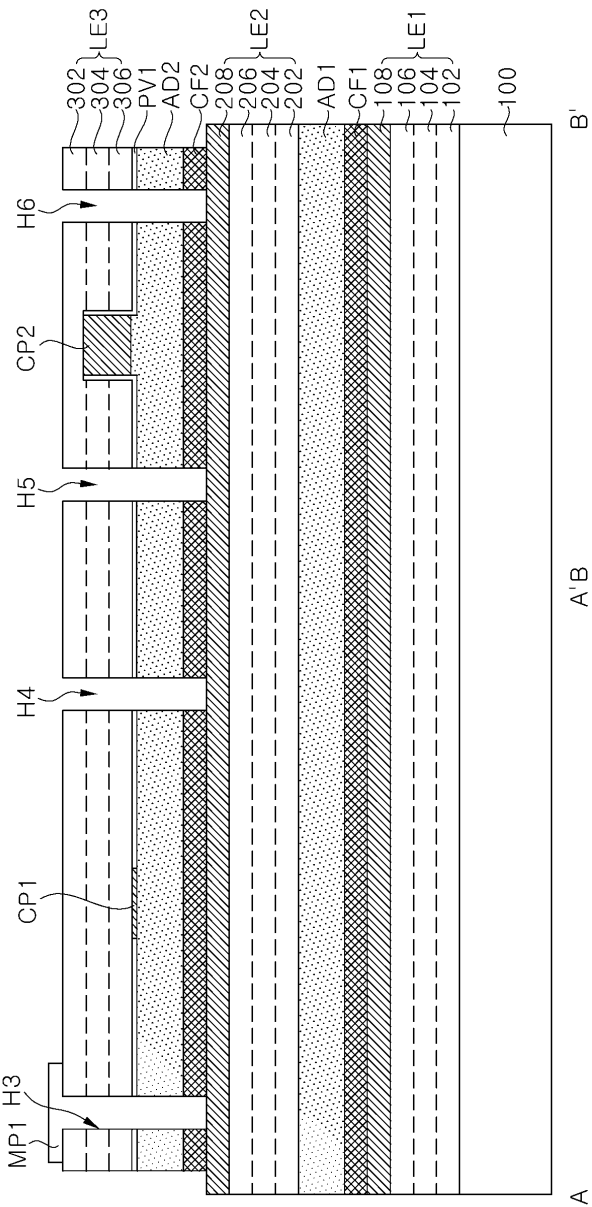
도면13



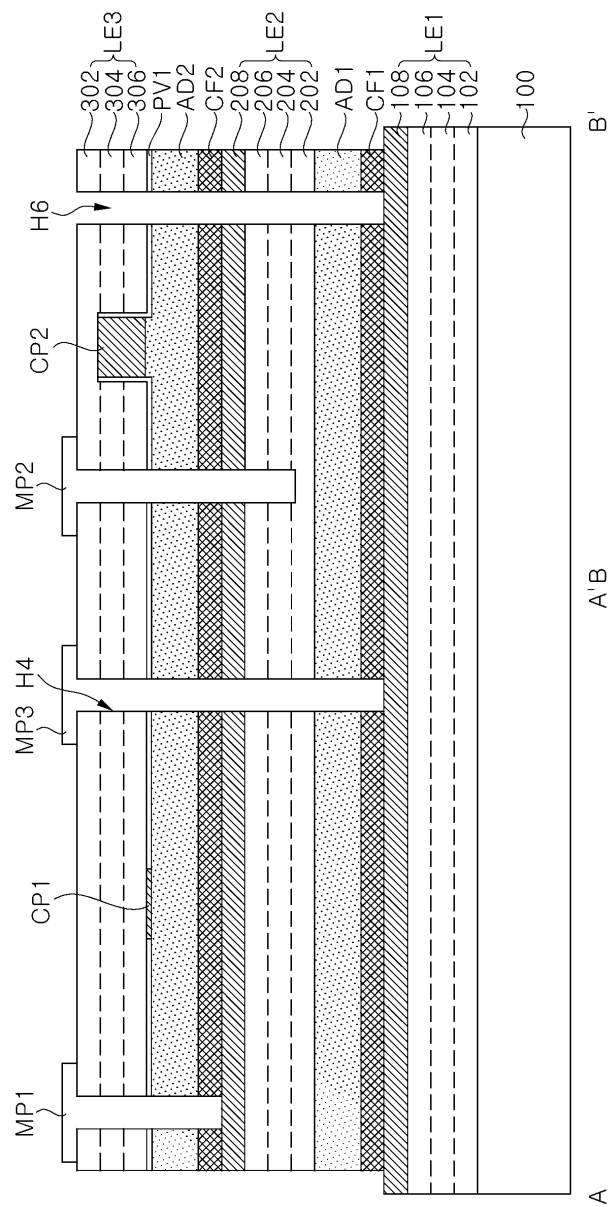
도면14



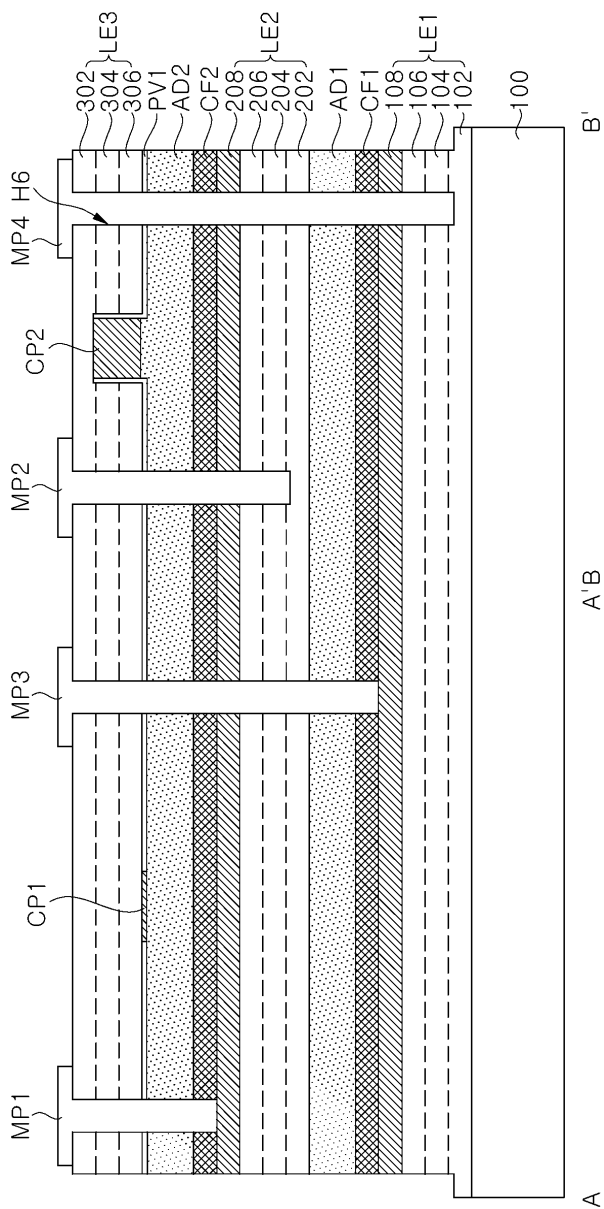
도면15



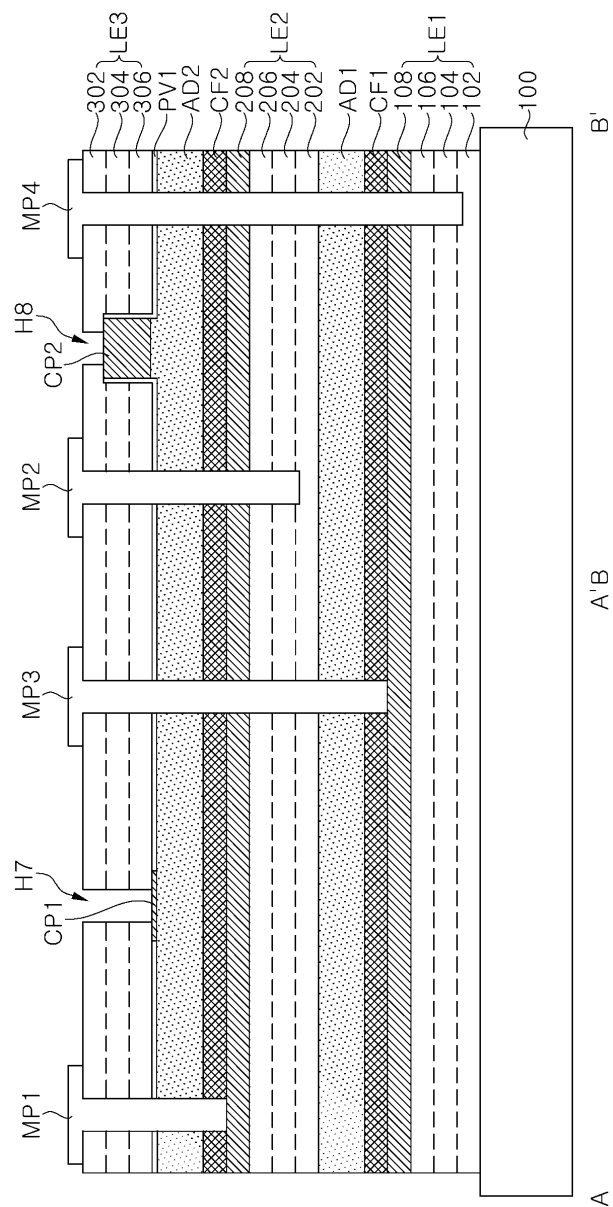
도면17



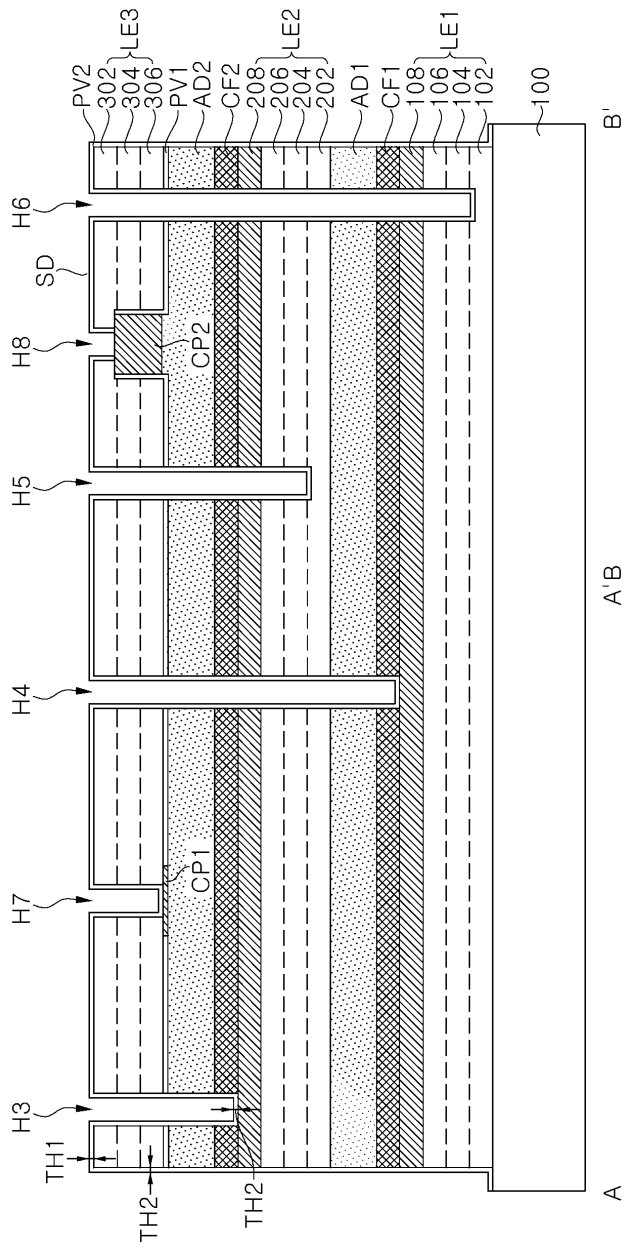
도면18



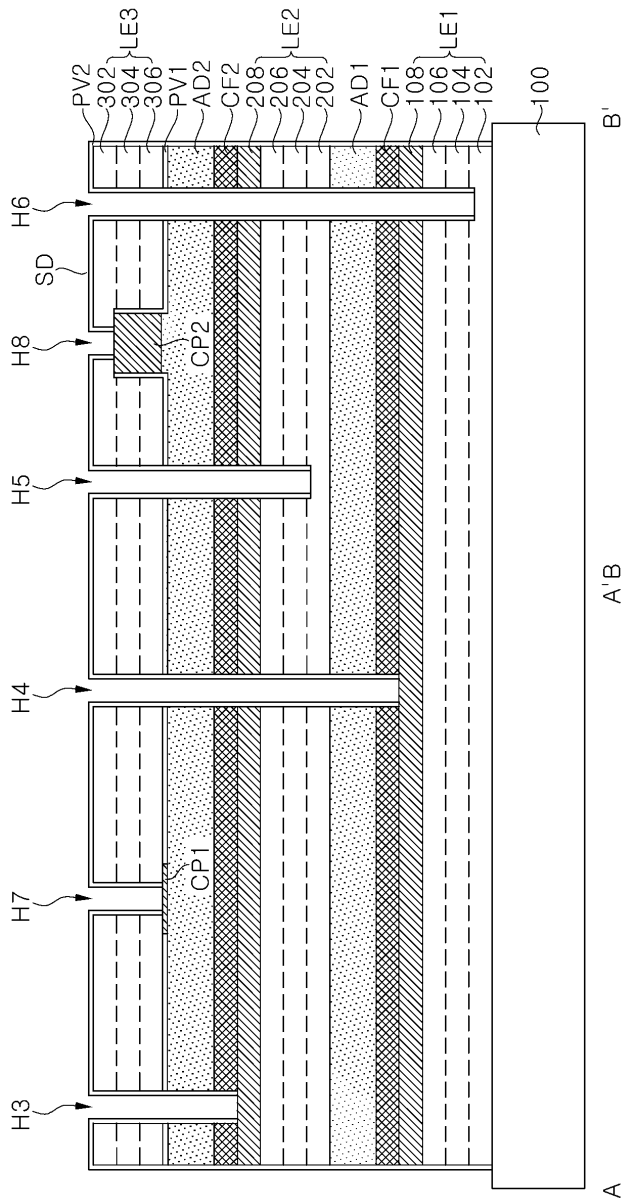
도면19



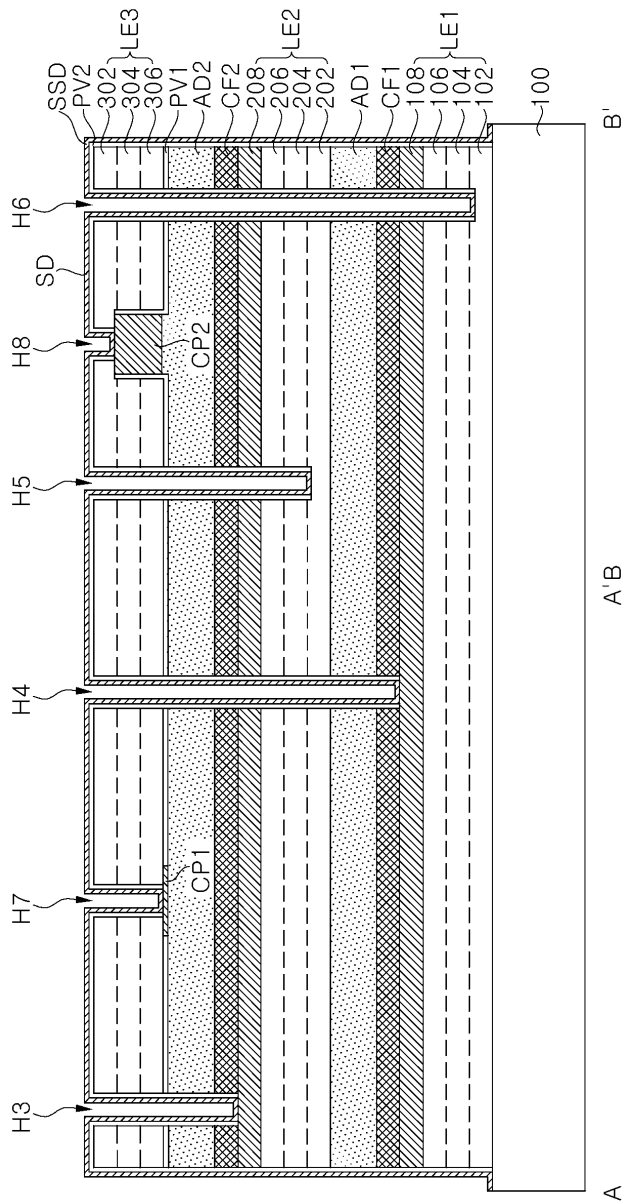
도면20



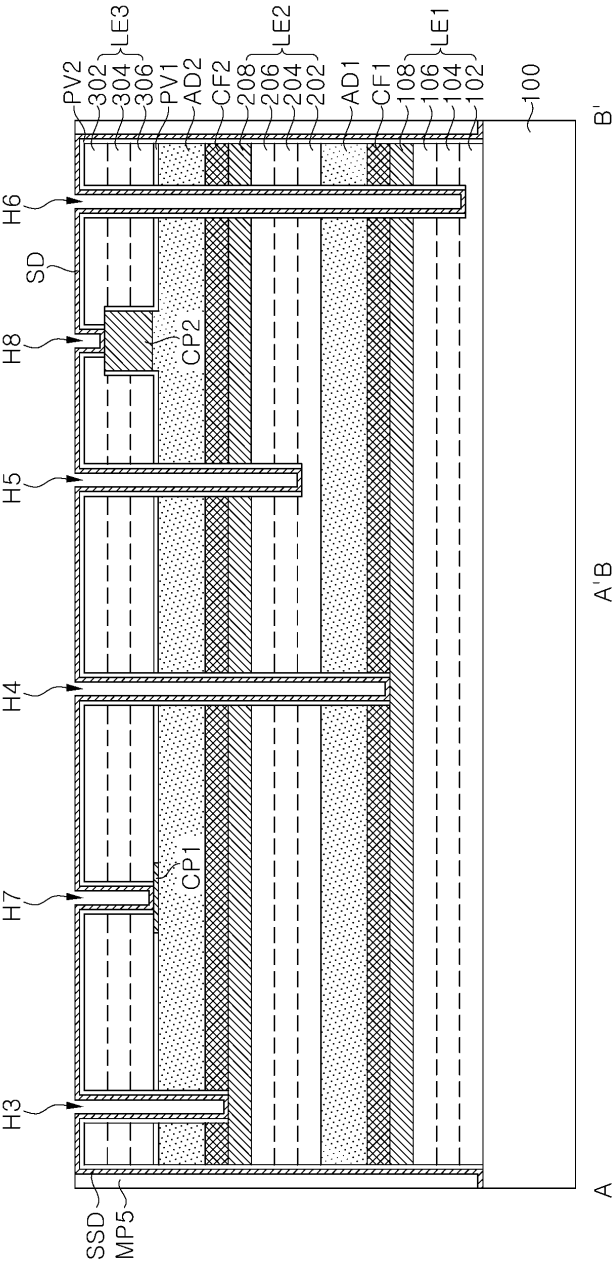
도면21



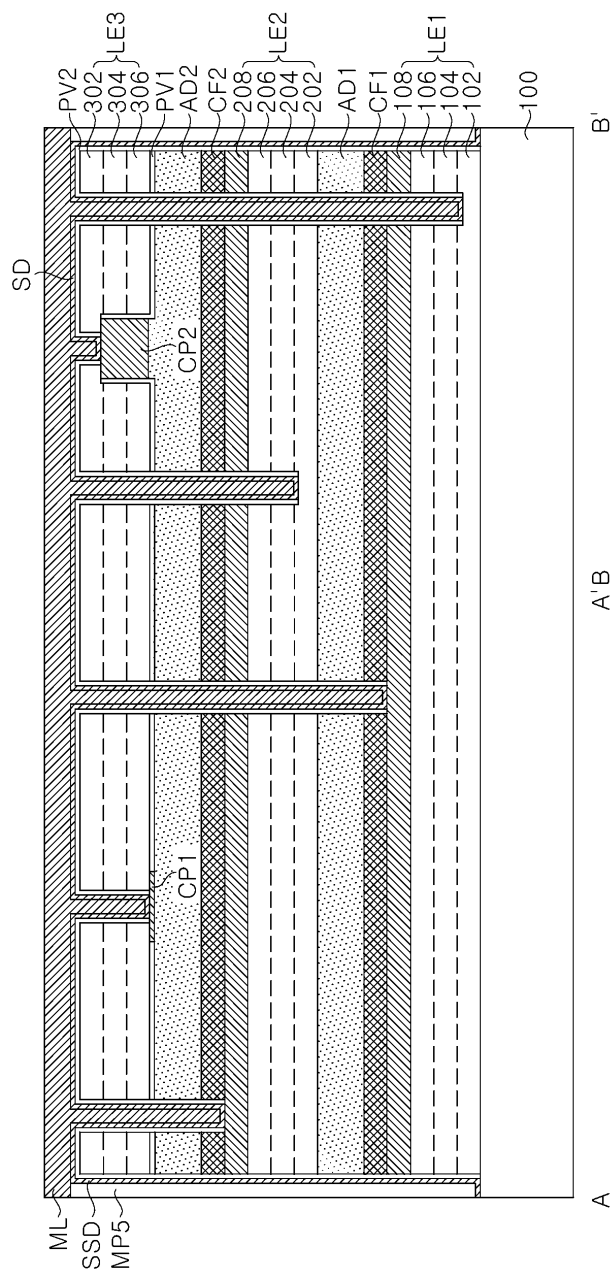
도면22



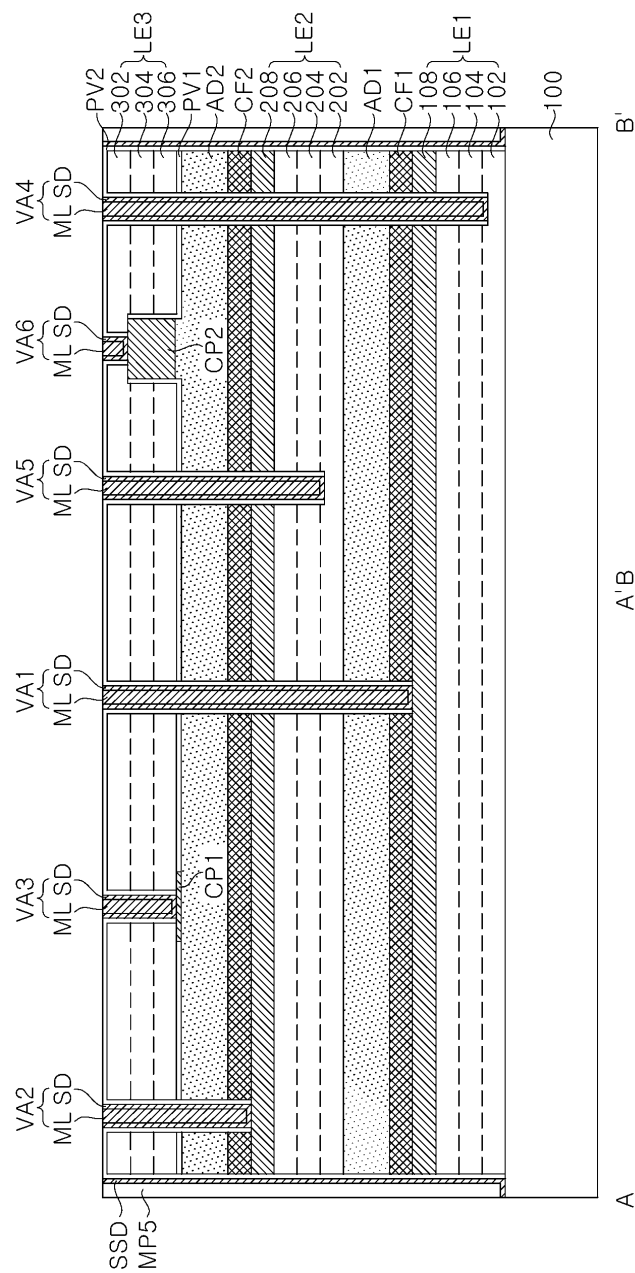
도면23



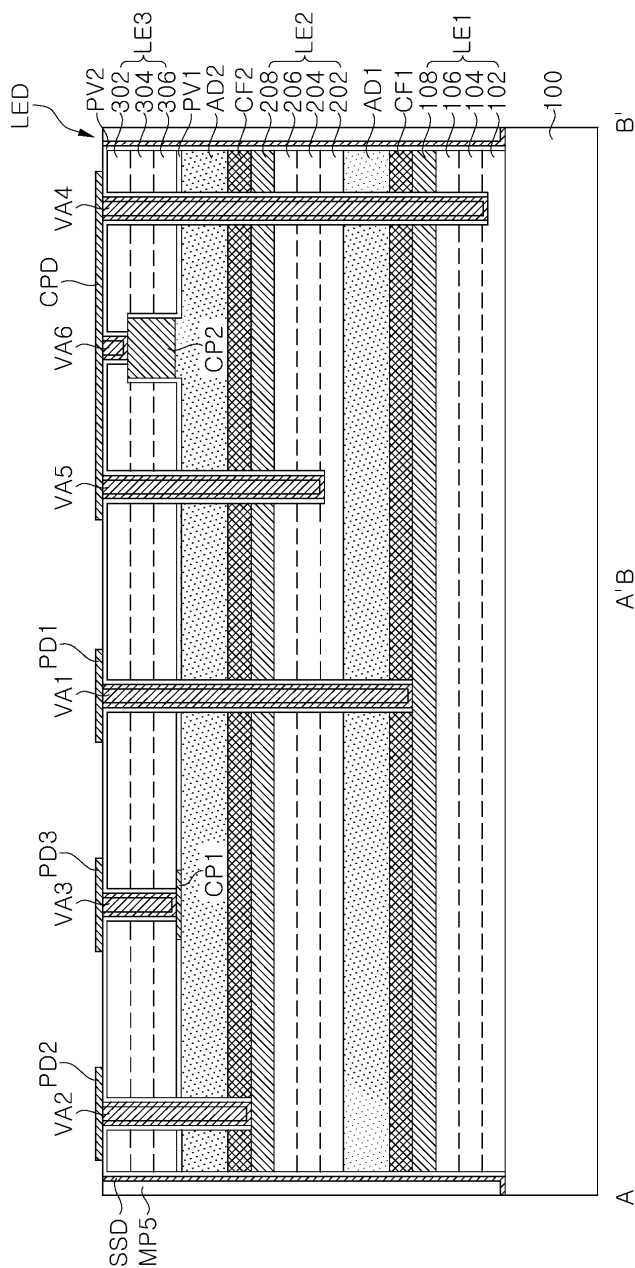
도면24



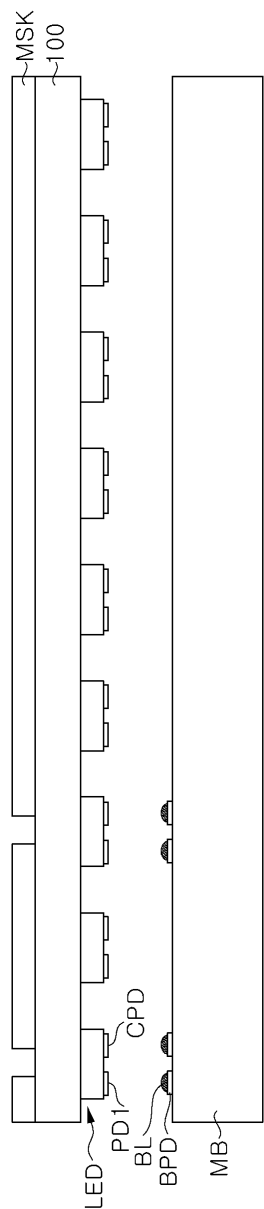
도면25



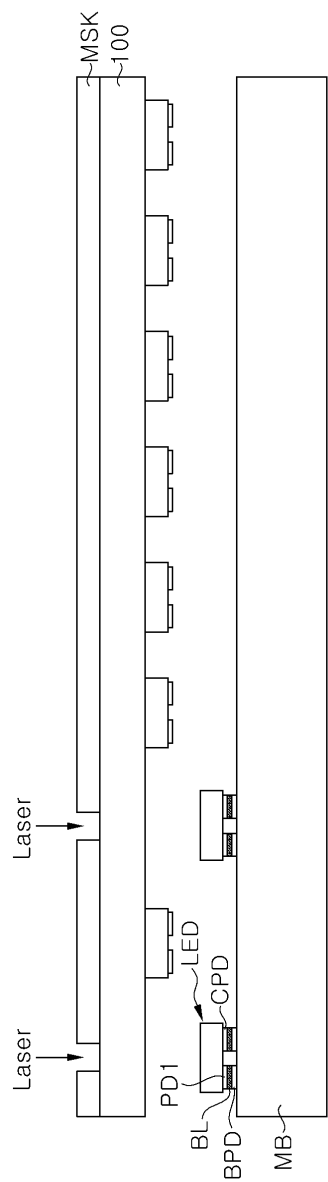
도면26



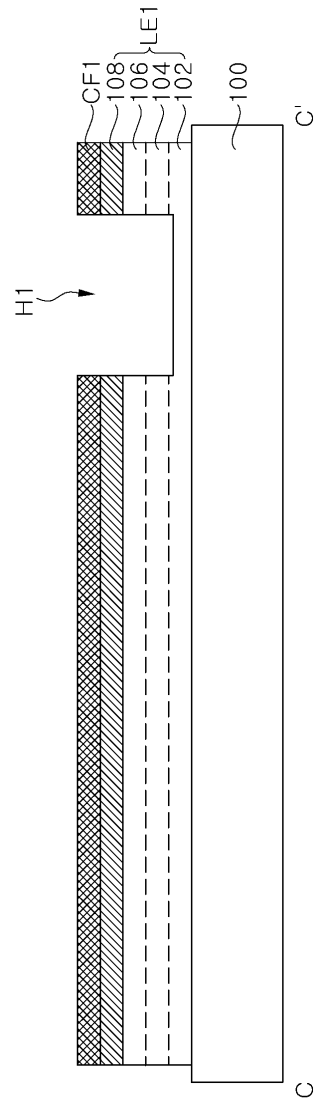
도면27



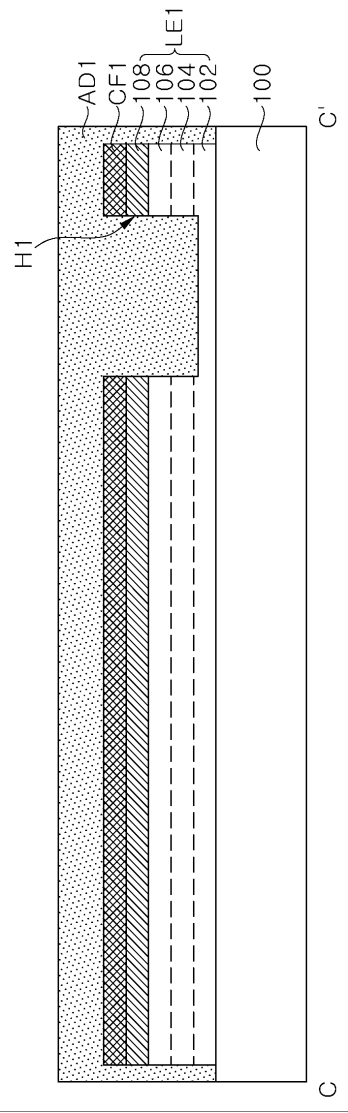
도면28



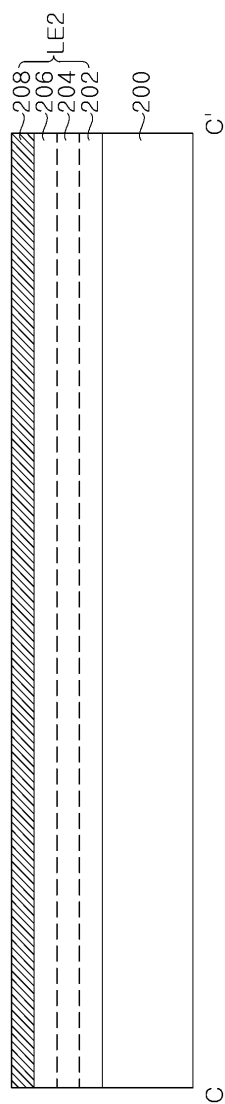
도면29



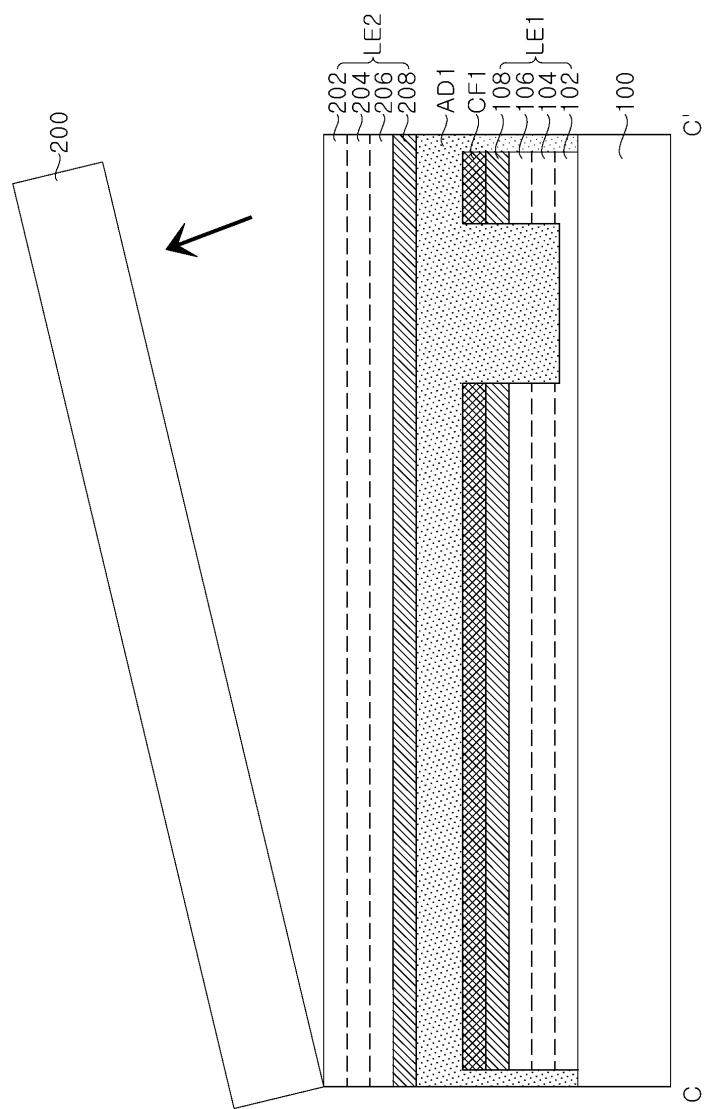
도면30



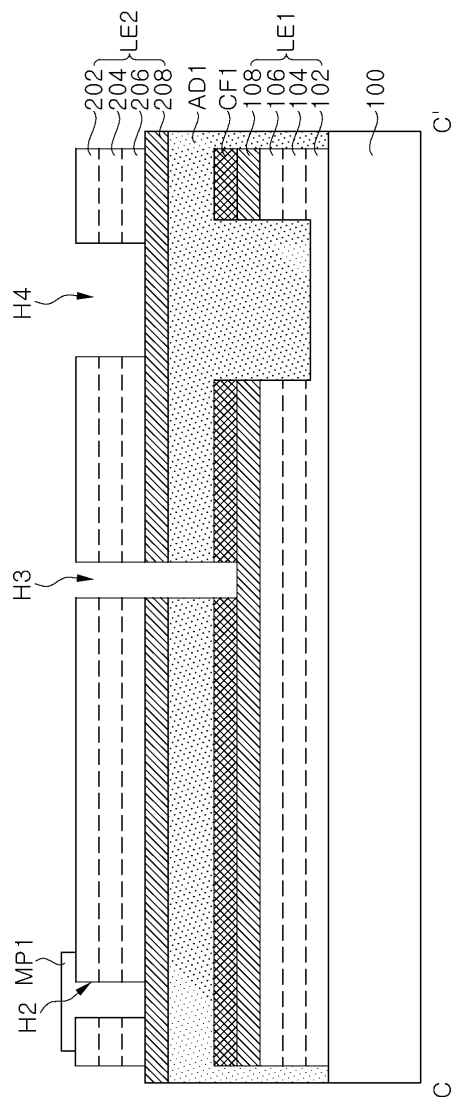
도면31



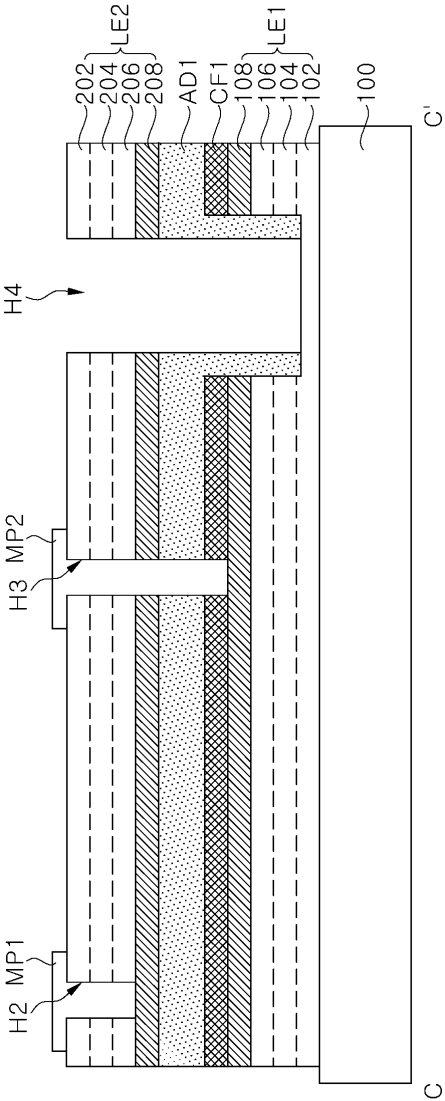
도면32



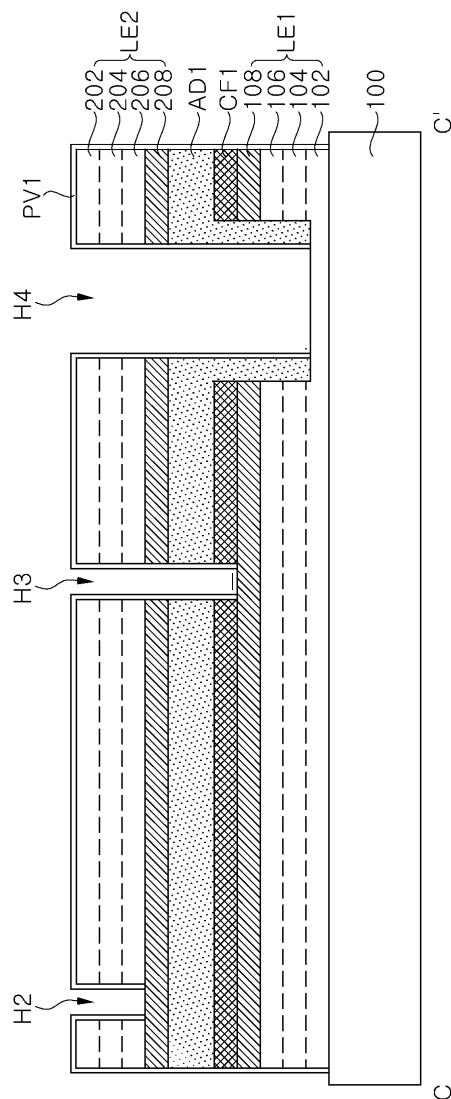
도면33



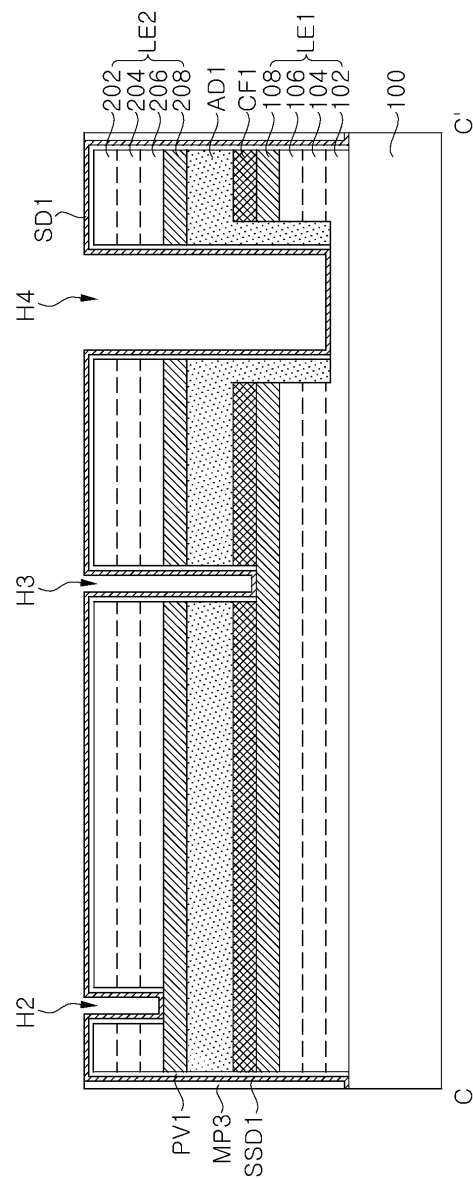
도면34



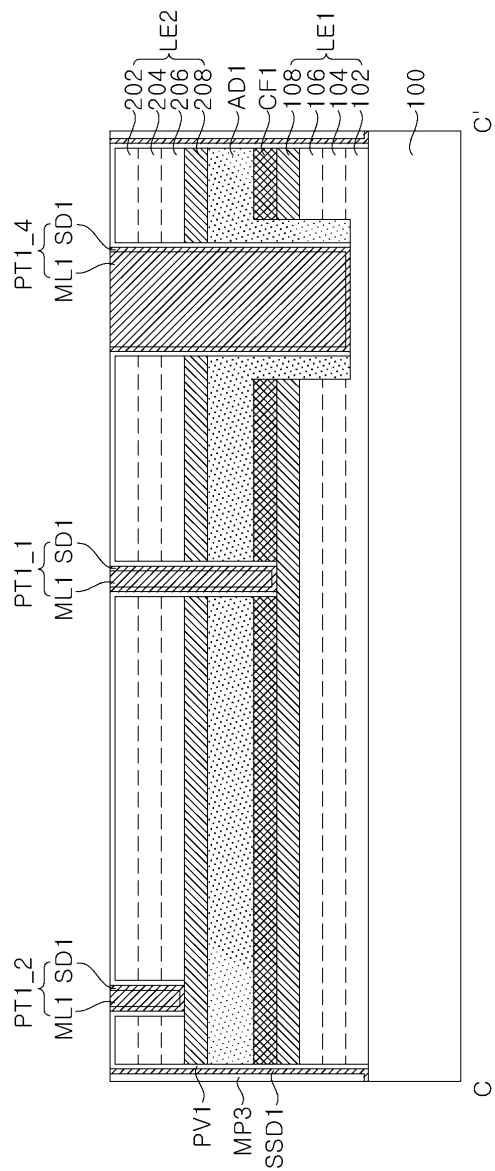
도면35



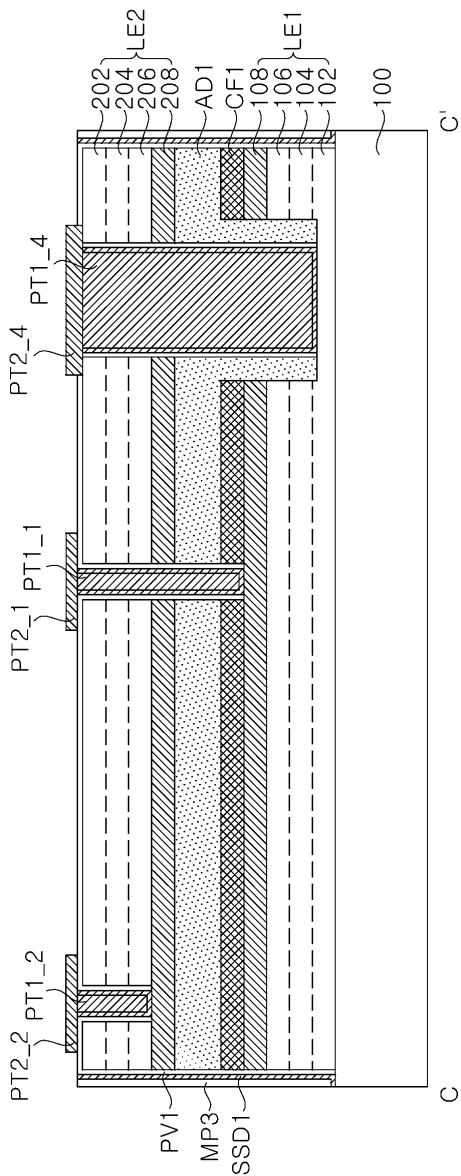
도면36



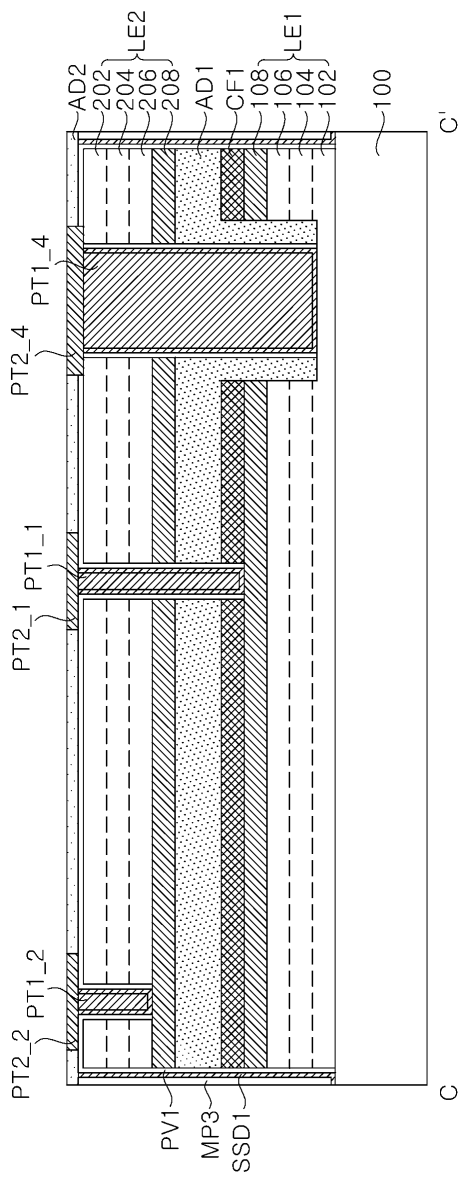
도면37



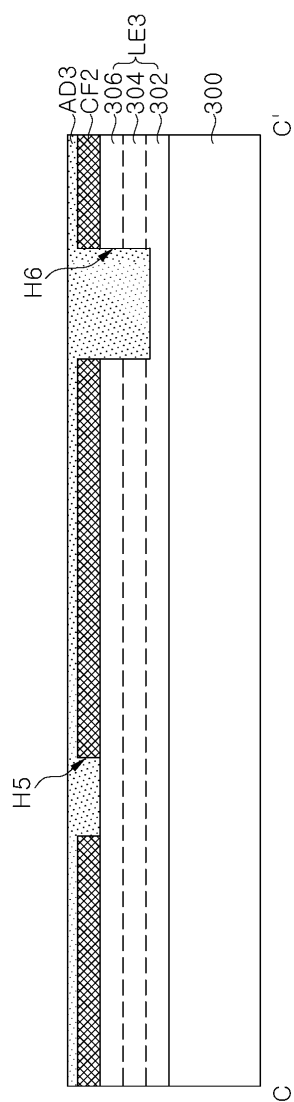
도면38



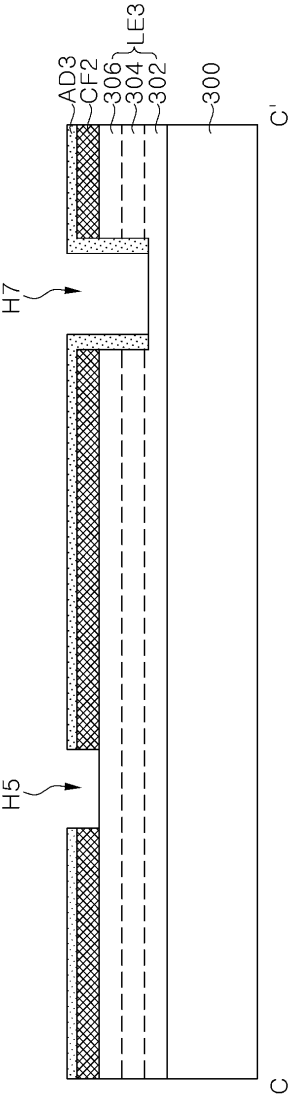
도면 39



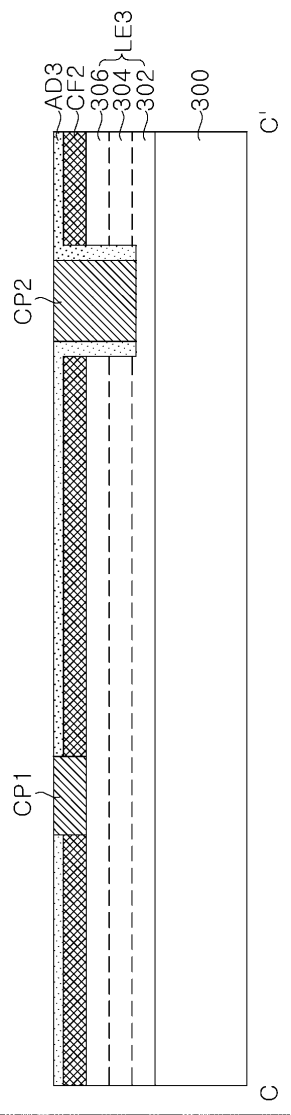
도면40



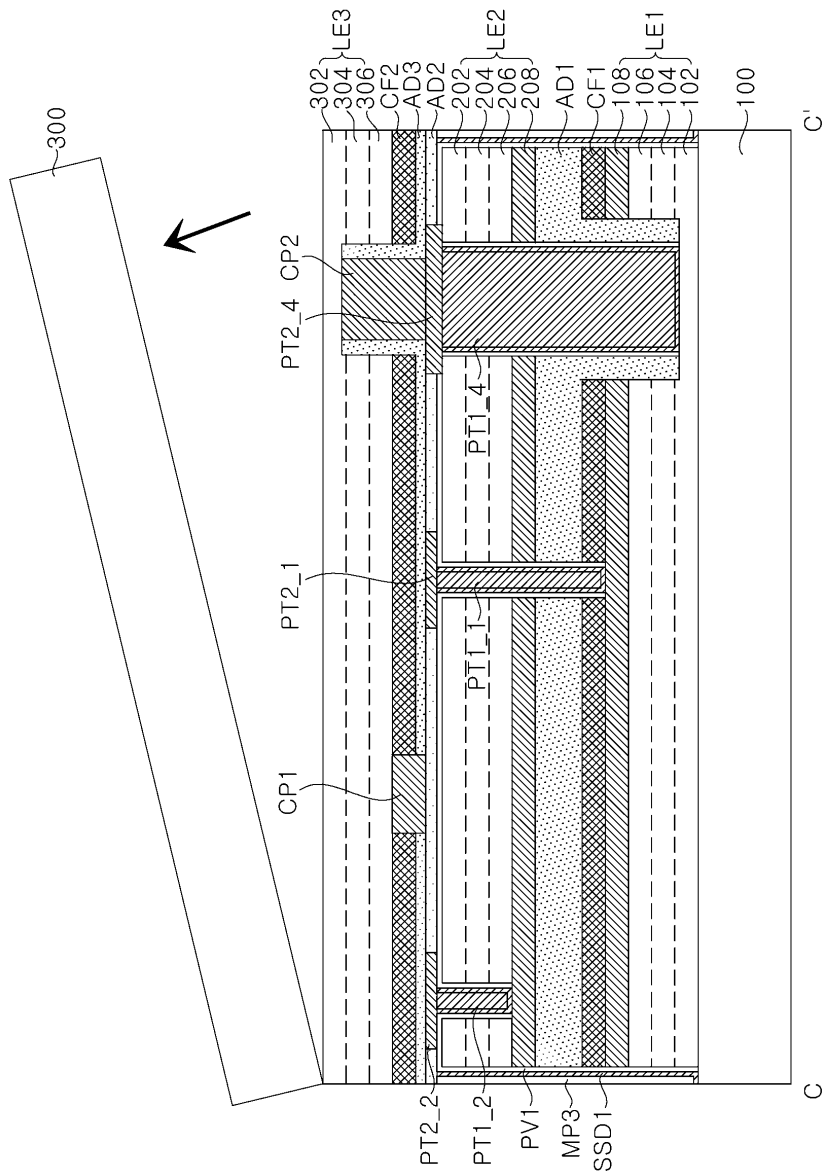
도면41



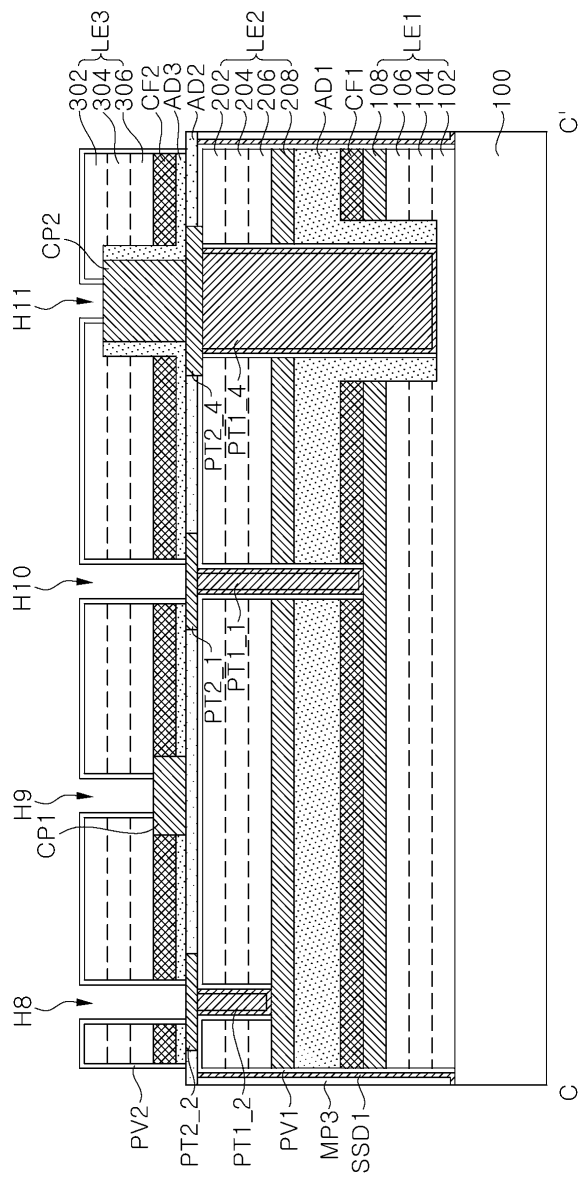
도면42



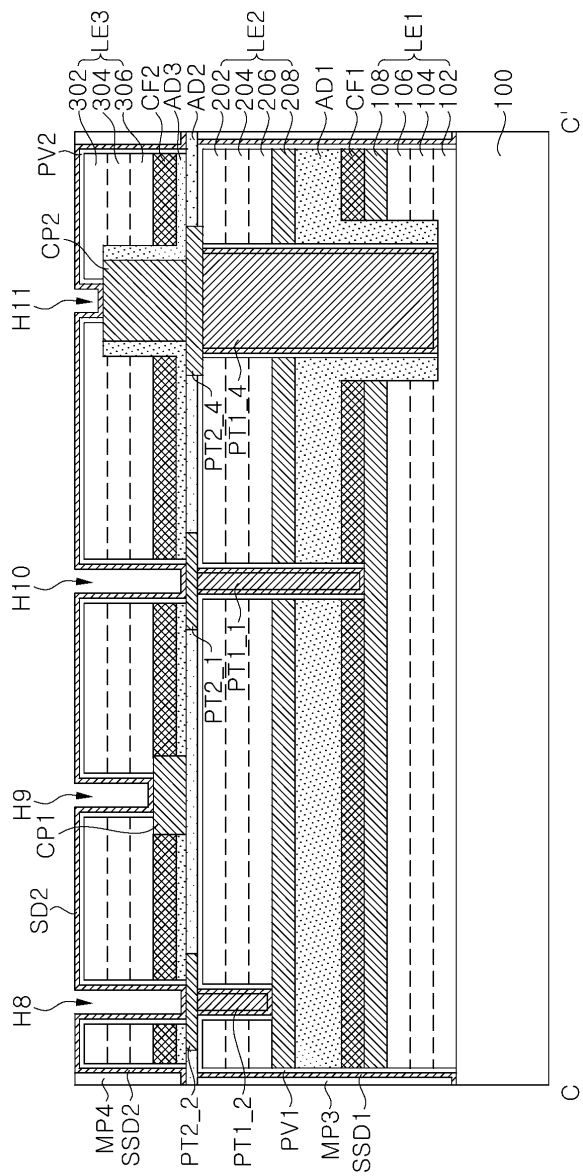
도면43



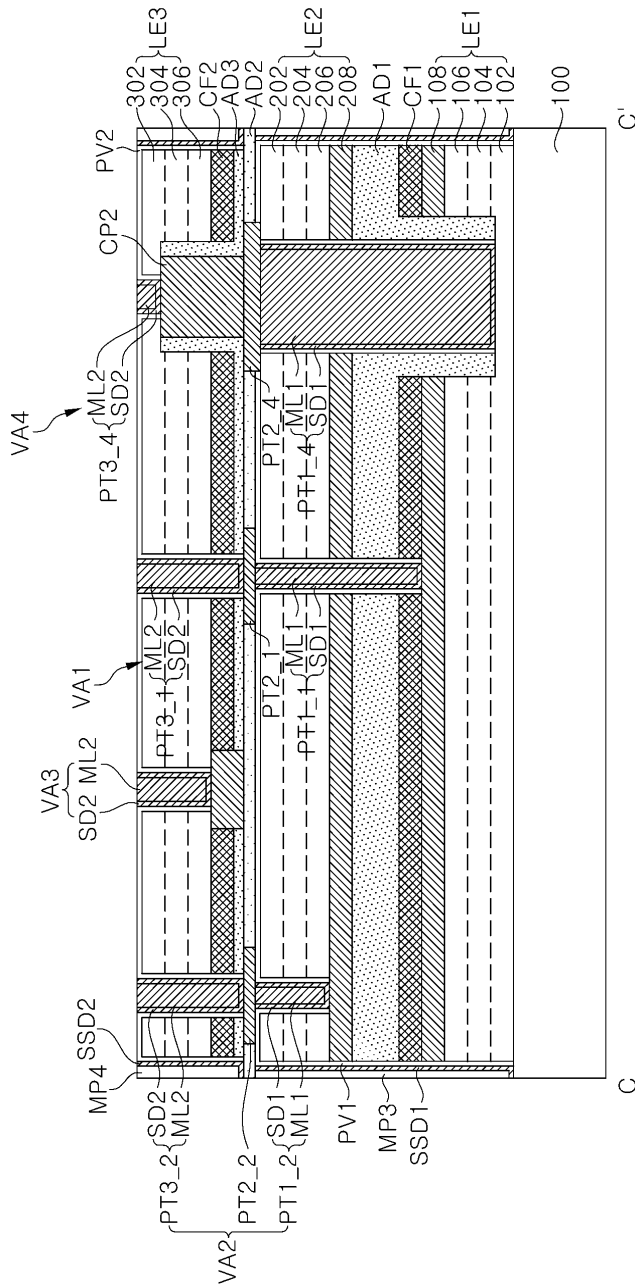
도면44



도면45



도면46



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 2

【변경전】

제1항에 있어서,

상기 제2 도전 패턴의 일 면은 상기 제1 비아 구조물과 접하는 제1 부분과, 상기 제3-1형 반도체층과 접하는 제2 부분을 갖고,

상기 제2 도전 패턴의 제2 부분은 상기 제1 부분의 1 내지 5배의 면적을 갖는 발광 소자.

【변경후】

제1항에 있어서,

상기 제2 도전 패턴의 일 면은 상기 제6 비아 구조물과 접하는 제1 부분과, 상기 제3-1형 반도체층과 접하는 제2 부분을 갖고,

상기 제2 도전 패턴의 제2 부분은 상기 제1 부분의 1 내지 5배의 면적을 갖는 발광 소자.

【식권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 6

【변경전】

제1항에 있어서,

상기 제2 도전 패턴은 상기 일 면에 대향하는 타 면을 더 가지되,

상기 일 면의 폭이 타 면의 폭보다 크며,

상기 타 면의 폭은 상기 제1 비아 구조물의 폭보다 큰 발광 소자.

【변경후】

제1항에 있어서,

상기 제2 도전 패턴은 상기 일 면에 대향하는 타 면을 더 가지되,

상기 일 면의 폭이 타 면의 폭보다 크며,

상기 타 면의 폭은 상기 제6 비아 구조물의 폭보다 큰 발광 소자.