

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4353225号
(P4353225)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl.

G 10 H 1/02 (2006.01)

F 1

G 10 H 1/02

請求項の数 2 (全 20 頁)

(21) 出願番号 特願2006-267167 (P2006-267167)
 (22) 出願日 平成18年9月29日 (2006.9.29)
 (65) 公開番号 特開2008-89642 (P2008-89642A)
 (43) 公開日 平成20年4月17日 (2008.4.17)
 審査請求日 平成19年11月20日 (2007.11.20)

前置審査

(73) 特許権者 000004075
 ヤマハ株式会社
 静岡県浜松市中区中沢町10番1号
 (74) 代理人 100102635
 弁理士 浅見 保男
 (74) 代理人 100106459
 弁理士 高橋 英生
 (74) 代理人 100105500
 弁理士 武山 吉孝
 (74) 代理人 100103735
 弁理士 鈴木 隆盛
 (74) 代理人 100118821
 弁理士 祖父江 栄一

最終頁に続く

(54) 【発明の名称】 楽音形成装置

(57) 【特許請求の範囲】

【請求項 1】

同期書込み対象のパラメータと同期書込み対象外のパラメータが入力されるインターフェースと、同期書込み対象のパラメータを書き込み先のアドレスと共に一時保存する同期書込みバッファと、楽音形成のための各種パラメータが設定されるレジスタとを備え、該レジスタに設定されたパラメータに基づいて、複数のチャンネルについて処理サイクル内で各チャンネルに割り当てられた時分割区間にて処理されて楽音波形を形成して出力する音源手段と、

該音源手段の前記レジスタの所定のアドレスに楽音形成のための各種パラメータを書き込むと共に、前記レジスタの所定のアドレスから所定のパラメータの現在の値を読み込むことができると共に、ランダムなタイミングにおいて前記音源手段の所望のアドレスへの書き込みと前記音源手段の所望のアドレスからの読み込みを行うことができる制御手段とを備え、

前記音源手段における前記レジスタは、同期書込み対象のパラメータが格納される第1レジスタと、同期書込み対象外のパラメータが格納される第2レジスタからなり、

前記制御手段は、各チャンネルにおける同期書込み対象のパラメータおよび同期書込み対象外のパラメータを前記インターフェースを介して前記音源手段に書き込むと共に読み出してあり、さらに、前記制御手段は、前記同期書込みバッファへの全ての同期書込み対象のパラメータの書き込み終了に応じて、同期書込指示を前記音源手段に出力することにより、同期書込み対象のパラメータを書き込み中の期間であることを示すビジーフラグをオン

10

20

とし、

該ビジーフラグは、前記処理サイクルの区切りでオフされるものであり、前記音源手段においては、

前記制御手段がパラメータの書き込み先の書き込みアドレスを前記第1レジスタとしているときには、同期書き込み対象のパラメータについて、

前記ビジーフラグがオフとなっている期間は、書き込みが指示された同期書き込み対象のパラメータを書き込み先のアドレスと共に、前記同期書き込みバッファに書き込むと共に、読み出しが指示された同期書き込み対象のパラメータを前記第1のレジスタの指示されたアドレスから読み出し、

前記ビジーフラグがオンとなっている期間は、同期書き込み対象のパラメータを前記同期書き込みバッファへ書き込む処理および同期書き込みバッファからの読み出し処理を前記ビジーフラグがオフとされるまで待機させてから実行すると共に、前記複数のチャンネルに割り当てられた時分割区間の終了から前記処理サイクルの区切りまでの期間において、前記同期書き込み指示が実行されて、前記書き込みバッファに一時保存されている同期書き込み対象のパラメータと書き込みアドレスを読み出して前記第1のレジスタの対応する書き込みアドレスに書き込むようにし、

前記制御手段がパラメータの書き込み先の書き込みアドレスを前記第2レジスタとしている時には、同期書き込み対象外のパラメータについて、前記ビジーフラグがオフとなっている期間においてもオフとなっている期間においても、前記インターフェースを介して前記書き込みバッファを経由することなく前記第2レジスタに同期書き込み対象外のパラメータの書き込み/読み込みを行うことができる特徴とする楽音形成装置。

【請求項2】

前記制御手段は、発音チャンネル割当時において空いた発音チャンネルがない場合に、前記同期書き込み対象外のパラメータとされる各発音チャンネルの出力レベル情報を前記第2レジスタから読み込み、出力レベル情報が読み込まれた発音チャンネルの内の最も出力レベル情報が小さい発音チャンネルを開放して新たな発音チャンネルとして割り当てるようにしたことを特徴とする請求項1記載の楽音形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、発音指示があった際に発音遅れが生じることなく直ちに発音することができる楽音形成装置に関する。

【背景技術】

【0002】

従来、電子楽器等に用いられる楽音形成装置として、自然楽器音の立上りから終了までの楽音波形サンプルの波形データを記憶した波形メモリを用意して、この波形メモリから順次楽音波形サンプルを読み出すことにより楽音信号を発生させるようにした波形メモリタイプの音源が知られている。この音源は、楽音形成装置全体の動作を制御するCPU(Central Processing Unit)とデータバスやアドレスバスを介して接続されている。音源は、バスを介して各種音源パラメータ情報を受けて内蔵するレジスタの各バッファに書き込んでいる。この場合、バッファに書き込まれるパラメータは、波形制御用パラメータ、フィルタ係数、エンベロープパラメータや音量パラメータ、ミキサー情報、エフェクト情報等とされる。

【特許文献1】特開平7-160262号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来の楽音形成装置が備える波形メモリタイプの音源の構成を示すブロック図を図11に示す。

図11において、CPU(Central Processing Unit)110は、楽音形成装置に備え

10

20

30

40

50

られ楽音形成装置全体の動作を制御している。音源 100 は波形メモリタイプの音源とされており、CPUインターフェース 111 を介して CPU110 とバスにより接続されている。音源 100 は、CPUインターフェース 111 を介して各種音源パラメータ情報を CPU110 から受けてレジスタ 114 の各バッファに書き込んでいる。レジスタ 114 には、波形制御用パラメータ、フィルタ係数、エンベロープパラメータや音量パラメータ、ミキサー情報等が格納されるバッファがそれぞれ用意されている。また、発音チャンネルから読み出された現在の出力レベルが書き込まれるバッファもレジスタ 114 に用意されている。レジスタ 114 に CPU110 から受けたパラメータを書き込む際に、同期書き込対象とされているパラメータは同期書き込用バッファ 112 に一時格納されて、同期書き込期間となったタイミングでセレクタ 113 から出力されてレジスタ 114 に書き込まれる。また、同期書き込対象外のパラメータは同期書き込用バッファ 112 に書き込まれることなくセレクタ 113 から出力されてレジスタ 114 に書き込まれる。

【0004】

波形形成部 119 は複数の発音チャンネルの各発音チャンネルにおいて、サンプリング周期毎に波形サンプルを形成している。この際に、レジスタ 114 から読み込／書き込 (R/W) 回路 117 により読み出された波形サンプルを形成する発音チャンネルのパラメータに基づいて波形メモリ 120 から波形データを読み出して、当該発音チャンネルの波形サンプルを形成している。波形形成部 119 により形成された各発音チャンネルの波形サンプルは合成されて出力される楽音波形のサンプリング周期毎に DAC (デジタル・アナログ変換器) 121 に出力されてアナログ信号に変換され放音される。また、音量演算回路 118 は、波形形成部 119 における CPU110 から読み込要求されたチャンネル (Nch) の現在の音量パラメータを算出して、レジスタ 114 に書き込むようにしている。

【0005】

次に、図 11 に示す従来の楽音形成装置における楽音形成装置が備える CPU110 と音源 100 との動作タイミングを図 12 に示す。

図 12 において、横軸は時間とされており 2 DAC サイクル分が示されている。DAC サイクルは、最終的に出力する波形データのサンプリング周期である。発音チャンネル数が 128 チャンネルとされる場合の例が図 12 に示されており、1 DAC サイクル内に 128 の時分割区間が設定されている。時分割区間は、それぞれの発音チャンネルにおいて波形形成に割り当てられる 128 区間とされており、各発音チャンネルにおいて波形形成する際に必要とされるパラメータの読み出しタイミングが $t_1, t_2, t_3, \dots, t_{128}$ のタイミングとされている。そして、タイミング t_{128} と次の 1 DAC サイクルが開始されるタイミング t_0 までの区間における空き時間が同期書き込を行うタイミングとされている。各発音チャンネルに割り当てられた各時分割区間においては、その発音チャンネルに対応する $t_1 \sim t_{128}$ の読み出しタイミングで読み出された当該発音チャンネルのパラメータに基づいて波形メモリ 120 から読み出された波形データから当該発音チャンネルの楽音波形が形成される。

【0006】

図 12 において、CPU110 は音源 100 における DAC サイクルの管理を行っていないことから、CPU110 から音源 100 へのパラメータの書き込みや読み込みのコマンドは図 12 に示すように DAC サイクルの各タイミングとは無関係なランダムなタイミングで CPU110 において実行される。例えば、タイミング t_1 付近のタイミングで同期書き込を行わないパラメータ a を音源 100 におけるレジスタ 114 の第 10 チャンネル (10ch) の位置へ書き込む書き込コマンドが CPU110 において実行されたとする。すると、このパラメータ a が同期書き込を行わないと判断される共に同期書き込中であることを示すビギーフラグがオンとなっていないと判断されて、書き込指示と書き込むパラメータ a のデータと、書き込先のアドレス (10ch のアドレス) とが CPU110 から音源 100 に出力される。音源 100 が、書き込指示とパラメータ a とそのアドレスを受け取ると、受け取ったパラメータ a をセレクタ 113 を介してパラメータ a のアドレスで示されるレジスタ 114 の位置 (10ch) に書き込む処理が行われる。

10

20

30

40

50

【0007】

また、タイミング t_2 とタイミング t_3 の間でレジスタ 114 の第 3 チャンネル (3ch) からパラメータ b を読み込む読込コマンドが CPU110 において実行されると、同期書込中であることを示すビジーフラグがオンとなっていないと判断されて、この読込指示と読込先のアドレス (3ch のアドレス) とを音源 100 に出力する。音源 100 が読込指示と読込先のアドレスとを受け取ると、読込先のアドレスで指定されるレジスタ 114 の位置 (3ch) からパラメータ b を読み込んで、読み込んだパラメータ b を音源 100 から CPU110 に出力する処理が行われる。

さらに、タイミング t_4 付近で同期書込を行わないパラメータ c を音源 100 におけるレジスタ 114 の第 25 チャンネル (25ch) の位置へ書き込む書込コマンドが CPU110 において実行されると、前記したパラメータ a を書き込む処理と同様の処理が行われて、パラメータ c がレジスタ 114 の第 25 チャンネル (25ch) の位置へ書き込まれる。
10

【0008】

そして、その後のタイミングにおいて同期書込を行うパラメータ d を音源 100 におけるレジスタ 114 の第 12 チャンネル (12ch) の位置へ書き込む書込コマンドが CPU110 において実行されると、CPU110 は同期書込中であることを示すビジーフラグがオンとなっていないと判断して、パラメータ d および書込先のアドレス (12ch のアドレス) と、これらを同期書込用バッファ 112 に書き込む書込指示を音源 100 に出力する。音源 100 は、この書込指示を受け取ると受け取ったパラメータ d およびアドレス (12ch のアドレス) を同期書込用バッファ 112 に書き込む処理を行う。
20

この後のタイミングにおいて、レジスタ 114 の第 27 チャンネル (27ch) からパラメータ e を読み込む読込コマンドが CPU110 において実行されると、まだ、同期書込中であることを示すビジーフラグがオンとなっていないと CPU110 で判断されて、この読込指示と読込先のアドレス (27ch のアドレス) とを音源 100 に出力する。音源 100 が読込指示と読込先のアドレスとを受け取ると、読込先のアドレスで指定されるレジスタ 114 の位置 (27ch) からパラメータ b を読み込んで CPU110 に出力する処理が行われる。

【0009】

さらに後のタイミングにおいて、同期書込を行うパラメータ f を音源 100 におけるレジスタ 114 の第 20 チャンネル (20ch) の位置へ書き込む書込コマンドが CPU110 において実行されると、CPU110 は同期書込中であることを示すビジーフラグがオンとなっていないと判断して、パラメータ f および書込先のアドレス (20ch のアドレス) と、これらを同期書込用バッファ 112 に書き込む書込指示を音源 100 に出力する。音源 100 は、この書込指示を受け取ると受け取ったパラメータ f およびアドレス (20ch のアドレス) を同期書込用バッファ 112 に書き込む処理を行う。
30

さらに後のタイミングにおいて、レジスタ 114 の第 10 チャンネル (10ch) からパラメータ g を読み込む読込コマンドが CPU110 において実行されると、同期書込中であることを示すビジーフラグがオンとなっていないと CPU110 で判断されて、この読込指示と読込先のアドレス (10ch のアドレス) とを音源 100 に出力する。音源 100 が読込指示と読込先のアドレスとを受け取ると、読込先のアドレスで指定されるレジスタ 114 の位置 (10ch) からパラメータ g を読み込んで CPU110 に出力する処理が行われる。
40

【0010】

ここで、CPU110 が同期書込を行うパラメータが全て同期書込用バッファ 112 に書き込まれたと判断すると、CPU110 は同期書込指示 h を音源 100 に出力する。音源 100 がこの同期書込指示 h を受け取ると、同期書込中であることを示すビジーフラグをオン状態にして現在の DAC サイクルにおいて同期書き込みする期間が到来するまで待機される。同期書き込みは、タイミング t_{128} と次の 1 DAC サイクルが開始されるタイミング t_0 までの期間における空き時間とされている。これは、1 DAC サイクルの
50

途中において同期書き込みを行うと、各発音チャンネルにおける波形データの形成はそれぞれ割り当てられた異なる時分割区間で行われているため、同期書込のタイミングによっては書き込まれたパラメータが反映される発音チャンネルと反映されない発音チャンネルとが生じてしまい、発音チャンネル間の波形データの位相がずれて聴取した際に違和感を生じるからである。このため、全ての発音チャンネルにおいて楽音波形の形成が終了してから同期書込を行うようにしている。

【0011】

CPU110は同期書込指示hを出力するが、同期書き込みが終了したか否かについては管理しておらず、同期書込中のタイミングにおいてもCPU110はパラメータの書込コマンドや読込コマンドを実行する。例えば、ビジーフラグがオンとなっている同期書込中のタイミングにおいて同期書込を行わないパラメータiを音源100におけるレジスタ114の第50チャンネル(50ch)の位置へ書き込む書込コマンドをCPU110において実行する。この場合、パラメータiが同期書込を行うパラメータではないと判断されるものの、同期書込中であることを示すビジーフラグがオンとなっていると判断され、ビジーフラグがオフとなるまでCPU110から書込指示等を音源100に送出する処理が待機される。ここで、音源100においてタイミングt128が経過したと判断されると、空き時間において同期書込h'の処理が実行され、同期書込用バッファ112に格納されたパラメータdがその書込先のアドレスで指定されるレジスタ114の位置(12ch)に書き込まれると共に、パラメータfがその書込先のアドレスで指定されるレジスタ114の位置(20ch)に書き込まれる。なお、ビジーフラグは現在のDACサイクルが終了するまで(タイミングt0')までオンを維持する。

【0012】

さらに、その後のタイミングにおいてレジスタ114の第17チャンネル(17ch)からのパラメータjの読込コマンドがCPU110において実行されると、同期書込中であることを示すビジーフラグがオンとなっていると判断され、ビジーフラグがオフとなるまでCPU110から読込指示と読込先のアドレス(17chのアドレス)とを音源100に出力する処理が待機される。

ここで、現在のDACサイクルが終了すると同期書込中であることを示すビジーフラグはオフ状態となり、次のDACサイクルの開始タイミングt0'の後のタイミングi'においてCPU110からパラメータiに関する書込指示等が音源100に出力され、音源100においてパラメータiが、その書込先のアドレスで示されるレジスタの位置(50ch)に書き込まれる。

【0013】

次いで、タイミングi'の後のタイミングにおいて同期書込を行うパラメータkを音源におけるレジスタの第12チャンネル(12ch)の位置へ書き込む書込コマンドがCPU110において実行される。この場合、パラメータkが同期書込を行うパラメータと判断されると共に、同期書込中であることを示すビジーフラグがオフと判断されるが、パラメータjの読込処理がCPU110において待機されていることから、この処理が終了するまでCPU110から書込指示等を音源100に送出する処理が待機される。

そして、タイミングt1'、タイミングt2'、との間のタイミングj'においてCPU110からパラメータjの読込指示と読込先のアドレス(17chのアドレス)とが音源100に出力されて、音源100においてパラメータjの読込処理が実行される。この結果、その読込先のアドレスで指定されるレジスタの位置(17ch)からパラメータjが読み込まれCPU110に出力される。さらに、タイミングt3'付近のタイミングk'においてCPU110からパラメータkとその書込先のアドレスを同期書込用バッファ112に書き込む書込指示が音源100に出力され、音源100において同期書込用バッファ112にパラメータkのデータと書込先のアドレス(12chのアドレス)とが書き込まれる。

【0014】

このように、従来の楽音形成装置における音源100が内蔵するレジスタ114に書き

10

20

30

40

50

込まれるパラメータにおいては、同期書込を行うパラメータが存在している。同期書込が必要なパラメータは主に位相の操作を伴うパラメータ、例えば、ピッチにビブラートを印加したりピッチベンドのパラメータとされる。これは、ステレオのような複数の発音チャンネル間において楽音波形の位相がずれると聴取した際に違和感を生じるからである。また、同期書込が不要なパラメータは例えばレベルに関係するパラメータとされる。なお、同期とは各発音チャンネルの波形データが合成された最終的な楽音波形のサンプリング周期を単位とする同期とされる。

そして、前述したように音源 100 が内蔵するレジスタ 114 に同期するパラメータの同期書き込み中においてはビジーフラグをオンとしているため同期書込対象外のパラメータの書込／読込を行うこともできなくなる。すると、同期を行うパラメータの書き込みが終了してビジーフラグがオフとなるまでは、例えば各発音チャンネルの現在の出力レベルを読み出すことができず新たな発音の発音開始が遅れるおそれがあるという問題点があった。なお、各発音チャンネルの現在の出力レベルを読み出す理由は次の通りである。新たな発音要求があった際に割り当てる発音チャンネルがない場合は、リリース状態となっている各発音チャンネルの現在の出力レベルを読み出して、その発音チャンネルの内の最も小さい出力レベルの発音チャンネルを開放して割り当てる必要があるからである。

【0015】

そこで、本発明は新たな発音の発音開始が遅れることのない楽音形成装置を提供することを目的としている。

【課題を解決するための手段】

【0016】

上記目的を達成するために、本発明の楽音形成装置における音源手段は、同期書き込み対象のパラメータと同期書き込み対象外のパラメータが入力されるインターフェースと、同期書き込み対象のパラメータを書き込み先のアドレスと共に一時保存する同期書込用バッファと、楽音形成のための各種パラメータが設定されるレジスタとを備え、レジスタは、同期書き込み対象のパラメータが格納される第 1 レジスタと、同期書き込み対象外のパラメータが格納される第 2 レジスタからなり、制御手段は、各チャンネルにおける同期書き込み対象のパラメータおよび同期書き込み対象外のパラメータを前記インターフェースを介して前記音源手段に書き込むと共に読み出してあり、さらに、前記制御手段は、前記同期書込用バッファへの全ての同期書き込み対象のパラメータの書き込み終了に応じて、同期書込指示を前記音源手段に出力することにより、同期書き込み対象のパラメータを書き込み中の期間であることを示すビジーフラグをオンとし、該ビジーフラグは、前記処理サイクルの区切りでオフされるものであり、前記音源手段においては、前記制御手段がパラメータの書き込み先の書込みアドレスを前記第 1 レジスタとしているときには、同期書き込み対象のパラメータについて、前記ビジーフラグがオフとなっている期間は、書き込みが指示された同期書き込み対象のパラメータを書き込み先のアドレスと共に、前記同期書込用バッファに書き込むと共に、読み出しが指示された同期書き込み対象のパラメータを前記第 1 のレジスタの指示されたアドレスから読み出し、前記ビジーフラグがオンとなっている期間は、同期書き込み対象のパラメータを前記同期書込用バッファへ書き込む処理および同期書込バッファからの読み出し処理を前記ビジーフラグがオフとされるまで待機させてから実行すると共に、前記複数のチャンネルに割り当てられた時分割区間の終了から前記処理サイクルの区切りまでの期間において、前記書込用バッファに一時保存されている同期書き込み対象のパラメータと書き込みアドレスを読み出して前記第 1 のレジスタの対応する書き込みアドレスに書き込むようにし、前記制御手段がパラメータの書き込み先の書込みアドレスを前記第 2 レジスタとしている時には、同期書き込み対象外のパラメータについて、前記ビジーフラグがオンとなっている期間においてもオフとなっている期間においても、前記インターフェースを介して前記書込用バッファを経由することなく前記第 2 レジスタに同期書き込み対象外のパラメータの書込／読込を行うことを最も主要な特徴としている。

【発明の効果】

【0017】

10

20

30

40

50

本発明によれば、音源手段のレジスタは、同期書込対象のパラメータが格納される第1レジスタと、同期書込対象外のパラメータが格納される第2レジスタからなり、前記制御手段は、同期書込対象のパラメータを前記インタフェースを介して前記同期書込用バッファに書き込み、同期書込指示を前記音源手段に出力することにより、同期書込み対象のパラメータを書き込み中の期間であることを示すビギーフラグをオンとし、前記音源手段は前記同期書込用バッファに一時保存されている同期書込対象のパラメータを、複数のチャンネルに割り当てられた時分割区間の終了から前記処理サイクルの区切りまでの期間において、前記第1レジスタに書き込むと共に、前記ビギーフラグがオンとなっている期間においては、同期書込対象のパラメータを前記同期書込用バッファへ書き込む処理が待機されるが、同期書込対象外のパラメータについては前記ビギーフラグがオンとなっている期間においても、前記第2レジスタにアクセスして同期書込対象外のパラメータの書込／読み込を行うことができるようになる。これにより、新たな発音の発音開始が遅れることのない楽音形成装置とすることができる。
10

【発明を実施するための最良の形態】

【0018】

本発明の実施例である楽音形成装置は、波形メモリタイプの音源を内蔵した構成とされている。図1は本発明にかかる楽音形成装置が備える音源の詳細構成を示すブロック図である。

図1において、CPU (Central Processing Unit) 10は楽音形成装置に備えられ、
20 楽音形成装置全体の動作を制御している。音源1は、波形メモリタイプの音源とされておりCPUインターフェース11とデータバス、アドレスバス及び制御信号バスを介してCPU10と接続されている。楽音形成装置は、図示していないがCPU10の各種プログラムや各種データを格納するROM (Read Only Memory) と、CPU10がプログラムを実行する際のワークエリアや各種データを一時的に記憶するRAM (Random Access Memory) を備えている。また、発音すべき楽音の音高を選択するための複数の鍵を備える鍵盤を有していてもよく、鍵盤を操作すると操作された鍵に応じてノートオン、ノートオフ、ペロシティ、ピッチデータ等の各種データがCPU10に出力される。さらに、ROMあるいはRAMに記憶されている演奏データを読み出したり、外部から所望の演奏データを入力するようにしてもよい。

【0019】

音源1は、CPU10と接続するためのCPUインターフェース11を有し、CPU10からアドレスバス、データバス及び制御信号バスおよびCPUインターフェース11を介して音源1へ音源パラメータを書き込む書込指示や音源1から音源パラメータを読み出す読込指示を受け取る。書込指示の場合は、書き込む各種音源パラメータと書込先のアドレスも受け取り、読込指示の場合は読込先のアドレスも受け取る。書込指示で受け取った各種音源パラメータは、レジスタ14の書込先のアドレスで示されるバッファに書き込まれる。レジスタ14は、同期書込対象のパラメータが保存される第1バッファ群15と同期書込対象外のパラメータが保存される第2バッファ群16とから構成されている。同期書込対象のパラメータを保存する第1バッファ群15は、波形制御用パラメータを格納する波形制御用RAM15a、フィルタ係数を格納するフィルタ制御用RAM15b、エンベロープパラメータや音量パラメータが格納される音量制御RAM15c、ミキサー情報が格納されるミキサー用RAM15dの一部から構成されている。また、同期書込対象外のパラメータを保存する第2バッファ群16は、エフェクト情報が格納されるミキサー用RAM15dの残る一部、リバーブ、コーラス、バリエーション等のエフェクトを付加する処理を行うDSP (Digital Signal Processor) 部25で実行されるμプログラムやエフェクトの係数が格納されるDSP用RAM16a、発音チャンネルにおける現在の出力音量情報が格納される音量読出用RAM16bとから構成されている。
40

【0020】

第1バッファ群15には、セレクタ13を介して所定のバッファに同期書込対象のパラメータが書き込まれる。また、第2バッファ群16にはCPUインターフェース11を介

して同期書込対象外のパラメータが書き込まれる。セレクタ13は、同期書込を行う際に同期書込用バッファ12から読み出された同期書込を行うパラメータを選択し、当該パラメータにおける書込先のアドレスで示される第1バッファ群15の所定のバッファに選択された当該パラメータは書き込まれる。この場合、CPU10から同期書込を行うパラメータを音源1がCPUインターフェース11を介して受け取った場合に、当該パラメータが書込先のアドレスと共に同期書込用バッファ12に保存される。また、同期書込対象のパラメータではあっても同期書込を行わないパラメータを受け取った場合は、セレクタ13はCPUインターフェース11から出力される同期書込を行わないパラメータを選択し、当該パラメータにおける書込先のアドレスで示される第1バッファ群15の所定のバッファに選択された当該パラメータは書き込まれる。さらに、同期書込対象外のパラメータを受け取った場合は、CPUインターフェース11から出力される同期書込対象外のパラメータが、当該パラメータにおける書込先のアドレスで示される第2バッファ群16の所定のバッファに書き込まれる。10

【0021】

なお、同期書込対象のパラメータは主に位相の操作を伴うパラメータ、例えば、ピッチにビブラートを印加したりピッチベンドのパラメータとされる。これは、ステレオのような複数の発音チャンネルにおいては位相を揃える必要があり、このような発音チャンネルにおいて形成される楽音波形の位相がずれると聴取した際に違和感を生じるからである。そして、同期書込を行うパラメータはステレオのように複数の発音チャンネル間で位相を揃える必要がある複数の発音チャンネルにおける位相の操作を行うパラメータとされる。すなわち、同期書込用バッファ12には同期書込を行う複数の発音チャンネルにおけるそれぞれのパラメータが保存されるようになる。そして、CPU10が同期書込を行うパラメータの全てを同期書込用バッファ12に保存したと判断した際に、CPU10は同期書込指示を音源1に出力する。音源1は、同期書込用指示を受け取ると現在のDACサイクルにおいて同期書込用に用意された期間が到来するまで待機して、当該期間が到来した際に同期書込用バッファ12から同期書込を行う複数のパラメータを読み出し、セレクタ13を介してそれぞれのパラメータを第1バッファ群15の書込先のアドレスで示されるバッファに書き込む。この場合、同期書込指示を受け取ってから現在のDACサイクルが終了するまでは同期書込中であることを示すビジーフラグがオンとされ、ビジーフラグがオンとなっている期間においては、セレクタ13は同期書込用バッファ12の出力を選択するようになることから、同期書込対象のパラメータではあっても同期書込を行わないパラメータを第1バッファ群15に書き込んだり、第1バッファ群15から読み出すことはできないようになる。しかしながら、同期書込対象外のパラメータはセレクタ13を介することなく第2バッファ群16から読み込んでも、同期書込対象外のパラメータを第2バッファ群16に書き込んだり、第2バッファ群16から読み出すことはできるようになる。20

【0022】

ここで、波形制御用RAM15a、フィルタ制御用RAM15b、音量制御RAM15cのRAMの構造を図2(a)に示す。この図に示すRAMの構造は音源1に用意されている発音チャンネル数が128チャンネルの場合とされており、波形制御用RAM15a、フィルタ制御用RAM15b、音量制御RAM15cは、128チャンネルの各チャンネル毎の各種パラメータが格納されるバッファから構成されている。また、ミキサー用RAM15dのRAMの構造を図2(b)に示す。ミキサー用RAM15dの構造は音源1に用意されている発音チャンネル数が128チャンネルの場合とされており、128チャンネルの各チャンネル毎のミキサー用のパラメータが格納されるバッファと、DSP部25のエフェクトパラメータが格納されるバッファとから構成されている。さらに、DSP用RAM16aのRAM構造を図2(c)に示す。DSP用RAM16aは、DSP部25がエフェクトを付加する処理時に実行されるエフェクト種類毎のμプログラムと、その係数が格納されるバッファから構成される。さらにまた、音量読出用RAM16bのRAM構造を図2(d)に示す。音量読出用RAM16bは、音源1の発音チャンネル数によ30

10

20

30

40

50

らず読み出されたある発音チャンネル (Nch) の音量情報が格納される 1 チャンネル分のバッファから構成される。

【0023】

波形制御用 RAM15a、フィルタ制御用 RAM15b、音量制御 RAM15c、ミキサー用 RAM15d、DSP用 RAM16a には、それぞれ読み込／書込 (R/W) 回路 17a、17b、17c、17d、17e により、それぞれの RAM 用のパラメータの読み込／書込が行われる。また、音量読み出用 RAM16b には、出力音量パラメータの読み出しが要求されたチャンネル (Nch) における現在の出力音量パラメータが書き込まれる。出力音量パラメータは、音量演算回路 18 により演算される。すなわち、音量演算回路 18 は波形制御部 19 における当該チャンネル (Nch) の波形の現在レベルと、音量制御部 22 における当該チャンネル (Nch) のエンベロープ等の音量制御パラメータの現在レベルとを読み込んで演算することにより、当該チャンネル (Nch) における現在の出力音量パラメータを算出している。

【0024】

波形制御用 RAM15a から R/W 回路 17a により読み出された波形制御用パラメータは波形制御部 19 に供給され、波形制御部 19 は波形制御パラメータにおける生成される楽音の音高を示すピッチ情報に基づいて、波形メモリ 20 から波形制御パラメータにより指定された波形サンプルを読み出している。波形メモリ 20 には、楽音の立上り部 (アタック部) と、その後の持続部 (ループ部) とからなる波形データが複数ずつ記憶されており、波形制御部 19 においてピッチ情報に基づく周波数ナンバを累算した整数部に対応するアドレス値により示される波形サンプルと、その次に位置する波形サンプルの 2 つの波形サンプルが少なくとも読み出されて、累算した小数部に応じてサンプル値間が補間される。補間された波形データはフィルタ制御部 21 に供給される。

【0025】

フィルタ制御用 RAM15b から R/W 回路 17b により読み出されたフィルタ係数はフィルタ制御部 21 に供給され、フィルタ制御部 21 はフィルタ係数に応じて波形制御部 19 から供給された楽音波形に所望のフィルタリング処理を施し、その周波数成分の調整された楽音波形を音量制御部 22 に出力する。

音量制御用 RAM15c から R/W 回路 17c により読み出されたエンベロープパラメータや音量パラメータ等の音量制御パラメータは音量制御部 22 に供給され、音量制御部 22 はフィルタ制御部 21 から供給された波形データに音量制御パラメータを乗算することにより音量制御を行っている。音量制御された楽音波形のサンプルはミキサー部 23 に出力される。

【0026】

ミキサー用 RAM15d から R/W 回路 17d により読み出されたミキサー用のパラメータはミキサー部 23 に供給され、ミキサー部 23 はミキサー用のパラメータに応じて音量制御部 22 から供給された各発音チャンネルからの楽音波形のサンプルを合成して DAC (デジタル／アナログ変換器) 24 に出力している。また、ミキサー用 RAM15d から R/W 回路 17d により読み出されたエフェクト用のパラメータはミキサー部 23 に供給され、DSP部 25 はエフェクト用のパラメータに応じてミキサー部 23 から出力される楽音波形信号にリバーブ、コーラス、ディレイ、パン等の各種音響効果を付与している。エフェクトが付与されたミキサー部 23 からの楽音波形信号は DAC 24 においてアナログ信号に変換され、図示しないサウンドシステムから放音される。なお、DSP用 RAM16a から R/W 回路 17e により読み出された μ プログラムとエフェクト用の係数は DSP部 25 に供給され、DSP部 25 において付与するエフェクト種類に応じた μ プログラムが実行されることにより、ミキサー部 23 から出力される楽音波形信号にエフェクトが付与されるようになる。

【0027】

次に、図 1 に示す音源 1 と楽音形成装置が備える CPU10 の動作タイミングを図 3 に示す。

10

20

30

40

50

図3において、横軸は時間とされており2DACサイクル分が示されている。DACサイクルは、DAC24が変換する最終的に出力される楽音波形のサンプリング周期である。発音チャンネル数が128チャンネルとされる場合の例が図3に示されており、1DACサイクル内に128の時分割区間が設定されている。時分割区間は、t1, t2, t3, ..., t128で区切られた128の区間とされており、タイミングt1~t128は各発音チャンネルにおいて波形形成する際に必要とされるパラメータをレジスタ14からR/W回路17a~17eが読み出す読み出しタイミングとされる。1DACサイクルが開始されるタイミングt0からタイミングt1との区間は空き時間とされている。この空き時間は、タイミングt0において複数の回路が同時に立ち上がった場合に、その競合を解消するための空き時間とされている。また、タイミングt128と次の1DACサイクルが開始されるタイミングt0'までの区間における空き時間において第1バッファ群15に同期書きを行なうパラメータが書き込まれる。各発音チャンネルに割り当てられた時分割区間t1~t128の各時分割区間においては、各発音チャンネルの波形サンプルが波形制御部19により波形メモリ20から読み出されて補間され、フィルタ制御部21においてフィルタリング処理されると共に音量制御部22において音量制御パラメータが乗算されてミキサー部23において他の発音チャンネルの楽音波形のサンプルと合成される。この際に、所望に応じてDSP部25においてエフェクトが付与される。

【0028】

CPU10は音源1におけるDACサイクルの管理を行っていないことから、CPU10から音源1におけるレジスタ14への書き込みや読み出しのコマンドの実行タイミングは図3に示すようにDACサイクルの各タイミングとは無関係なランダムなタイミングとされる。

図3において、タイミングt1付近のタイミングでパラメータaを音源1におけるレジスタ14の所望のバッファの第10チャンネル(10ch)の位置へ書き込む書き込みコマンドがCPU10において実行されたとする。すると、このパラメータaが同期書き込み対象のパラメータか否かが判断され、同期書き込み対象のパラメータと判断された場合は同期書き込み中であることを示すビジーフラグの状態が判断される。ここでは、ビジーフラグがオンとなつていないと判断されて、書き込み指示と書き込みパラメータaのデータと、書き込み先のアドレスとがCPU10から音源1に出力される。音源1が書き込み指示とパラメータaと書き込み先のアドレスをCPUインターフェース11を介して受け取ると、パラメータaの書き込み先のアドレスが同期書き込み対象のパラメータが保存される第1バッファ群15内のアドレスとされていることから、受け取ったパラメータaをセレクタ13を介して第1バッファ群15のパラメータaの書き込み先のアドレスで指定されるバッファの位置(10ch)に書き込む処理が行われる。

【0029】

また、CPU10においてパラメータaが同期書き込み対象外のパラメータと判断された場合は、そのまま書き込み指示と書き込みパラメータaのデータと、書き込み先のアドレスとがCPU10から音源1に出力される。音源1が書き込み指示とパラメータaと書き込み先のアドレスをCPUインターフェース11を介して受け取ると、パラメータaの書き込み先のアドレスが同期書き込み対象外のパラメータが保存される第2バッファ群16内のアドレスとされていることから、受け取ったパラメータaをセレクタ13を介すことなく第2バッファ群16のパラメータaの書き込み先のアドレスで指定されるバッファの位置(10ch)に書き込む処理が行われる。

【0030】

次いで、タイミングt2とタイミングt3との間でレジスタ14の所望のバッファから第3チャンネル(3ch)のパラメータbを読み込む読み込みコマンドがCPU10において実行されると、パラメータbが同期書き込み対象のパラメータか否かが判断され、同期書き込み対象のパラメータと判断された場合は同期書き込み中であることを示すビジーフラグの状態が判断される。ここでは、ビジーフラグがオンとなつていないと判断されて、この読み込み指示と

10

20

30

40

50

読み先のアドレスとを音源 1 に出力する。そして、音源 1 が読み指示と読み先のアドレスとを受け取ると、セレクタ 13 を介して第 1 バッファ群 15 の読み先のアドレスで示されるバッファの位置 (3ch) からパラメータ b を読み込んで、読み込んだパラメータ b を音源 1 の CPU インタフェース 11 を介して CPU 10 に出力する処理が行われる。

【0031】

また、CPU 10 においてパラメータ b が同期書き込み対象外のパラメータと判断された場合は、そのままパラメータ b の読み指示と読み先のアドレスとを音源 1 に出力する。そして、音源 1 が読み指示と読み先のアドレスとを受け取ると、セレクタ 13 を介すことなく第 2 バッファ群 16 の読み先のアドレスで示されるバッファの位置 (3ch) からパラメータ b を読み込んで、読み込んだパラメータ b を音源 1 の CPU インタフェース 11 を介して CPU 10 に出力する処理が行われる。10

さらに、タイミング t4 付近でパラメータ c を音源 1 におけるレジスタ 14 の所望のバッファにおける第 25 チャンネル (25ch) の位置へ書き込む書き込みコマンドが CPU 10 において実行された場合は、同期書き込み中であることを示すビジーフラグがオンとなっていないことから、パラメータ c が同期書き込み対象のパラメータであっても同期書き込み対象外のパラメータであっても前記したパラメータ a を書き込む処理と同様の処理が行われて、パラメータ c がレジスタ 14 の所望のバッファにおける第 25 チャンネル (25ch) の位置へ書き込まれる。

【0032】

次いで、その後のタイミングにおいて同期書き込みを行うパラメータ d を音源 1 における第 1 バッファ群 15 の所望のバッファにおける第 12 チャンネル (12ch) の位置へ書き込む書き込みコマンドが CPU 10 において実行されると、パラメータ b が同期書き込み対象のパラメータと判断されて、同期書き込み中であることを示すビジーフラグの状態が判断される。ここでは、ビジーフラグがオンとなっていないことから、CPU 10 はパラメータ d および書き込み先のアドレスと、これらを同期書き込み用バッファ 12 に書き込む書き込み指示を音源 1 に出力する。音源 1 は、この書き込み指示を受け取ると受け取ったパラメータ d および書き込み先のアドレス (12ch のアドレス) を同期書き込み用バッファ 12 に書き込む処理を行う。20

【0033】

さらに、この後のタイミングにおいて、レジスタ 14 の所望のバッファから第 27 チャンネル (27ch) のパラメータ e を読み込む読み込みコマンドが CPU 10 において実行されると、同期書き込み中であることを示すビジーフラグがオンとなっていないことから、パラメータ e が同期書き込み対象のパラメータであっても同期書き込み対象外のパラメータであっても、前述したパラメータ b を読み出す処理と同様の処理が行われて、レジスタ 14 の読み先のアドレスで示されるバッファの位置 (27ch) からパラメータ e が読み出され、読み出されたパラメータ e が音源 1 の CPU インタフェース 11 を介して CPU 10 に出力される処理が行われる。30

さらに後のタイミングにおいて、同期書き込みを行う 2 番目のパラメータ f を音源 1 における第 1 バッファ群 15 の所望のバッファにおける第 20 チャンネル (20ch) の位置へ書き込む書き込みコマンドが CPU 10 において実行されると、パラメータ f が同期させる必要があるパラメータと判断されると共に、同期書き込み中であることを示すビジーフラグの状態が判断される。ここでは、ビジーフラグがオン状態ではないと判断されて、CPU 10 はパラメータ f のデータおよび書き込み先のアドレスと、これらを同期書き込み用バッファ 12 に書き込む書き込み指示を音源 1 に出力する。音源 1 は、この書き込み指示を受け取ると受け取ったパラメータ f および書き込み先のアドレス (20ch のアドレス) を同期書き込み用バッファ 12 に書き込む処理を行う。40

【0034】

さらに後のタイミングにおいて、レジスタ 14 の所望のバッファから第 10 チャンネル (10ch) のパラメータ g を読み込む読み込みコマンドが CPU 10 において実行されると、同期書き込み中であることを示すビジーフラグがオンとなっていないことから、パラメータ g が同期書き込み対象のパラメータであっても同期書き込み対象外のパラメータであっても前述し50

たパラメータ b を読み出す処理と同様の処理が行われて、レジスタ 14 の読み出しアドレスで示されるバッファの位置 (10ch) からパラメータ g が読み出され、読み出されたパラメータ g が音源 1 の CPU インタフェース 11 を介して CPU 10 に出力される処理が行われる。

ここで、CPU 10 が同期書き込みを行う全てのパラメータを同期書き込み用バッファ 12 に書き込んだと判断すると、CPU 10 は同期書き込み指示 h を音源 1 に出力する。音源 1 がこの同期書き込み指示 h を受け取ると、同期書き込み中であることを示すビジーフラグをオンとして当該 DAC サイクルにおいて同期書き込みする期間が到来するまで同期書き込みの実行を待機させる。同期書き込みする期間は、タイミング t128 と次の 1 DAC サイクルが開始されるタイミング t0' までの期間における空き時間とされている。これは、1 DAC サイクルの途中において同期書き込みを行うと、各発音チャンネルにおける波形データの形成はそれぞれ割り当てられた異なる時分割区間で行われているため、同期書き込みのタイミングによっては書き込まれたパラメータが反映される発音チャンネルと反映されない発音チャンネルとが生じてしまい、ステレオ等の発音チャンネル間の楽音波形の位相がずれて聴取した際に違和感を生じるおそれがあるからである。そこで、全ての発音チャンネルにおいて楽音波形の形成が終了してから同期書き込みを行うようにしている。

【0035】

CPU 10 は同期書き込み指示 h を出力するが、同期書き込みが終了したか否かについては管理しておらず、同期書き込み中のタイミングにおいても CPU 10 はパラメータの書き込みコマンドや読み込みコマンドを実行する。例えば、ビジーフラグがオンとなっている同期書き込み中のタイミングにおいてパラメータ i を音源 1 におけるレジスタ 14 の所望のバッファにおける第 50 チャンネル (50ch) の位置へ書き込む書き込みコマンドを CPU 10 は実行する。すると、このパラメータ i が同期書き込み対象のパラメータか否かが判断され、同期書き込み対象のパラメータと判断された場合は同期書き込み中であることを示すビジーフラグの状態が判断される。ここでは、ビジーフラグがオンと判断されるため、ビジーフラグがオフと判断されるまで書き込み処理の実行が待機される。

一方、パラメータ i が同期書き込み対象のパラメータではないと判断された場合は、ビジーフラグの状態に関わらず書き込み指示と書き込みパラメータ i のデータと、書き込み先のアドレスとが CPU 10 から音源 1 に出力される。音源 1 が書き込み指示とパラメータ i と書き込み先のアドレスを CPU インタフェース 11 を介して受け取ると、パラメータ i のアドレスが同期書き込み対象外のパラメータが保存される第 2 バッファ群 16 内のアドレスとされていることから、受け取ったパラメータ i はセレクタ 13 を介すことなく第 2 バッファ群 16 のパラメータ i の書き込み先のアドレスで示されるバッファの位置 (50ch) に書き込まれる。

【0036】

ここで、音源 1 においてタイミング t128 が経過したと判断されると、タイミング t128 以後の空き時間において同期書き込み h' の処理が実行され、同期書き込み用バッファ 12 に格納されたパラメータ d がその書き込み先のアドレスで示される第 1 バッファ群 15 の位置 (12ch) に書き込まれると共に、パラメータ f がその書き込み先のアドレスで示される第 1 バッファ群 15 の位置 (20ch) に書き込まれる。なお、次の DAC サイクルが開始されるタイミング t0' までの期間における空き時間が同期書き込みのタイミングとして用意されていることから、ビジーフラグは次の DAC サイクルが開始されるタイミング t0' までオンを維持する。

【0037】

次いで、レジスタ 14 の所望のバッファから第 17 チャンネル (17ch) のパラメータ j を読み出す読み込みコマンドが CPU 10 において実行されると、パラメータ j が同期書き込み対象のパラメータか否かが判断され、同期書き込み対象のパラメータと判断された場合は同期書き込み中であることを示すビジーフラグの状態が判断される。ここでは、ビジーフラグがオンと判断されるため、ビジーフラグがオフと判断されるまで読み込み処理の実行が待機される。

一方、CPU 10 においてパラメータ j が同期書き込み対象のパラメータではないと判断さ

10

20

30

40

50

れた場合は、そのままパラメータ j の読み込み指示と読み込み先のアドレスとを音源 1 に出力する。そして、音源 1 が読み込み指示と読み込み先のアドレスとを受け取ると、セレクタ 13 を介すことなく第 2 バッファ群 16 の読み込み先のアドレスで示されるバッファの位置 (17ch) からパラメータ j を読み込んで、読み込んだパラメータ j を音源 1 の CPU インタフェース 11 を介して CPU 10 に出力する処理が行われる。

【0038】

ここで、現在の DAC サイクルが終了してビジーフラグがオフ状態になると、ビジーフラグがオフ状態になるまで待機されていた書き込み処理や読み込み処理がある場合はその処理が実行されるようになる。そして、時刻 t0' となって次の DAC サイクルが開始された際に、同期書き込みを行うパラメータ k を音源 1 における第 1 バッファ群 15 の所望のバッファにおける第 12 チャンネル (12ch) の位置へ書き込む書き込みコマンドが CPU 10 において実行されると、パラメータ k が同期書き込みを行う必要のあるパラメータと判断されて、同期書き込み中であることを示すビジーフラグの状態が判断される。ここでは、ビジーフラグがオフ状態になったことから、CPU 10 はパラメータ k のデータおよび書き込み先のアドレスと、これらを同期書き込み用バッファ 12 に書き込む書き込み指示を音源 1 に出力する。音源 1 は、この書き込み指示を受け取ると受け取ったパラメータ k および書き込み先のアドレス (12ch のアドレス) を同期書き込み用バッファ 12 に書き込む処理を行う。

以降は、書き込みコマンドあるいは読み込みコマンドが CPU 10 において実行されるたびに前述したパラメータの書き込みの処理あるいは読み出しの処理が音源 1 において行われるようになる。

【0039】

次に、CPU 10 において書き込みコマンドが実行されることにより起動される書き込み指示処理のフローチャートを図 4 に示す。

書き込み指示処理は 1 書き込みコマンド毎に起動され、起動されるとステップ S10 にて書き込むデータが同期書き込み対象のパラメータか否かが判断される。ここで、書き込むデータが同期書き込み対象のパラメータと判断されると、同期あり系とされてステップ S11 に進み、同期書き込み中であることを示すビジーフラグの判定処理が行われる。このビジーフラグの判定処理においては、ビジーフラグがオン状態か否かが判断され、ビジーフラグがオフ状態と判断されるとそのまま判定処理は終了するが、ビジーフラグがオン状態と判断されるとビジーフラグがオフ状態と判断されるまで待機される。そして、ビジーフラグがオフ状態と判断されてビジーフラグの判定処理が終了するとステップ S12 にて書き込むデータが同期書き込みを行う必要があるパラメータか否かが判断される。ここで、書き込むデータがステレオ発音している発音チャンネルのパラメータ等の場合は同期書き込みが必要なパラメータと判断されてステップ S13 に進む。

【0040】

ステップ S13 では、同期書き込みを行うパラメータを音源 1 の同期書き込み用バッファ 12 にセットする。具体的には、同期書き込みを行うパラメータのデータおよび書き込み先のアドレスを同期書き込み用バッファ 12 に書き込む書き込み指示を音源 1 に出力する。次いで、ステップ S14 にて書き込むデータが同期書き込みを行う最後のパラメータか否かが判断されるが、ステップ S13 の処理の初回においては同期書き込みを行う複数のパラメータが揃っていないため NO と判断されて書き込み指示処理は終了する。この書き込み指示処理が複数回起動されてステップ S13 において同期書き込みを行う全てのパラメータが揃ったと判断された場合はステップ S15 に進み同期書き込み指示を音源 1 に出力し、書き込み指示処理は終了する。また、書き込むデータがステップ S10 にて同期書き込み対象外のパラメータあるいはステップ S12 にて同期書き込みが必要なパラメータではないと判断された場合は、ステップ S16 に進み音源 1 のレジスタに書き込むデータがセットされる。具体的には、書き込むパラメータのデータと、書き込み先のアドレスと書き込み指示とを音源 1 に出力し、書き込み指示処理は終了する。

【0041】

上述した書き込み指示処理のステップ S11 において実行されるビジーフラグの判定処理のフローチャートを図 5 に示す。ビジーフラグの判定処理が起動されると、ステップ S20

10

20

30

40

50

にて音源 1 における同期書込用バッファ 1 2 におけるビジーフラグ値が取得される。ついで、取得されたビジーフラグ値からビジーフラグがオン状態か否かが判断される。ここで、ビジーフラグがオフ状態と判断された場合は、そのままビジーフラグの判定処理は終了するが、ビジーフラグがオン状態と判断された場合はステップ S 2 0 に戻りステップ S 2 0, S 2 1 の処理がビジーフラグがオフ状態と判断されるまで繰り返し行われる。このように、ビジーフラグの判定処理はビジーフラグがオフ状態になるまで待って、オフ状態になった時に終了するようになる。

【 0 0 4 2 】

次に、上述した書込指示処理のステップ S 1 5 において C P U 1 0 から出力された同期書込指示により音源 1 において起動される同期書込指示処理のフローチャートを図 6 に示す。

音源 1 において同期書込指示処理が起動されると、ステップ S 3 0 にてビジーフラグをオン状態にセットする。次いで、ステップ S 3 1 にて同期書込の期間が到来するまで待機される。同期書込の期間は、D A C サイクルにおいて各発音チャンネルに割り当てられた時分割区間の終了から次の D A C サイクルが開始されるタイミングまでの期間とされ、この期間における空き時間が同期書込を行うタイミングとされている。そして、同期書込のタイミングが到来すると、ステップ S 3 2 にて同期書込用バッファ 1 2 に格納されているパラメータとその書込先アドレスを読み込んで、書込先で指定される第 1 バッファ群 1 5 の所定のバッファに読み込まれたパラメータを書き込む。この場合、複数のパラメータのデータとその書込先アドレスが順次読み出されて、書込先アドレスで指定されるバッファにそれぞれ書き込むようになる。同期書込を行うパラメータが全て書き込まれると、ステップ S 3 3 にて現在の D A C サイクルが終了するまで待機される。そして、現在の D A C サイクルが終了するとステップ S 3 4 に進みビジーフラグをオフ状態にセットして、同期書込指示処理は終了する。

【 0 0 4 3 】

次に、C P U 1 0 において読み込みコマンドが実行されることにより起動される読み込み指示処理のフローチャートを図 7 に示す。

読み込み指示処理は 1 読み込みコマンド毎に起動され、起動されるとステップ S 4 0 にて読み込むデータが同期書込対象のパラメータか否かが判断される。ここで、読み込むデータが同期書込対象のパラメータと判断されると、同期あり系とされてステップ S 4 1 に進み、同期書込中であることを示す図 5 に示すビジーフラグの判定処理が行われる。このビジーフラグの判定処理において、ビジーフラグがオン状態か否かが判断され、ビジーフラグがオフ状態と判断されるとそのまま判定処理は終了するが、ビジーフラグがオン状態と判断されるとビジーフラグがオフ状態と判断されるまで待機される。そして、ビジーフラグがオフ状態と判断されてビジーフラグの判定処理が終了するとステップ S 4 2 に進む。また、読み込むデータがステップ S 4 0 にて同期書込対象外のパラメータと判断された場合は、同期なし系とされてステップ S 4 2 にジャンプする。ステップ S 4 2 では、読み込むデータを音源 1 におけるレジスタ 1 4 のバッファから取得し、読み込み指示処理は終了する。具体的には、読み込むパラメータの読み込み先のアドレスと読み込み指示とを音源 1 に出力することにより、音源 1 におけるレジスタ 1 4 の読み込み先のアドレスで指定されるバッファから読み込むパラメータを取得する。読み込むパラメータが取得されると、読み込み指示処理は終了する。

【 0 0 4 4 】

上述した書込 / 読み込み指示処理において、書き込む / 読み込むデータの種類が同期書込対象のパラメータと判断されて当該書込 / 読み込み処理の処理中において、次の書込 / 読み込み指示処理が起動された際に書き込む / 読み込むデータの種類が同期書込対象外のパラメータと判断された場合は、同期書込対象のパラメータにかかる書込 / 読み込み指示処理と同期書込対象外のパラメータにかかる書込 / 読み込み指示処理とを同時に処理することができる。これは、音源 1 において同期書込対象のパラメータが格納される第 1 バッファ群 1 5 と同期書込対象外のパラメータが格納される第 2 バッファ群 1 6 に対するアクセスは同時にを行うこと

10

20

30

40

50

ができるからである。しかし、同じ種類のパラメータの書込／読込処理の処理を同時に複数行うことはできない。

【0045】

次に、CPU10から発音チャンネルの出力レベルの読込指示があった際に音源1において起動されるレベルデータ取得処理のフローチャートを図8に示す。

図8に示すレベルデータ取得処理が起動されると、ステップS50にて音量読出用RAM16bに出力レベルを読み出す発音チャンネルがセットされる。この場合、CPU10は出力レベルの読込指示において音量読出用RAM16bのアドレスと読み込む発音チャンネルの番号とを音源1に出力する。次いで、ステップS51にてCPU10から指定された発音チャンネルのその時点の楽音波形のレベル(dB)が波形制御部19から取得され、ステップS52にてCPU10から指定された発音チャンネルのその時点のエンベロープや音量パラメータの音量制御パラメータのレベル(dB)が音量制御部22から取得される。そして、ステップS53にて楽音波形のレベルと音量制御パラメータのレベルとが加算されて得られた出力レベルが音量読出用RAM16bにセットされる。この出力レベルは音量読出用RAM16bからCPU10に読み込まれて、レベルデータ取得処理は終了する。

10

【0046】

次に、CPU10が実行するチャンネル割当処理のフローチャートを図9に示す。

図9に示すチャンネル割当処理は、ノートオンが検出されて新たに発音チャンネルを割り当てる際に起動され、ステップS60にて空いた発音チャンネルがあるか否かが判断される。ここで、空いた発音チャンネルがないと判断された場合はステップS61にて発音チャンネルを開放するチャンネル開放処理が実行される。そして、チャンネル開放処理により空いた発音チャンネルがステップS62にて新たな発音チャンネルとして割り当られるようになる。また、ステップS60にて空いている発音チャンネルがあると判断された場合は、ステップS62にジャンプして空いている発音チャンネルが新たな発音チャンネルとして割り当られるようになる。ステップS62の処理が終了するとチャンネル割当処理は終了する。

20

【0047】

次に、チャンネル割当処理のステップS61にて実行されるチャンネル開放処理のフローチャートを図10に示す。

30

チャンネル割当処理が起動されると、ステップS70にて全発音チャンネルの中からリリース状態に入っている発音チャンネルが選択される。次いで、ステップS71にて選択されたリリース状態になっている発音チャンネルの中から最も出力レベルの小さい発音チャンネルが選択される。この場合の発音チャンネルの出力レベルは、前述した図8に示すレベルデータ取得処理により取得する。最も出力レベルの小さい発音チャンネルが選択されると、ステップS72にて選択された発音チャンネルが開放され、チャンネル開放処理は終了する。

【産業上の利用可能性】

【0048】

本発明において、波形制御部19、フィルタ制御部21、音量制御部22、ミキサー部23の順で当該機能部が全発音チャンネルの楽音形成に関わる処理は終了する。すると、波形制御用RAM15a、フィルタ制御用RAM15b、音量制御用RAM15c、ミキサー用RAM15dの順に開放されることになることから、開放され次第に当該RAMに同期書き込みを行うパラメータの書き込みを開始するのが好適とされる。

40

以上説明した本発明においては、波形メモリタイプの音源を内蔵した構成としたが、これに限ることはなくFM音源や物理モデル音源を内蔵するようにしてよい。

【図面の簡単な説明】

【0049】

【図1】本発明の実施例である楽音形成装置が備える音源の詳細構成を示すブロック図である。

50

【図2】本発明の楽音形成装置における音源部の各種パラメータを格納するバッファの構造を示す図である。

【図3】本発明の楽音形成装置におけるCPUと音源の動作タイミングを示す図である。

【図4】本発明の楽音形成装置におけるCPUが実行する書込指示処理のフローチャートである。

【図5】本発明の楽音形成装置において実行される書込指示処理におけるビジーフラグの判定処理のフローチャートである。

【図6】本発明の楽音形成装置における音源が実行する同期書込指示処理のフローチャートである。

【図7】本発明の楽音形成装置におけるCPUが実行する読込指示処理のフローチャートである。 10

【図8】本発明の楽音形成装置における音源が実行するレベルデータ取得処理のフローチャートである。

【図9】本発明の楽音形成装置におけるCPUが実行するチャンネル割当処理のフローチャートである。

【図10】本発明の楽音形成装置において実行されるチャンネル割当処理におけるチャンネル開放処理のフローチャートである。

【図11】従来の楽音形成装置が備える波形メモリタイプの音源の構成を示すブロック図である。

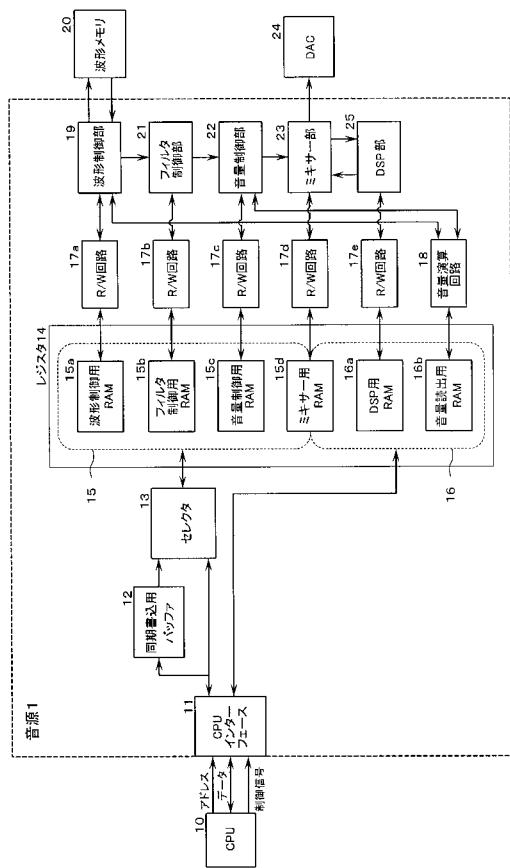
【図12】従来の楽音形成装置におけるCPUと音源の動作タイミングを示す図である。 20

【符号の説明】

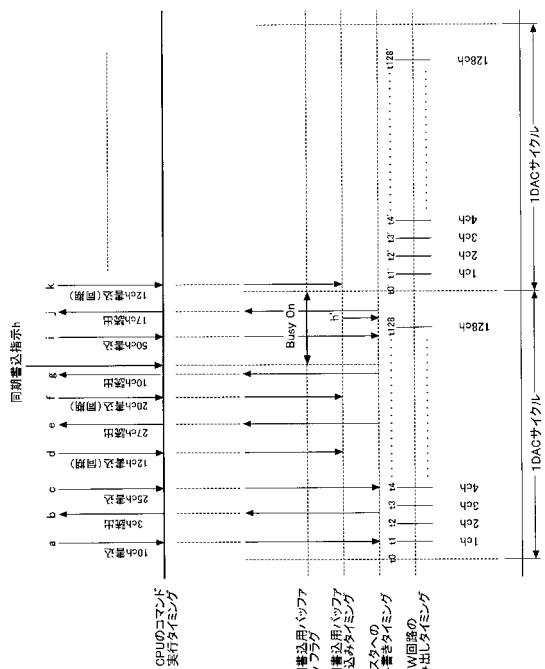
【0050】

1 音源、 11 CPUインターフェース、 12 同期書込用バッファ、 13 セレクタ、
15 第1バッファ群、 15a 波形制御用RAM、 15b フィルタ制御用RAM、 1
5c 音量制御RAM、 15c 音量制御用RAM、 15d ミキサー用RAM、 16
第2バッファ群、 16a DSP用RAM、 16b 音量読出用RAM、 17a R/W
回路、 17b R/W回路、 17c R/W回路、 17d R/W回路、 17e R/W
回路、 18 音量演算回路、 19 波形制御部、 20 波形メモリ、 21 フィルタ制御
部、 22 音量制御部、 23 ミキサー部、 24 DAC、 25 DSP部、 100 音
源、 110 CPU、 111 CPUインターフェース、 112 同期書込用バッファ、
113 セレクタ、 114 レジスタ、 117 R/W回路、 118 音量演算回路、 1
19 波形形成部、 120 波形メモリ、 121 DAC 30

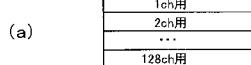
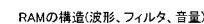
【図1】



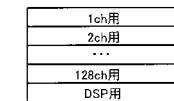
【図3】



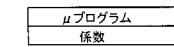
【圖 2】



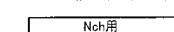
RAMの構造(ミキサー)



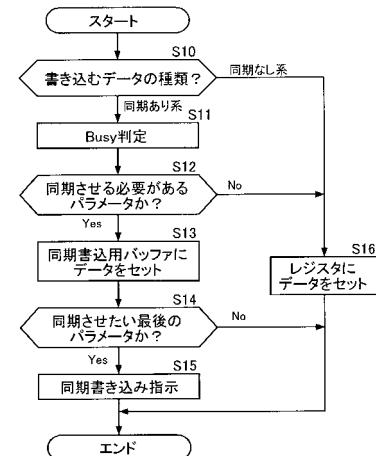
RAMの構造(DSP用)



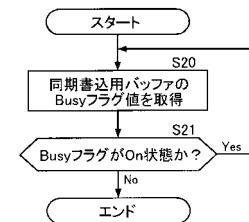
RAMの構造(音量読出部)



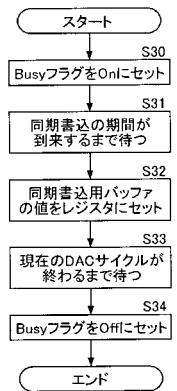
【 四 4 】



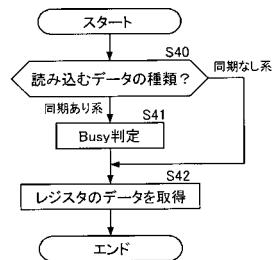
〔 四 5 〕



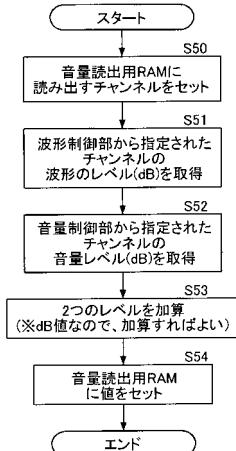
【図6】



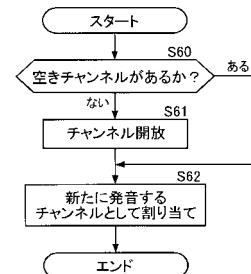
【図7】



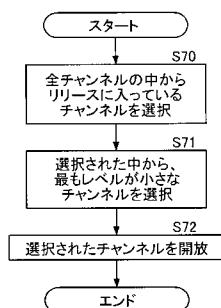
【図8】



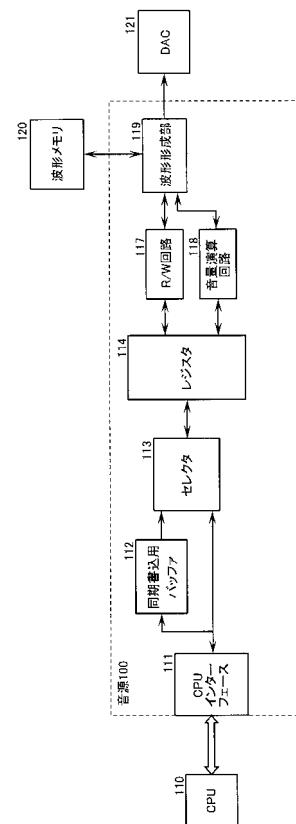
【図9】



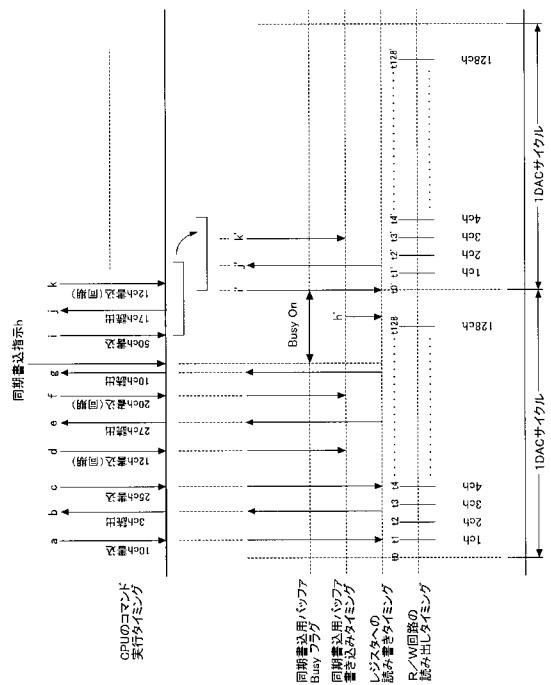
【図10】



【図11】



【図 1 2】



フロントページの続き

(72)発明者 伊藤 一之
静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 河本 隆一
静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 白濱 太郎
静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 岡村 和久
静岡県浜松市中沢町10番1号 ヤマハ株式会社内

審査官 益戸 宏

(56)参考文献 特許第2661053 (JP, B2)

(58)調査した分野(Int.Cl., DB名)

G 10 H 1 / 00 - 7 / 12