

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 10 月 27 日 (2005.10.27)

【公開番号】特開 2000-40721 (P2000-40721A)
 【公開日】平成 12 年 2 月 8 日 (2000.2.8)
 【出願番号】特願 平 10-206202
 【国際特許分類第 7 版】
 H 0 1 L 21/66
 G 0 1 R 31/26
 【F I】
 H 0 1 L 21/66 G
 G 0 1 R 31/26

【手続補正書】
 【提出日】平成 17 年 7 月 13 日 (2005.7.13)
 【手続補正 1】

【補正対象書類名】明細書
 【補正対象項目名】全文
 【補正方法】変更

【補正の内容】

【書類名】明細書

【発明の名称】チップスケールパッケージのテスト方法及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 フレーム基板上に IC チップが載置されたチップスケールパッケージのテスト方法において、多数の IC チップが載置された状態でランドにコンタクトピンをコンタクトすることによりテストを行ない、その後半田ボール付けを行ない最終形状に切断することを特徴とするチップスケールパッケージのテスト方法。

【請求項 2】 フレーム基板上に IC チップが載置されたチップスケールパッケージのテスト方法において、上記フレーム基板を外形寸法一定に切断した状態でランドにコンタクトピンをコンタクトすることによりテストを行ない、その後半田ボール付けを行ない最終形状に切断することを特徴とするチップスケールパッケージのテスト方法。

【請求項 3】 IC テストソケットの位置決めピンと嵌合する位置決め用穴をフレーム基板に設けたことを特徴とする請求項 1 又は請求項 2 記載のチップスケールパッケージのテスト方法。

【請求項 4】 上記テストを行う行程において、上記ランドが金メッキされており、金メッキされたランドに上記コンタクトピンをコンタクトすることを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載のチップスケールパッケージのテスト方法。

【請求項 5】 フレーム基板の上面に複数の IC チップを搭載する工程と、上記複数の IC チップを搭載する行程の後に、上記フレーム基板の下面に複数の半田ボールを付ける工程と、上記複数の半田ボールに、ソケットのコンタクトピンを接触させる工程と、上記コンタクトピンを接触させる工程の後に、上記フレーム基板を切断して、複数の半導体装置に分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 上記複数の半田ボールに、上記コンタクトピンを接触させた状態で、上記複数の半導体装置の電気的特性試験を行うことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 上記フレーム基板が、複数の位置決め用穴を有しており、上記コンタクトピンを接触させる工程において、上記複数の位置決め用穴を用いて、上記ソケットと上記フレーム基板とを位置決めすることを特徴とする請求項 5 又は請求項 6 記載の半導体装置の製造方法。

【請求項 8】 上記ソケットと上記フレーム基板との位置決めは、上記ソケットに固定された複数の位置決めピンを、上記複数の位置決め用穴に嵌合させることにより行うことを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 下面に複数のランドを有するフレーム基板の上面に複数の IC チップを搭載する工程と、上記複数のランドに、ソケットのコンタクトピンを接触させる工程と、上記コンタクトピンを接触させる工程の後に、上記ランド上にそれぞれ半田ボールを付ける工程と、上記半田ボールを付ける工程の後に、上記フレーム基板を切断して、複数の半導体装置に分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】 上記複数のランドに、上記コンタクトピンを接触させた状態で、上記複数の半導体装置の電気的特性試験を行うことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 上記フレーム基板が、複数の位置決め用穴を有しており、上記コンタクトピンを接触させる工程において、上記複数の位置決め用穴を用いて、上記ソケットと上記フレーム基板とを位置決めすることを特徴とする請求項 9 または請求項 10 記載のハンド得たい装置の製造方法。

【請求項 12】 上記ソケットと上記フレーム基板との位置決めは、上記ソケットに固定された複数の位置決めピンを、上記複数の位置決め用穴に嵌合させることにより行うことを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】 上記複数のランドは、その表面に金メッキが施されており、上記コンタクトピンを接触させる工程において、上記金メッキされたランドに、上記コンタクトピンを接触させることを特徴とする請求項 9 から請求項 12 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、CSP (FBGA) の製造工程におけるテスト方法及び半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

図 7 (a) は従来の CSP (チップスケールパッケージ) のアセンブリ及びテスト方法におけるボール付後のフレーム状態を示す平面図、図 7 (b) は同じく側面図、図 7 (c) はフレーム状態から切断した状態を示す側面図である。図において、11 はフレーム基板、12 は IC チップ、13 は半田ボール、14 は最終形状 IC である。先ずアセンブリ工程においては、フレーム基板 11 に IC チップ 12 を載せモールド封止を行ない、半田ボール 13 を付けた後最終形状 IC 14 に切断し、その後テスト工程に移行する。

【0003】

次にテスト工程において搬送、ハンドリングする方法を図 8 において説明する。図において、15 は IC ハンドリングアーム、16 は IC トレイ、17 は IC 位置決めブロック、18 は IC テストソケットである。

【0004】

【発明が解決しようとする課題】

従来の CSP のテスト方法は以上のようななされているので、フレーム状態から最終形状に切断した後にテスト工程において搬送、ハンドリングする方法を採用するため、CSP はチップスケールパッケージのため小型であり、テスト工程内におけるハンドリングが難しいという問題点があった。また外形寸法が標準化されないため、外形寸法を基準として位置決め保持する治工具、例えば IC トレイ、IC 位置決めブロック、IC テストソケット等の種類が増大し、治工具のコスト増大を招くという問題点も有していた。

【0005】

また、最終形状に切断する際の加工精度のばらつきにより、位置決めを行なうための外形寸法と、テストする際に接触させる半田ボールの相対的な位置精度が悪く、電気的特性

試験を行なう際のコンタクトの位置ずれによるコンタクト不良が発生し、また半田ボールの変形及び半田ボールの半田がソケットの接触子に転位し接触子の寿命を低下させるといった問題点もあった。

【 0 0 0 6 】

この発明は上記のような問題点を解消するためになされたものであり、ハンドリングを易しくできるようにすると共に、半田のコンタクトピンへの転位によるヒゲ発生、酸化膜による絶縁不良、半田ボール変形といったトラブルを削減できるテスト方法を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

この発明の請求項 1 に係るチップスケールパッケージのテスト方法は、フレーム基板上に IC チップが載置されたチップスケールパッケージのテスト方法であって、多数の IC チップが載置された状態でランドにコンタクトピンをコンタクトすることによりテストを行ない、その後半田ボール付けを行ない最終形状に切断するものである。

【 0 0 0 8 】

この発明の請求項 2 に係るチップスケールパッケージのテスト方法は、フレーム基板上に IC チップが載置されたチップスケールパッケージのテスト方法であって、フレーム基板を外形寸法一定に切断した状態でランドにコンタクトピンをコンタクトすることによりテストを行ない、その後半田ボール付けを行ない最終形状に切断するものである。

【 0 0 0 9 】

この発明の請求項 3 に係るチップスケールパッケージのテスト方法は、IC テストソケットの位置決めピンと嵌合する位置決め用穴をフレーム基板に設けたものである。

【 0 0 1 0 】

この発明の請求項 4 に係るチップスケールパッケージのテスト方法は、テストを行う工程において、ランドが金メッキされており、金メッキされたランドにコンタクトピンをコンタクトするものである。

【 0 0 1 1 】

この発明の請求項 5 に係る半導体装置の製造方法は、フレーム基板の上面に複数の IC チップを搭載する工程と、複数の IC チップを搭載する行程の後に、フレーム基板の下面に複数の半田ボールを付ける工程と、複数の半田ボールに、ソケットのコンタクトピンを接触させる工程と、コンタクトピンを接触させる工程の後に、フレーム基板を切断して、複数の半導体装置に分離する工程とを有するものである。

【 0 0 1 2 】

この発明の請求項 6 に係る半導体装置の製造方法は、複数の半田ボールに、コンタクトピンを接触させた状態で、複数の半導体装置の電気的特性試験を行うものである。

【 0 0 1 3 】

この発明の請求項 7 に係る半導体装置の製造方法は、フレーム基板が、複数の位置決め用穴を有しており、コンタクトピンを接触させる工程において、複数の位置決め用穴を用いて、ソケットとフレーム基板とを位置決めするものである。

【 0 0 1 4 】

この発明の請求項 8 に係る半導体装置の製造方法は、ソケットとフレーム基板との位置決めは、ソケットに固定された複数の位置決めピンを、複数の位置決め用穴に嵌合させることにより行うものである。

【 0 0 1 5 】

この発明の請求項 9 に係る半導体装置の製造方法は、下面に複数のランドを有するフレーム基板の上面に複数の IC チップを搭載する工程と、複数のランドに、ソケットのコンタクトピンを接触させる工程と、コンタクトピンを接触させる工程の後に、ランド上にそれぞれ半田ボールを付ける工程と、半田ボールを付ける工程の後に、フレーム基板を切断して、複数の半導体装置に分離する工程とを有するものである。

【 0 0 1 6 】

この発明の請求項 10 に係る半導体装置の製造方法は、複数のランドに、コンタクトピンを接触させた状態で、複数の半導体装置の電気的特性試験を行うものである。

【0017】

この発明の請求項 11 に係る半導体装置の製造方法は、フレーム基板が、複数の位置決め用穴を有しており、コンタクトピンを接触させる工程において、複数の位置決め用穴を用いて、ソケットとフレーム基板とを位置決めするものである。

【0018】

この発明の請求項 12 に係る半導体装置の製造方法は、ソケットとフレーム基板との位置決めは、ソケットに固定された複数の位置決めピンを、複数の位置決め用穴に嵌合させることにより行うものである。

【0019】

この発明の請求項 13 に係る半導体装置の製造方法は、複数のランドは、その表面に金メッキが施されており、コンタクトピンを接触させる工程において、金メッキされたランドに、コンタクトピンを接触させるものである。

【0020】

【発明の実施の形態】

実施の形態 1 .

以下、この発明の一実施形態を図について説明する。図 1 (a) , (b) において、1 はフレーム基板、2 は IC チップ、3 は半田ボール、4 a は最終形状 IC である。図に示すように、アセンブリ工程において、フレーム基板 1 に IC チップ 2 を載せ、モールドを行ない半田ボール 3 を付ける。CSP の製造工程において用いられる IC チップ 2 が複数個連結されたフレーム状態で、アセンブリ工程における半田ボール 3 付けまで完了した製品を最終形状に切断する前にテスト工程が実施されるのである。そして複数の工程を経るように装置内をハンドリング並びに工程間搬送が行なわれ、テスト工程完了後に最終形状に切断される。

【0021】

以上のように、フレーム状態というある一定の外形サイズに限定され、共通化されたものをハンドリングするため、装置内の段取替部品が共通化され、コスト削減が可能となる。

またハンドリングの対象物が大きいため、ハンドリングが容易となり、トラブルが低減されると共に装置の機構が簡単となり、コスト削減を実現させることができる。

【0022】

上記説明においては、最終形状に切断する前にテスト工程を行なう場合について説明したが、アセンブリ工程において半田ボール 3 付けまで完了したフレーム状態の製品を IC チップ 2 のサイズに関わりなく、IC チップ 2 の外周を一定寸法に切断した単体デバイスの状態でテスト工程を行なってもよい。即ち、図 2 (a) , (b) に示すように、アセンブリ工程において、フレーム基板 1 に IC チップ 2 を載せ、モールド封止を行ない、単に半田ボール 3 を付ける。そして図 2 (c) に示すように、外形寸法一定 (A × B) に切断して単体デバイス 4 b の状態を形成してテスト工程を実行し、複数の工程を経るように装置内をハンドリング並びに工程間搬送が行なわれ、テスト工程完了後に図 2 (d) に示すように、最終形状に再度切断するのである。

【0023】

以上のようにして、一定寸法の IC をハンドリングするため、装置内の段取替部品装置間の搬送に用いる治工具等の共通化を図ることができ、コスト削減が可能となる。

またハンドリングの対象物が最終形状の IC よりも大きくなるためハンドリングが容易となる。

【0024】

上記動作を実施する際、フレーム基板 1 の製造工程において、IC チップ 2 の周辺に図 3 (a) , (b) に示すように位置決め用穴 5 を加工することにより、半田ボール 3 の位置に対して位置精度を良くすることができる。即ち、テスト工程において、半田ボール 3

とコンタクトし電気的特性を試験するＩＣテストソケット６等のデバイスの位置決め精度を要する部位に位置決め用穴５を設ける。これにより位置決め用穴５と位置決めピン６ａとを嵌合させることにより、半田ボール３の精度の高い位置決めが可能となる。

【００２５】

以上のように、最終形状でテスト工程を行なわないため、製造工程における装置内での位置決め用穴５を特別に設けることが可能なり、この位置決め用穴５を用いて処理することによって、精度の良い位置決めが可能となり、コンタクト不良等のトラブルを回避することができる。

【００２６】

更に別の変形例として、半田ボール３を付ける前の状態でテスト工程を処理することもできる。即ち、図４（ａ），（ｂ）に示すように、ボール付け用穴７を加工すると共に、半田ボール３を付ける前に金メッキされたランド７ａにコンタクトピン６ｂをコンタクトさせる。テスト完了後、半田ボール３付けを行ない、最終形状に切断する。これにより、酸化されにくく、又半田のコンタクトピン６ｂへの転位によるコンタクト不良が発生しなくなる。

【００２７】

以上の動作をフレーム状態でテストする場合と単体デバイスの状態でテストする場合とに分けて説明する。フレーム状態でテストする場合には、図５（ａ），（ｂ）に示すようにアセンブリ工程によって、フレーム基板１にＩＣチップ２を載せモールド封止し、この状態でテスト工程を実施する。その後、図５（ｃ）に示すように半田ボール３を付け、最後に図５（ｄ）に示すように最終形状に切断する。

【００２８】

次に単体デバイスの状態でテストする場合には、図６（ａ），（ｂ）に示すようにアセンブリ工程によって、フレーム基板１にＩＣチップ２を載せモールド封止し、図６（ｃ）に示すように外形寸法一定に切断し、この状態でテスト工程を実施する。その後、図６（ｄ）に示すように半田ボール３を付け、最後に図６（ｅ）に示すように最終形状に切断する。

【００２９】

以上のように、テスト工程におけるコンタクトを金メッキされたランド部７ａで行なうことにより、従来多く発生していた半田のコンタクトピン６ｂへの転位によるヒゲ発生、酸化膜による絶縁不良、半田ボール３の変形といったトラブルの発生を削減することができる。

【００３０】

【発明の効果】

この発明の請求項１、請求項２又は請求項４に係るチップスケールパッケージのテスト方法によれば、テスト工程におけるコンタクトを金メッキ等されたランド部で行なうようにしたので、従来多く発生していた半田のコンタクトピンへの転位によるヒゲ発生、酸化膜による絶縁不良、半田ボールの変形といったトラブルの発生を削減することができる。

【００３１】

この発明の請求項３に係るチップスケールパッケージのテスト方法によれば、フレーム基板に設けられた位置決め用穴にＩＣテストソケットの位置決めピンを嵌合するので、精度の良い位置決めが可能となり、コンタクト不良等のトラブルを回避することができる。

【００３２】

この発明の請求項５に係る半導体装置の製造方法によれば、フレーム基板の上面に複数のＩＣチップを搭載する工程と、複数のＩＣチップを搭載する行程の後に、フレーム基板の下面に複数の半田ボールを付ける工程と、複数の半田ボールに、ソケットのコンタクトピンを接触させる工程と、コンタクトピンを接触させる工程の後に、フレーム基板を切断して、複数の半導体装置に分離する工程とを有するので、装置内の部品が共通化され、コスト削減が可能になるとともに、ハンドリングが容易となる。

【００３３】

この発明の請求項 6 に係る半導体装置の製造方法によれば、複数の半田ボールに、コンタクトピンを接触させた状態で、複数の半導体装置の電気的特性試験を行うようにしたので、装置内の部品が共通化され、コスト削減が可能になる。

【 0 0 3 4 】

この発明の請求項 7 に係る半導体装置の製造方法によれば、フレーム基板が、複数の位置決め用穴を有しており、コンタクトピンを接触させる工程において、複数の位置決め用穴を用いて、ソケットとフレーム基板とを位置決めするようにしたので、精度のよい位置決めが可能となり、コンタクト不良等のトラブルを回避できる。

【 0 0 3 5 】

この発明の請求項 8 に係る半導体装置の製造方法によれば、ソケットとフレーム基板との位置決めは、ソケットに固定された複数の位置決めピンを、複数の位置決め用穴に嵌合させることにより行うようにしたので、精度のよい位置決めが可能となり、コンタクト不良等のトラブルを回避できる。

【 0 0 3 6 】

この発明の請求項 9 に係る半導体装置の製造方法によれば、下面に複数のランドを有するフレーム基板の上面に複数の IC チップを搭載する工程と、複数のランドに、ソケットのコンタクトピンを接触させる工程と、コンタクトピンを接触させる工程の後に、ランド上にそれぞれ半田ボールを付ける工程と、半田ボールを付ける工程の後に、フレーム基板を切断して、複数の半導体装置に分離する工程とを有するので、酸化されにくくなるとともに、コンタクト不良が発生しなくなる。

【 0 0 3 7 】

この発明の請求項 10 に係る半導体装置の製造方法によれば、複数のランドに、コンタクトピンを接触させた状態で、複数の半導体装置の電気的特性試験を行うようにしたので、酸化されにくくなるとともに、コンタクト不良が発生しなくなる。

【 0 0 3 8 】

この発明の請求項 11 に係る半導体装置の製造方法によれば、フレーム基板が、複数の位置決め用穴を有しており、コンタクトピンを接触させる工程において、複数の位置決め用穴を用いて、ソケットとフレーム基板とを位置決めするようにしたので、精度のよい位置決めが可能となり、コンタクト不良等のトラブルを回避できる。

【 0 0 3 9 】

この発明の請求項 12 に係る半導体装置の製造方法によれば、ソケットとフレーム基板との位置決めは、ソケットに固定された複数の位置決めピンを、複数の位置決め用穴に嵌合させることにより行うようにしたので、精度のよい位置決めが可能となり、コンタクト不良等のトラブルを回避できる。

【 0 0 4 0 】

この発明の請求項 13 に係る半導体装置の製造方法によれば、複数のランドは、その表面に金メッキが施されており、コンタクトピンを接触させる工程において、金メッキされたランドに、コンタクトピンを接触させるようにしたので、酸化されにくくなるとともに、コンタクト不良が発生しなくなる。

【 図面の簡単な説明 】

【 図 1 】 この発明の実施形態による C S P のテスト方法を示す平面図 (a) 及び側面図 (b) である。

【 図 2 】 この発明の実施形態による C S P のテスト方法を示す平面図 (a) , (c) 及び側面図 (b) , (d) である。

【 図 3 】 この発明の実施形態による C S P のテスト方法を示す平面図 (a) 及び側面図 (b) である。

【 図 4 】 この発明の実施形態による C S P のテスト方法を示す平面図 (a) 及び側面図 (b) である。

【 図 5 】 この発明の実施形態による C S P のテスト方法を示す平面図 (a) , (c) 及び側面図 (b) , (d) である。

【図 6】 この発明の実施形態による C S P のテスト方法を示す平面図 (a) , (c) 及び側面図 (b) , (d) である。

【図 7】 従来の C S P のテスト方法を示す平面図 (a) 及び側面図 (b) , (c) である。

【図 8】 従来の C S P テスト工程内の装置のハンドリング状態を示す構成図である。

【符号の説明】

- 1 フレーム基板、 2 I C チップ、 3 半田ボール、 5 位置決め用穴、
6 I C テストソケット、 6 a 位置決めピン、 6 b コンタクトピン、 7 a ランド。