



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0119881
(43) 공개일자 2018년11월05일

(51) 국제특허분류(Int. Cl.)

H01L 45/00 (2006.01)

(52) CPC특허분류

H01L 45/1206 (2013.01)

H01L 45/145 (2013.01)

(21) 출원번호 10-2017-0053549

(22) 출원일자 2017년04월26일

심사청구일자 2017년04월26일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김태근

경기도 성남시 분당구 양현로 88 이매촌동부코오
풍아파트 503동 1403호

박주현

경기도 포천시 영중면 궁들1길 10

(74) 대리인

특허법인주원

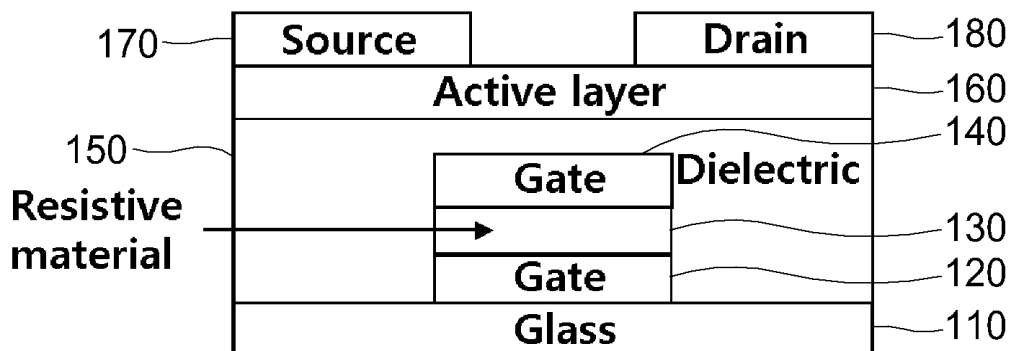
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 및 그 제조 방법

(57) 요약

저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 및 그 제조 방법이 개시된다. 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자는, 기판, 기판상에 형성된 하부 게이트 영역층, 하부 게이트 영역층상에 형성된 저항 변화 물질층, 저항 변화 물질층상에 형성된 절연 물질층, 절연 물질층 상에 형성된 활성 영역층, 및 절연 물질층상에서 활성 영역층과 접하며 서로 분리되도록 소스 영역과 드레인 영역을 형성하는 단계를 포함한다. 이와 같은 구성에 의하면, 종래의 박막 트랜지스터 구조에 ReRAM의 동작 메커니즘을 적용하기 때문에, 종래의 TFT 공정을 이용하면서도 종래 비휘발성 메모리 소자의 요구조건인 낮은 전력 소모, 빠른 동작속도, 신뢰성 측면을 개선할 수 있게 된다.

대표도 - 도3



(52) CPC특허분류
H01L 45/1608 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관상에 형성된 하부 게이트 영역층;

상기 하부 게이트 영역층상에 형성된 저항 변화 물질층;

상기 저항 변화 물질층상에 형성된 절연 물질층;

상기 절연 물질층 상에 형성된 활성 영역층; 및

상기 절연 물질층상에서 상기 활성 영역층과 접하며 서로 분리되도록 소스 영역과 드레인 영역을 포함하는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자.

청구항 2

청구항 1에 있어서,

상기 저항 변화 물질층과 상기 절연 물질층 사이에 형성된 상부 게이트 영역층을 더 포함하는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자.

청구항 3

청구항 1에 있어서,

상기 소스 영역과 상기 드레인 영역은 상기 활성 영역층 상에서 서로 분리되어 형성되는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자.

청구항 4

청구항 1에 있어서,

상기 소스 영역과 상기 드레인 영역은 상기 절연 물질층 상에서 상기 활성 영역층에 의해 서로 분리되어 형성되는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자.

청구항 5

청구항 1에 있어서,

상기 저항 변화 물질층은 상기 절연 물질층보다 유전율이 작은 물질로 형성되는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자.

청구항 6

청구항 1에 있어서,

상기 저항 변화 물질층의 두께는 상기 절연 물질층보다 크게 형성되는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자.

청구항 7

청구항 1에 있어서,

상기 기판은 투명 재질의 기판인 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자.

청구항 8

기판상에 하부 게이트 영역층을 형성하는 단계;

상기 하부 게이트 영역층상에 저항 변화 물질층을 형성하는 단계;

상기 저항 변화 물질층상에 절연 물질층을 형성하는 단계;

상기 절연 물질층 상에 활성 영역층을 형성하는 단계; 및

상기 절연 물질층상에서 상기 활성 영역층과 접하며 서로 분리되어 형성된 소스 영역과 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 제조 방법.

청구항 9

청구항 8에 있어서,

상기 저항 변화 물질층 형성 이후 상기 절연 물질층 형성 이전에 상부 게이트 영역층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 제조 방법.

청구항 10

청구항 8에 있어서,

상기 소스 영역과 상기 드레인 영역은 상기 활성 영역층 상에서 서로 분리되도록 형성하는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 제조 방법.

청구항 11

청구항 8에 있어서,

상기 소스 영역과 상기 드레인 영역은 상기 절연 물질층 상에서 상기 활성 영역층에 의해 서로 분리되도록 형성하는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 제조 방법.

청구항 12

청구항 8에 있어서,

상기 저항 변화 물질층을 상기 절연 물질층보다 유전율이 작은 물질로 형성하는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 제조 방법.

청구항 13

청구항 8에 있어서,

상기 저항 변화 물질층의 두께를 상기 절연 물질층보다 크게 형성하는 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 제조 방법.

청구항 14

청구항 8에 있어서,

상기 기판은 투명 재질의 기판인 것을 특징으로 하는 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로서, 더욱 상세하게는 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0003] 정보화 시대로 접어들면서 동일한 공간에 더 많은 정보를 저장할 수 있으면서도 보다 빠른 동작이 가능한 비휘발성 메모리 소자에 대한 요구가 증가하고 있다. 이러한 요구에 부응하고자 최근 비휘발성 메모리는 고집적도, 낮은 전력 소모, 빠른 동작속도뿐만 아니라 신뢰성 측면의 개선에 있어서 다양한 연구들이 수행되고 있다.

[0004] 대표적인 반도체 비휘발성 메모리 소자인 플래시(Flash) 메모리의 경우, 단위 메모리 셀은 기존의 금속 산화물 트랜지스터(Metal Oxide Semiconductor Transistor; MOSFET) 구조(Si 기판)의 게이트 상부에 플로팅 게이트(floating gate) 또는 전하 포획층(charge trapping layer)을 적층하여 이곳에 전하를 저장하는 원리를 기반으로 하고 있다. 도 1 및 도 2는 스위칭 소자로 사용되는 일반적인 MOSFET의 구조, 및 메모리 소자로 사용되는 플래시(FLASH)의 구조를 각각 도시한 도면이다.

[0006] 또한, 최근 고집적도화를 위한 스케일 다운이 지속적으로 시도되고 있지만, 플래시(Flash) 메모리의 미세공정이 10nm급으로 전환됨에 따라 공정이 어려워져, 제조공정기술을 미세화하지 않고 적층을 통해 대용량화를 추구할 수 있는 3D 기술이 부각되고 있다.

[0007] 하지만, 플래너(planar) 구조 또는 3D 구조 모두에서 동일한 메카니즘 즉, 폴리실리콘 채널에서의 전하 주입을 시키는 터널링 방식이 사용되기 때문에 정보 저장 및 소거시 속도가 느리고 동작 전압이 높아 터널링 산화막의 품질이 열화되는 등 신뢰성 문제가 존재하고 있다.

[0009] 한편, 기존의 비휘발성 메모리는 실리콘 기판 위에 물질을 공정시키기 때문에 투명성이 필요한 다양한 전자기기에 적용하기 위해서는 별도의 처리가 요구된다. 이에 따라, 디스플레이 산업에 광범위하게 적용되는 박막 트랜지스터(Thin Film Transistor; TFT)와는 달리 투명 기판 위에서 비휘발성 메모리를 효과적으로 구현하기에는 어려움이 존재하였다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) KR 101451413 B1

(특허문헌 0002) KR 101016266 B1

발명의 내용**해결하려는 과제**

[0012] 본 발명은 상술한 종래의 문제점을 해결하기 위해 안출된 것으로서, 종래 비휘발성 메모리 소자의 요구조건인 낮은 전력 소모, 빠른 동작 속도, 높은 신뢰성을 달성하면서도 유리 기판 위에서 공정이 가능한 비휘발성 메모리 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0014] 상기 목적을 달성하기 위해 본 발명에 따른 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자는, 기판, 기판상에 형성된 하부 게이트 영역층, 하부 게이트 영역층상에 형성된 저항 변화 물질층, 저항 변화 물질층상에 형성된 절연 물질층, 절연 물질층 상에 형성된 활성 영역층, 및 절연 물질층상에서 활성 영역층과 접하며 서로 분리되도록 소스 영역과 드레인 영역을 포함한다.

[0015] 이와 같은 구성에 의하면, 종래의 박막 트랜지스터 구조에 ReRAM의 동작 메커니즘을 적용함으로써, 종래의 TFT 공정을 이용하면서도 비휘발성 메모리 소자의 전력 소모, 동작 속도, 신뢰성을 개선할 수 있게 된다.

[0017] 이때, 저항 변화 물질층과 절연 물질층 사이에 형성된 상부 게이트 영역층을 더 포함할 수 있다.

[0019] 또한, 소스 영역과 드레인 영역은 활성 영역층 상에서 서로 분리되어 형성될 수 있으며, 절연 물질층 상에서 활성 영역층에 의해 서로 분리되어 형성될 수도 있다.

[0021] 또한, 저항 변화 물질층은 절연 물질층보다 유전율이 작은 물질로 형성될 수 있으며, 저항 변화 물질층의 두께가 절연 물질층보다 크게 형성될 수도 있다. 이와 같은 구성에 의하면, 저항 변화 물질층에 의해 형성되는 정전 용량을 절연 물질에 의해 형성되는 정전 용량보다 작게 구성함으로써, 보다 우수한 성능의 메모리 소자를 더욱 효과적으로 구현할 수 있게 된다.

[0023] 또한, 기판은 투명 재질의 기판일 수 있다. 이와 같은 구성에 의하면, 메모리 소자를 유리 기판 위에 직접 구현 가능하게 된다.

[0025] 또한, 본 발명에 따른 저항 변화 물질을 이용한 비휘발성 박막 트랜지스터 메모리 소자 제조 방법은 기판상에 하부 게이트 영역층을 형성하는 단계, 하부 게이트 영역층상에 저항 변화 물질층을 형성하는 단계, 저항 변화 물질층상에 절연 물질층을 형성하는 단계, 절연 물질층 상에 활성 영역층을 형성하는 단계, 및 절연 물질층상에서 활성 영역층과 접하며 서로 분리되어 형성된 소스 영역과 드레인 영역을 형성하는 단계를 포함한다.

[0027] 이때, 저항 변화 물질층 형성 이후 절연 물질층 형성 이전에 상부 게이트 영역을 형성하는 단계를 더 포함할 수 있다.

[0029] 또한, 소스 영역과 드레인 영역을 활성 영역층 상에서 서로 분리되도록 형성할 수 있으며, 절연 물질층 상에서 활성 영역층에 의해 서로 분리되도록 형성할 수도 있다.

[0031] 또한, 저항 변화 물질층은 절연 물질층보다 유전율이 작은 물질로 형성할 수 있으며, 저항 변화 물질층의 두께를 절연 물질층보다 크게 형성할 수도 있다.

발명의 효과

[0033] 본 발명에 의하면, 종래의 박막 트랜지스터 구조에 ReRAM의 동작 메커니즘을 적용하기 때문에, 종래의 TFT 공정을 이용하면서도 비휘발성 메모리 소자의 전력 소모, 동작 속도, 신뢰성을 개선할 수 있게 된다.

[0035] 또한, 저항 변화 물질층에 의해 형성되는 정전 용량을 절연 물질에 의해 형성되는 정전 용량보다 작게 구성함으로써, 보다 우수한 성능의 메모리 소자를 더욱 효과적으로 구현할 수 있게 된다.

[0037] 또한, 기판은 투명 재질의 기판일 수 있다. 이와 같은 구성에 의하면, 메모리 소자를 유리 기판 위에 직접 구현 가능하게 된다.

도면의 간단한 설명

[0039] 도 1 및 도 2는 스위칭 소자로 사용되는 일반 MOSFET의 구조 및 메모리 소자로 사용되는 플래시(FLASH)의 구조를 각각 도시한 도면.

도 3 및 도 4는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 구조를 도시한 도면.

도 5 및 도 6은 일반적인 바텀 게이트 TFT의 단면도.

도 7 및 도 8은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 구조를 도시한 도면.

도 9는 저항 변화 물질의 상태 변화에 따른 메모리 소자의 유전을 변화를 설명하기 위한 단면도.

도 10은 도 9의 등가 회로.

발명을 실시하기 위한 구체적인 내용

[0040] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

[0041] 도 3 및 도 4는 본 발명의 일 실시예에 따른 비휘발성 메모리의 구조를 도시한 도면이다. 도 3 및 도 4에서 각각의 바텀 게이트(Bottom gate) TFT의 하층부에 먼저 최하위 게이트(하부 게이트 영역층; 120)와 저항 변화 물질층(130)을 증착하여 구현한다. 이때, 저항 변화 물질층(130)의 상태를 변화시키기 위해서는 최하위 게이트(120)와 중간층 게이트(상부 게이트 영역층; 140)에 전압을 인가하여 정보를 저장하게 된다.

[0043] 일반적으로, TFT의 종류 중 바텀 게이트(bottom-gate) TFT는 유리(glass) 기판 위에 전도도가 좋은 게이트를 형성하고 그 위에 게이트 절연막을 적층하여 형성한다. 그 후, 채널 영역이 형성되는 활성 영역(active)층을 형성한 후 소스와 드레인을 적층함으로써 구성된다.

[0044] 도 5 및 도 6은 일반적인 바텀 게이트 TFT의 단면도이다. 도 5와 도 6은 각각 스테거드 타입(staggered type), 코플래너 타입(coplanar type)의 바텀 게이트 TFT로서, 두 가지 타입 모두 유리(glass) 기판 위에 바텀 게이트(bottom gate)를 증착하고 그 위에 절연막을 증착하여 제작된다. 하지만, 이후 소스, 드레인 및 활성 영역(active)층의 공정순서에 따라 서로의 타입(type)이 달라지게 된다.

[0046] 도 3 및 도 4에서는 도 5 및 도 6의 게이트 하단부에 저항 변화 물질층(130)과 최하위 게이트(120)를 먼저 증착한다. 즉, 유리(glass) 기판(110) 위에 최하위층 게이트(120)를 증착하고 그 위에 저항 변화 물질층(130)을 증착한 후, 기존의 바텀 게이트(bottom-gate) TFT를 공정한다.

- [0047] 이때, 활성 영역층(active; 160), 게이트(gate) 절연막(절연 물질층; 150), 저항 변화 물질층(130)의 유전율에 따른 항복 전압(break-down voltage)에 따라 중간층의 게이트(140)는 필요하지 않을 수도 있다.
- [0049] 도 7 및 도 8은 본 발명의 다른 실시예에서 제안하는 비휘발성 메모리의 구조이다. 도 7 및 도 8에서는 도 3 및 도 4에서와는 달리 최하위 게이트(120)와 저항 변화 물질층(130)을 증착한 후, 중간층 게이트(140)를 삽입하지 않고 바로 절연층(150)을 증착하여 구현하였다. 이 경우 저항 변화 물질층(130)의 상태를 변화시키기 위해서는 소스(소스 영역; 170)와 게이트(120)에 전압을 인가하여 정보를 저장한다.
- [0051] 저항 변화 물질로는 이미 많은 보고 되고 있는 메탈 계열(알루미늄, 하프늄, 티타늄, 지르코늄, 니켈, 탄탈륨 등)-산화막 또는 질화막으로 이루어질 수 있다. 이로써, 본 발명에 따른 단위 메모리 셀의 구조가 형성된다. 이러한 구조의 메모리 셀은 동작 방법에 따라 총 4개의 전극 또는 3개의 전극을 이용하여 구동시킬 수 있다.
- [0052] 이때, 도 7 및 도 8에서 확인할 수 있는 바와 같이, 소스(170)와 게이트(120) 사이에는 3개의 층(active층(160), 절연층(150), 저항 변화 물질층(130)) 또는 2개의 층(절연층(150), 저항 변화 물질층(130))이 존재하기 때문에 유전율에 따라 각각의 층에 인가되는 전압을 고려하여 바이어스(bias)를 인가하여야 한다.
- [0054] 한편, 기존의 ReRAM은 메탈-저항 변화층-메탈로 형성되어 있고, 전극에 인가된 전압에 따라 저항 변화 물질층을 전도 또는 비전도(혹은, 필라멘트의 개방과 단락) 상태로 구현할 수 있다. 이로써 소자에 저장된 정보를 “0”, “1”로 구분하게 된다.
- [0055] 이러한 원리를 적용하면, 필라멘트의 개방과 단락은 결국 저항 변화 물질층(130)의 유전율을 변화시킬 수 있다는 의미와 같다. 따라서, 첫째 필라멘트가 단락되어 있다면 기판의 채널을 형성시키는데 필요한 게이트 전압은 채널 위에 형성된 절연막(150)의 유전율에만 영향을 받게 된다.
- [0056] 반면, 둘째로 필라멘트가 개방되어 있다면 절연막(150)의 유전율과 저항 변화 물질층(130)의 유전율의 영향을 모두 받기 때문에 채널을 형성시키는 게이트 전압이 변하게 된다. 따라서 문턱 전압이 필라멘트의 형성 유무에 따라 달라지게 되어 비휘발성 메모리를 구현할 수 있게 된다.
- [0057] 도 9는 저항 변화 물질의 상태 변화에 따른 유전율의 변화를 설명하기 위한 단면도이고, 도 10은 도 9의 등가 회로이다. 저항 변화 물질의 상태가 단락이라면 절연막(150)에서의 유전율만을 고려하게 되고, 이와는 반대로 저항 변화 물질의 상태가 개방이라면 절연막(150)과 저항 변화 물질층(130)의 유전율 모두를 고려하게 된다. 따라서 저장된 정보의 상태에 따라 문턱 전압이 서로 달라지게 된다.
- [0059] 또한, 문턱 전압의 변화를 일으키기 위해서는 절연막(150)과 저항 변화 물질층(130)의 유전율의 상대적 크기의 비교가 중요하다. 문턱 전압의 변화를 효과적으로 보기 위해서는 저항 변화 물질층(130)이 개방되었을 때의 유전율의 값이 절연막(150)의 유전율과 같거나 낮아야 한다. 이는 커패시터가 직렬로 연결되어 있을 때 분배되는 전압은 유전율의 크기와 반비례하기 때문이다.
- [0060] 즉, 개방된 저항 변화 물질층(130)의 유전율이 절연막(150)의 유전율보다 낮다면 최하위 게이트에 인가된 전압은 저항 변화 물질층(130)에서 보다 많이 전압 강하가 일어나고, 기판의 채널을 형성시키기 위한 전압이 보다 크게 필요하기 때문에 문턱 전압의 변화는 더 커지게 된다.
- [0062] 본 발명은 기존의 TFT의 구조에 저항변화를 이용하는 ReRAM 소자를 적층함으로써, 비휘발성 특성과 동시에 유리 기판 위에서 구현 가능한 새로운 메모리 소자를 구현하는 것을 특징으로 한다.
- [0063] 본 발명에서는, 중간층 게이트를 저장/소거 라인으로 구현하여 정보를 입력하고 최하층부에 전압을 인가하여 문턱 전압을 변화시킬 수 있으며, 박막의 유전율을 고려하여 소스와 최하층부에 전압을 인가함으로써 중간층 게이트를 삽입하지 않고서도 저항변화물질의 상태를 변화시킬 수도 있다. 또한, 절연막과 저항 변화 물질층의 물질 선택에 따라 유전율을 조절하여 문턱 전압 변화의 폭을 변화시킬 수 있다.

[0064] 본 발명은 유리 기판 위에서 구현되는 TFT 구조와 접목된 새로운 메모리에 관한 것으로써, 비휘발성 특성과 투명성이 적용 가능한 장점을 지니고 있을 뿐만 아니라, 메모리를 저장하는 방식에 있어 ReRAM의 동작 메커니즘을 활용하기 때문에 정보를 저장하고 소거하는데 고속 동작, 저전압 및 고신뢰성 등의 우수한 특성을 보인다.

[0065]

[0066] 본 발명이 비록 일부 바람직한 실시예에 의해 설명되었지만, 본 발명의 범위는 이에 의해 제한되어서는 아니 되고, 특허청구범위에 의해 뒷받침되는 상기 실시예의 변형이나 개량에도 미쳐야 할 것이다.

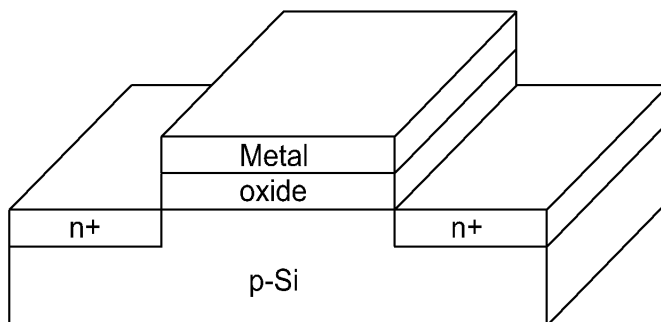
부호의 설명

[0068]

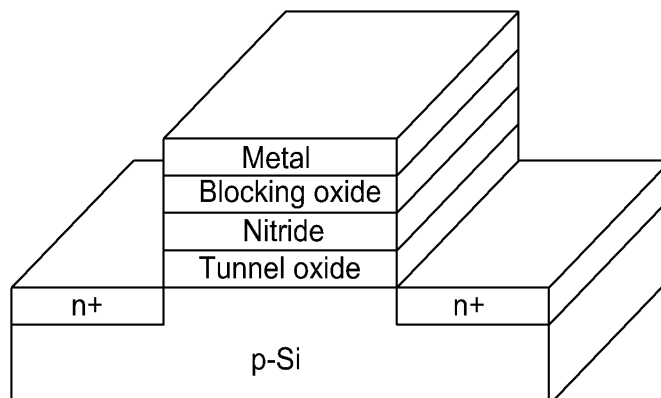
- 110: 기판
- 120: 하부 게이트 영역층
- 130: 저항 변화 물질층
- 140: 상부 게이트 영역층
- 150: 절연 물질층
- 160: 활성 영역층
- 170: 소스 영역
- 180: 드레인 영역

도면

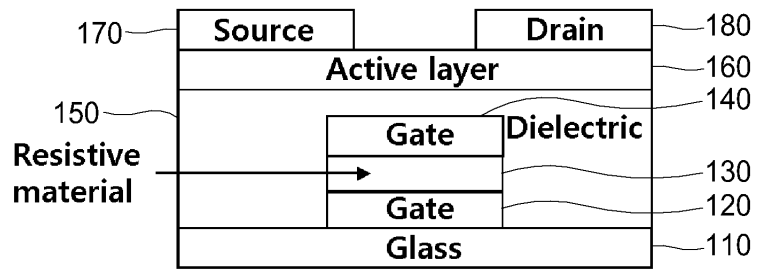
도면1



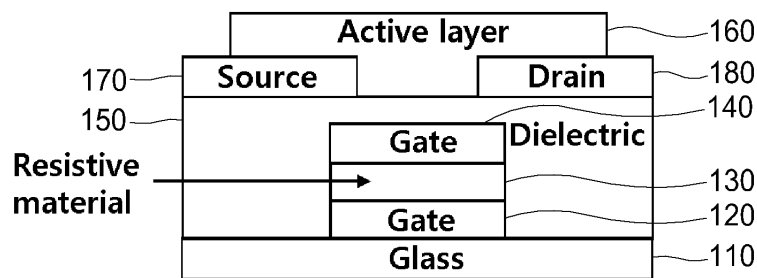
도면2



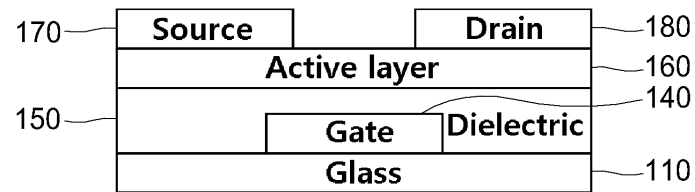
도면3



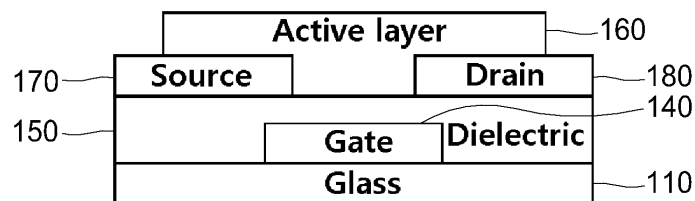
도면4



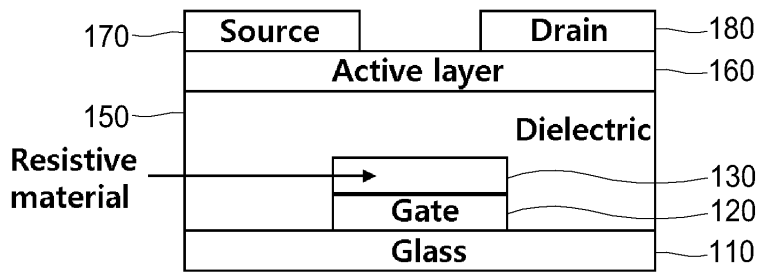
도면5



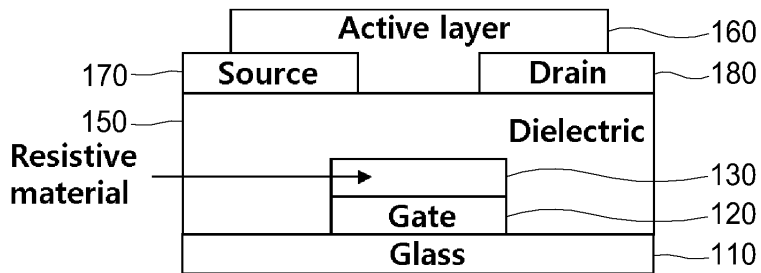
도면6



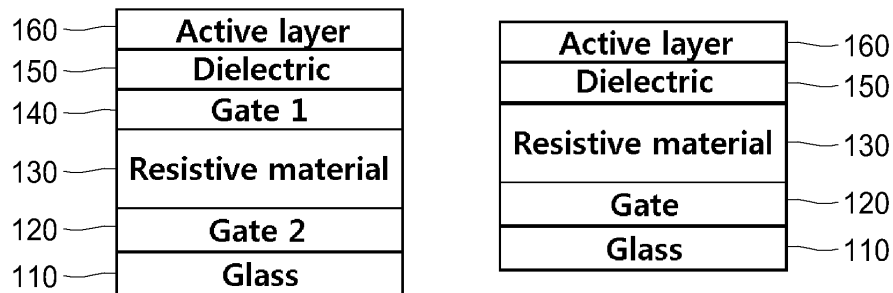
도면7



도면8



도면9



도면10

