



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2017년02월20일  
 (11) 등록번호 10-1708402  
 (24) 등록일자 2017년02월14일

- (51) 국제특허분류(Int. Cl.)  
*G06F 12/08* (2016.01) *G06F 3/06* (2006.01)
- (52) CPC특허분류  
*G06F 12/0873* (2013.01)  
*G06F 12/0833* (2013.01)
- (21) 출원번호 10-2016-7020440
- (22) 출원일자(국제) 2014년12월11일  
 심사청구일자 2016년10월28일
- (85) 번역문제출일자 2016년07월26일
- (65) 공개번호 10-2016-0104658
- (43) 공개일자 2016년09월05일
- (86) 국제출원번호 PCT/US2014/069780
- (87) 국제공개번호 WO 2015/102841  
 국제공개일자 2015년07월09일
- (30) 우선권주장  
 14/146,576 2014년01월02일 미국(US)
- (56) 선행기술조사문헌  
 US20110066808 A1  
 US20130086006 A1

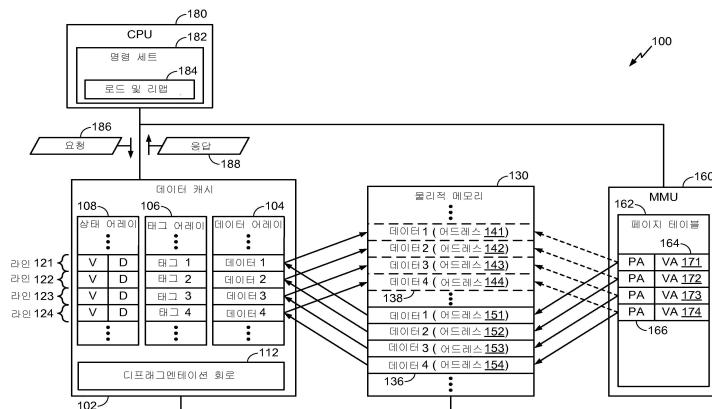
- (73) 특허권자  
**웰컴 인코포레이티드**  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
**동, 항우**  
 미국 92121-1714 캘리포니아 샌 디에고 모어하우스 드라이브 5775
- 수, 정원**  
 미국 92121-1714 캘리포니아 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인  
**특허법인 남앤드남**

전체 청구항 수 : 총 30 항

심사관 : 임정목

(54) 발명의 명칭 **메모리를 디프래그멘팅하기 위한 시스템 및 방법****(57) 요약**

메모리를 디프래그멘팅하기 위한 시스템 및 방법이 개시된다. 특정 실시예에서, 방법은, 메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 메모리로부터 데이터 캐시의 캐시 라인으로 로딩하는 단계를 포함한다. 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑된다. 방법은, 데이터 캐시에서, 제 1 가상 메모리 어드레스가 메모리의 제 2 물리적 메모리 어드레스에 대응하도록, 제 1 가상 메모리 어드레스와 연관된 블록 정보의 수정을 개시하는 단계를 더 포함한다. 방법은 또한, 데이터 캐시에서, 캐시 라인이 제 1 물리적 메모리 어드레스 대신에 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보를 수정하는 단계를 포함한다.

**대 표 도**

(52) CPC특허분류

*G06F 12/0895* (2013.01)

*G06F 3/0608* (2013.01)

*G06F 2206/1004* (2013.01)

*G06F 2212/62* (2013.01)

*G06F 2212/69* (2013.01)

*Y02B 60/1225* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

방법으로서,

메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 상기 메모리로부터 데이터 캐시의 캐시 라인으로 로딩하는 단계 – 상기 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑됨 –;

페이지 테이블에 저장된 루업(lookup) 정보의 수정을 개시하는 단계 – 상기 페이지 테이블은 가상 메모리와 연관되고, 상기 루업 정보는 상기 제 1 가상 메모리 어드레스와 연관되고, 상기 루업 정보의 수정은 상기 제 1 가상 메모리 어드레스를 상기 제 1 물리적 메모리 어드레스로부터 상기 메모리의 제 2 물리적 메모리 어드레스로 리맵핑(remap)시킴 –; 및

상기 데이터 캐시에서, 상기 캐시 라인이 상기 제 1 물리적 메모리 어드레스 대신에 상기 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 상기 캐시 라인과 연관된 정보를 수정하는 단계

를 포함하는,

방법.

#### 청구항 2

제 1 항에 있어서,

상기 데이터 캐시에서, 디프래그멘테이션(defragmentation) 동작을 수행하라는 요청을 프로세서로부터 수신하는 단계;

상기 데이터가 상기 데이터 캐시로부터 퇴거(evict)되는 것에 응답하여, 수정된 정보에 기초하여 상기 데이터를 상기 제 2 물리적 메모리 어드레스에 기록하는 단계; 및

상기 데이터를 상기 제 2 물리적 메모리 어드레스에 기록한 이후에, 응답을 상기 프로세서에 전송하는 단계  
를 더 포함하고,

상기 응답은 상기 디프래그멘테이션 동작이 완료됨을 표시하는,

방법.

#### 청구항 3

제 2 항에 있어서,

상기 요청은 로드 및 리맵 명령에 응답하여 수신되고, 그리고 상기 프로세서의 명령 세트는 상기 로드 및 리맵 명령을 포함하는,

방법.

#### 청구항 4

제 1 항에 있어서,

상기 메모리는 페이지들로 조직화되고, 상기 메모리의 페이지는 상기 데이터 캐시의 다수의 세트들에 걸쳐 이어지고, 그리고 상기 데이터 캐시는 각각의 페이지에 대한 다수의 세그먼트들을 포함하고, 상기 방법은,

상기 제 1 물리적 메모리 어드레스와 연관된 캐시 히트(cache hit)에 응답하여, 상기 데이터를 상기 제 1 물리적 메모리 어드레스에 대응하는 상기 데이터 캐시의 제 1 세그먼트로부터 상기 제 2 물리적 메모리 어드레스에 대응하는 상기 데이터 캐시의 제 2 세그먼트로 로딩하는 단계; 및

상기 제 1 물리적 메모리 어드레스와 연관된 캐시 미스(cache miss)에 기초하여, 상기 데이터를 상기 메모리로

부터 상기 제 2 물리적 메모리 어드레스에 대응하는 상기 제 2 세그먼트로 로딩하는 단계  
를 더 포함하는,  
방법.

#### 청구항 5

제 1 항에 있어서,

상기 캐시 라인과 연관된 정보를 수정하는 단계는 상기 캐시 라인과 연관된 태그 어레이(tag array)의 태그 정보를 수정하는 단계를 포함하는,

방법.

#### 청구항 6

제 1 항에 있어서,

상기 캐시 라인과 연관된 정보를 수정하는 단계는, 상기 제 1 물리적 메모리 어드레스에 대응하는 태그 어레이의 제 1 태그 정보를 상기 제 2 물리적 메모리 어드레스에 대응하는 제 2 태그 정보로 오버라이트(overwrite)하는 단계를 포함하는,

방법.

#### 청구항 7

제 1 항에 있어서,

상기 제 2 물리적 메모리 어드레스로의 상기 데이터의 기록을 트리거링(trigger)하는 단계  
를 더 포함하는,

방법.

#### 청구항 8

제 7 항에 있어서,

상기 제 2 물리적 메모리 어드레스로의 상기 데이터의 기록을 트리거링하는 단계는 상기 캐시 라인을 더티(dirty)로서 마킹하는 단계를 포함하는,

방법.

#### 청구항 9

제 1 항에 있어서,

상기 제 1 물리적 메모리 어드레스는 메모리 프래그먼트(fragment)에 대응하고, 그리고 상기 제 2 물리적 메모리 어드레스는 디프래그멘테이션 목적지에 대응하는,

방법.

#### 청구항 10

제 9 항에 있어서,

상기 디프래그멘테이션 목적지는, 데이터를 저장하는 물리적 어드레스들 사이에 위치되는 상기 메모리의 프리(free) 물리적 어드레스에 대응하는,

방법.

#### 청구항 11

제 1 항에 있어서,

상기 데이터를 상기 캐시 라인으로부터 제 2 캐시 라인으로 복사하는 단계; 및  
상기 캐시 라인을 무효화하는 단계  
를 더 포함하고,

상기 캐시 라인은 상기 메모리의 제 1 세그먼트와 연관되고, 그리고 상기 제 2 캐시 라인은 상기 메모리의 제 2 세그먼트와 연관되는,

방법.

### 청구항 12

제 1 항에 있어서,

상기 제 1 물리적 메모리 어드레스에 대응하는 동적 랜덤 액세스 메모리(DRAM: dynamic random access memory)의 부분에 대한 전력을 감소시키는 것을 포함하는 부분 어레이 셀프-리프레시 모드(partial array self-refresh mode)에 진입하는 단계

를 더 포함하는,

방법.

### 청구항 13

제 1 항에 있어서,

상기 페이지 테이블에 포함된 상기 루업 정보를 수정하는 단계

를 더 포함하고,

상기 루업 정보는 상기 페이지 테이블의 포인터(pointer)를 포함하는,

방법.

### 청구항 14

제 1 항에 있어서,

상기 메모리의 제 3 물리적 메모리 어드레스에 저장된 제 2 데이터를 상기 메모리로부터 상기 데이터 캐시의 제 2 캐시 라인으로 로딩하는 단계 — 상기 제 3 물리적 메모리 어드레스는 제 3 가상 메모리 어드레스에 맵핑됨 —;

상기 데이터 캐시에서, 상기 제 2 캐시 라인이 상기 제 3 물리적 메모리 어드레스 대신에 제 4 물리적 메모리 어드레스에 대응함을 표시하기 위해, 상기 제 2 캐시 라인과 연관된 제 2 정보를 수정하는 단계; 및

수정된 제 2 정보에 기초하여, 상기 제 2 데이터를 상기 제 4 물리적 메모리 어드레스에 기록하는 단계

를 더 포함하는,

방법.

### 청구항 15

제 1 항에 있어서,

상기 메모리의 페이지에 대응하는 제 1 복수의 추가 물리적 메모리 어드레스들의 각각에 저장된 추가 데이터를, 상기 데이터 캐시의 추가 캐시 라인들로 로딩하는 단계;

상기 데이터 캐시에서, 각각의 추가 캐시 라인이 상기 제 1 복수의 추가 물리적 메모리 어드레스들 대신에 제 2 복수의 추가 물리적 메모리 어드레스들의 개개의 물리적 메모리 어드레스에 대응함을 표시하기 위해, 상기 추가 캐시 라인들 각각과 연관된 추가 정보를 수정하는 단계; 및

수정된 추가 정보에 기초하여, 상기 추가 데이터를 상기 제 2 복수의 추가 물리적 메모리 어드레스들에 기록하는 단계

를 더 포함하는,  
방법.

### 청구항 16

제 1 항에 있어서,

상기 데이터 캐시와 연관된 정보를 수정하는 단계는 전자 디바이스에 통합된 프로세서에 의해 개시되는,  
방법.

### 청구항 17

시스템으로서,

복수의 물리적 메모리 어드레스들을 포함하는 메모리; 및

가상 메모리와 연관된 페이지 테이블을 저장하도록 구성된 메모리 관리 유닛(MMU: memory management unit) –  
상기 페이지 테이블은 제 1 가상 메모리 어드레스와 연관된 루업 정보를 포함함 –; 및

메모리 디프래그멘테이션 동작을 수행하도록 구성된 디프래그멘테이션 회로를 포함하는 데이터 캐시  
를 포함하고,

상기 메모리 디프래그멘테이션 동작은,

메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 상기 메모리로부터 상기 데이터 캐시의 캐시  
라인으로 로딩하는 것 – 상기 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑됨 –;

상기 루업 정보의 수정을 개시하는 것 – 상기 루업 정보의 수정은 상기 제 1 가상 메모리 어드레스를  
상기 제 1 물리적 메모리 어드레스로부터 상기 메모리의 제 2 물리적 메모리 어드레스로 리맵핑시킴 –; 및

상기 캐시 라인이 상기 제 1 물리적 메모리 어드레스 대신에 상기 제 2 물리적 메모리 어드레스에 대응  
함을 표시하기 위해, 상기 캐시 라인과 연관된 정보를 수정하는 것

을 포함하는,

시스템.

### 청구항 18

제 17 항에 있어서,

프로세서

를 더 포함하고,

상기 데이터 캐시는 추가로, 상기 메모리 디프래그멘테이션 동작을 수행하라는 요청을 상기 프로세서로부터 수  
신하고, 그리고 상기 메모리 디프래그멘테이션 동작이 완료됨을 표시하는 응답을 상기 프로세서에 전송하도록  
구성되는,

시스템.

### 청구항 19

제 18 항에 있어서,

상기 응답은 인터럽트(interrupt) 신호를 포함하고, 그리고 상기 프로세서가 상기 메모리 디프래그멘테이션 동  
작에 관련되지 않은 동작들을 수행하는 동안에, 상기 데이터 캐시는 상기 메모리 디프래그멘테이션 동작을 수행  
하는,

시스템.

### 청구항 20

제 18 항에 있어서,

상기 디프래그멘테이션 회로는 상기 요청에 응답하여 상기 메모리 디프래그멘테이션 동작을 수행하도록 구성되는,

시스템.

#### 청구항 21

제 18 항에 있어서,

상기 디프래그멘테이션 회로는 상기 프로세서로부터 수신되는 데이터 요청에 응답하여 상기 메모리 디프래그멘테이션 동작을 수행하도록 구성되는,

시스템.

#### 청구항 22

제 17 항에 있어서,

적어도 하나의 추가 캐시

를 더 포함하고,

상기 데이터 캐시는 주 메모리와 제 2 레벨 캐시 사이에 커플링된 최종 레벨 캐시이고, 상기 수정을 개시하는 것은 상기 MMU에 커맨드를 발행하는 것을 포함하고, 그리고 상기 MMU는 상기 커맨드에 응답하여 상기 수정을 수행하도록 구성되는,

시스템.

#### 청구항 23

제 17 항에 있어서,

상기 데이터 캐시는 주 메모리에 그리고 프로세서에 커플링된 전용 디프래그멘테이션 캐시를 포함하는,

시스템.

#### 청구항 24

제 17 항에 있어서,

상기 제 1 물리적 메모리 어드레스는 메모리 프래그먼트에 대응하고, 그리고 상기 제 2 물리적 메모리 어드레스는 디프래그멘테이션 목적지에 대응하는,

시스템.

#### 청구항 25

제 17 항에 있어서,

모바일 폰, 태블릿, 컴퓨터, 통신 디바이스, 셋톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, PDA(personal digital assistant), 및 고정된 위치 데이터 유닛으로부터 선택되는 전자 디바이스

를 더 포함하고,

상기 전자 디바이스에는 상기 메모리 및 상기 데이터 캐시가 통합되는,

시스템.

#### 청구항 26

비-일시적 컴퓨터-판독가능 저장 매체로서,

프로세서에 의해 실행될 때, 상기 프로세서로 하여금,

메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 상기 메모리로부터 데이터 캐시의 캐시 라인으로 로딩하는 동작 – 상기 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑됨 –;

페이지 테이블에 저장된 루업 정보의 수정을 개시하는 동작 – 상기 페이지 테이블은 가상 메모리와 연관되고, 상기 루업 정보는 상기 제 1 가상 메모리 어드레스와 연관되고, 상기 루업 정보의 수정은 상기 제 1 가상 메모리 어드레스를 상기 제 1 물리적 메모리 어드레스로부터 상기 메모리의 제 2 물리적 메모리 어드레스로 리맵핑시킴 –; 및

상기 캐시 라인이 상기 제 1 물리적 메모리 어드레스 대신에 상기 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 상기 캐시 라인과 연관된 정보를 수정하는 동작

을 포함하는 동작들을 수행하게 하는 명령들

을 포함하는,

비-일시적 컴퓨터-판독가능 저장 매체.

#### 청구항 27

제 26 항에 있어서,

상기 제 1 물리적 메모리 어드레스는 메모리 프래그먼트에 대응하고, 그리고 상기 제 2 물리적 메모리 어드레스는 디프래그멘테이션 목적지에 대응하는,

비-일시적 컴퓨터-판독가능 저장 매체.

#### 청구항 28

시스템으로서,

복수의 물리적 메모리 어드레스들을 사용하여 데이터를 저장하기 위한 수단; 및

데이터를 캐싱하기 위한 수단

을 포함하고,

상기 데이터를 캐싱하기 위한 수단은,

메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 상기 메모리로부터 데이터 캐시의 캐시 라인으로 로딩하고 – 상기 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑됨 –;

페이지 테이블에 저장된 루업 정보의 수정을 개시하고 – 상기 페이지 테이블은 가상 메모리와 연관되고, 상기 루업 정보는 상기 제 1 가상 메모리 어드레스와 연관되고, 상기 루업 정보의 수정은 상기 제 1 가상 메모리 어드레스를 상기 제 1 물리적 메모리 어드레스로부터 상기 메모리의 제 2 물리적 메모리 어드레스로 리맵핑시킴 –; 그리고

상기 캐시 라인이 상기 제 1 물리적 메모리 어드레스 대신에 상기 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 상기 캐시 라인과 연관된 정보를 수정하도록

구성된 디프래그멘테이션 회로를 포함하는,

시스템.

#### 청구항 29

제 28 항에 있어서,

적어도 하나의 다이에 통합되는,

시스템.

#### 청구항 30

제 29 항에 있어서,

상기 제 1 물리적 메모리 어드레스는 메모리 프래그먼트에 대응하고, 그리고 상기 제 2 물리적 메모리 어드레스는 디프래그멘테이션 목적지에 대응하는,  
시스템.

### 발명의 설명

### 기술 분야

관련 출원들에 대한 상호-인용

[0001] [0001] 본 출원은, 공동으로 소유되고 2014년 1월 2일자로 출원된 U.S. 정식 특허 출원 번호 14/146,576에 대한 우선권을 주장하며, 상기 특허 출원의 내용들은 본원에 인용에 의해 그 전체가 명시적으로 통합된다.

분야

[0002] [0002] 본 개시내용은 일반적으로, 메모리를 디프래그멘팅하는 것에 관련된다.

### 배경 기술

[0003] 기술의 진보들은 더 작고 더욱 강력한 컴퓨팅 디바이스들을 야기했다. 예컨대, 무선 컴퓨팅 디바이스들, 예컨대, 휴대용 무선 전화들, PDA(personal digital assistant)들, 그리고 작고, 경량이며, 사용자들에 의해 쉽게 휴대되는 페이징 디바이스들을 비롯해, 다양한 휴대용 퍼스널 컴퓨팅 디바이스들이 현재 존재한다. 더욱 구체적으로, 휴대용 무선 전화들, 예컨대, 셀룰러 전화들 및 인터넷 프로토콜(IP:internet protocol) 전화들은, 음성 및 데이터 패킷들을 무선 네트워크들을 통해 통신할 수 있다. 추가로, 많은 이러한 무선 전화들은 그 안에 통합되는 다른 타입들의 디바이스들을 포함한다. 예컨대, 무선 전화는 또한, 디지털 스틸 카메라, 디지털 비디오 카메라, 디지털 레코더, 및 오디오 파일 플레이어를 포함할 수 있다. 또한, 이러한 무선 전화들은, 소프트웨어 애플리케이션들, 예컨대, 인터넷에 액세스하기 위해 사용될 수 있는 웹 브라우저 애플리케이션을 비롯해, 실행가능한 명령들을 프로세싱할 수 있다. 따라서, 이들 무선 전화들은 상당한 컴퓨팅 능력을 포함할 수 있다.

[0004] 컴퓨팅 디바이스들은 프로세서, 예컨대, 중앙 프로세싱 유닛(CPU:central processing unit)을 포함할 수 있다. 최신 CPU들은 가상 메모리 공간을 사용할 수 있다. CPU는, 가상-물리적 메모리 어드레스 변환을 관리하기 위한 메모리 관리 유닛(MMU:memory management unit)을 포함할 수 있다. MMU들은 물리적 메모리를 할당하기 위해 알고리즘들을 사용할 수 있다. 시간에 따라, 할당 알고리즘들은 메모리 프래그먼트들을 유도할 수 있다. 메모리 프래그먼트들의 존재는, 컴퓨팅 디바이스에서 일정한 절전 특징들을 적용하는 것을 어렵게 할 수 있다. 예컨대, 동적 랜덤 액세스 메모리(DRAM:dynamic random access memory)는 부분 어레이 셀프-리프레시(PASR:partial array self-refresh)와 같은 절전 특징들을 사용할 수 있다. PASR 동안에, DRAM의 일부가 파워 다운될 수 있다. 메모리 프래그멘테이션은 PASR을 비효과적이 되게 만들 수 있는데, 그 이유는 DRAM의 더 적은 부분들이 비어 있어, 데이터 손실 위험 없이 파워 다운되어야 이용가능하기 때문이다.

[0005] 프래그멘테이션이 발생할 때, PASR을 가능하게 하기 위한 하나의 방법은, DRAM에 저장된 데이터를 디프래그멘팅하는 것이다. DRAM을 디프래그멘팅하는 것은 진보된 절전 특징들, 예컨대, 추가 전력을 절약하기 위한 PASR을 가능하게 할 수 있다. 그러나, 메모리 디프래그멘테이션 프로세스는 통상적으로, 프로세서가 메모리 내에서의 많은 양의 데이터 이동을 수행하는 것을 수반한다. 데이터 이동은, 메모리가 디프래그멘팅되고 있는 동안에, 감소된 프로세서 성능을 유발할 수 있다. 추가로, 데이터 이동을 수행하기 위해 프로세서에 의해 요구되는 전력은, PASR을 사용함으로써 절약되는 전력을 초과할 수 있다.

### 발명의 내용

[0006] 메모리를 디프래그멘팅하기 위한 시스템들 및 방법들은, 캐시 관리 동안에 디프래그멘테이션과 연관된 데이터 이동을 수행한다. 예컨대, 운영체제(operating system)는 데이터 프래그먼트를 검출할 수 있다. 운영체제는, 데이터 프래그먼트, 예컨대, 구역 A에 저장된 데이터가 "홀", 예컨대, 구역 B의 위치에 재배치되어야 하는 것을 결정할 수 있다. 데이터 프래그먼트를 검출하는 것에 대한 응답으로, 운영체제는 로드 및 리맵 명령

을 프로세서에 발행할 수 있다. 로드 및 리맵 명령의 실행 동안에, 디프래그멘테이션 프로세스는 캐시에서 수행될 수 있다. 캐시는 구역 A로부터 캐시로 데이터를 로딩할 수 있다. 캐시는, 캐시 내의 데이터를 메모리에서의 데이터의 물리적 어드레스에 맵핑시키기 위해 사용되는 태그 정보를 포함할 수 있다. 캐시는, 구역 A와 연관된 데이터가 구역 B에서의 위치의 물리적 어드레스에 리맵핑되도록, 태그 정보를 변경할 수 있다. 리맵핑된 캐시 라인들이 추후에, (예컨대, 캐시 관리 정책, 예컨대, 최소 최근 사용(LRU: least recently used), 최소 사용 빈도수(LFU: least frequently used), 또는 선입선출(FIFO: first-in-first-out) 정책에 따라) 캐시로부터 퇴거될 때, 리맵핑된 캐시 라인들은 구역 A 대신에 구역 B에서의 위치의 물리적 어드레스에 저장되고, 이로써 캐시 관리 동안에 메모리가 디프래그멘팅된다.

[0009] 특정 실시예에서, 방법은, 메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 데이터 캐시의 캐시 라인으로 로딩하는 단계를 포함한다. 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑된다. 방법은, 데이터 캐시에서, 제 1 가상 메모리 어드레스가 메모리의 제 2 물리적 메모리 어드레스에 대응하도록, 제 1 가상 메모리 어드레스와 연관된 루업 정보의 수정을 개시하는 단계를 더 포함한다. 방법은 또한, 데이터 캐시에서, 캐시 라인이 제 1 물리적 메모리 어드레스 대신에 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보를 수정하는 단계를 포함한다.

[0010] 다른 특정 실시예에서, 시스템은 복수의 물리적 메모리 어드레스들을 포함하는 메모리를 포함한다. 시스템은, 메모리 디프래그멘테이션 동작들을 수행하도록 구성된 디프래그멘테이션 회로를 포함하는 데이터 캐시를 더 포함한다. 디프래그멘테이션 동작들은, 메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 메모리로부터 데이터 캐시의 캐시 라인으로 로딩하는 동작을 포함한다. 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑된다. 디프래그멘테이션 동작들은 또한, 제 1 가상 메모리 어드레스가 메모리의 제 2 물리적 메모리 어드레스에 대응하도록, 제 1 가상 메모리 어드레스와 연관된 루업 정보의 수정을 개시하는 동작을 포함한다. 디프래그멘테이션 동작들은, 캐시 라인이 제 1 물리적 메모리 어드레스 대신에 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보를 수정하는 동작을 포함한다.

[0009] 다른 특정 실시예에서, 컴퓨터-관독가능 매체는, 프로세서에 의해 실행될 때, 프로세서로 하여금, 동작들을 수행하게 하는 명령들을 포함한다. 이 동작들은, 메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 데이터 캐시의 캐시 라인으로 로딩하는 동작을 포함한다. 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑된다. 동작들은, 제 1 가상 메모리 어드레스가 메모리의 제 2 물리적 메모리 어드레스에 대응하도록, 제 1 가상 메모리 어드레스와 연관된 루업 정보의 수정을 개시하는 동작을 더 포함한다. 동작들은 또한, 캐시 라인이 제 1 물리적 메모리 어드레스 대신에 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보를 수정하는 동작을 포함한다.

[0010] 다른 특정 실시예에서, 시스템은 복수의 물리적 메모리 어드레스들을 사용하여 데이터를 저장하기 위한 수단을 포함하고, 이 시스템은 데이터를 캐싱하기 위한 수단을 더 포함한다. 데이터를 캐싱하기 위한 수단은, 메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 메모리로부터 데이터 캐시의 캐시 라인으로 로딩하도록 구성된 디프래그멘테이션 회로를 포함한다. 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑된다. 디프래그멘테이션 회로는 추가로, 제 1 가상 메모리 어드레스가 메모리의 제 2 물리적 메모리 어드레스에 대응하도록, 제 1 가상 메모리 어드레스와 연관된 루업 정보의 수정을 개시하도록 구성된다. 디프래그멘테이션 회로는 또한, 캐시 라인이 제 1 물리적 메모리 어드레스 대신에 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보를 수정하도록 구성된다.

[0011] 개시된 실시예들 중 적어도 하나에 의해 제공되는 하나의 특정 장점은, 메모리 디프래그멘테이션을 위해 배타적으로 데이터 이동 동작들을 수행하는 것 대신에, 메모리 디프래그멘테이션과 연관된 데이터 이동을 캐시 관리에 통합시키는 능력이다. 메모리 디프래그멘테이션과 연관된 데이터 이동을 캐시 관리에 통합시키는 것은, 캐시가 디프래그멘테이션을 수행하는 동안에, 프로세서가 다른 동작들을 수행하거나 또는 절전 모드에 들어가는 것을 가능하게 할 수 있다.

[0012] 본 개시내용의 다른 양상들, 장점들, 및 특징들은, 하기의 섹션들: 도면의 간단한 설명, 상세한 설명, 및 청구항들을 포함하는 전체 출원의 리뷰 이후에 명백해질 것이다.

## 도면의 간단한 설명

[0013] 도 1은 캐시-기반 디프래그멘테이션 프로세스를 수행하도록 동작가능한 시스템의 특정 예시적 실시예의 블록도이다;

[0014] 도 2는 캐시-기반 디프래그멘테이션 프로세스 이전과 이후의 도 1의 메모리의 특정 예시적 실시예를 묘사하는 다이어그램이다;

[0015] 도 3a는 캐시-기반 디프래그멘테이션 프로세스를 수행하도록 동작가능한 시스템의 다른 특정 예시적 실시예의 블록도이다;

[0016] 도 3b는 도 3a의 시스템에 대응하는 디프래그멘테이션 어드레싱 방식의 특정 예시적 실시예의 다이어그램이다;

[0017] 도 4는 도 3a의 디프래그멘테이션 회로에 의해 수행되는 캐시-기반 디프래그멘테이션 동작들의 제 1 실시예를 예시하는 블록도이다;

[0018] 도 5는 도 3a의 디프래그멘테이션 회로에 의해 수행되는 캐시-기반 디프래그멘테이션 동작들의 제 2 실시예를 예시하는 블록도이다;

[0019] 도 6은 도 3a의 디프래그멘테이션 회로에 의해 수행되는 캐시-기반 디프래그멘테이션 동작들의 제 3 실시예를 예시하는 블록도이다;

[0020] 도 7은 도 3a의 디프래그멘테이션 회로에 의해 수행되는 캐시-기반 디프래그멘테이션 동작들의 제 4 실시예를 예시하는 블록도이다;

[0021] 도 8a는 캐시-기반 디프래그멘테이션 프로세스를 수행하도록 동작가능한 시스템의 다른 특정 예시적 실시예의 블록도이다;

[0022] 도 8b는 도 8a의 시스템에 대응하는 디프래그멘테이션 어드레싱 방식의 특정 예시적 실시예의 다이어그램이다;

[0023] 도 9는 캐시-기반 디프래그멘테이션을 수행하는 방법의 특정 예시적 실시예의 흐름도이다;

[0024] 도 10은 캐시-기반 디프래그멘테이션을 수행하는 방법의 다른 특정 예시적 실시예의 흐름도이다;

[0025] 도 11은 디프래그멘테이션 회로를 갖는 데이터 캐시를 포함하는 휴대용 디바이스의 블록도이다; 그리고

[0026] 도 12는 디프래그멘테이션 회로를 갖는 데이터 캐시를 포함하는 전자 디바이스들을 제조하기 위한 제조 프로세스의 특정 예시적 실시예의 데이터 흐름도이다.

### 발명을 실시하기 위한 구체적인 내용

[0016] 도 1을 참조하면, 캐시-기반 디프래그멘테이션 프로세스를 수행하도록 동작가능한 시스템의 특정 예시적 실시예가 묘사되며, 일반적으로 100으로 표기된다. 시스템(100)은 데이터 캐시(102), 물리적 메모리(130), 메모리 관리 유닛(MMU)(160), 및 프로세서(예컨대, 중앙 프로세싱 유닛(CPU)(180))를 포함한다. 시스템(100)은, CPU(180)의 프로세싱 자원들을 계속해서 사용하지 않고(예컨대, 물리적 메모리(130)의 일 위치로부터 물리적 메모리(130)의 다른 위치로 데이터를 이동시키기 위해, CPU(180)가 판독 및 기록 명령들을 발행할 것을 요구하지 않고) 물리적 메모리(130)의 디프래그멘테이션을 가능하게 할 수 있다.

[0017] 데이터 캐시(102)는 데이터 어레이(104), 태그 어레이(106), 및 상태 어레이(108)를 포함할 수 있다. 데이터 캐시(102)는 또한, 물리적 메모리(130) 상에서 디프래그멘테이션 동작들을 수행하기 위한 디프래그멘테이션 회로(112)를 포함할 수 있다. 데이터 어레이(104), 태그 어레이(106), 및 상태 어레이(108)는 다수의 캐시 라인들(예컨대, 캐시 라인들(121-124))로 조직화될 수 있다. 각각의 캐시 라인은 데이터 어레이(104)의 특정 행으로부터의 데이터를 포함할 수 있고, 태그 어레이(106)에서 대응하는 태그 데이터, 그리고 상태 어레이(108)에서 대응하는 상태 정보를 가질 수 있다. 상태 정보는 유효성 정보 및/또는 더티(dirty) 정보를 포함할 수 있다. 예컨대, 각각의 캐시 라인은 유효성 비트 및/또는 더티 비트를 포함할 수 있다. 대안적 실시예들에서, 상태 어레이(108)는 추가의, 더 적은 수의, 및/또는 상이한 상태 비트들을 포함할 수 있다. 도 1에 도시되지 않았지만, 도 4-도 7을 참조하여 설명되는 바와 같이, 데이터 캐시(102)는 멀티-웨이(예컨대, N-웨이) 세트 결합 캐시일 수 있다.

[0018] 물리적 메모리(130)는 데이터를 복수의 어드레스들에 저장할 수 있다. 예컨대, 물리적 메모리(130)는 제 1 데이터를 제 1 어드레스(151)에 저장하고, 제 2 데이터를 제 2 어드레스(152)에 저장하고, 제 3 데이터를 제 3 어드레스(153)에 저장하고, 그리고 제 4 데이터를 제 4 어드레스(154)에 저장할 수 있다. 캐시-기반 디프래그멘테이션 프로세스 이후에, 본원에 추가로 설명되는 바와 같이, 제 1 데이터는 제 5 어드레스(141)에 저장

될 수 있고, 제 2 데이터는 제 6 어드레스(142)에 저장될 수 있고, 제 3 데이터는 제 7 어드레스(143)에 저장될 수 있고, 그리고 제 4 데이터는 제 8 어드레스(144)에 저장될 수 있다. 물리적 메모리(130)는 페이지들로 조직화될 수 있다. 예컨대, 어드레스들(151-154)은 제 1 페이지(136)에 대응하는 것으로서 예시되고, 그리고 어드레스들(141-144)은 제 2 페이지(138)에 대응하는 것으로서 예시된다. 물리적 메모리(130)를 디프래그멘팅하는 것은, 제 1 페이지(136)로부터 제 2 페이지(138)로 데이터를 이동시키는 것을 포함할 수 있다. 예컨대, 제 1 페이지(136)는 미할당된 메모리 페이지들에 의해 둘러싸인 메모리 프래그먼트에 대응할 수 있고, 제 2 페이지(138)는 메모리 홀(hole)(예컨대, 미할당된 메모리 페이지)에 대응할 수 있다.

[0019] [0030] 메모리 관리 유닛(MMU)(160)은 물리적 메모리(130) 뿐만 아니라 가상 메모리를 관리 및 조직화할 수 있다. 예컨대, MMU(160)는 가상 메모리 어드레스들(virtual memory addresses)(VA들)을 물리적 메모리(130)의 물리적 메모리 어드레스들(physical memory addresses)(PA들)에 맵핑시킬 수 있다. 예시하기 위해, 메모리 관리 유닛(160)은 페이지 테이블(162)을 포함할 수 있다. 페이지 테이블(162)은, VA들(164)의 어레이, 및 VA들(164)을 물리적 메모리(130)의 PA들에 맵핑시키는 포인터들(166)의 어레이를 포함할 수 있다. 도 1의 예에서, 제 1 가상 메모리 어드레스(171)는 제 1 물리적 어드레스(151)에 맵핑되고, 제 2 가상 메모리 어드레스(172)는 제 2 물리적 어드레스(152)에 맵핑되고, 제 3 가상 메모리 어드레스(173)는 제 3 물리적 어드레스(153)에 맵핑되고, 그리고 제 4 가상 메모리 어드레스(174)는 제 4 물리적 어드레스(154)에 맵핑된다. 도시되지 않았지만, 페이지 테이블(162)은 물리적 메모리(130)의 다른 어드레스들 및/또는 다른 메모리 디바이스들에 대한 더욱 많은 가상 어드레스 맵핑들을 포함할 수 있다.

[0020] [0031] 특정 가상 메모리 어드레스를 특정 물리적 메모리 어드레스로부터 다른 물리적 메모리 어드레스로 리맵핑시키기 위해, 데이터 캐시(102)의 디프래그멘테이션 회로(112)가 메모리 관리 유닛(160)에 액세스 가능할 수 있다. 예컨대, 디프래그멘테이션 회로(112)는, 본원에 추가로 설명되는 바와 같이, 디프래그멘테이션 회로(112)에 의해 수행되는 캐시 기반 디프래그멘테이션 동작 동안에, 제 1 가상 메모리 어드레스(171)를 제 5 물리적 어드레스(141)에 리맵핑시키고, 제 2 가상 메모리 어드레스(172)를 제 6 물리적 어드레스(142)에 리맵핑시키고, 제 3 가상 메모리 어드레스(173)를 제 7 물리적 어드레스(143)에 리맵핑시키고, 그리고 제 4 가상 메모리 어드레스(174)를 제 8 물리적 어드레스(144)에 리맵핑시킬 수 있다. 가상 메모리 어드레스들(171-174)은, 개별 동작들 동안에 또는 단일 리맵핑 동작의 일부로서 리맵핑될 수 있다.

[0021] [0032] CPU(180)는 동작들을 수행하기 위해 명령 세트(182)의 명령들을 실행하도록 구성될 수 있다. 명령 세트(182)는 로드 및 리맵 명령(184)을 포함한다. 로드 및 리맵 명령(184)은 CPU(180)에서 실행되는 소프트웨어(예컨대, 운영체제 소프트웨어, 애플리케이션 소프트웨어 등)에 의해 발행될 수 있다. 로드 및 리맵 명령(184)은 CPU(180)로 하여금 데이터 캐시(102)에서 캐시 기반 디프래그멘테이션 동작들을 개시하게 할 수 있다.

[0022] [0033] 동작시, CPU(180)는 로드 및 리맵 명령(184)을 수신할 수 있다. 로드 및 리맵 명령(184)에 대한 응답으로, CPU(180)는 데이터 캐시(102)에 요청(186)을 발행할 수 있다. 요청(186)은 데이터 캐시(102)로 하여금 하나 또는 그 초과의 디프래그멘테이션 동작들을 수행하게 할 수 있다. 디프래그멘테이션 동작은 물리적 메모리(130)의 페이지로부터의 단일 데이터 아이템, 이 페이지로부터의 다수의 데이터 아이템들, 전체 페이지, 또는 다수의 페이지들을 재배치시키는 것을 포함할 수 있다. 예컨대, 로드 및 리맵 명령(184)은, 제 1 PA(151)에 저장된 제 1 데이터가 제 5 PA(141)에 재배치되어야 함을 특정할 수 있다. 디프래그멘테이션 회로(112)는 제 1 물리적 메모리 어드레스(151)로부터 캐시 라인(121)에 대응하는 데이터 어레이(104)의 행으로 제 1 데이터의 복사를 개시할 수 있다. 대안적 실시예에서, 제 1 데이터는 디프래그멘테이션에 관련되지 않은 캐시 동작들의 일부로서(예컨대, 요청(186)에 앞서는, CPU(180)로부터의 판독 요청 또는 기록 요청에 대한 응답으로) 데이터 어레이(104)에 이전에 로딩되었을 수 있다.

[0023] [0034] 디프래그멘테이션 회로(112)는, 데이터 캐시(102)에 복사되었던 제 1 데이터에 대응하는 가상 메모리 어드레스와 연관된 룩업 정보의 수정을 개시할 수 있다. 예컨대, 도 1에서 가상 메모리 어드레스(171)로부터 물리적 메모리 어드레스(151)로의 실선 화살표에 의해 묘사된 바와 같이, 가상 메모리 어드레스(171)는 처음에 물리적 메모리 어드레스(151)에 맵핑될 수 있다. 물리적 메모리 어드레스(151)와 연관된 데이터가 캐시 라인(121)으로 로딩된 이후에, 가상 메모리 어드레스(171)와 제 5 물리적 메모리 어드레스(141) 사이의 점선 화살표에 의해 묘사된 바와 같이, 가상 메모리 어드레스(171)와 연관된 포인터가 제 5 물리적 메모리 어드레스(141)를 가리키도록, 디프래그멘테이션 회로(112)는 페이지 테이블(162)의 수정을 개시할 수 있다. 특정 실시예에서, 디프래그멘테이션 회로(112)는, 커랜드를 MMU(160)에 발행함으로써, 페이지 테이블(162)의 수정을 개시한다. 대안적으로, CPU(180)는 (예컨대, 요청(186)을 발행하기 이전에 또는 그 이후에) MMU(160)로 하여금 페이지 테

이블(162)을 수정하게 할 수 있다.

- [0024] [0035] 디프래그멘테이션 회로(112)는 데이터 캐시 라인(121)에 대응하는 태그 어레이(106)의 태그 정보를 수정할 수 있다. 캐시 라인(121)에 저장된 데이터가 데이터 캐시(102)로부터 퇴거될 때, 데이터가 기록될 물리적 메모리(130)의 물리적 어드레스를 결정하기 위해, 태그 정보가 데이터 캐시(102)에 의해 사용될 수 있다. 예시하기 위해, 캐시 라인(121)에 대응하는 태그 정보는 제 1 물리적 어드레스(151)의 적어도 부분을 포함할 수 있다. 디프래그멘테이션 회로(112)는 캐시 라인(121)에 대응하는 태그 정보를 제 5 물리적 어드레스(141)의 적어도 부분으로 오버라이트할 수 있다. 데이터가 데이터 캐시(102)로부터 퇴거될 때, 데이터는 제 1 물리적 어드레스(151) 대신에 제 5 물리적 어드레스(141)에 기록될 것이다. 데이터는 캐시 관리 정책, 예컨대, 최소 최근 사용(LRU: least recently used), 최소 사용 빈도수(LFU: least frequently used), 선입선출(FIFO) 등에 따라 퇴거될 수 있다. 데이터는 또한, 요구시(예컨대, CPU(180)로부터의 요청, 예컨대, 요청(186)에 대한 응답으로) 퇴거될 수 있다. 대안적 실시예에서, 태그 정보는, 루프 정보를 수정하기 이전에 수정될 수 있다. 특정 실시예에서, 디프래그멘테이션 회로(112)는 또한, 본원에 추가로 설명되는 바와 같이, 물리적 어드레스(151)로의 데이터의 기록을 트리거링하기 위해, 캐시 라인(121)의 더티 비트를 설정할 수 있다.
- [0025] [0036] 디프래그멘테이션 회로(112)는 물리적 메모리(130)의 다수의 메모리 프래그먼트들 상에서 디프래그멘테이션 동작들을 수행할 수 있다. 다수의 디프래그멘테이션 동작들이 동시에 또는 하나씩 수행될 수 있다. 도 1의 예에서, 디프래그멘테이션 회로(112)는 또한, 제 2 물리적 어드레스(152)로부터 제 2 캐시 라인(122)으로 제 2 데이터를 복사하고, 제 3 물리적 어드레스(153)로부터 제 3 캐시 라인(123)으로 제 3 데이터를 복사하고, 그리고 제 4 물리적 어드레스(154)로부터 제 4 캐시 라인(124)으로 제 4 데이터를 복사한다. 디프래그멘테이션 회로(112)는, 태그 정보가 PA들(152-154) 대신에 PA들(142-144)에 대응하도록, 추가 캐시 라인들(122-124) 각각과 연관된 태그 정보를 수정할 수 있다. 태그 정보가 수정된 이후에, 캐시(102)는 제 2 데이터, 제 3 데이터, 및 제 4 데이터를 각각 PA들(142-144)에 기록할 수 있다.
- [0026] [0037] 따라서, 데이터 캐시(102)는, 물리적 메모리(130) 상에서 디프래그멘테이션 동작들을 수행하는데 사용될 수 있다. 요청(186)에 의해 표시된 캐시 기반 디프래그멘테이션 동작(들)을 완료한 이후에, 데이터 캐시(102)는, 캐시-기반 디프래그멘테이션 동작이 완료되었음을 표시하는 응답(188)을 CPU(180)에 전송할 수 있다. 특정 실시예에서, 디프래그멘테이션 동작들은 인터럽트 기반 동작들을 포함할 수 있다. 예컨대, 응답(188)은, CPU(180)로 하여금 인터럽트 핸들러에 대응하는 동작들을 수행하게 하는 인터럽트를 포함할 수 있다. 특정 실시예에서, 인터럽트 핸들러는 CPU(180)에서 실행되는 운영체제와 연관될 수 있다.
- [0027] [0038] 특정 실시예에서, 디프래그멘테이션 동작들은 또한, 캐시 라인에 저장된 데이터의 상이한 물리적 메모리 어드레스로의 기록을 트리거링하기 위해, 캐시 라인을 더티로서 마킹하는 동작을 포함할 수 있다. 예컨대, 캐시 라인(121)에 대응하는 더티 비트는, (태그 정보만이 수정되었고 제 1 데이터는 수정되지 않았지만) 캐시 라인(121)에 저장된 제 1 데이터가 수정되었음을 표시하기 위해 어썰팅(asserting)(예컨대, 설정)될 수 있다. 데이터 캐시 동작들 동안에, 데이터 캐시(102)는 더티로서 마킹된 각각의 캐시 라인을 물리적 메모리(130)의 물리적 어드레스에 기록할 수 있다. 예컨대, 캐시 라인(121)에 저장된 제 1 데이터는 물리적 메모리(130)에 기록될 수 있다. 캐시 라인(121)에 대응하는 태그 정보가, 제 5 물리적 어드레스(141)를 가리키도록 수정되었기 때문에, 캐시 라인(121)에 저장된 데이터는 물리적 메모리(130)의 제 1 물리적 어드레스(151) 대신에 제 5 물리적 어드레스(141)에 기록될 것이다. 따라서, 캐시 라인(121)을 더티로서 마킹하는 것은, 데이터 캐시가 캐시 라인(121)의 제 1 데이터를 제 2 물리적 메모리(141)에 기록하도록 트리거링할 수 있다.
- [0028] [0039] 특정 실시예에서, 태그 정보는 소스 물리적 어드레스 또는 목적지 물리적 어드레스의 부분만을 포함할 수 있다. 소스 물리적 어드레스(예컨대, 데이터 프래그먼트와 연관된 어드레스)로부터 목적지 물리적 어드레스(예컨대, 디프래그멘테이션 목적지)로 데이터를 재배치시키기 위하여, 디프래그멘테이션 회로(112)는 태그 정보를 수정하는 것 이외에도 데이터 캐시(102) 내에서 데이터를 재배치시킬 수 있다. 데이터 캐시(102) 내에서 데이터를 재배치시킨 이후에, 소스 캐시 라인(재배치 이전의 데이터의 위치)은 (예컨대, 상태 어레이(108)의 유효성 정보를 수정함으로써) 무효인 것으로서 마킹될 수 있고, 목적지 캐시 라인(재배치 이후의 데이터의 위치)은 유효한 것으로서 마킹될 수 있다. 캐시 내에서 데이터를 재배치시키는 것의 특정 실시예들은 도 4-도 7을 참조하여 설명된다.
- [0029] [0040] 특정 실시예에서, 설명되는 캐시-기반 디프래그멘테이션 프로세스는, 물리적 메모리(130)에 저장된 개별 파일들 또는 구조들을 디프래그멘팅하기 위해 사용될 수 있다. 예컨대, 애플리케이션과 연관된 특정 파일에 의해 점유되는 물리적 메모리(130)의 부분들이 프래그멘팅(예컨대, 불연속)될 수 있다. 설명되는 캐시-기반 디

프래그멘테이션 프로세스는, 파일이 물리적 메모리(130)의 단일 인접 구역을 점유하도록, 파일의 프래그먼트들을 재배치시킬 수 있다.

[0030] [0041] CPU(180) 대신에 데이터 캐시(102)에서 디프래그멘테이션 동작들을 수행하는 것은 CPU(180)가, 디프래그멘테이션이 발생중인 동안에 다른 동작들을 수행하거나 또는 아이들(idle)/절전 모드로 남아 있는 것을 가능하게 하고, 이로써 시스템(100)에서 프로세서 자원들 및 전력이 절약된다.

[0031] [0042] 도 2는 (캐시-기반 디프래그멘테이션 프로세스를 수행하기 이전과 이후에) 데이터를 저장하는 메모리의 실시예를 묘사하고, 일반적으로 200으로 표기된다. 메모리(220)(예컨대, 도 1의 130에 대응함)는 처음에, 메모리 위치들의 임의의 번호에 저장된 애플리케이션 데이터를 포함할 수 있다. 예컨대, 메모리(220)는 다수의 애플리케이션들(예컨대, 애플리케이션 1, 애플리케이션 2, 애플리케이션 4, 및 애플리케이션 6)에 대한 애플리케이션 데이터를 포함하는 것으로서 예시된다. 메모리(220)는 제 1 메모리 어드레스(205)에 저장된 애플리케이션 4에 대응하는 애플리케이션 데이터, 및 제 2 메모리 어드레스(206)에 저장된 애플리케이션 6에 대응하는 애플리케이션 데이터를 포함할 수 있다.

[0032] [0043] 메모리(220)는 또한, 애플리케이션 데이터와 연관되지 않은 메모리 어드레스들을 포함할 수 있다. 예컨대, 메모리(220)는, 애플리케이션들과 연관되지 않은 프리(free)(예컨대, 미할당된) 메모리 어드레스들에 대응하는 제 3 메모리 어드레스(202) 및 제 4 메모리 어드레스(203)를 포함할 수 있다. 프리 메모리 어드레스들은 메모리 홀들과 연관될 수 있다. 본원에 사용된 바와 같이, "홀"은 메모리의 할당된 물리적 어드레스들 또는 구역들에 의해 둘러싸일 수 있는, 메모리의 미할당된(예컨대, 프리) 물리적 어드레스 또는 구역이다. 예컨대, 제 3 메모리 어드레스(202) 및 제 4 메모리 어드레스(203)는, 애플리케이션 2 및 애플리케이션 4와 연관된 데이터를 저장하는 메모리 어드레스들 사이에 위치된다. 메모리 홀들은 메모리의 할당 및 할당해제로 인해 메모리 사용 동안에 발생할 수 있다. 예컨대, 다른 애플리케이션(예컨대, 애플리케이션 3, 애플리케이션 5)과 연관된 데이터는 처음에, 메모리 홀들에 저장되었을 수 있다. (예컨대, 애플리케이션 종료로 인해) 메모리가 할당해제될 때, 홀이 발생할 수 있다. 제 1 메모리 어드레스(205) 및 제 2 메모리 어드레스(206)는 메모리 "프래그먼트들"로 간주되는데, 그 이유는 제 1 메모리 어드레스(205) 및 제 2 메모리 어드레스(206)가 각각, 메모리의 미할당된 구역들(예컨대, 홀들)에 의해 둘러싸인, 메모리의 할당된 구역이기 때문이다.

[0033] [0044] 캐시-기반 디프래그멘테이션 동작들(222)이 메모리(220) 상에서 수행될 수 있다. 예컨대, 메모리(220)는 데이터 캐시, 예컨대, 도 1의 데이터 캐시(102)에 커플링될 수 있다. 캐시-기반 디프래그멘테이션 동작들(222)이 수행된 이후에, 메모리(220)는 미할당된 메모리와 연관되는 메모리의 블록들을 포함할 수 있다. 메모리(220)가 동적 랜덤 액세스 메모리(DRAM)일 때, 부분 어레이 셀프-리프레시(PASR)가 미할당된 메모리에 적용될 수 있다. 예컨대, 전체 DRAM 칩이 미할당된 상태일 때, PASR은 DRAM 칩을 파워 다운시킬 수 있다. DRAM 칩이 파워 다운될 때, DRAM 칩은 리프레시 전류를 사용하여 주기적으로 리프레시되지 않고, 이는 전자 디바이스에서 전력을 절약할 수 있다.

[0034] [0045] 추가로, 메모리(220) 상에서 캐시-기반 디프래그멘테이션을 사용함으로써, 프로세서 자원들이 보존될 수 있다. 예컨대, 캐시가 디프래그멘테이션을 수행하는 동안에, 프로세서는 디프래그멘테이션에 관련되지 않은 동작들을 수행할 수 있다. 추가로, 캐시-기반 디프래그멘테이션 동작들은 캐시 동작들에 통합될 수 있고, 이로써 메모리 프래그먼트들로부터 메모리 홀들로 데이터를 복사하기 위해 프로세서 기능들을 사용하는 디프래그멘테이션 동작들에 비해 전력 소모가 감소된다.

[0035] [0046] 도 3a를 참조하면, 캐시-기반 디프래그멘테이션 동작을 수행하기 위한 시스템의 특정 실시예가 묘사되고, 일반적으로 300으로 표기된다. 시스템(300)은 프로세서(302)(예컨대, CPU), 제 1 레벨(예컨대, L1) 캐시(304), 제 2 레벨(예컨대, L2) 캐시(306), 제 3 레벨(예컨대, L3) 캐시(308), 및 주 메모리(310)를 포함한다. 제 3 레벨 캐시(308)는 최종 레벨 캐시(캐시 레벨들의 연쇄에서 주 메모리(310)에 가장 가까운 캐시)로 지정될 수 있다. 캐시의 세 개의 레벨들이 도 3a의 시스템(300)에서 묘사되지만, 시스템(300)은 임의의 순서로 배열된 임의의 수의 캐시들을 포함할 수 있다. 도 3a에 묘사된 바와 같이, 디프래그멘테이션 회로(312)는, 캐시 메모리 관리 동안에 메모리 디프래그멘테이션이 발생하는 것을 가능하게 하기 위해 최종 레벨 캐시에 통합될 수 있고, 이로써 메모리 디프래그멘테이션을 수행하기 위해 추가 하드웨어 자원들에 대한 의존이 감소된다.

[0036] [0047] 제 3 레벨 캐시(308)는 도 1의 데이터 캐시(102)에 대응할 수 있다. CPU(302)는 도 1의 CPU(180)에 대응할 수 있고, 주 메모리(310)는 도 1의 주 메모리(160) 또는 도 2의 메모리(220)에 대응할 수 있다. 따라서, 시스템(300)은 도 1을 참조하여 설명된 캐시-기반 메모리 디프래그멘테이션 동작들을 수행할 수 있다. 예컨대, CPU(302)는, 주 메모리(310) 상에서 디프래그멘테이션 동작을 수행하라는 요청(320)을 제 3 레벨 캐시

(308)에 전송할 수 있다. 요청(320)에 대한 응답으로, 디프래그멘테이션 회로(312)는 메모리(310)의 제 1 물리적 메모리 어드레스에 저장된 데이터를 제 3 레벨 캐시(308)의 캐시 라인으로 로딩할 수 있다. 디프래그멘테이션 회로(312)는, 캐시 라인이 주 메모리(310)의 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보(예컨대, 태그 정보 및/또는 상태 정보)를 수정할 수 있다. 그 후에, 제 3 레벨 캐시(308)는 캐시 동작들의 일부로서 데이터를 주 메모리(310)의 제 2 물리적 메모리 어드레스에 기록할 수 있다.

[0037] [0048] 도 3b는 본원에 설명되는 특정 실시예들에서 사용될 수 있는 어드레싱 방식을 예시한다. 예시된 어드레싱 방식에서, 물리적 어드레스(350)는 물리적 메모리(예컨대, 도 3a의 주 메모리(310)) 내의 위치를 표현할 수 있다. 소스 어드레스(352)는 물리적 메모리의 제 1 페이지(예컨대, 메모리 프래그먼트)에 대응할 수 있고, 목적지 어드레스(354)는 물리적 메모리의 제 2 페이지(예컨대, 디프래그멘테이션 목적지 또는 메모리 홀)에 대응할 수 있다. 소스 어드레스(352)로부터 목적지 어드레스(354)로 데이터를 이동시키는 것은, 데이터 위치의 페이지 오프셋을 변경하지 않고, 데이터를 물리적 메모리의 상이한 페이지로 이동(예컨대, 페이지 번호를 변경)시키는 것을 포함할 수 있다.

[0038] [0049] 물리적 어드레스(350)는 도시된 바와 같이 태그, 인덱스, 및 라인 오프셋으로 분할될 수 있다. 태그의 값은 제 3-레벨 캐시(308) 내에서 캐시 라인(예컨대, 도 1의 캐시 라인들(121-124) 중 하나)에 저장될 수 있고, 그리고 대응하는 데이터를 물리적 메모리 어드레스(350)에 연관시키기 위해, 제 3-레벨 캐시(308)에 의해 사용될 수 있다. 제 3-레벨 캐시(308)는 세트 결합 캐시일 수 있고, 인덱스는, 데이터가 저장되는 제 3-레벨 캐시(308) 내의 세트를 표시할 수 있다. 라인 오프셋은, 데이터가 저장되는 세트 내의 라인을 표시할 수 있다. 물리적 어드레스(350)는 또한, 도시된 바와 같이, 페이지 번호 및 페이지 오프셋으로서 표현될 수 있다. 도 3b에서, 물리적 어드레스(350)는 32-비트 물리적 어드레스이다. 주 메모리(310)의 페이지는 4 킬로바이트(KB:kilobyte) 물리적 페이지(12-비트 페이지 오프셋에 의해 표현됨)를 포함할 수 있다. 페이지 번호는 물리적 어드레스의 나머지 20개 비트들에 의해 표현될 수 있다.

[0039] [0050] 특정 실시예에서, 제 3 레벨 캐시(308)는 8-웨이 512 KB 최종 레벨 캐시이다. 제 3 레벨 캐시(308)의 각각의 캐시 라인은 64개 바이트들(6-비트 라인 오프셋에 의해 표현됨)을 포함할 수 있다. 제 3 레벨 캐시(308)는 1024개 세트들(10-비트 인덱스에 의해 표현됨)을 포함할 수 있다. 물리적 어드레스(350)의 나머지 16 비트들은 태그를 포함할 수 있다. 도 3b의 실시예에서, 태그는 페이지 번호(20개 비트들)보다 더 적은 수의 비트들(16개 비트들)을 포함한다. 따라서, 페이지 번호는 제 3-레벨 캐시(308)의 인덱스와 (예컨대, 4개 비트들 만큼) 겹칠 수 있다. 페이지 번호의 겹쳐진 부분은, 데이터가 제 3-레벨 캐시(302) 내의 어느 세트에 저장되는지에 영향을 끼칠 수 있다. 각각의 페이지는 인덱스의 겹쳐진 부분(예컨대, 인덱스의 최상위 비트들)에 따라 세그먼트들로 분할될 수 있다. 도 3b에서, 각각의 페이지는 16개 페이지 세그먼트들로 분할된다.

[0040] [0051] 주 메모리(310)의 제 1 페이지로부터 주 메모리(310)의 제 2 페이지로 메모리 프래그먼트를 이동시키기 위하여, 디프래그멘테이션 회로(312)는 도 1을 참조하여 설명된 바와 같이 물리적 어드레스(350)의 태그를 변경할 수 있다. 그러나, 물리적 어드레스(350)의 태그를 변경하는 것은 물리적 어드레스(350)의 페이지 번호의 부분만을 변경할 수 있는데, 그 이유는 페이지 번호가 태그보다 더 많은 수의 비트들을 포함할 수 있기 때문이다. 전체 페이지 번호를 변경하기 위하여, 디프래그멘테이션 회로는 또한, 인덱스의 부분을 변경할 수 있다. 인덱스의 부분을 변경하기 위해, 디프래그멘테이션 회로는 제 1 페이지 세그먼트에 대응하는 제 1 캐시 라인으로부터 제 2 페이지 세그먼트에 대응하는 제 2 캐시 라인으로 데이터를 이동시킬 수 있다. 제 1 페이지 세그먼트로부터 제 2 페이지 세그먼트로 데이터를 이동시킬지의 여부를 결정하는 것은 추가로 도 4-도 7을 참조하여 설명된다.

[0041] [0052] 소스 어드레스(352)는 태그 정보(A1) 및 세그먼트 정보(A2)로 분할될 수 있다. 유사하게, 목적지 어드레스(354)는 태그 정보(B1) 및 세그먼트 정보(B2)로 분할될 수 있다. 소스 어드레스(352) 및 목적지 어드레스(354)가 상이한 세그먼트들에 있을 때, 데이터는 하나의 캐시 세트(페이지의 제 1 세그먼트에 대응함)로부터 다른 캐시 세트(페이지의 제 2 세그먼트에 대응함)로 이동될 수 있다.

[0042] [0053] 도 4-도 7은 도 3a 및 도 3b의 시스템(300)의 콘텍스트 내에서 캐시-기반 디프래그멘테이션 동작들의 특정 실시예들을 예시한다. 실시예들은, 소스 어드레스 및 목적지 어드레스가 동일한 페이지 세그먼트에 대응하고 데이터가 캐시 내에 이미 위치된(예컨대, 캐시 히트) 제 1 실시예(도 4), 소스 어드레스 및 목적지 어드레스가 동일한 페이지 세그먼트에 대응하고 데이터가 캐시 내에 위치되지 않은(예컨대, 캐시 미스) 제 2 실시예(도 5), 소스 어드레스 및 목적지 어드레스가 상이한 페이지 세그먼트들에 대응하고, 데이터가 캐시 내에 이미 위치된 제 3 실시예(도 6), 및 소스 어드레스 및 목적지 어드레스가 상이한 페이지 세그먼트들에 대응하고, 데이터

이터가 캐시에 위치되지 않은 제 4 실시예(도 7)를 포함한다.

[0043] [0054] 도 4를 참조하면, 디프래그멘테이션 회로(예컨대, 도 3a의 디프래그멘테이션 회로(312))에 의해 수행되는 캐시-기반 디프래그멘테이션 동작들의 제 1 실시예가 묘사되고, 일반적으로 400으로 표기된다. 도 4는 태그 어레이(402)(예컨대, 8-웨이 세트 결합 캐시의 태그 어레이) 및 데이터 어레이(410)(예컨대, 8-웨이 세트 결합 캐시의 데이터 어레이)를 포함하는 데이터 캐시(예컨대, 도 1의 데이터 캐시(102) 및/또는 도 3a의 제 3 레벨 데이터 캐시(308)에 대응함)를 예시한다. 도 4는 또한, 복수의 어드레스들과 연관된 주 메모리(420)(예컨대, 도 1의 물리적 메모리(130) 및/또는 도 3a의 물리적 메모리(310)에 대응함)를 예시한다. 예컨대, 주 메모리(420)는 데이터를 소스 어드레스(424)(예컨대, 도 3b의 소스 어드레스(352)에 대응함) 및 목적지 어드레스(422)(예컨대, 도 3b의 목적지 어드레스(354)에 대응함)에 저장하도록 구성될 수 있다.

[0044] [0055] 태그 어레이(402)는 도 1의 태그 어레이(106)에 대응할 수 있고, 데이터 어레이(410)는 도 1의 데이터 어레이(104)에 대응할 수 있다. 예컨대, 태그 어레이(402)는 캐시 내에 (예컨대, 데이터 위치(412)에) 저장된 데이터에 대응하는 태그 정보(예컨대, 태그 정보(404))를 포함할 수 있다. 태그 어레이(402) 및 데이터 어레이(410)는 16개 페이지 세그먼트들로 분할될 수 있다. 페이지 세그먼트들은 추가로, 세트들(예컨대, 10-비트 인덱스에 대응하는 1024개 세트들)로 분할될 수 있다.

[0045] [0056] 도 4의 실시예에서, 소스 어드레스(424) 및 목적지 어드레스(422)는 동일한 페이지 세그먼트(414)(예컨대, 도 3b의 소스 어드레스(352)의 A2는 도 3b의 목적지 어드레스(354)의 B2와 동일함)에 대응한다. 추가로, 소스 어드레스(424)에 대응하는 데이터는 (예컨대, 캐시 동작들 동안에) 데이터 어레이(410)의 데이터 위치(412)로 로딩되었다(데이터 위치(412)의 실선 블록에 의해 도시됨). 디프래그멘테이션 동작들을 수행하라는 요청이 수신될 때, 캐시 히트가 발생할 수 있는데, 그 이유는 소스 어드레스(424)에 저장된 데이터가 캐시로 이미 로딩되었기 때문이다.

[0046] [0057] 디프래그멘테이션 회로(예컨대, 도 3a의 디프래그멘테이션 회로(312))는 데이터와 연관된 태그 정보(404)를 수정할 수 있다. 예컨대, 디프래그멘테이션 회로는 소스 어드레스에 대응하는 태그(예컨대, 도 3b의 소스 어드레스(352)의 A1)를 목적지 어드레스에 대응하는 태그(예컨대, 도 3b의 목적지 어드레스(354)의 B1)로 교체할 수 있다. 디프래그멘테이션 회로는 또한, 주 메모리(420)로의 데이터의 라이트 백(라이트 백)을 트리거링하기 위해, (예컨대, 도 1을 참조하여 설명된 바와 같이, 상태 어레이(108)의 더티 비트를 수정함으로써) 데이터를 더티로서 마킹할 수 있다. 데이터가 캐시로부터 퇴거될 때, 데이터는 소스 어드레스(424) 대신에 목적지 어드레스(422)에 기록된다.

[0047] [0058] 도 5를 참조하면, 디프래그멘테이션 회로에 의해 수행되는 캐시-기반 디프래그멘테이션 동작들의 제 2 실시예가 묘사되고, 일반적으로 500으로 표기된다. 도 5는, 페이지 세그먼트들이 동일하지만(A2 = B2) 캐시 미스가 발생할 때의 동작들에 대응한다. 따라서, 캐시-기반 디프래그멘테이션 동작들이 개시될 때, 소스 어드레스(424)에 대응하는 데이터는 데이터 어레이(410)의 캐시 위치(412)로 아직 로딩되지 않았다(캐시 위치(412)의 텅 빈 블록에 의해 도시됨). 디프래그멘테이션 동작들을 수행하라는 요청이 수신될 때, 캐시 미스가 발생할 수 있다.

[0048] [0059] 디프래그멘테이션 회로(도 4를 참조하여 설명됨)는 소스 어드레스(424)에 저장된 데이터를 캐시 위치(412)로 로딩할 수 있다. 그러나, 소스 어드레스(424)와 연관된 태그(A1)를 태그 어레이(402)에 삽입하는 것 대신에, 디프래그멘테이션 회로는 목적지 어드레스(422)와 연관된 태그(B1)를 태그(404)에 대신에 삽입할 수 있다. 디프래그멘테이션 회로는 또한, 데이터를 더티로서 마킹할 수 있다. 데이터가 캐시로부터 퇴거될 때, 데이터는 소스 어드레스(424) 대신에 목적지 어드레스(422)에 기록된다.

[0049] [0060] 도 6을 참조하면, 디프래그멘테이션 회로에 의해 수행되는 캐시-기반 디프래그멘테이션 동작들의 제 3 실시예가 묘사되고, 일반적으로 600으로 표기된다. 도 6은, 페이지 세그먼트들이 상이하고(A2는 B2와 동일하지 않음) 캐시 히트가 발생할 때의 동작들에 대응한다. 소스 어드레스(424)는 제 1 페이지 세그먼트(418)에 대응할 수 있고, 목적지 어드레스(422)는 제 2 페이지 세그먼트(618)에 대응할 수 있다. 소스 어드레스(424)에 대응하는 데이터는 데이터 어레이(410)의 캐시 위치(412)로 로딩되었다(캐시 위치(412)의 실선 블록에 의해 도시됨). 디프래그멘테이션 동작들을 수행하라는 요청이 수신될 때, 캐시 히트가 발생한다.

[0050] [0061] 디프래그멘테이션 회로(도 4 및 도 5를 참조하여 설명됨)는 캐시 위치(412)에 저장된 데이터를 제 2 페이지 세그먼트(618)와 연관된 제 2 캐시 위치(616)로 이동시킬 수 있다. 디프래그멘테이션 회로는 또한, 캐시 위치(616)에 대응하는 태그 정보(606)로서 목적지 어드레스(422)에 대응하는 태그(B1)를 태그 어레이(402)에 삽

입할 수 있다. 디프래그멘테이션 회로는 (예컨대, 유효성 비트를 변경함으로써) 캐시 위치(412)에 저장된 데이터를 무효화할 수 있다.

[0051] [0062] 디프래그멘테이션 회로는 또한, 주 메모리(420)로의 데이터의 라이트 백을 트리거링하기 위해, 데이터를 더티로서 마킹할 수 있다. 데이터가 캐시로부터 (예컨대, 캐시 동작들 동안에) 퇴거될 때, 데이터는 소스 어드레스(424) 대신에 목적지 어드레스(422)에 기록된다.

[0052] [0063] 도 7을 참조하면, 디프래그멘테이션 회로에 의해 수행되는 캐시-기반 디프래그멘테이션 동작들의 제 4 실시예가 묘사되고, 일반적으로 700으로 표기된다. 도 7은 페이지 세그먼트들이 상이하고(A2는 B2와 동일하지 않음) 캐시 미스가 발생할 때의 동작들에 대응한다.

[0053] [0064] 디프래그멘테이션 회로(도 4, 도 5, 및 도 6을 참조하여 설명됨)는 소스 어드레스(424)에 저장된 데이터를 제 1 세그먼트(414) 대신에 제 2 세그먼트(718)로 로딩할 수 있다. 소스 어드레스(424)와 연관된 태그(A1)를 (예컨대, 태그 정보(404)로서) 태그 어레이(402)에 삽입하는 것 대신에, 디프래그멘테이션 회로는 목적지 어드레스(422)와 연관된 태그(B1)를 (예컨대, 태그 정보(706)로서) 태그 어레이(402)에 삽입할 수 있다. 디프래그멘테이션 회로는 또한, 데이터를 더티로서 마킹할 수 있다. 데이터가 캐시로부터 (예컨대, 캐시 동작들 동안에) 퇴거될 때, 데이터는 소스 어드레스(424) 대신에 목적지 어드레스(422)에 기록된다. 따라서, 도 4-도 7은, 캐시 히트가 발생하는지 또는 캐시 미스가 발생하는지의 여부에 기초하여 그리고 소스 어드레스 및 목적지 어드레스가 동일한 페이지 세그먼트에 대응하는지 또는 상이한 페이지 세그먼트들에 대응하는지의 여부에 기초하여, 캐시-기반 디프래그멘테이션 동작을 수행하는 것의 다양한 실시예들을 예시한다.

[0054] [0065] 도 8a를 참조하면, 캐시-기반 디프래그멘테이션 프로세스를 수행하도록 동작가능한 시스템의 다른 특정 실시예가 묘사되고, 일반적으로 800으로 표기된다. 시스템(800)은 프로세서(802)(예컨대, CPU), 제 1 레벨(예컨대 L1) 캐시(804), 제 2 레벨(예컨대, L2) 캐시(806), 제 3 레벨(예컨대, L3) 캐시(808), 및 주 메모리(810)를 포함한다. 캐시의 세 개의 레벨들이 도 8a의 시스템(800)에서 묘사되지만, 시스템(800)은 임의의 순서로 배열된 임의의 수의 캐시들을 포함할 수 있다. 도 3a의 시스템(300)에 대조적으로, 시스템(800)은 다른 캐시들(804-808) 중 임의의 캐시와는 별개의 전용 디프래그멘테이션 캐시(812)를 포함한다. 디프래그멘테이션 캐시(812)는 또한, 주 메모리(810)와 CPU(802) 사이의 캐시 경로와는 별개(예컨대, 이 캐시 경로의 밖)일 수 있다. 시스템(800) 내에서 다른 캐시들과는 별개로 있는 것은, 디프래그멘테이션 캐시(812)가 제 3 레벨 캐시(808)보다 더 작은 것을 가능하게 할 수 있다. 추가로, 디프래그멘테이션 캐시(812)는, 디프래그멘테이션 캐시(812)가 디프래그멘테이션 동작들을 수행하고 있지 않을 때, CPU(802)에 대한 "어시스트(assist)" 캐시로서 사용될 수 있다. 디프래그멘테이션 캐시(812)는 디프래그멘테이션 회로(814)를 포함할 수 있다.

[0055] [0066] 동작시, CPU(802)는 주 메모리(810) 상에서 디프래그멘테이션 동작을 수행하라는 요청을 디프래그멘테이션 캐시(812)에 전송할 수 있다. 요청에 대한 응답으로, 디프래그멘테이션 회로(814)는 메모리(810)의 제 1 물리적 메모리 어드레스에 저장된 데이터를 디프래그멘테이션 캐시(808)의 캐시 라인으로 로딩할 수 있다. 디프래그멘테이션 회로(814)는, 캐시 라인이 주 메모리(810)의 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보를 수정할 수 있다. 디프래그멘테이션 캐시(812)는 (예컨대, 데이터가 퇴거될 때) 데이터를 주 메모리의 제 2 물리적 메모리 어드레스에 기록할 수 있다.

[0056] [0067] 도 8b는 도 8a의 시스템(800)과 함께 사용될 수 있는 어드레싱 방식의 다이어그램이다. 예시된 어드레싱 방식에서, 물리적 어드레스(850)는 재배치될 데이터의 어드레스를 표현한다. 소스 어드레스(852)는 물리적 메모리의 제 1 페이지(예컨대, 메모리 프래그먼트)에 대응하고, 목적지 어드레스(854)는 물리적 메모리의 제 2 페이지(예컨대, 디프래그멘테이션 목적지 또는 메모리 홀)에 대응한다. 물리적 어드레스(850)는 도시된 바와 같이 태그, 인덱스, 및 라인 오프셋으로 분할될 수 있다. 물리적 어드레스(850)는 또한, 페이지 번호 및 페이지 오프셋으로서 표현될 수 있다. 도 8b에서, 물리적 어드레스(850)는 32-비트 물리적 어드레스이다. 주 메모리(810)의 페이지는 4 킬로바이트(KB) 물리적 페이지(12-비트 페이지 오프셋에 의해 표현됨)를 포함할 수 있다. 디프래그멘테이션 캐시(812)는 8-웨이 32 KB 캐시를 포함할 수 있다. 디프래그멘테이션 캐시(812)의 각각의 캐시 라인은 64개 바이트들(6-비트 라인 오프셋에 의해 표현됨)일 수 있다.

[0057] [0068] 도 8a의 실시예에서, 태그는 페이지 번호와 동일한 수의 비트들을 포함한다. 따라서, 도 8a의 디프래그멘테이션 캐시(812)는, 물리적 어드레스(850)의 태그를 변경함으로써, 물리적 어드레스(850)의 전체 페이지 번호를 변경할 수 있다. 디프래그멘테이션 회로(814)는, 페이지 세그먼트 미스매치들에 기초하여, 디프래그멘테이션 캐시(812) 내에서 제 1 캐시 라인으로부터 제 2 캐시 라인으로 데이터를 이동시키지 않고, 디프래그멘테이션 동작들을 수행할 수 있다. 그 결과, 도 8a의 실시예는 도 3a의 실시예보다 더 빠를 수 있다. 그러나, 도

8a의 실시예는, 전용 디프래그멘테이션 캐시(812)의 도입으로 인해, 도 3a의 실시예보다 더 많은 칩 면적을 점유할 수 있다.

[0058] [0069] 도 9를 참조하면, 캐시-기반 디프래그멘테이션을 수행하는 방법(900)의 특정 예시적 실시예는, 902에서, 메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 메모리로부터 데이터 캐시의 캐시 라인으로 로딩하는 단계를 포함하고, 여기서 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑된다. 예컨대, 도 1의 디프래그멘테이션 회로(112)는 제 1 물리적 어드레스(151)에 대응하는 제 1 데이터를 캐시 라인(121)으로 로딩할 수 있다. 제 1 물리적 어드레스(151)는 제 1 가상 어드레스(171)에 맵핑될 수 있다. 데이터 캐시는 최종 레벨 캐시 또는 전용 디프래그멘테이션 캐시일 수 있다.

[0059] [0070] 방법(900)은, 904에서, 제 1 가상 메모리 어드레스가 메모리의 제 2 물리적 메모리 어드레스에 대응하도록, 제 1 가상 메모리 어드레스와 연관된 루프 정보의 수정을 개시하는 단계를 더 포함한다. 예컨대, 도 1의 페이지 테이블(162)은, 가상 어드레스(171)가 제 1 물리적 어드레스(151) 대신에 제 5 물리적 어드레스(141)에 맵핑되도록 수정될 수 있다.

[0060] [0071] 방법(900)은 또한, 906에서, 데이터 캐시에서, 캐시 라인이 제 1 물리적 메모리 어드레스 대신에 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보를 수정하는 단계를 포함한다. 예컨대, 도 1의 캐시 라인(121)에 대응하는 태그 어레이(106)의 제 1 태그는, 제 1 물리적 어드레스(151) 대신에 제 5 물리적 어드레스(141)에 대응하도록 수정될 수 있다.

[0061] [0072] 방법(900)은, 908에서, 수정된 정보에 기초하여, 데이터를 제 2 물리적 메모리 어드레스에 기록하는 단계를 포함한다. 예컨대, 도 1의 데이터 캐시(102)는, 데이터가 데이터 캐시(102)로부터 퇴거될 때, 제 1 태그 정보에 기초하여, 데이터를 제 5 물리적 메모리 어드레스(141)에 기록할 수 있다.

[0062] [0073] 방법(900)은 추가 물리적 메모리 어드레스들에 저장된 추가 데이터에 대해 동시에 실행되고 그리고/또는 반복될 수 있다. 예컨대, 제 1의 복수의 추가 물리적 메모리 어드레스들 각각에 저장된 추가 데이터는 추가 캐시 라인들로 로딩될 수 있다. 추가 캐시 라인들 각각의 태그 정보는, 각각의 추가 캐시 라인이 제 2의 복수의 추가 물리적 어드레스들의 개개의 물리적 메모리 어드레스에 대응함을 표시하도록 수정될 수 있다. 캐시로부터 퇴거될 때, 추가 데이터는 수정된 태그 정보에 기초하여 제 2의 복수의 추가 물리적 어드레스들에 기록될 수 있다.

[0063] [0074] 도 9의 방법은 주문형 집적 회로(ASIC:application-specific integrated circuit), 프로세싱 유닛, 예컨대, 중앙 프로세싱 유닛(CPU), 디지털 신호 프로세서(DSP:digital signal processor), 제어기, 필드-프로그램가능 게이트 어레이(FPGA:field-programmable gate array) 디바이스, 다른 하드웨어 디바이스, 펌웨어 디바이스, 또는 이들의 임의의 결합에 의해 구현될 수 있다. 예로서, 도 9의 방법은 도 11을 참조하여 설명되는 바와 같이 명령들을 실행하는 프로세서에 의해 수행될 수 있다.

[0064] [0075] 도 10을 참조하면, 캐시-기반 디프래그멘테이션을 수행하는 방법(1000)의 특정 예시적 실시예가 도시된다. 예시적 실시예에서, 방법(1000)은 도 4-도 7을 참조하여 설명된 동작들에 대응할 수 있다. 방법(1000)은, 1002에서, 데이터 캐시에서, 디프래그멘테이션 동작을 수행하라는 요청을 프로세서로부터 수신하는 단계를 포함한다. 디프래그멘테이션 동작은 소스 어드레스로부터 목적지 어드레스로 데이터를 재배치시키는 동작을 포함한다.

[0065] [0076] 방법(1000)은, 1004에서, 데이터가 제 1 페이지의 페이지 세그먼트로부터 제 2 페이지의 동일한 페이지 세그먼트로 재배치되어야 하는지의 여부를 결정하는 단계를 더 포함할 수 있다. 데이터가 제 1 페이지의 페이지 세그먼트로부터 제 2 페이지의 동일한 페이지 세그먼트로 재배치되어야 하는 경우, 방법(1000)은, 1006에서, 소스 어드레스가 캐시 히트를 야기하는지의 여부를 결정하는 단계를 포함할 수 있다. 예컨대, 도 4에서, 소스 어드레스(424)에 대응하는 데이터는 데이터 어레이(410)로 로딩되었고, 이는 캐시 히트를 야기한다. 다른 예로서, 도 5에서, 소스 어드레스(424)에 대응하는 데이터는 데이터 어레이(410)로 로딩되지 않았고, 이는 캐시 미스를 야기한다.

[0066] [0077] 캐시 히트가 발생할 때, 방법(1000)은, 1008에서, 소스 어드레스 대신에 목적지 어드레스를 표시하도록 데이터에 대한 태그 정보를 수정하는 단계를 포함할 수 있다. 예컨대, 도 4를 참조하면, 태그 정보(404)는 소스 어드레스(424) 대신에 목적지 어드레스(422)를 표시하도록 수정될 수 있다.

[0067] [0078] 캐시 미스가 발생할 때, 방법(1000)은, 1010에서, 소스 어드레스로부터 데이터 캐시로 데이터를 로딩하고, 그리고 소스 어드레스 대신에 목적지 어드레스에 대한 태그 정보를 삽입하는 단계를 포함할 수 있다. 예컨-

대, 도 5를 참조하면, 데이터는 소스 어드레스(424)로부터 캐시 위치(412)로 로딩될 수 있고, 삽입된 태그 정보(404)는 소스 어드레스(424) 대신에 목적지 어드레스(422)를 표시할 수 있다.

[0068] [0079] 데이터가 제 1 페이지의 페이지 세그먼트로부터 제 2 페이지의 상이한 페이지 세그먼트로 재배치되어야 하는 경우, 방법(1000)은 또한, 데이터가 상이한 페이지 세그먼트로 재배치되어야 하는 경우, 1012에서, 소스 어드레스가 캐시 히트를 야기하는지의 여부를 결정하는 단계를 포함할 수 있다. 예컨대, 도 6에서, 소스 어드레스(424)에 대응하는 데이터는 데이터 어레이(410)로 이전에 로딩되었고, 이는 캐시 히트를 야기한다. 다른 예로서, 도 7에서, 소스 어드레스(424)에 대응하는 데이터는 데이터 어레이(410)로 앞서 로딩되지 않았고, 이는 캐시 미스를 야기한다.

[0069] [0080] 캐시 히트가 발생할 때, 방법(1000)은, 1014에서, 소스 페이지 세그먼트에 대응하는 제 1 캐시 위치로부터 목적지 페이지 세그먼트에 대응하는 제 2 캐시 위치로 데이터를 이동시키는 단계를 포함할 수 있다. 부가하여, 목적지 어드레스에 대한 태그 정보가 제 2 캐시 위치에 삽입될 수 있고, 제 1 캐시 위치는 무효화될 수 있다. 예컨대, 도 6을 참조하면, 데이터는 캐시 위치(412)로부터 캐시 위치(616)로 이동될 수 있고, 목적지 어드레스(422)에 대한 태그 정보(606)가 삽입될 수 있고, 그리고 캐시 위치(412)는 무효인 것으로서 마킹될 수 있다. 캐시 미스가 발생할 때, 방법(1000)은, 1016에서, 데이터 캐시로, 목적지 페이지 세그먼트에 대한 캐시 위치에 데이터를 로딩하고, 목적지 어드레스에 대한 태그 정보를 삽입하는 단계를 포함할 수 있다. 예컨대, 도 7을 참조하면, 데이터는 소스 어드레스(424)로부터 캐시 위치(716)로 로딩될 수 있고, 삽입된 태그 정보(706)는 목적지 어드레스(422)를 표시할 수 있다.

[0070] [0081] 방법(1000)은 또한, 1018에서, 목적지 어드레스로의 데이터의 기록을 트리거링하는 단계를 포함할 수 있다. 예컨대, 데이터는, 도 4-도 7을 참조하여 설명된 바와 같이, 더티 비트를 어썰팅함으로써, 더티로 마킹될 수 있다. 방법(1000)은 또한, 1020에서, 디프래그멘테이션 동작이 완료됨을 표시하는 응답을 프로세서에 전송하는 단계를 포함할 수 있다.

[0071] [0082] 대안적 실시예들에서, 도 10의 방법이 수정될 수 있음이 주목되어야 한다. 예컨대, 도 3b의 어드레싱 방식 대신에 도 8b의 어드레싱 방식이 사용될 때, 태그 및 페이지 번호 정보는 둘 다 동일한 수의 비트들을 포함할 수 있고, 데이터는 페이지 세그먼트 미스매치로 인해 데이터 캐시 내에서 재배치될 필요가 없을 수 있다. 이러한 실시예에서, 디프래그멘테이션 동작을 수행하는 것은 캐시 미스에 대해 체킹하는 것을 포함할 수 있지만, 페이지 세그먼트 미스매치에 대해 체킹하는 것을 포함하지 않을 수 있다.

[0072] [0083] 도 10의 방법은 주문형 집적 회로(ASIC:application-specific integrated circuit), 프로세싱 유닛, 예컨대, 중앙 프로세싱 유닛(CPU), 디지털 신호 프로세서(DSP:digital signal processor), 제어기, 필드-프로그램가능 게이트 어레이(FPGA:field-programmable gate array) 디바이스, 다른 하드웨어 디바이스, 펌웨어 디바이스, 또는 이들의 임의의 결합에 의해 구현될 수 있다. 예로서, 도 10의 방법은 도 11에 대하여 설명되는 바와 같이 명령들을 실행하는 프로세서에 의해 수행될 수 있다.

[0073] [0084] 도 11을 참조하면, 무선 통신 디바이스의 특정 예시적 실시예의 블록도가 묘사되고, 일반적으로 1100으로 표기된다. 디바이스(1100)는 메모리(1132)에 커플링된 프로세서, 예컨대, 디지털 신호 프로세서(DSP)(1110)(또는 CPU 또는 다른 타입의 프로세서)를 포함한다. 디바이스(1100)는 또한, 디프래그멘테이션 동작들을 수행하도록 동작가능한 디프래그멘테이션 캐시(1164)를 포함할 수 있다. 예시적 실시예에서, 디프래그멘테이션 캐시(1164)는 도 1의 데이터 캐시(102), 도 3a의 제 3-레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812)에 대응할 수 있고, 도 9, 도 10, 도 11의 방법들, 또는 이들의 임의의 결합에 따라 동작할 수 있다.

[0074] [0085] 디프래그멘테이션 캐시(1164)는, 메모리(1132) 상에서 디프래그멘테이션 동작들을 수행하기 위해 메모리(1132)에 커플링될 수 있다. 메모리(1132)는, 동작들을 수행하기 위해 프로세서(1110)에 의해 실행가능한 컴퓨터-실행가능한 명령들(1156)(예컨대, 도 1의 로드 및 리맵 명령(184)을 포함함) 및 데이터를 저장한 비-일시적 컴퓨터 판독가능 매체일 수 있다. 동작들은, 메모리(1132)의 제 1 물리적 메모리 어드레스에 저장된 데이터를 메모리(1132)로부터 디프래그멘테이션 캐시(1164)의 캐시 라인으로 로딩하는 동작을 포함할 수 있다. 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑될 수 있다. 동작들은, 제 1 가상 메모리 어드레스가 메모리(1132)의 제 2 물리적 메모리 어드레스에 대응하도록, 제 1 가상 메모리 어드레스와 연관된 루프 정보(예컨대, 도 1의 페이지 테이블(162))의 수정을 개시하는 동작을 더 포함할 수 있다. 동작들은 또한, 캐시 라인이 제 1 물리적 메모리 어드레스 대신에 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보(예컨대, 도 1의 태그 어레이(106))를 수정하는 동작을 포함할 수 있다. 동작들은, 수정된 정보에 기초하여 (예컨대, 데이터가 데이터 캐시로부터 퇴거될 때) 제 2 물리적 메모리 어드레스에 데이터를 기록

하는 동작을 포함할 수 있다.

[0086] 도 11은 또한, 디지털 신호 프로세서(1110) 및 디스플레이(1128)에 커플링되는 디스플레이 제어기(1126)를 도시한다. 코더/디코더(CODEC)(1134)는 또한, 디지털 신호 프로세서(1110)에 커플링될 수 있다. 스피커(1136) 및 마이크로폰(1138)이 CODEC(1134)에 커플링될 수 있다.

[0087] 도 11은 또한, 무선 제어기(1140)가 디지털 신호 프로세서(1110) 및 안테나(1142)에 커플링될 수 있음을 표시한다. 특정 실시예에서, DSP(1110), 디스플레이 제어기(1126), 메모리(1132), CODEC(1134), 및 무선 제어기(1140)는 시스템-인-패키지(system-in-package) 또는 시스템-온-칩(system-on-chip) 디바이스(1122)에 포함된다. 특정 실시예에서, 입력 디바이스(1130) 및 전원(1144)이 시스템-온-칩 디바이스(1122)에 커플링된다. 게다가, 특정 실시예에서, 도 11에 예시된 바와 같이, 디스플레이(1128), 입력 디바이스(1130), 스피커(1136), 마이크로폰(1138), 안테나(1142), 및 전원(1144)은 시스템-온-칩 디바이스(1122)의 외부에 있다. 그러나, 디스플레이(1128), 입력 디바이스(1130), 스피커(1136), 마이크로폰(1138), 안테나(1142), 및 전원(1144) 각각은 시스템-온-칩 디바이스(1122)의 컴포넌트, 예컨대, 인터페이스 또는 제어기에 커플링될 수 있다.

[0088] 설명된 실시예들과 함께, 복수의 물리적 메모리 어드레스들을 사용하여 데이터를 저장하기 위한 수단, 예컨대, 도 1의 물리적 메모리(130), 도 3a의 주 메모리(310), 도 8a의 주 메모리(810), 복수의 물리적 메모리 어드레스들을 사용하여 데이터를 저장하도록 구성된 하나 또는 그 초과의 다른 디바이스들 또는 회로들, 또는 이들의 임의의 결합을 포함할 수 있는 시스템이 개시된다. 시스템은 또한, 데이터를 캐싱하기 위한 수단을 포함할 수 있고, 이 데이터를 캐싱하기 위한 수단은 메모리의 제 1 물리적 메모리 어드레스에 저장된 데이터를 메모리로부터 데이터 캐시의 캐시 라인으로 로딩하도록 구성된 디프래그멘테이션 회로를 포함하고, 제 1 물리적 메모리 어드레스는 제 1 가상 메모리 어드레스에 맵핑된다. 디프래그멘테이션 회로는 또한, 제 1 가상 메모리 어드레스가 메모리의 제 2 물리적 메모리 어드레스에 대응하도록, 제 1 가상 메모리 어드레스와 연관된 루프 정보의 수정을 개시하도록 구성될 수 있다. 디프래그멘테이션 회로는 추가로, 캐시 라인이 제 1 물리적 메모리 어드레스 대신에 제 2 물리적 메모리 어드레스에 대응함을 표시하기 위해, 캐시 라인과 연관된 정보를 수정하도록 구성될 수 있다. 예컨대, 디프래그멘테이션 회로는 도 1의 디프래그멘테이션 회로(112), 도 3의 디프래그멘테이션 회로(312), 도 8의 디프래그멘테이션 회로(814), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합을 포함할 수 있다.

[0089] 상기 개시된 디바이스들 및 기능들은 컴퓨터 판독가능 미디어 상에 저장된 컴퓨터 파일들(예컨대, RTL, GDSII, GERBER 등)로 설계 및 구성될 수 있다. 일부 또는 모든 이러한 파일들은, 이러한 파일들에 기초하여 디바이스들을 제작하는 제작 핸들러들에게 제공될 수 있다. 결과적 제품들은 반도체 웨이퍼들을 포함하고, 이 반도체 웨이퍼들은 이후 반도체 다이로 컷팅되고 반도체 칩으로 패키징된다. 칩들은 이후에, 위에서 설명된 디바이스들에서 사용된다. 도 12는 전자 디바이스 제조 프로세스(1200)의 특정 예시적 실시예를 묘사한다.

[0090] 물리적 디바이스 정보(1202)가 제조 프로세스(1200), 예컨대, 리서치 컴퓨터(1206)에서 수신된다. 물리적 디바이스 정보(1202)는 반도체 디바이스, 예컨대, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합의 적어도 하나의 물리적 특색을 표현하는 설계 정보를 포함할 수 있다. 예컨대, 물리적 디바이스 정보(1202)는 물리적 파라미터들, 재료 특성들, 및 리서치 컴퓨터(1206)에 커플링된 사용자 인터페이스(1204)를 통해 입력되는 구조 정보를 포함할 수 있다. 리서치 컴퓨터(1206)는 컴퓨터 판독가능 매체, 예컨대, 메모리(1210)에 커플링된 프로세서(1208), 예컨대, 하나 또는 그 초과의 프로세싱 코어들을 포함한다. 메모리(1210)는, 프로세서(1208)로 하여금, 물리적 디바이스 정보(1202)를 파일 포맷에 부합하도록 변환하게 하고 라이브러리 파일(1212)을 생성하게 하기 위해 실행가능한 컴퓨터 판독가능 명령들을 저장할 수 있다.

[0091] 특정 실시예에서, 라이브러리 파일(1212)은 변환된 설계 정보를 비롯한 적어도 하나의 데이터 파일을 포함한다. 예컨대, 라이브러리 파일(1212)은, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 전자 설계 자동화(EDA:electronic design automation) 도구(1220)와 함께 사용하기 위해 제공되는 이들의 임의의 결합을 포함하는 디바이스를 비롯한 반도체 디바이스들의 라이브러리를 포함할 수 있다.

[0092] 라이브러리 파일(1212)은, 메모리(1218)에 커플링된 프로세서(1216), 예컨대, 하나 또는 그 초과의 프로세싱 코어들을 포함하는 설계 컴퓨터(1214)에서, EDA 도구(1220)와 함께 사용될 수 있다. EDA 도구(1220)는, 설계 컴퓨터(1214)의 사용자가, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합을 포함하는 회로를 설계하는

것을 가능하게 하기 위한, 라이브러리 파일(1212)의 프로세서 실행가능한 명령들로서, 메모리(1218)에 저장될 수 있다. 예컨대, 설계 컴퓨터(1214)의 사용자는 설계 컴퓨터(1214)에 커플링된 사용자 인터페이스(1224)를 통해 회로 설계 정보(1222)를 입력할 수 있다. 회로 설계 정보(1222)는 반도체 디바이스, 예컨대, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합의 적어도 하나의 물리적 특색을 표현하는 설계 정보를 포함할 수 있다. 예시하기 위해, 회로 설계 특색은, 회로 설계에서 특정 회로들의 식별 및 다른 엘리먼트들에 대한 관계들, 포지셔닝 정보, 특정 크기 정보, 상호연결 정보, 또는 반도체 디바이스의 물리적 특색을 표현하는 다른 정보를 포함할 수 있다.

[0082] 설계 컴퓨터(1214)는, 회로 설계 정보(1222)를 포함하는 설계 정보를 파일 포맷에 부합하게 변환하도록 구성될 수 있다. 예시하기 위해, 파일 형성은 평면 기하학적 형상들, 텍스트 라벨들을 표현하는 데이터베이스 바이너리 파일 포맷, 및 계층적 포맷, 예컨대, 그래픽 데이터 시스템(Graphic Data System)(GDSII) 파일 포맷의 회로 레이아웃에 관한 다른 정보를 포함할 수 있다. 설계 컴퓨터(1214)는, 다른 회로들 또는 정보 이외에도, 변환된 설계 정보를 포함하는 데이터 파일, 예컨대, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합을 설명하는 정보를 포함하는 GDSII 파일(1226)을 생성하도록 구성될 수 있다. 예시하기 위해, 데이터 파일은, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합을 포함하고, 또한 시스템-온-칩(SOC) 내에서 추가 전자 회로들 및 컴포넌트들을 포함하는 시스템-온-칩(SOC)에 대응하는 정보를 포함할 수 있다.

[0083] [0094] GDSII 파일(1226)은, GDSII 파일(1226)의 변환된 정보에 따라, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합을 제조하기 위해, 제작 프로세스(1228)에서 수신될 수 있다. 예컨대, 디바이스 제조 프로세스는, 하나 또는 그 초과의 마스크들, 예컨대, 포토리소그래피 프로세싱과 함께 사용될 마스크들(대표 마스크(1232)로서 예시됨)을 생성하기 위해, GDSII 파일(1226)을 마스크 제조자(1230)에 제공하는 것을 포함할 수 있다. 마스크(1232)는 제작 프로세스 동안에 하나 또는 그 초과의 웨이퍼들(1234)을 생성하기 위해 사용될 수 있고, 이 웨이퍼들(1234)은 테스트되고 다이들, 예컨대, 대표 다이(1236)로 분리될 수 있다. 다이(1236)는, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합을 포함하는 디바이스를 비롯한 회로를 포함한다.

[0084] [0095] 다이(1236)는 패키징 프로세스(1238)에 제공될 수 있고, 여기서 다이(1236)는 대표 패키지(1240)에 통합된다. 예컨대, 패키지(1240)는 단일 다이(1236) 또는 다수의 다이들, 예컨대, 시스템-인-패키지(SiP:system-in-package) 어레인지먼트를 포함할 수 있다. 패키지(1240)는 하나 또는 그 초과의 표준들 또는 스펙들, 예컨대, JEDEC(Joint Electron Device Engineering Council) 표준들에 따르도록 구성될 수 있다.

[0085] [0096] 패키지(1240)에 관한 정보는 예컨대 컴퓨터(1246)에 저장된 컴포넌트 라이브러리를 통해 다양한 제품 설계자들에게 배포될 수 있다. 컴퓨터(1246)는 메모리(1250)에 커플링된 프로세서(1248), 예컨대, 하나 또는 그 초과의 프로세싱 코어들을 포함할 수 있다. 인쇄 회로 보드(PCB:printed circuit board) 도구는, 컴퓨터(1246)의 사용자로부터 사용자 인터페이스(1244)를 통해 수신되는 PCB 설계 정보(1242)를 프로세싱하기 위한 프로세서 실행가능한 명령들로서 메모리(1250)에 저장될 수 있다. PCB 설계 정보(1242)는 회로 보드 상의 패키징된 반도체 디바이스의 물리적 포지셔닝 정보를 포함할 수 있고, 이 패키징된 반도체 디바이스는 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합을 포함하는 패키지(1240)에 대응한다.

[0086] [0097] 컴퓨터(1246)는 데이터 파일, 예컨대, 회로 보드 상의 패키징된 반도체 디바이스의 물리적 포지셔닝 정보, 뿐만 아니라 트레이스들 및 비아들과 같은 전기 연결들의 레이아웃을 포함하는 데이터를 갖는 GERBER 파일(1252)을 생성하기 위해 PCB 설계 정보(1242)를 변환하도록 구성될 수 있고, 이 패키징된 반도체 디바이스는 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합을 포함하는 패키지(1240)에 대응한다. 다른 실시예들에서, 변환된 PCB 설계 정보에 의해 생성되는 데이터 파일은 GERBER 포맷 이외의 포맷을 가질 수 있다.

[0087] [0098] GERBER 파일(1252)은 보드 어셈블리 프로세스(1254)에서 수신될 수 있고, GERBER 파일(1252) 내에 저장된 설계 정보에 따라 제조되는 PCB들, 예컨대, 대표 PCB(1256)를 생성하기 위해 사용될 수 있다. 예컨대, GERBER 파일(1252)은, PCB 생산 프로세스의 다양한 단계들을 수행하기 위해 하나 또는 그 초과의 머신들에 업로

딩될 수 있다. 대표 인쇄 회로 어셈블리(PCA:printed circuit assembly)(1258)를 형성하기 위해, 패키지(1240)를 포함하는 전자 컴포넌트들이 PCB(1256)에 실장될 수 있다.

[0088] PCA(1258)는 제품 제조 프로세스(1260)에서 수신될 수 있고, 하나 또는 그 초과의 전자 디바이스들, 예컨대, 제 1 대표 전자 디바이스(1262) 및 제 2 대표 전자 디바이스(1264)에 통합될 수 있다. 예시적 비-제한적인 예로서, 제 1 대표 전자 디바이스(1262), 제 2 대표 전자 디바이스(1264), 또는 둘 다는, 셋톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정된 위치 데이터 유닛, 및 컴퓨터의 그룹으로부터 선택될 수 있고, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합이 이들에 통합된다. 다른 예시적 비-제한적인 예로서, 전자 디바이스들(1262 및 1264) 중 하나 또는 그 초과는 원격 유닛들, 예컨대, 모바일 폰들, 핸드-헬드 퍼스널 통신 시스템(PCS:personal communication systems) 유닛들, 휴대용 데이터 유닛들, 예컨대, 퍼스널 데이터 어시스턴트들, 글로벌 포지셔닝 시스템(GPS:global positioning system) 가능 디바이스들, 내비게이션 디바이스들, 고정된 위치 데이터 유닛들, 예컨대, 미터 판독 장비, 또는 데이터 또는 컴퓨터 명령들을 저장하거나 또는 리트리빙하는 임의의 다른 디바이스, 또는 이들의 임의의 결합일 수 있다. 본 개시내용의 교시들에 따라 도 12가 원격 유닛들을 예시하지만, 본 개시내용은 이들 예시된 유닛들로 제한되지 않는다. 본 개시내용의 실시예들은, 메모리 및 온-칩 회로를 비롯한 활성 집적 회로를 포함하는 임의의 디바이스에서 적절하게 사용될 수 있다.

[0089] 예시적 프로세스(1200)에서 설명되는 바와 같이, 도 1의 데이터 캐시(102), 도 3a의 제 3 레벨 캐시(308), 도 8a의 디프래그멘테이션 캐시(812), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합을 포함하는 디바이스가 제작, 프로세싱, 및 전자 디바이스에 통합될 수 있다. 도 1-도 11에 대하여 개시된 실시예들의 하나 또는 그 초과의 양상들은 다양한 프로세싱 단계들에서, 예컨대, 라이브러리 파일(1212), GDSII 파일(1226), 및 GERBER 파일(1252) 내에서 포함될 수 있을 뿐만 아니라, 리서치 컴퓨터(1206)의 메모리(1210), 설계 컴퓨터(1214)의 메모리(1218), 컴퓨터(1246)의 메모리(1250), 다양한 단계들, 예컨대, 보드 어셈블리 프로세스(1254)에서 사용되는 하나 또는 그 초과의 다른 컴퓨터들 또는 프로세서들(미도시)의 메모리에 저장될 수 있고, 또한 하나 또는 그 초과의 다른 물리적 실시예들, 예컨대, 마스크(1232), 다이(1236), 패키지(1240), PCA(1258), 다른 제품들, 예컨대, 프로토타입 회로들 또는 디바이스들(미도시), 도 11의 디프래그멘테이션 캐시(1164), 또는 이들의 임의의 결합에 통합될 수 있다. 물리적 디바이스 설계부터 최종 제품까지 생산의 다양한 대표 단계들이 묘사되지만, 다른 실시예들에서, 더 적은 수의 단계들이 사용될 수 있거나 또는 추가 단계들이 포함될 수 있다. 유사하게, 프로세스(1200)는 프로세스(1200)의 다양한 단계들을 수행하는 하나 또는 그 초과의 엔티티들에 의해 또는 단일 엔티티에 의해 수행될 수 있다.

[0090] 당업자들은 추가로, 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적 논리 블록들, 구성들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 프로세서에 의해 실행되는 컴퓨터 소프트웨어, 또는 이들의 결합들로서 구현될 수 있음을 인식할 것이다. 다양한 예시적 컴포넌트들, 블록들, 구성들, 모듈들, 회로들, 및 단계들은 위에서 일반적으로 그들의 기능 면에서 설명되었다. 이러한 기능이 하드웨어로서 구현되는지 또는 프로세서 실행가능한 명령들로서 구현되는지는 특정 애플리케이션, 및 전체 시스템에 부과되는 설계 제약들에 따라 좌우된다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식들로 구현할 수 있지만, 이러한 구현 결정들은 본 개시내용의 범위로부터 벗어남을 유발하는 것으로서 해석되지 않아야 한다.

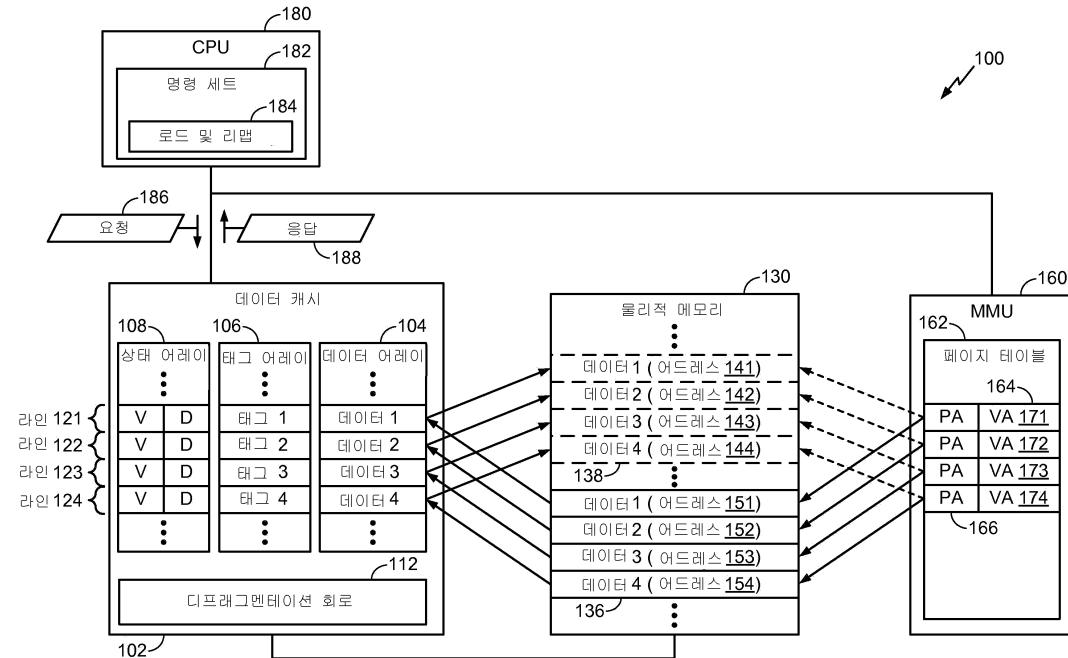
[0091] 본원에 개시된 실시예들과 관련하여 설명된 방법 또는 알고리즘의 단계들은 직접적으로 하드웨어로, 프로세서에 실행되는 소프트웨어 모듈로, 또는 이 둘의 결합으로 구현될 수 있다. 소프트웨어 모듈은 RAM(random access memory), 플래시 메모리, ROM(read-only memory), PROM(programmable read-only memory), EPROM(erasable programmable read-only memory), EEPROM(electrically erasable programmable read-only memory), 레지스터들, 하드 디스크, 탈착가능한 디스크, CD-ROM(compact disc read-only memory), 또는 기술분야에서 알려진 임의의 다른 형태의 비-일시적 저장 매체에 상주할 수 있다. 예시적 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고 정보를 저장 매체에 기록할 수 있도록, 프로세서에 커플링된다. 대안에서, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 주문형 집적 회로(ASIC)에 상주할 수 있다. ASIC는 컴퓨팅 디바이스 또는 사용자 단말에 상주할 수 있다. 대안에서, 프로세서 및 저장 매체는 컴퓨팅 디바이스 또는 사용자 단말에서 이산 컴포넌트들로서 상주할 수 있다.

[0092] 개시된 실시예들의 앞선 설명은, 당업자가 개시된 실시예들을 만들거나 또는 사용하는 것을 가능하게 하도록 제공된다. 이를 실시예들에 대한 다양한 수정들은 쉽게 당업자들에게 명백할 것이고, 본원에 정의된 원리들은 본 개시내용의 범위로부터 벗어남 없이 다른 실시예들에 적용될 수 있다. 따라서, 본 개시내용은 본원

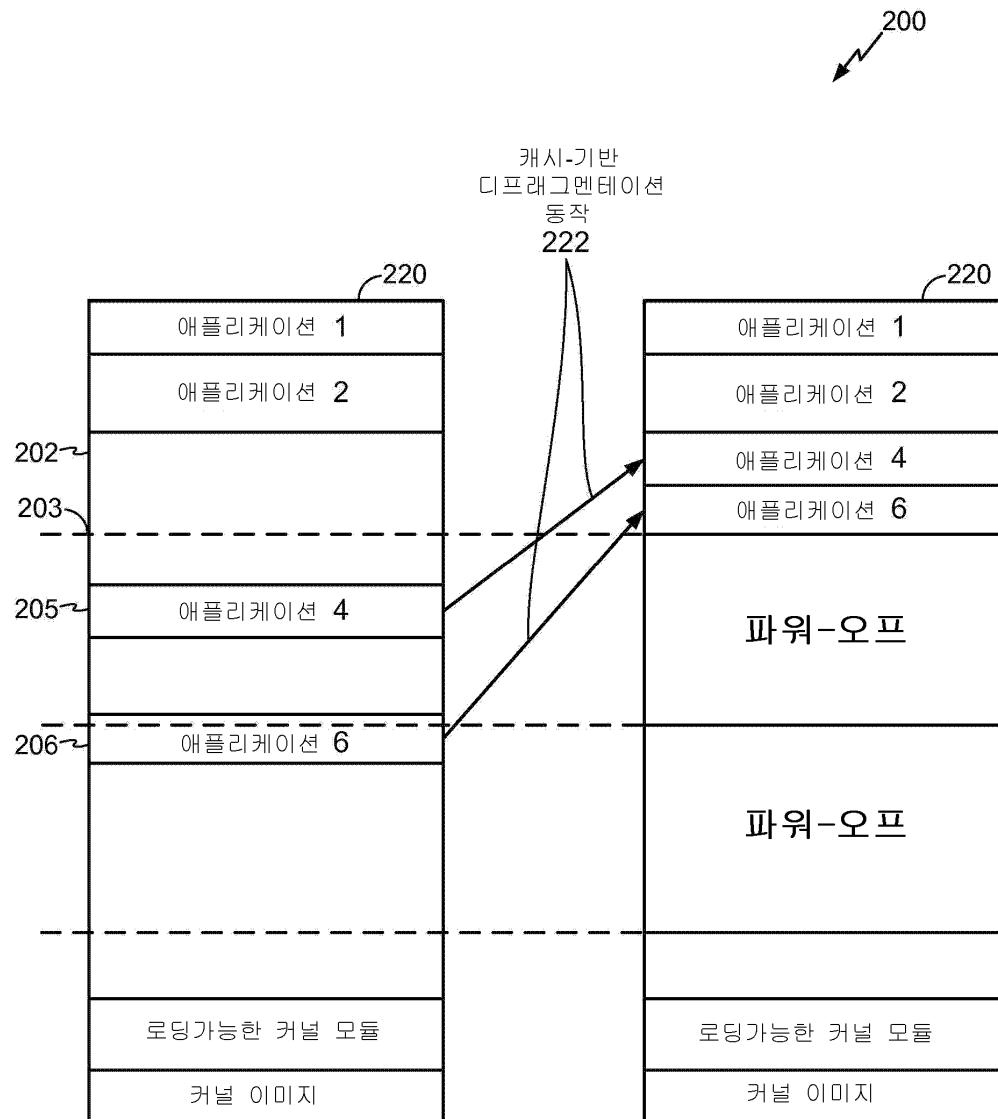
에 나타난 실시예들로 제한되는 것으로 의도되는 것이 아니라, 하기의 청구항들에 의해 정의되는 원리들 및 신규한 특징들과 일치하는 가능한 최광의의 범위에 따라야 한다.

## 도면

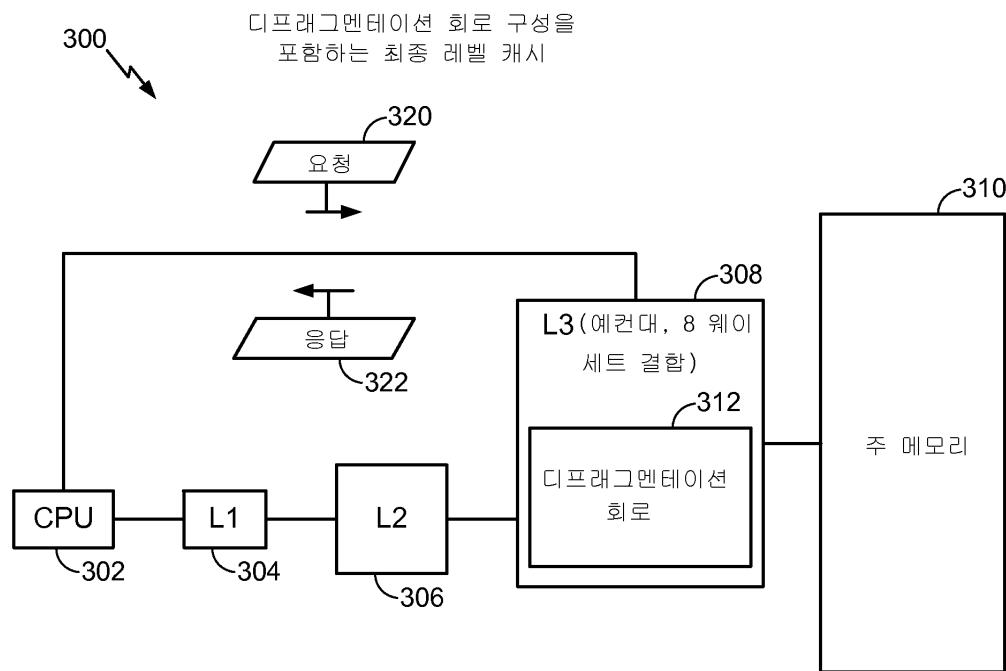
### 도면1



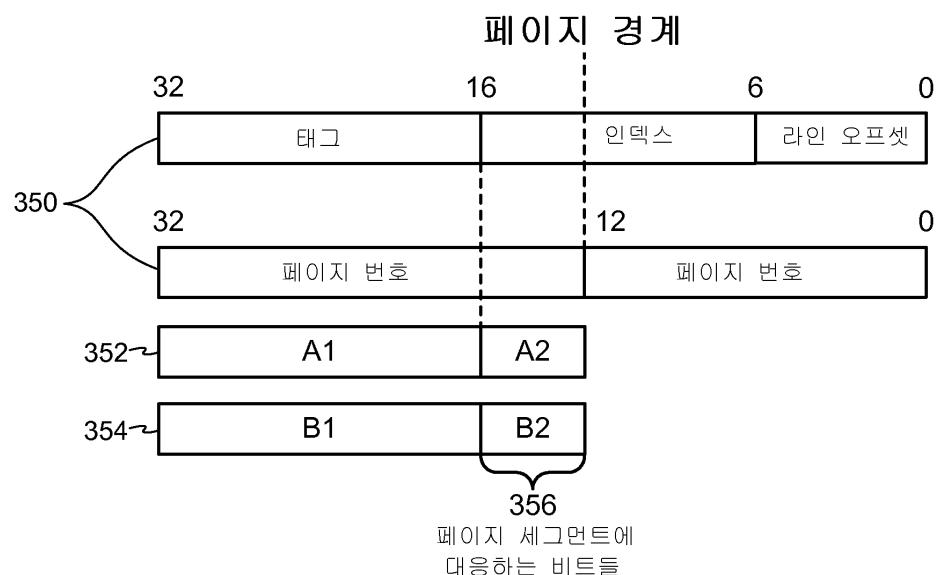
## 도면2



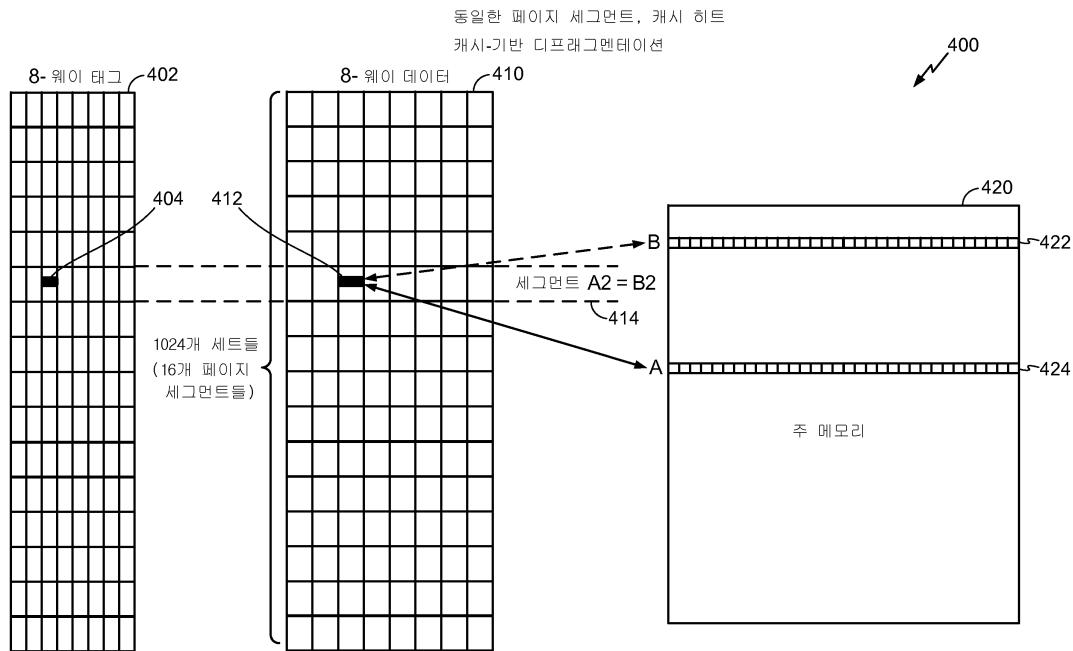
## 도면3a



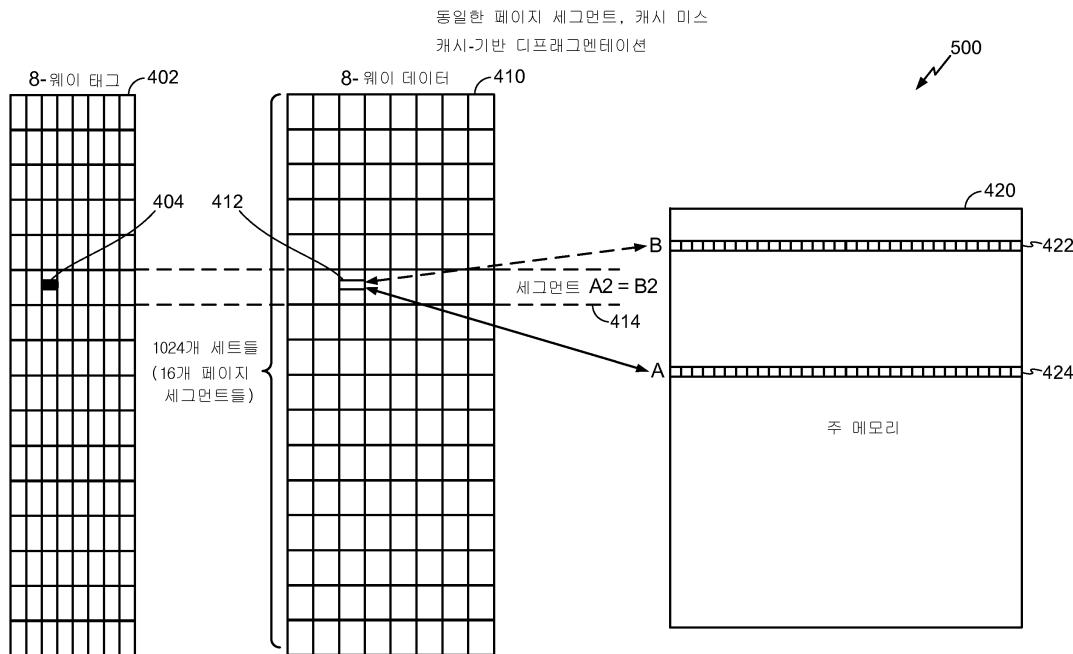
## 도면3b



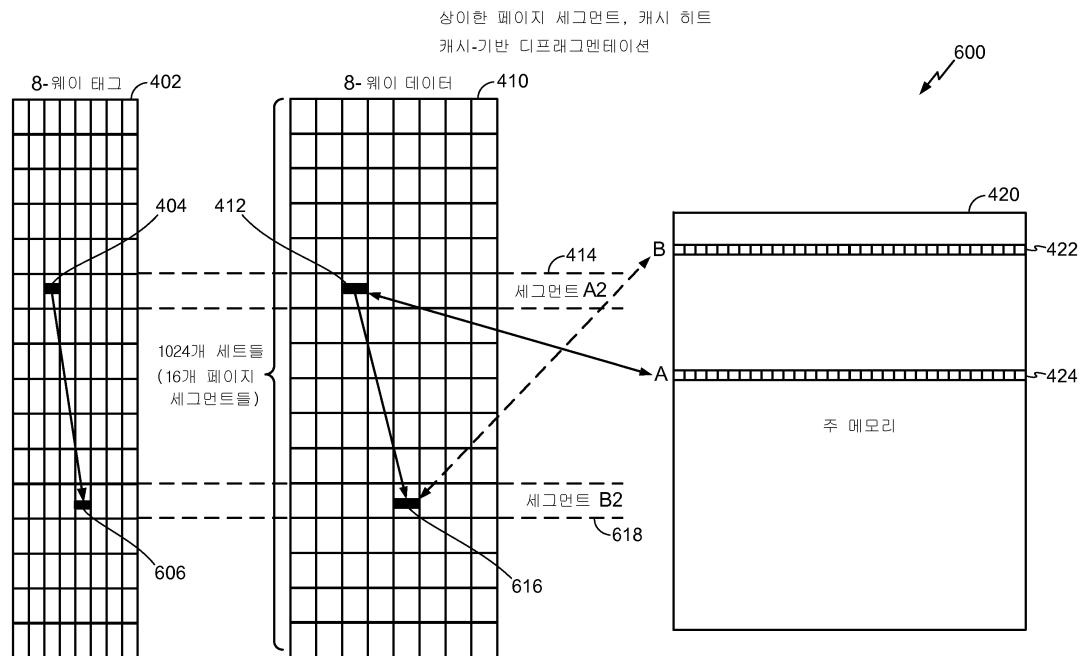
## 도면4



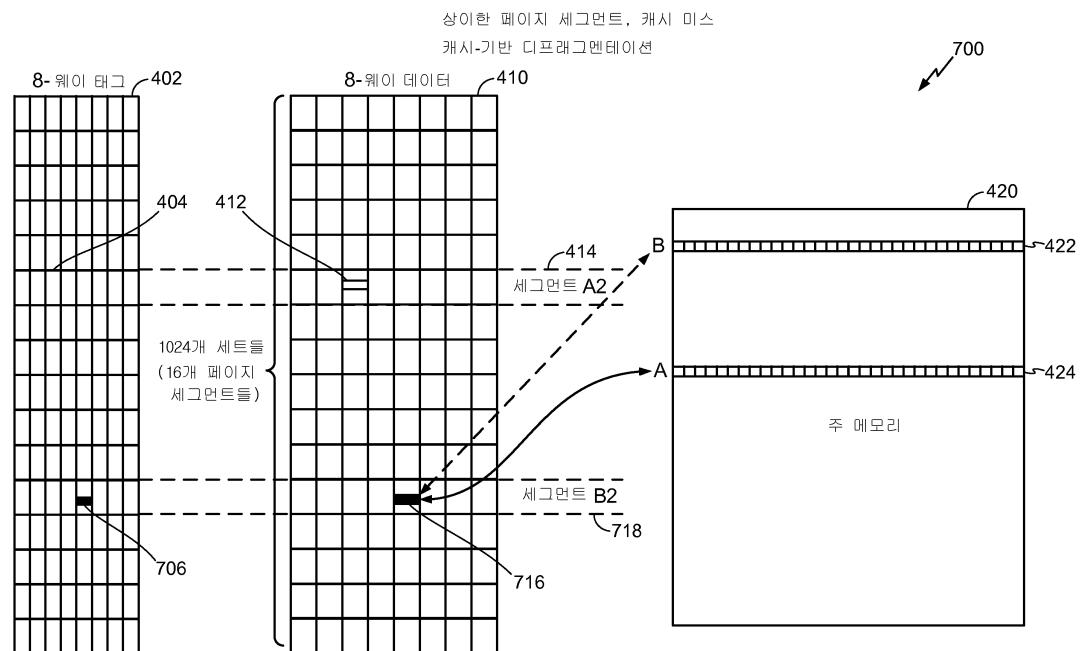
## 도면5



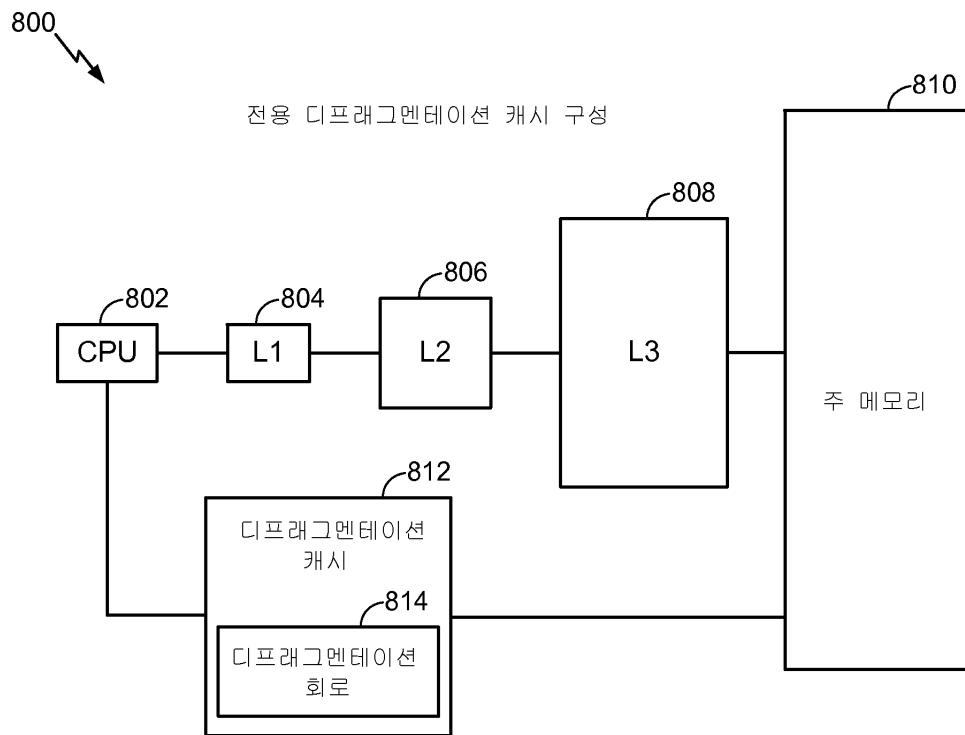
## 도면6



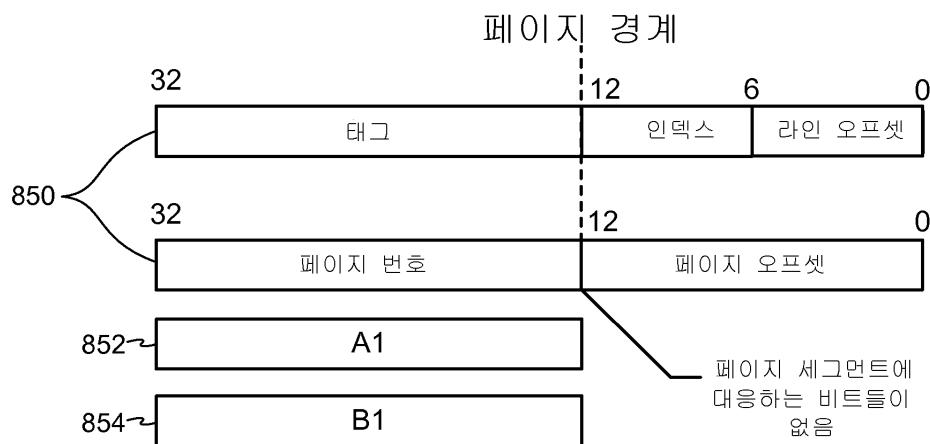
## 도면7



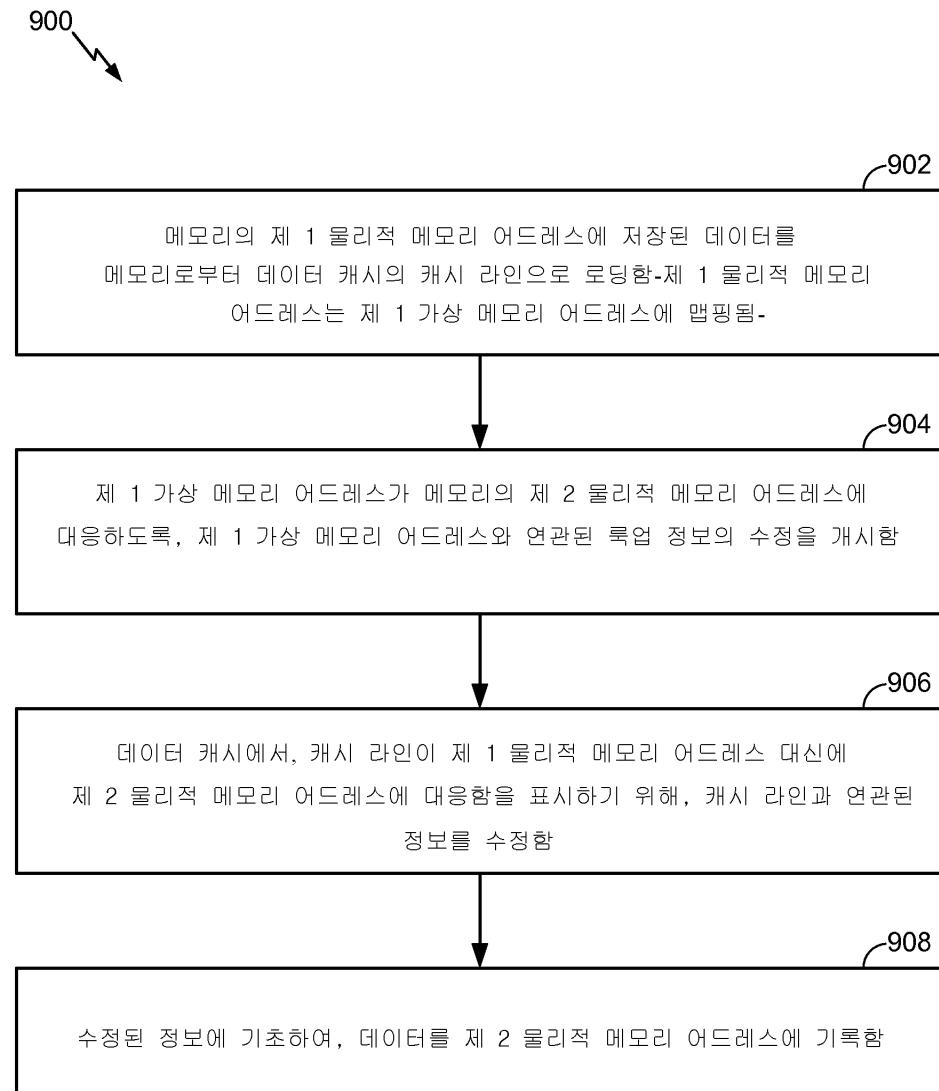
도면8a



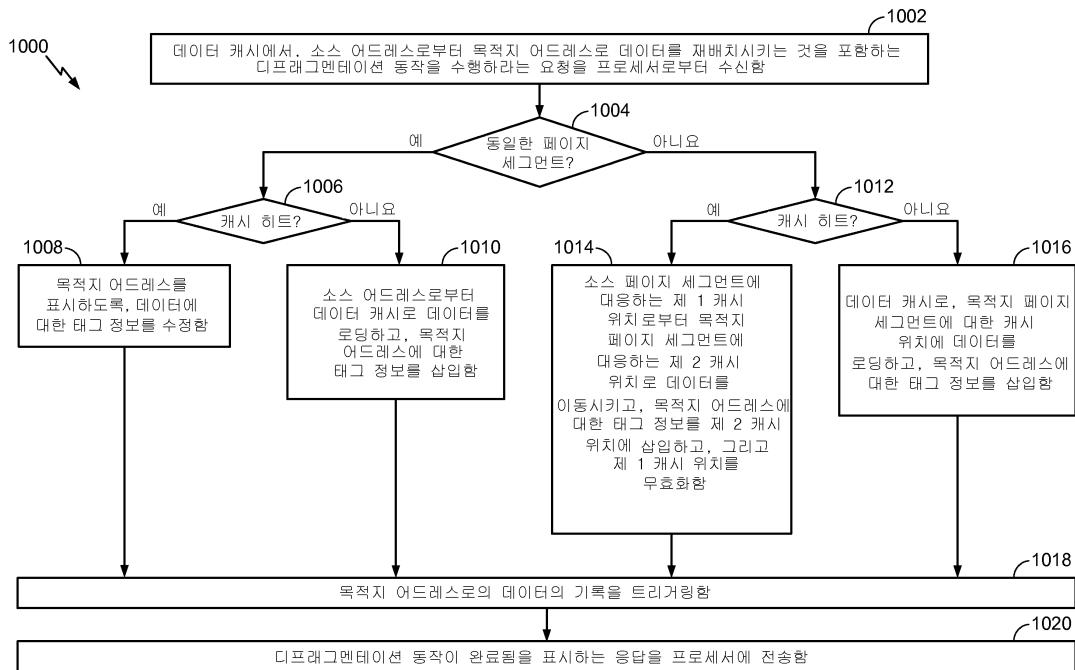
도면8b



## 도면9



## 도면10



## 도면12

