



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856552 B

(45)公告日：中華民國 113 (2024) 年 09 月 21 日

(21)申請案號：112108611

(22)申請日：中華民國 112 (2023) 年 03 月 09 日

(51)Int. Cl. : G11C16/22 (2006.01)

G11C16/06 (2006.01)

G11C16/02 (2006.01)

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.  
(TW)

新竹科學工業園區力行路 16 號

(72)發明人：胡志瑋 HU, CHIH-WEI (TW)；謝志昌 HSIEH, CHIH-CHANG (TW)

(74)代理人：葉璟宗

(56)參考文獻：

TW 202221901A

EP 3404661A1

US 5768193A

US 6493270B2

US 6650585B2

審查人員：陳俊達

申請專利範圍項數：18 項 圖式數：6 共 26 頁

(54)名稱

記憶體裝置及其資料保存度的補償方法

(57)摘要

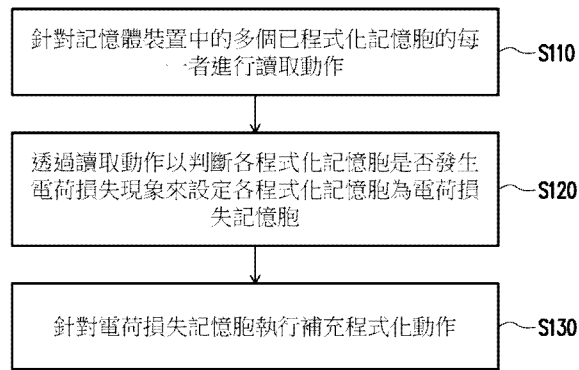
一種記憶體裝置，例如為 3 維及式 (AND) 快閃記憶體，及其資料保存度的補償方法被提出。補償方法包括：針對記憶體裝置中的多個已程式化記憶胞的每一者進行讀取動作；透過讀取動作以判斷各程式化記憶胞是否發生電荷損失現象來設定各程式化記憶胞為電荷損失記憶胞；以及，針對電荷損失記憶胞執行補充程式化動作。

A memory device, such as a 3D AND type flash memory, and a compensation method of data retention thereof are provided. The compensation method includes: performing a reading operation on each of a plurality of programmed memory cells of the memory device; judging whether each of the programmed memory cells occurs charge loss phenomenon to set each of the programmed memory cells to be a charge loss memory cell; and, performing a refill program operation on the charge loss memory cells.

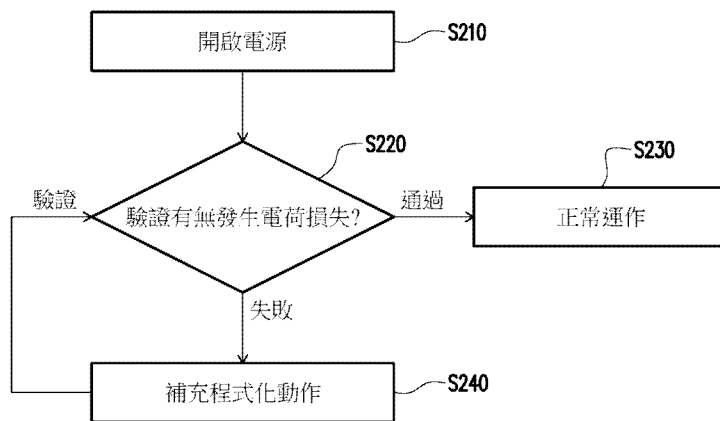
指定代表圖：

符號簡單說明：

S110~S130：步驟



【圖1】



【圖2】



公告本

I856552

【發明摘要】

【中文發明名稱】記憶體裝置及其資料保存度的補償方法

【英文發明名稱】MEMORY DEVICE AND COMPENSATION

METHOD OF DATA RETENTION THEREOF

【中文】一種記憶體裝置，例如為3維及式（AND）快閃記憶體，及其資料保存度的補償方法被提出。補償方法包括：針對記憶體裝置中的多個已程式化記憶胞的每一者進行讀取動作；透過讀取動作以判斷各程式化記憶胞是否發生電荷損失現象來設定各程式化記憶胞為電荷損失記憶胞；以及，針對電荷損失記憶胞執行補充程式化動作。

【英文】A memory device, such as a 3D AND type flash memory, and a compensation method of data retention thereof are provided. The compensation method includes: performing a reading operation on each of a plurality of programmed memory cells of the memory device; judging whether each of the programmed memory cells occurs charge loss phenomenon to set each of the programmed memory cells to be a charge loss memory cell; and, performing a refill program operation on the charge loss memory cells.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

S110~S130：步驟

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 記憶體裝置及其資料保存度的補償方法

【英文發明名稱】 MEMORY DEVICE AND COMPENSATION

METHOD OF DATA RETENTION THEREOF

### 【技術領域】

【0001】 本發明是有關於一種記憶體裝置及其補償方法，且特別是有關於一種透過補充程式化動作來補償資料保存度的記憶體裝置及其補償方法。

### 【先前技術】

【0002】 隨著電子科技的進步，電子產品成為人們生活中的重要工具。而為了提供可信賴且大量的資料訊息，在電子產品中設置高可靠度的記憶體裝置是一個必然的趨勢。

【0003】 在現今的技術領域中，快閃記憶體裝置成為電子裝置中，做為資料儲存媒介的一種主流。然而，快閃記憶胞在高度的讀取抹除循環（program and erase cycle, PE cycle）下，可能造成可靠度的下降。可靠度下降的快閃記憶胞，其具有的電荷保存能力的可下降，在長時間的儲存條件下，記憶胞中的電荷可能發生損失（charge loss）而造成資料保存度下降。

### 【發明內容】

【0004】 本發明提供一種記憶體裝置及其資料保存度的補償方法，可有效維持已程式化記憶胞的儲存電荷。

【0005】 本發明的資料保存度的補償方法包括：針對記憶體裝置中的多個已程式化記憶胞的每一者進行讀取動作；透過讀取動作以判斷各程式化記憶胞是否發生電荷損失現象來設定各程式化記憶胞為電荷損失記憶胞；以及，針對電荷損失記憶胞執行補充程式化動作。

【0006】 本發明的記憶體裝置包括記憶體區塊以及控制器。控制器耦接記憶體區塊。控制器用以：針對記憶體裝置中的多個已程式化記憶胞的每一者進行讀取動作；透過讀取動作以判斷各程式化記憶胞是否發生電荷損失現象來設定各程式化記憶胞為電荷損失記憶胞；以及，針對電荷損失記憶胞執行補充程式化動作。

【0007】 基於上述，本發明的記憶體裝置透過針對記憶胞的電荷損失狀態進行檢測，並在檢測出記憶胞發生電荷損失現象時，針對電荷損失記憶胞執行補充程式化動作。如此一來，記憶胞的電荷損失現象可以得到補償，並維持資料的可靠度。

### 【圖式簡單說明】

#### 【0008】

圖 1 繪示本發明一實施例的資料保存度的補償方法的流程圖。

圖 2 繪示本發明另一實施例的記憶體裝置的資料保存度的補

償方法的流程圖。

圖 3A 至圖 3C 繪示記憶體裝置的資料保存度的補償動作的示意圖。

圖 4A 以及圖 4B 繪示本發明實施例的記憶體裝置的資料保存度的補償動作的另一實施方式的示意圖。

圖 5 以及圖 6 分別繪示本發明實施例的資料保存的補償動作的不同實施方式的流程圖。

圖 7 繪示本發明一實施例的記憶體裝置的示意圖。

圖 8 繪示本發明一實施例的記憶體裝置的記憶胞的架構示意圖。

### 【實施方式】

【0009】請參照圖 1，圖 1 繪示本發明一實施例的資料保存度的補償方法的流程圖。在步驟 S110 中，可針對記憶體裝置中的多個已程式化記憶胞的每一者進行一讀取動作，並在步驟 S120 中，透過上述的讀取動作以判斷各個程式化記憶胞是否發生電荷損失現象。並根據各個程式化記憶胞是否發生電荷損失現象，來設定各個程式化記憶胞為電荷損失記憶胞。在細節上，本發明實施例中，可針對整個記憶體裝置中，所有的已程式化記憶胞進行是否發生電荷損失現象的檢測動作。上述的電荷損失現象的檢測動作，可針對各個已程式化記憶胞進行讀取動作來進行。透過讀取動作，可以檢測出各個已程式化記憶胞的臨界電壓的飄移狀態。在本發

明實施例中，記憶體裝置內可先設置第一閾值電壓以及第二閾值電壓，其中第二閾值電壓大於第一閾值電壓，且第二閾值電壓可小於已程式化記憶胞在前次執行程式化動作中的程式化驗證電壓。記憶體裝置並可判斷受檢測的已程式化記憶胞的臨界電壓是否落於第一閾值電壓以及第二閾值電壓間。當受檢測的已程式化記憶胞的臨界電壓落於第一閾值電壓以及第二閾值電壓間，記憶體裝置可判定受檢測的已程式化記憶胞發生電荷損失現象，並可被設定為電荷損失記憶胞。當受檢測的已程式化記憶胞的臨界電壓並非落於第一閾值電壓以及第二閾值電壓間，記憶體裝置則不設定受檢測的已程式化記憶胞為電荷損失記憶胞。

**【0010】** 在本發明其他實施例中，可基於記憶體裝置中的多個分區來執行電荷損失現象的檢測動作。其中，記憶體裝置中的每一分區可以為已抹除分區以及已程式化分區。記憶體裝置可針對已程式化分區中的已程式化記憶胞進行讀取動作以判定各個已程式化記憶胞是否為電荷損失記憶胞。記憶體裝置可不針對已抹除分區進行讀取動作。

**【0011】** 接著，在步驟 S130 中，記憶體裝置可針對電荷損失記憶胞執行補充程式化動作，並透過補充程式化動作對電荷損失記憶胞進行電荷再填補（refill）動作，並完成記憶胞的資料保存度的補償動作。

**【0012】** 在本實施例中，在補充程式化動作，記憶體裝置可設定一程式化電壓，並提供具有程式化電壓的單一脈波對電荷損失記

憶胞執行補充程式化動作。在本實施方式中，補充程式化動作可程式化電壓可大於補充程式化驗證動作的程式化驗證電壓。而上述的程式化驗證電壓可以根據上述的第二閾值來設定，例如使程式化驗證電壓等於上述的第二閾值。

【0013】 在其他實施方式中，記憶體裝置也可針對電荷損失記憶胞，透過遞增步階脈衝程式化（Incremental Step Pulse Programming, ISPP）的機制來對該些電荷損失記憶胞執行該補充程式化動作。關於遞增步階脈衝程式化機制的動作細節，則可應用本領域具通常知識者所熟知的方式來進行，沒有一定的限制。

【0014】 以下請參照圖 2，圖 2 繪示本發明另一實施例的記憶體裝置的資料保存度的補償方法的流程圖。在步驟 S210 中，記憶體裝置的電源被開啟。在步驟 S220 中，記憶體裝置可針對已程式化記憶胞進行有無發生電荷損失現象的驗證動作。在此可同步參照圖 2 以及圖 3A 至圖 3C 繪示的記憶體裝置的資料保存度的補償動作的示意圖。在圖 3A 至圖 3C 中，橫軸表示記憶胞的臨界電壓的電壓值，縱軸表示記憶胞的數量。在圖 3A 中，記憶體裝置中的記憶胞的分佈曲線被區分為已抹區記憶胞分佈曲線 ER 以及已程式化記憶胞分佈曲線 PGM。其中，已程式化記憶胞分佈曲線 PGM 中的記憶胞的臨界電壓均大於程式化驗證電壓 VPV。針對各記憶胞以執行讀取動作的讀取參考電壓 VRD 則設置在已抹區記憶胞分佈曲線 ER 以及已程式化記憶胞分佈曲線 PGM 間，並與已程式化記憶胞分佈曲線 PGM 具有一足夠大的間距以作為一讀取邊界（read

margin)。

【0015】 在圖 3B 中，已程式化記憶胞分佈曲線 PGM 中部分的已程式化記憶胞可能因為環境因素、使用時間或被讀取次數等因素的至少其中之一而產生電荷損失的現象，而產生已程式化記憶胞分佈曲線 310。此時，透過執行步驟 S220，記憶體裝置中的控制器可設置第一閾值電壓 V1 以及第二閾值電壓 V2，並透過針對已程式化記憶胞進行讀取動作，來判斷出臨界電壓介於第一閾值電壓 V1 以及第二閾值電壓 V2 的多個電荷損失記憶胞 320。

【0016】 請重新參照圖 2，在步驟 S230 中，當步驟 S220 的驗證動作為通過時（表示被驗證的已程式化記憶胞非為電荷損失記憶胞），可執行步驟 S230 以執行正常動作。

【0017】 當步驟 S220 的驗證動作為失敗時（表示被驗證的已程式化記憶胞為電荷損失記憶胞），可執行步驟 S240，以針對電荷損失記憶胞執行補充程式化動作。

【0018】 關於補充程式化動作的細節，請參照圖 3C，承繼圖 3B 的實施方式，當記憶體裝置的控制器判斷出電荷損失記憶胞 320 後，控制器可針對電荷損失記憶胞 320 執行補充程式化動作。其中，控制器可設定等於第二閾值電壓 V2 的程式化驗證電壓，並透過提供具有程式化電壓的一個脈波至電荷損失記憶胞 320 來對電荷損失記憶胞 320 進行補充程式化動作，在此，上述程式化電壓可大於第二閾值電壓 V2。或者，控制器可透過提供多個具有遞增電壓的脈波，透過遞增步階脈衝程式化的機制，對電荷損失記憶

胞 320 執行補充程式化動作。

【0019】 在完成補充程式化動作後，可獲得已程式化記憶胞的分佈曲線 310'。

【0020】 以下請參照圖 4A 以及圖 4B，圖 4A 以及圖 4B 繪示本發明實施例的記憶體裝置的資料保存度的補償動作的另一實施方式的示意圖。在圖 4A 中，記憶體裝置的控制器可設定第一閾值電壓 V1、第二閾值電壓 V2 以及第三閾值電壓 V3，來對已程式化記憶胞分佈曲線 410 中的各個已程式化記憶胞進行驗證動作，其中第三閾值電壓 V3 大於第二閾值電壓 V2，且第二閾值電壓 V2 大於第一閾值電壓 V1。記憶體裝置的控制器根據第一閾值電壓 V1、第二閾值電壓 V2 以及第三閾值電壓 V3 來針對各個已程式化記憶胞進行讀取動作，並藉以驗證出臨界電壓介於第一閾值電壓 V1 以及第三閾值電壓 V3 間的多個電荷損失記憶胞。

【0021】 在圖 4B 中，記憶體裝置的控制器可設定等於第三閾值電壓 V3 的程式化驗證電壓，並基於所設定的程式化驗證電壓來對電荷損失記憶胞進行補充程式化動作。透過針對電荷損失記憶胞執行電荷補充的動作，可產生新的已程式化記憶胞分佈曲線 410'。

【0022】 以下請參照圖 5 以及圖 6，圖 5 以及圖 6 分別繪示本發明實施例的資料保存的補償動作的不同實施方式的流程圖。在圖 5 中，在步驟 S510 中，記憶體裝置可透過控制器以根據第二閾值電壓 V2，在搭配錯誤檢查以及糾正（Error Checking and Correction, ECC）的機制的條件下，來針對已程式化記憶胞進行讀取動作。

若上述的讀取動作為通過，表示已程式化記憶胞沒有發生嚴重的電荷損失的現象，而可以正常運作（步驟 S530）。若步驟 S510 的讀取動作為失敗時，可執行步驟 S520，記憶體裝置可透過控制器以根據第一閾值電壓 V1 以及第三閾值電壓 V3 來對已程式化記憶胞進行讀取動作。其中，第三閾值電壓 V3 大於第二閾值電壓 V2，第二閾值電壓 V2 大於第一閾值電壓 V1。

**【0023】** 若已程式化記憶胞的臨界電壓介於第一閾值電壓 V1 以及第三閾值電壓 V3 間時，則步驟 S520 的讀取結果為失敗，相對的，若已程式化記憶胞的臨界電壓不介於第一閾值電壓 V1 以及第三閾值電壓 V3 間時，則步驟 S520 的讀取結果為通過。當步驟 S520 的讀取結果為失敗時，可執行步驟 S540；相對的，當步驟 S520 的讀取結果為通過時，可執行步驟 S530。

**【0024】** 在步驟 S540 中，記憶體控制器可針對臨界電壓介於第一閾值電壓 V1 以及第三閾值電壓 V3 間的電荷損失記憶胞來執行補充程式化動作，並藉以對電荷損失記憶胞執行電荷的再填補動作。

**【0025】** 在圖 6 中，在步驟 S610 中，記憶體裝置可透過控制器以根據第一閾值電壓 V1 以及第二閾值電壓 V2，在不搭配錯誤檢查以及糾正（ECC）的機制的條件下，來針對已程式化記憶胞進行讀取動作。若上述的讀取動作為通過，表示已程式化記憶胞沒有發生嚴重的電荷損失的現象，而可以正常運作（步驟 S630）。若步驟 S610 的讀取動作為失敗時，可執行步驟 S620，記憶體裝置可透過控制器以根據第三閾值電壓 V3 來對已程式化記憶胞進行讀

取動作。其中，第三閾值電壓  $V3$  大於第二閾值電壓  $V2$ ，第二閾值電壓  $V2$  大於第一閾值電壓  $V1$ 。

【0026】 透過步驟 S620 的讀取結果，可以驗證出臨界電壓介於第一閾值電壓  $V1$  以及第三閾值電壓  $V3$  間的電荷損失記憶胞。在步驟 S640 中，記憶體控制器可針對臨界電壓介於第一閾值電壓  $V1$  以及第三閾值電壓  $V3$  間的電荷損失記憶胞來執行補充程式化動作，並藉以對電荷損失記憶胞執行電荷的再填補動作。

【0027】 以下請參照圖 7，圖 7 繪示本發明一實施例的記憶體裝置的示意圖。記憶體裝置 700 包括記憶體區塊 710 以及控制器 720。記憶體區塊 710 以及控制器 720 相互耦接。控制器 720 用以針對記憶體區塊 710 執行如前述多個實施例以及實施方式中所提及的已程式化記憶胞的資料保存度的補償方法。相關的動作細節在前述的實施例以及實施方式都已有詳細的說明，以下恕不多贅述。

【0028】 值得一提的，在本發明實施例中，記憶體區塊 710 可以為及式 (AND) 或反或式 (NOR) 快閃記憶體區塊。其中，記憶體區塊 710 可以為二維或三維式記憶體區塊。記憶體區塊 710 可具有多個分區。各個分區並可根據記憶胞的寫入狀態，被區分為已抹除記憶胞區塊以及已程式化記憶胞區塊。

【0029】 另外，控制器 720 可以為具運算能力的處理器。或者，控制器 720 可以是透過硬體描述語言 (Hardware Description Language, HDL) 或是其他任意本領域具通常知識者所熟知的數位電路的設計方式來進行設計，並透過現場可程式邏輯門陣列 (Field

Programmable Gate Array, FPGA)、複雜可程式邏輯裝置(Complex Programmable Logic Device, CPLD)或是特殊應用積體電路(Application-specific Integrated Circuit, ASIC)的方式來實現的硬體電路，沒有特定的限制。

**【0030】** 以下請參照圖 8，圖 8 繪示本發明一實施例的記憶體裝置的記憶胞的架構示意圖。在本發明實施例的記憶體裝置中，記憶胞區塊中的多個記憶胞 MCs 可以堆疊的方式來建構，並形成一三維架構的記憶胞串。每一記憶胞可具有氧化矽-氮化矽-氧化矽層 ONO 以作為絕緣層。並具有通道結構 CH 以及閘極結構 GS。區域位元線 BL 以及區域源極線 SL，分別透過導電插銷 PG1、PG2 以連接至記憶胞串中的全部記憶胞 MCs。

**【0031】** 綜上所述，本發明的記憶體裝置透過讀取動作來判斷已程式化記憶胞有無發生電荷損失的現象。並透過補充程式化動作，來針對電荷損失記憶胞進行電荷的再填補動作，可有效維持記憶胞的資料保存度，確保資料的正確性。

### **【符號說明】**

#### **【0032】**

310、310'、410、410'：已程式化記憶胞分佈曲線

320：電荷損失記憶胞

700：記憶體裝置

710：記憶體區塊

720：控制器

BL：區域位元線

CH：通道結構

ER：已抹區記憶胞分佈曲線

GS：閘極結構

MCs：記憶胞

ONO：氧化矽-氮化矽-氧化矽層

PG1、PG2：導電插銷

PGM：已程式化記憶胞分佈曲線

S110~S130、S210~S230、S510~S540、S610~S640：步驟

SL：區域源極線

V1~V3：閾值電壓

VPV：程式化驗證電壓

VRD：讀取參考電壓

## 【發明申請專利範圍】

【請求項1】 一種資料保存度的補償方法，包括：

針對一記憶體裝置中的多個已程式化記憶胞的每一者進行一讀取動作；

透過該讀取動作以判斷各該程式化記憶胞是否發生電荷損失現象來設定各該程式化記憶胞為電荷損失記憶胞，包括：

設定一第一閾值電壓以及一第二閾值電壓，其中該第二閾值電壓大於該第一閾值電壓；以及

針對各該已程式化記憶胞進行該讀取動作，並判斷各該已程式化記憶胞的臨界電壓是否介於該第一閾值電壓以及該第二閾值電壓之間；以及

針對該些電荷損失記憶胞執行一補充程式化動作。

【請求項2】 如請求項1所述的補償方法，其中透過該讀取動作以判斷各該程式化記憶胞是否發生電荷損失現象來設定各該程式化記憶胞為各該電荷損失記憶胞的步驟更包括：

當各該已程式化記憶胞的臨界電壓介於該第一閾值電壓以及該第二閾值電壓之間時，設定各該已程式化記憶胞為各該電荷損失記憶胞。

【請求項3】 如請求項1所述的補償方法，其中針對該些電荷損失記憶胞執行該補充程式化動作的步驟包括：

根據該第二閾值電壓以設定該補充程式化動作中的一程式化驗證電壓；以及

根據該程式化驗證電壓以對該些電荷損失記憶胞執行該補充程式化動作。

**【請求項4】** 如請求項1所述的補償方法，其中針對該些電荷損失記憶胞執行該補充程式化動作的步驟包括：

設定一程式化電壓，提供具有該程式化電壓的一脈波對該些電荷損失記憶胞執行該補充程式化動作，

其中該程式化電壓大於該第二閾值電壓。

**【請求項5】** 如請求項1所述的補償方法，其中針對該些電荷損失記憶胞執行該補充程式化動作的步驟包括：

根據一遞增步階脈衝程式化的機制來對該些電荷損失記憶胞執行該補充程式化動作。

**【請求項6】** 如請求項1所述的補償方法，其中針對該記憶體裝置中已程式化的該些已程式化記憶胞進行該讀取動作的步驟包括：

設定一第一閾值電壓、一第二閾值電壓以及一第三閾值電壓，其中該第三閾值電壓大於該第二閾值電壓，該第二閾值電壓大於該第一閾值電壓；以及

基於一錯誤檢查及糾正機制，根據該第二閾值電壓以針對各該已程式化記憶胞進行一第一讀取動作；

當該第一讀取動作發生失敗時，根據該第一閾值電壓以及該第三閾值電壓以針對各該已程式化記憶胞進行一第二讀取動作；以及

設定臨界電壓是介於該第一閾值電壓以及該第三閾值電壓之間的各該已程式化記憶胞為各該電荷損失記憶胞。

**【請求項7】** 如請求項6所述的補償方法，其中針對該些電荷損失記憶胞執行該補充程式化動作的步驟包括：

根據該第三閾值電壓以設定該補充程式化動作中的一程式化驗證電壓；以及

根據該程式化驗證電壓以對該些電荷損失記憶胞執行該補充程式化動作。

**【請求項8】** 如請求項1所述的補償方法，其中針對該記憶體裝置中已程式化的該些已程式化記憶胞進行該讀取動作的步驟包括：

設定一第一閾值電壓、一第二閾值電壓以及一第三閾值電壓，其中該第三閾值電壓大於該第二閾值電壓，該第二閾值電壓大於該第一閾值電壓；以及

根據該第一閾值電壓以及該第二閾值電壓以針對各該記憶胞進行一第一讀取動作；

當該第一讀取動作發生失敗時，根據該第三閾值電壓以針對各該記憶胞進行一第二讀取動作；以及

設定臨界電壓介於該第一閾值電壓以及該第三閾值電壓之間的各該已程式化記憶胞為各該電荷損失記憶胞。

**【請求項9】** 一種記憶體裝置，包括：

一記憶體區塊；以及

一控制器，耦接該記憶體區塊，用以：

針對該記憶體裝置中的多個已程式化記憶胞的每一者進行一讀取動作；

透過該讀取動作以判斷各該程式化記憶胞是否發生電荷損失現象來設定各該程式化記憶胞為電荷損失記憶胞；以及

針對該些電荷損失記憶胞執行一補充程式化動作，

其中該控制器更用以：

設定一第一閾值電壓以及一第二閾值電壓，其中該第二閾值電壓大於該第一閾值電壓；以及

針對各該已程式化記憶胞進行該讀取動作，並判斷各該已程式化記憶胞的臨界電壓是否介於該第一閾值電壓以及該第二閾值電壓之間。

**【請求項10】** 如請求項9所述的記憶體裝置，其中該控制器更用以：

當各該已程式化記憶胞的臨界電壓介於該第一閾值電壓以及該第二閾值電壓之間時，設定各該已程式化記憶胞為各該電荷損失記憶胞。

**【請求項11】** 如請求項9所述的記憶體裝置，其中該控制器更用以：

根據該第二閾值電壓以設定該補充程式化動作中的一程式化驗證電壓；以及

根據該程式化驗證電壓以對該些電荷損失記憶胞執行該補充程式化動作。

**【請求項12】** 如請求項9所述的記憶體裝置，其中該控制器更用以：

設定一程式化電壓，提供具有該程式化電壓的一脈波對該些電荷損失記憶胞執行該補充程式化動作，

其中該程式化電壓大於該第二閾值電壓。

**【請求項13】** 如請求項9所述的記憶體裝置，其中該控制器更用以：

根據一遞增步階脈衝程式化機制來對該些電荷損失記憶胞執行該補充程式化動作。

**【請求項14】** 如請求項9所述的記憶體裝置，其中該控制器更用以：

設定一第一閾值電壓、一第二閾值電壓以及一第三閾值電壓，其中該第三閾值電壓大於該第二閾值電壓，該第二閾值電壓大於該第一閾值電壓；以及

基於一錯誤檢查及糾正機制，根據該第二閾值電壓以針對各該已程式化記憶胞進行一第一讀取動作；

當該第一讀取動作發生失敗時，根據該第一閾值電壓以及該第三閾值電壓以針對各該已程式化記憶胞進行一第二讀取動作；以及

設定臨界電壓介於該第一閾值電壓以及該第三閾值電壓之間各該已程式化記憶胞為各該電荷損失記憶胞。

**【請求項15】** 如請求項14所述的記憶體裝置，其中該控制器更用以：

根據該第三閾值電壓以設定該補充程式化動作中的一程式化驗證電壓；以及

根據該程式化驗證電壓以對該些電荷損失記憶胞執行該補充程式化動作。

**【請求項16】** 如請求項9所述的記憶體裝置，其中該控制器更用以：

設定一第一閾值電壓、一第二閾值電壓以及一第三閾值電壓，其中該第三閾值電壓大於該第二閾值電壓，該第二閾值電壓大於該第一閾值電壓；以及

根據該第一閾值電壓以及該第二閾值電壓以針對各該記憶胞進行一第一讀取動作；

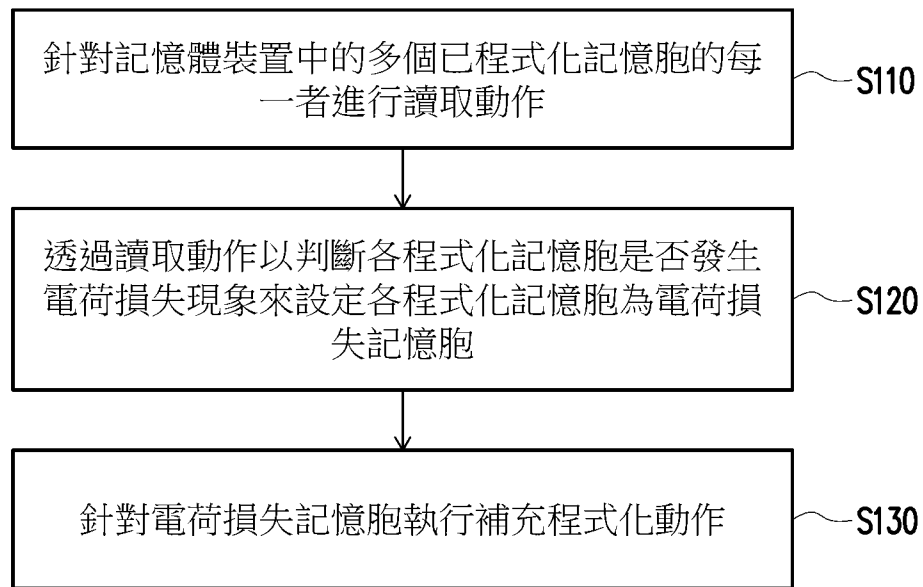
當該第一讀取動作發生失敗時，根據該第三閾值電壓以針對各該記憶胞進行一第二讀取動作；以及

設定臨界電壓介於該第一閾值電壓以及該第三閾值電壓之間各該已程式化記憶胞為各該電荷損失記憶胞。

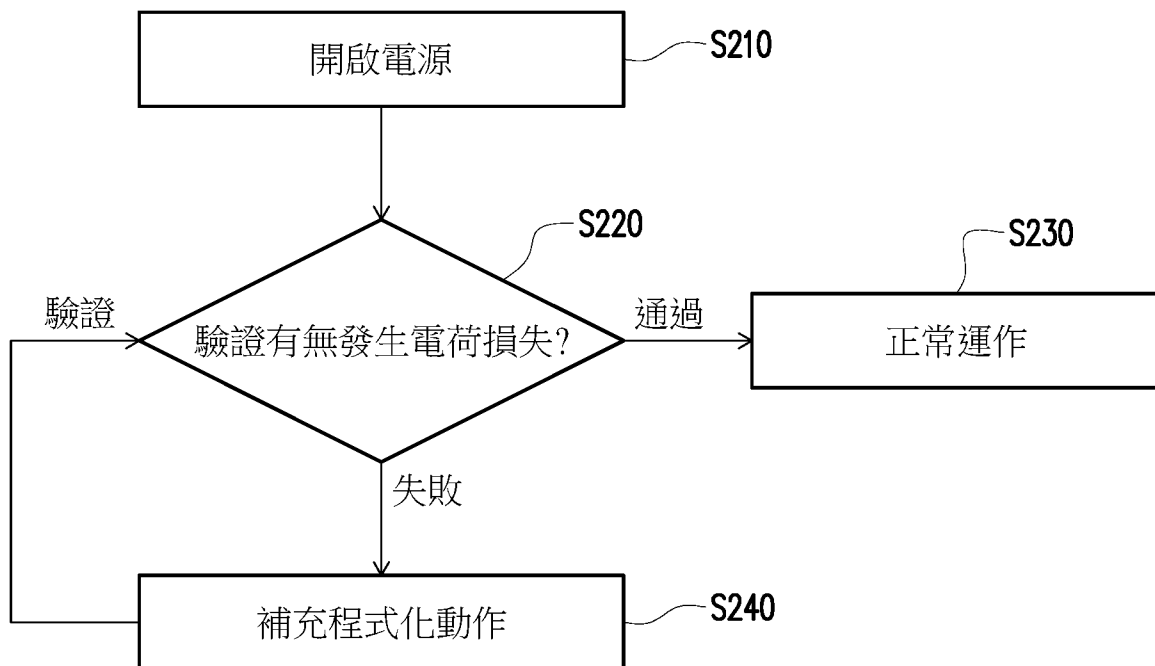
**【請求項17】** 如請求項9所述的記憶體裝置，其中該記憶體區塊為及式或反或式快閃記憶體區塊。

**【請求項18】** 如請求項9所述的記憶體裝置，其中該記憶體區塊為二維或三維式記憶體區塊。

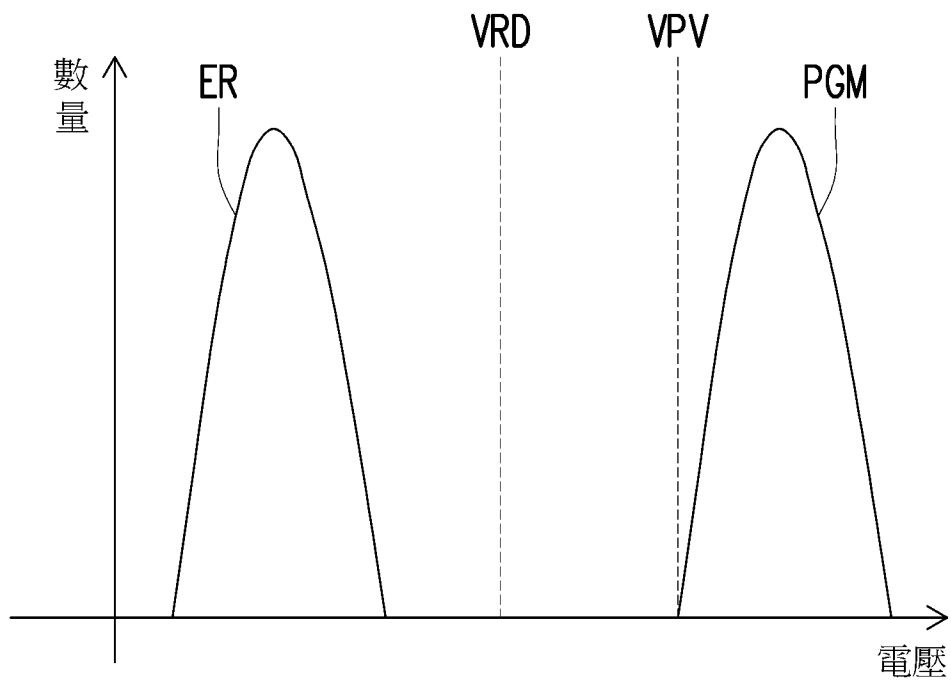
## 【發明圖式】



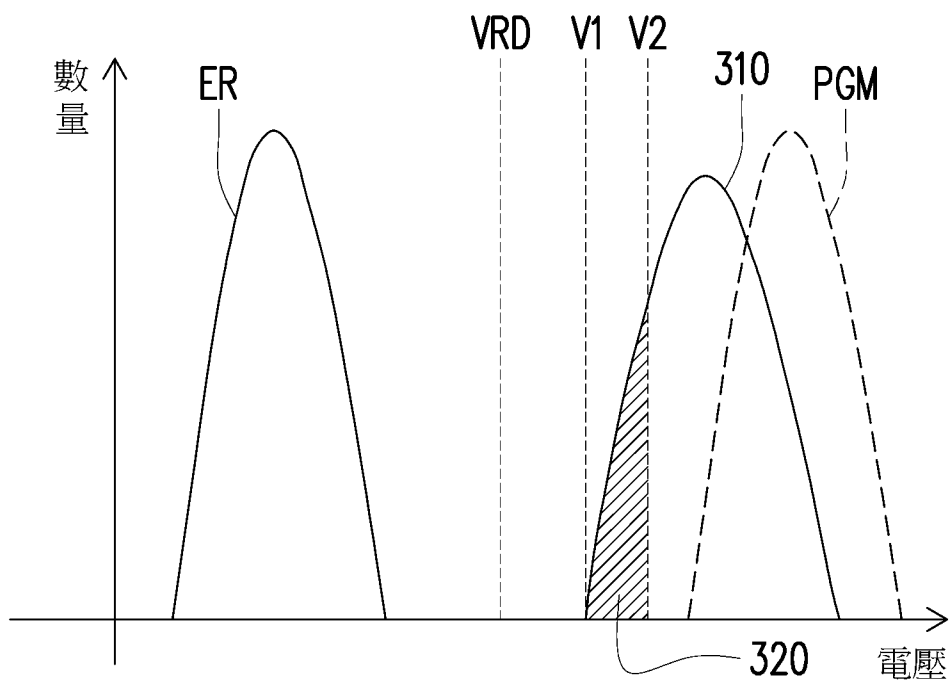
【圖1】



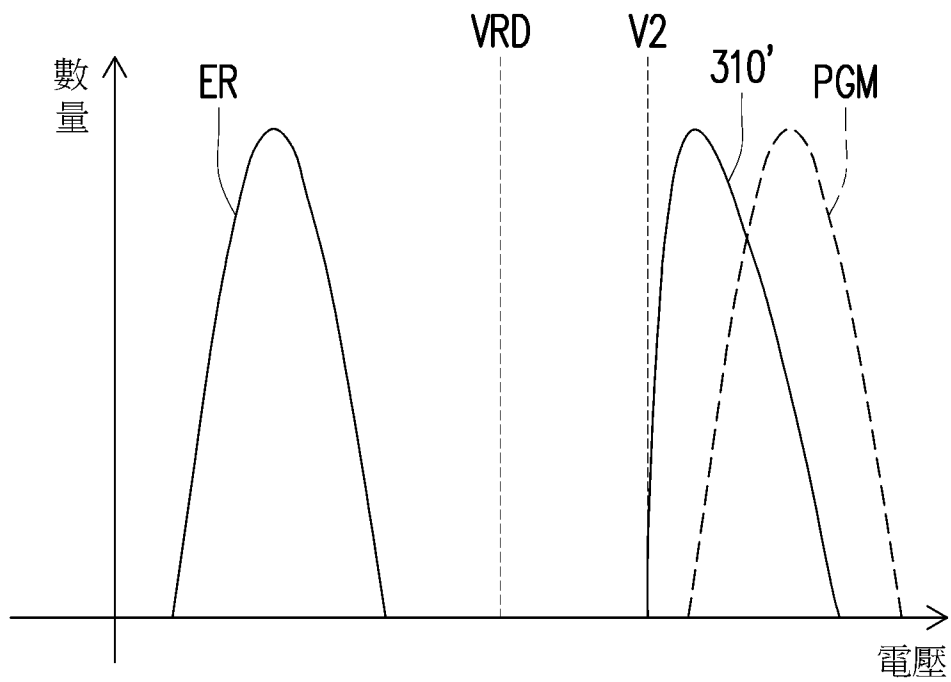
【圖2】



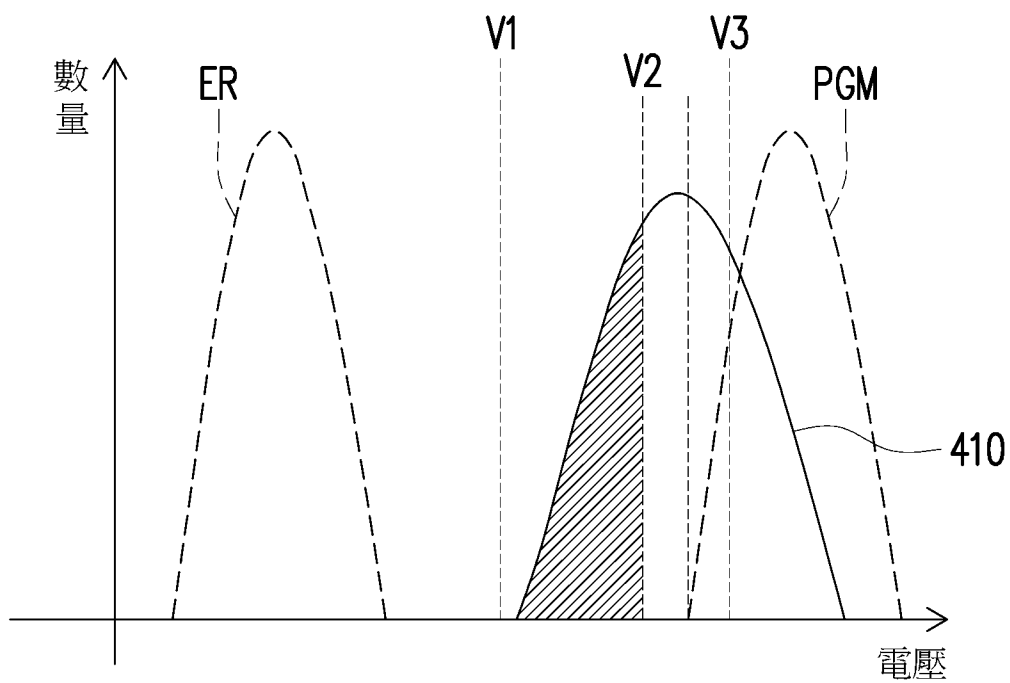
【圖3A】



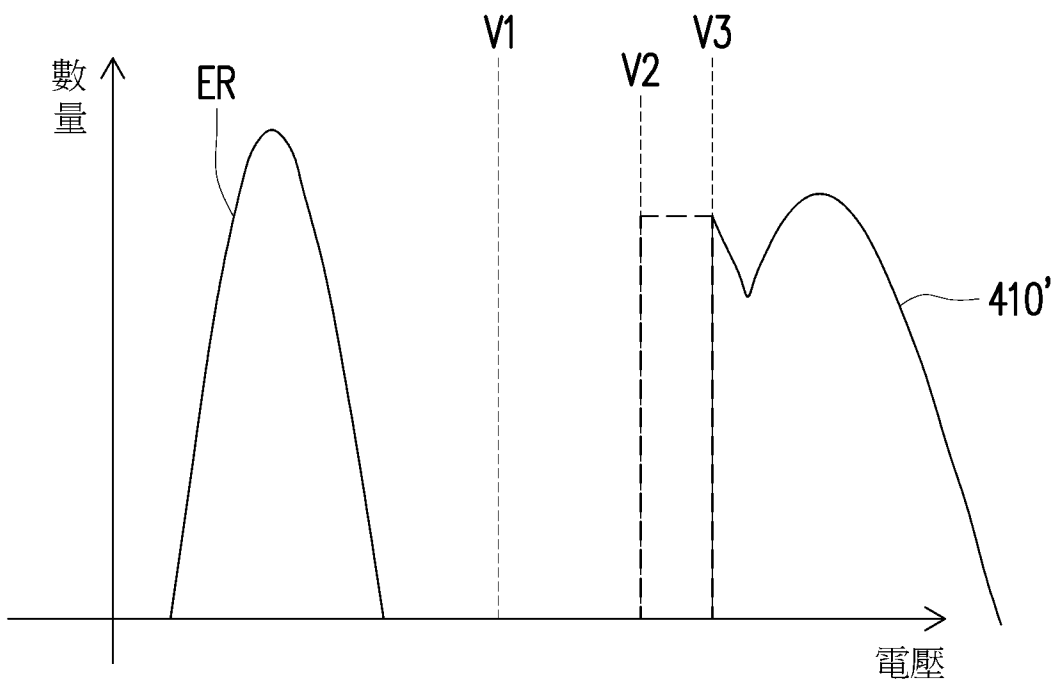
【圖3B】



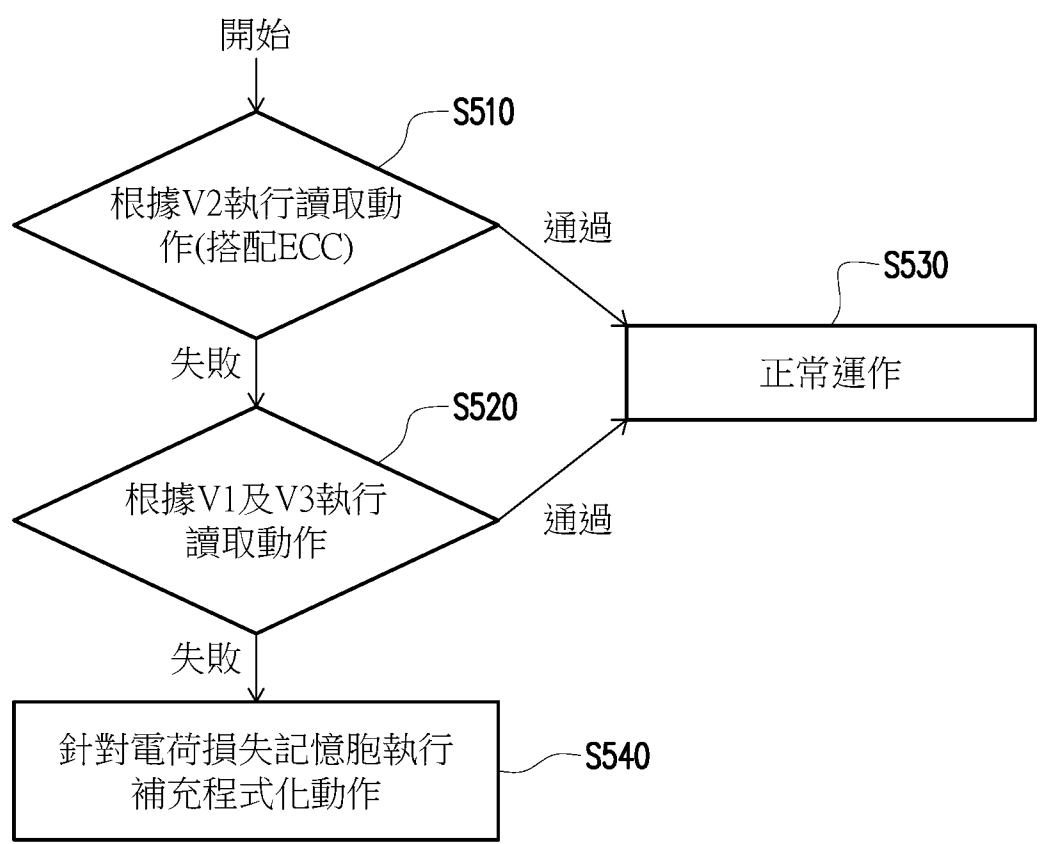
【圖3C】



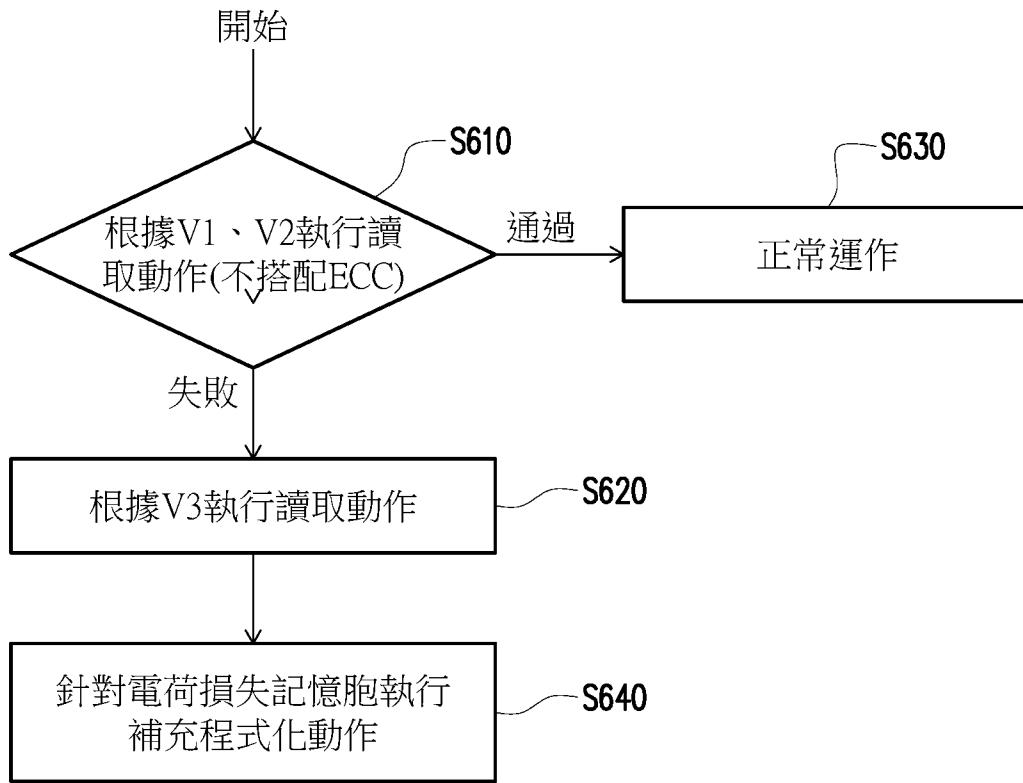
【圖4A】



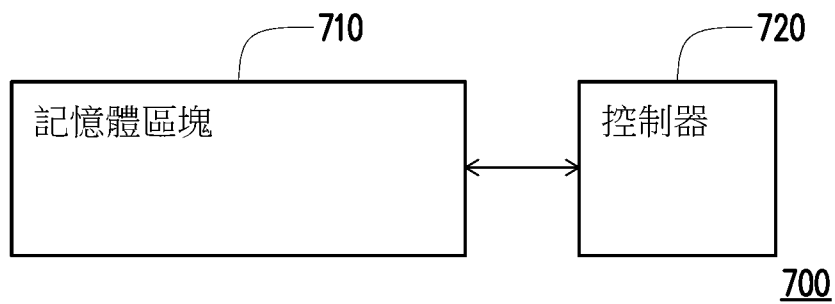
【圖4B】



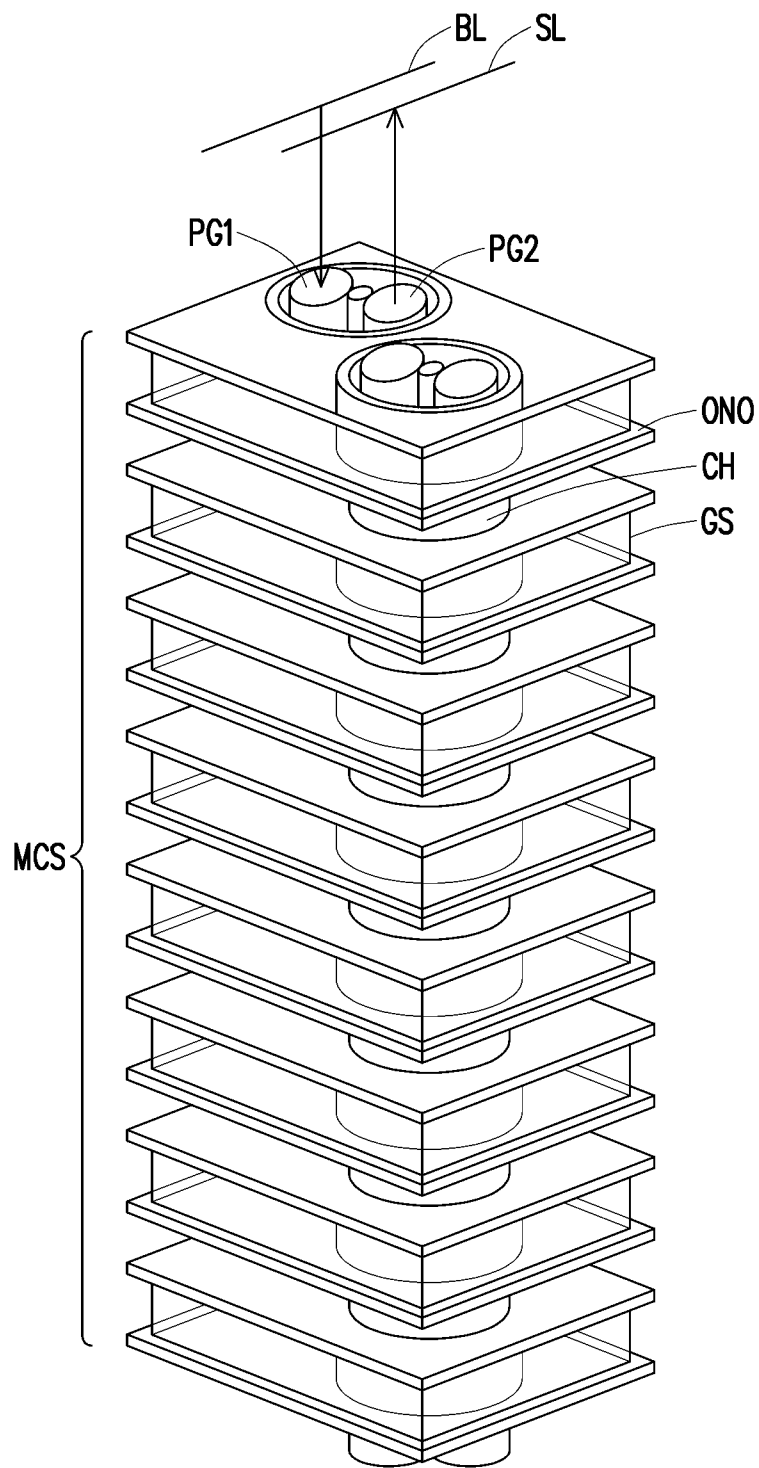
【圖5】



【圖6】



【圖7】



【圖8】