



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2012년04월09일
 (11) 등록번호 10-1133766
 (24) 등록일자 2012년03월29일

- (51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)
 (21) 출원번호 10-2005-0026015
 (22) 출원일자 2005년03월29일
 심사청구일자 2010년03월29일
 (65) 공개번호 10-2006-0104133
 (43) 공개일자 2006년10월09일
 (56) 선행기술조사문헌
 KR1020020034284 A*
 KR1020030028110 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
최태영
 서울특별시 성북구 정릉로 404, 102동 605호 (돈
 암동, 돈암현대아파트)
 (74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 9 항

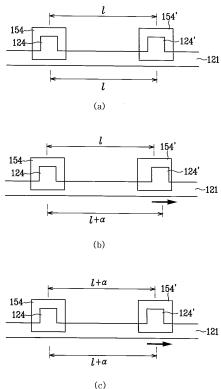
심사관 : 임동재

(54) 발명의 명칭 **박막 트랜지스터 표시판의 제조 방법**

(57) 요약

본 발명은, 열팽창율을 가지는 기판 위에 게이트용 도전층을 형성하는 단계, 상기 게이트용 도전층을 이웃하는 게이트 전극 패턴 사이에 제1 간격을 가지는 복수의 게이트 전극 패턴을 포함하는 제1 마스크로 패터닝하여 복수의 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막 및 반도체층을 형성하는 단계, 상기 반도체층을 이웃하는 패턴 사이에 상기 제1 간격보다 넓은 제2 간격을 가지는 복수의 패턴을 포함하는 제2 마스크로 패터닝하여 복수의 반도체 패턴을 형성하는 단계, 상기 반도체 패턴 위에 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주하는 드레인 전극을 형성하는 단계, 및 상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법을 제공한다.

대 표 도 - 도12



특허청구의 범위

청구항 1

열팽창율을 가지는 기판 위에 게이트용 도전층을 형성하는 단계,

상기 게이트용 도전층을 이웃하는 게이트 전극 패턴 사이에 제1 간격을 가지는 복수의 게이트 전극 패턴을 포함하는 제1 마스크로 패터닝하여 복수의 게이트 전극을 포함하는 게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막 및 반도체층을 형성하는 단계,

상기 반도체층을 이웃하는 패턴 사이에 상기 제1 간격보다 넓은 제2 간격을 가지는 복수의 패턴을 포함하는 제2 마스크로 패터닝하여 복수의 반도체 패턴을 형성하는 단계,

상기 반도체 패턴 위에 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주하는 드레인 전극을 형성하는 단계, 및

상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 2

제1항에서, 상기 제2 마스크는 상기 제1 간격보다 상기 기판의 열팽창율과 동일한 비율만큼 넓은 제2 간격을 가지는 박막 트랜지스터 표시판의 제조 방법.

청구항 3

제1항에서, 상기 반도체 패턴을 형성하는 단계에서 상기 제2 마스크는 상기 제1 간격보다 100ppm 내지 500ppm 넓은 제2 간격을 가지는 박막 트랜지스터 표시판의 제조 방법.

청구항 4

제1항에서, 상기 반도체 패턴을 형성하는 단계는 섬(island)형으로 패터닝하는 박막 트랜지스터 표시판의 제조 방법.

청구항 5

제1항에서, 상기 게이트용 도전체를 형성하는 단계 전에 상기 기판의 상부 또는 상기 기판의 하부 또는 상기 기판의 상부와 하부 모두에 기판 보호막을 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 6

제1항에서, 상기 화소 전극을 형성하는 단계 이전에 절연 물질로 이루어지는 보호막을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 7

제6항에서, 상기 보호막을 형성하는 단계는 무기 물질로 이루어지는 제1 보호막을 형성하는 단계 및 유기 물질로 이루어지는 제2 보호막을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 8

제1항에서, 상기 게이트 절연막 및 반도체층을 형성하는 단계 후에 불순물이 도핑되어 있는 비정질규소로 이루어지는 저항성 접촉층을 형성하는 단계를 연속적으로 수행하는 박막 트랜지스터 표시판의 제조 방법.

청구항 9

제1항에서, 상기 화소 전극을 형성하는 단계 이전에 컬러 필터를 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0019] 본 발명은 박막 트랜지스터 표시판의 제조 방법에 관한 것으로, 보다 상세하게는 플라스틱 기판의 열팽창에 의한 정렬 오차를 최소화할 수 있는 박막 트랜지스터 표시판의 제조 방법에 관한 것이다.
- [0020] 인터넷이 보편화되고 소통되는 정보의 양이 폭발적으로 증가하면서 미래에는 언제 어디서나 정보를 접할 수 있는 '유비쿼터스 디스플레이(ubiquitous display)'의 환경이 창출될 것이며, 그에 따라 정보를 출력하는 매개체인 노트북, 전자수첩 및 PDA 등과 같은 휴대용 디스플레이의 역할이 중요하게 되었다. 이러한 유비쿼터스 디스플레이 환경을 구현하기 위해서는 원하는 때와 장소에서 정보를 바로 접할 수 있도록 디스플레이의 휴대성이 요구됨과 동시에, 각종 멀티미디어 정보를 표시하기 위한 대화면 특성도 요구된다. 따라서, 이러한 휴대성 및 대화면 특성을 동시에 만족시키기 위해서는, 디스플레이에 유연성을 부여하여 디스플레이로서의 기능을 할 때에는 펼쳐서 이용할 수 있고 휴대시에는 접어서 보관할 수 있는 형태의 디스플레이가 개발될 필요성이 있다.
- [0021] 현재 널리 사용되고 있는 평판 표시 장치 중 대표적인 액정 표시 장치(Liquid Crystal Display, LCD)는, 전극이 형성되어 있는 두 장의 유리 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져 있으며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 형태가 주류이다.
- [0022] 그런데, 이러한 액정 표시 장치는 무겁고 파손되기 쉬운 유리 기판을 사용하기 때문에 휴대성 및 대화면 표시에 한계가 있다.
- [0023] 따라서, 근래에는 중량이 가볍고 충격에 강할 뿐만 아니라 플렉서블(flexible) 특성을 가지는 플라스틱 기판을 이용하는 액정 표시 장치가 개발되고 있다.
- [0024] 기존의 유리 기판 대신 유연성이 있는 플라스틱 기판을 이용함으로써, 휴대성, 안전성 및 경량성 등에서 기존의 유리 기판에 비하여 많은 이점들을 가질 수 있다. 또한, 공정적인 측면에서도, 플라스틱 기판은 중착 또는 프린팅에 의해 제작이 가능하므로 제조 비용을 낮출 수 있고, 기존의 시트(sheet) 단위의 공정과 달리 롤-투-롤(roll-to-roll) 공정으로 표시 장치를 제작할 수 있으므로 대량 생산을 통한 저비용의 표시 장치를 제조할 수 있다.
- [0025] 그러나, 플라스틱 기판은 열에 약하여 고온 단계에서 쉽게 팽창하는 문제점이 있다. 이 경우, 플라스틱 기판의 팽창 전에 형성되어 있는 패턴과 팽창 후에 형성되는 패턴 사이에 정렬 오차(misalignment)가 발생한다.

발명이 이루고자 하는 기술적 과제

- [0026] 따라서, 본 발명은 상기 문제점을 해결하기 위한 것으로써, 플라스틱 기판의 열팽창에 의한 정렬오차를 최소화 할 수 있는 박막 트랜지스터 표시판의 제조 방법을 제공한다.

발명의 구성 및 작용

- [0027] 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은, 열팽창율을 가지는 기판 위에 게이트용 도전층을 형성하는 단계, 상기 게이트용 도전층을 이웃하는 게이트 전극 패턴 사이에 제1 간격을 가지는 복수의 게이트 전극 패턴을 포함하는 제1 마스크로 패터닝하여 복수의 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막 및 반도체층을 형성하는 단계, 상기 반도체층을 이웃하는 패턴 사이에 상기 제1 간격보다 넓은 제2 간격을 가지는 복수의 패턴을 포함하는 제2 마스크로 패터닝하여 복수의 반도체 패턴을 형성하는 단계, 상기 반도체 패턴 위에 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주하는 드레인 전극을 형성하는 단계 및 상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계를 포함한다.
- [0028] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0029] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유

사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

- [0030] 먼저, 도 1 및 도 2를 참조하여, 본 발명의 일실시예에 따른 박막 트랜지스터 표시판에 대하여 상세하게 설명한다.
- [0031] 본 실시예에 따른 박막 트랜지스터 표시판은 기판(110)의 하부 및 상부에 산화규소(SiO_2) 또는 질화규소(SiN_x)와 같은 무기 물질 또는 유기 물질 등으로 이루어지는 기판 보호막(111a, 111b)이 형성되어 있다.
- [0032] 기판(110)은, 예컨대 폴리아크릴레이트, 폴리에틸렌에테르프탈레이트, 폴리에틸렌나프탈레이트, 폴리카보네이트, 폴리아릴레이트, 폴리에테르아미드, 폴리에테르술폰 또는 폴리아미드 등에서 선택된 1종 또는 2종 이상의 플라스틱 소재로 이루어지며, 2 이상의 층이 중첩될 수도 있다.
- [0033] 기판 보호막(111a, 111b)은 외부로부터 산소 또는 수분이 유입되는 것을 방지하는 역할을 하는 것으로, 플라스틱 기판(110)의 하부 및 상부에 모두 형성하는 것이 바람직하지만 하부 및 상부 중 어느 하나에만 형성될 수도 있고 경우에 따라 생략될 수도 있다.
- [0034] 기판 보호막(111b) 위에는 게이트 신호를 전달하는 복수의 게이트선(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(124), 확장부(127) 및 외부 회로 연결을 위하여 확장된 폭을 가지는 게이트선의 끝부분(129)을 포함한다.
- [0035] 게이트선(121)은 단일층 또는 이중층으로 형성될 수 있으며, 예컨대 알루미늄(Al) 또는 알루미늄 합금(Al-alloy), 몽리브덴(Mo) 또는 몽리브덴 합금(Mo-alloy)으로 이루어질 수 있다.
- [0036] 게이트선(124)의 측면은 경사져 있으며 그 경사각은 기판(110)의 표면에 대하여 약 30 내지 80도를 이룬다.
- [0037] 게이트선(121) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0038] 게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 등으로 이루어진 섬(island)형 반도체 패턴(154)이 형성되어 있다.
- [0039] 섬형 반도체 패턴(154)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질규소 따위의 물질로 이루어지는 섬형 저항성 접촉 부재(ohmic contact)(163, 165)가 형성되어 있다. 섬형 저항성 접촉 부재(163, 165)는 쌍을 이루어 섬형 반도체 패턴(154) 위에 위치되어 있다. 섬형 저항성 접촉 부재(163, 165)는 섬형 반도체 패턴(154)과 그 상부의 소스 전극(173) 및 드레인 전극(175) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- [0040] 섬형 반도체 패턴(154)과 섬형 저항성 접촉 부재(163, 165)의 측면 역시 경사져 있으며 경사각은 기판(110)에 대해서 30 내지 80°이다.
- [0041] 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171), 복수의 드레인 전극(drain electrode)(175) 및 복수의 유지 축전기용 도전체(storage capacitor conductor)(177)가 형성되어 있다.
- [0042] 데이터선(171)은 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치되어 있다.
- [0043] 소스 전극(173)을 포함하는 데이터선(171) 및 드레인 전극(175)은 크롬(Cr), 알루미늄(Al) 또는 몽리브덴(Mo) 등으로 이루어진 단일층, 이중층 또는 삼중층으로 형성될 수 있다. 이 중, 삼중층으로 형성하는 경우, 제1 금속층(171p, 173p, 175p, 177p)은 하부층과의 접착성이 우수하고 반도체층을 이루는 규소로의 확산을 방지하는 금속으로 형성하고, 제3 금속층(171r, 173r, 175r, 177r)은 상부의 화소 전극(190)과의 접착성(adhesion)이 우수한 금속으로 형성된다. 바람직하게는 몽리브덴(Mo)을 포함하는 제1 금속층(171p, 173p, 175p, 177p), 알루미늄(Al)을 포함하는 제2 금속층(171q, 173q, 175q, 177q) 및 몽리브덴(Mo)을 포함하는 제3 금속층(171r, 173r, 175r, 177r)이 순차적으로 형성될 수 있다.

- [0044] 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 섬형 반도체 패턴(154)과 함께 박막 트랜지스터(Thin Film Transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 섬형 반도체 패턴(154)에 형성된다. 유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.
- [0045] 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)도 게이트선(121)과 마찬가지로 그 측면이 기판(110)에 대해서 약 30 내지 80°의 각도로 각각 경사져 있다.
- [0046] 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177) 위에는 보호막(180p, 180q)이 형성되어 있다.
- [0047] 보호막(180p, 180q)은 질화규소(SiN_x) 따위로 이루어진 하부 보호막(180p)과 유기 물질로 이루어진 상부 보호막(180q)이 형성되어 있다. 하부 보호막(180p)은 약 500 내지 2000Å의 두께로 형성되어 있으며, 상부 보호막(180q)은 약 2 내지 3.5 μm 의 두께로 형성되어 있다. 유기 물질로 이루어진 상부 보호막(180q)은 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)와 화소 전극(190)과의 정렬오차를 상쇄하여 크로스-토크(cross-talk)가 발생하는 것을 방지한다.
- [0048] 보호막(180p, 180q)에는 드레인 전극(175), 유지 축전기용 도전체(177), 게이트선의 끝부분(129) 및 데이터선의 끝부분(179)을 각각 노출시키는 복수의 접촉구(185, 187, 181, 182)가 형성되어 있다.
- [0049] 보호막(180p, 180q) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(190) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다.
- [0050] 화소 전극(190)은 접촉구(185, 187)를 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적? 전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 유지 축전기용 도전체(177)에 데이터 전압을 전달한다.
- [0051] 데이터 전압이 인가된 화소 전극(190)은 공통 전압을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 액정층의 액정 분자들을 재배열시킨다.
- [0052] 접촉 보조 부재(81, 82)는 접촉구(181, 182)를 통하여 게이트선의 끝부분(129)과 데이터선의 끝부분(179)에 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선의 끝부분(129) 또는 데이터선의 끝부분(179)과 구동 접적 회로와 같은 외부 장치와의 접착성을 보완하고 이들을 보호한다.
- [0053] 이하에서, 도 3 내지 도 8b를 참조하여, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 대하여 설명한다.
- [0054] 먼저, 플라스틱 소재로 이루어지는 기판(110)을 준비한다. 기판(110)은 폴리아크릴레이트, 폴리에틸렌에테르프탈레이트, 폴리에틸렌나프탈레이트, 폴리카보네이트, 폴리아릴레이트, 폴리에테르아미드, 폴리에테르술폰 또는 폴리아미드 등에서 선택된 1종 또는 2종 이상으로 이루어지며, 2 이상의 층을 중첩하여 형성할 수도 있다.
- [0055] 그 다음, 도 3에서 보는 바와 같이, 기판(110)의 하부 및 상부에 기판 보호막(111a, 111b)을 형성한다. 기판 보호막(111a, 111b)은 산화규소(SiO_2) 또는 질화규소(SiN_x)를 화학 기상 증착 방법으로 형성한다. 기판 보호막(111a, 111b)은 플라스틱 기판(110)의 하부 및 상부에 모두 형성하는 것이 바람직하지만, 하부 및 상부 중 어느 하나에만 형성할 수도 있고 경우에 따라서는 생략할 수도 있다. 기판 보호막(111a, 111b)은 외부로부터 산소 또는 수분들의 통과를 막는 역할을 한다.
- [0056] 그 다음, 도 4a 및 도 4b에서 보는 바와 같이, 기판 보호막(111b) 위에 게이트 전극(124), 확장부(127) 및 외부 회로 연결부인 게이트선의 끝부분(129)을 포함하는 게이트선(121)을 형성한다.
- [0057] 게이트 전극(124), 복수의 확장부(127) 및 게이트선의 끝부분(129)을 포함하는 게이트선(121)은 단일층 또는 이중층으로 형성할 수 있으나, 본 실시예에서는 알루미늄(AI) 또는 알루미늄에 네오디뮴(Nd)이 소정량 첨가된 알루미늄 합금(AI-Nd)을 포함하는 하부 금속층(124p, 127p, 129p) 및 몰리브덴(Mo)을 포함하는 상부 금속층(124q, 127q, 129q)으로 이루어지는 이중층으로 형성한다.
- [0058] 하부 금속층 및 상부 금속층은 공동 스퍼터링(Co-sputtering)으로 형성한다. 공동 스퍼터링의 타겟으로는, 예컨대 알루미늄(AI)에 네오디뮴(Nd)이 소정량 첨가된 알루미늄 합금(AI-Nd)과 몰리브덴(Mo)을 사용한다.
- [0059] 초기에 몰리브덴 합금 타겟에는 파워를 인가하지 않으며 알루미늄 합금 타겟에만 파워를 인가하여 기판(110) 위에 알루미늄 또는 알루미늄 합금으로 이루어지는 하부 금속층을 형성한다. 이 경우, 약 2,500Å 정도의 두께를

가지는 것이 바람직하다.

[0060] 그 다음, 알루미늄 합금 타겟에 인가되는 파워를 오프(off)한 후, 폴리브텐에 인가되는 파워를 인가하여 상부 금속층을 형성한다.

[0061] 이후, 하부 금속층 및 상부 금속층을 한번에 식각하여 복수의 게이트 전극(124), 복수의 확장부(127) 및 외부 회로 연결부인 게이트선의 끝부분(129)을 포함하는 게이트선(121)을 완성한다.

[0062] 그 다음, 도 5에서 보는 바와 같이, 게이트 전극(124), 복수의 확장부(127) 및 게이트선의 끝부분(129)을 포함하는 게이트선(121)의 전면을 덮도록 질화규소(SiNx) 또는 산화규소(SiO₂)를 증착하여 게이트 절연막(140)을 형성한다.

[0063] 이어서, 게이트 절연막(140) 위에 진성 비정질 규소층(intrinsic amorphous silicon)(150), 불순물이 도핑된 비정질 규소층(extrinsic amorphous silicon)(160)을 연속하여 적층한다.

[0064] 게이트 절연막(140), 진성 비정질 규소층(150), 불순물이 도핑된 비정질 규소층(160)은 약 110 내지 180°C, 바람직하게는 약 150°C의 온도에서, 각각 약 2,000 내지 5,000Å, 1000 내지 3500Å 및 200 내지 1000Å의 두께로 형성한다.

[0065] 이 단계에서, 플라스틱 소재로 이루어지는 기판(110)은 열팽창한다. 플라스틱 기판은 소재에 따라 약간씩 차이는 있으나, 일반적으로 약 50ppm/K 내지 60ppm/K의 열팽창계수(Coefficient of Thermal Expansion, CTE)를 가진다. 따라서, 기판(110)은 상기 게이트 절연막(140), 진성 비정질 규소층(150), 불순물이 도핑된 비정질 규소층(160)의 형성 단계에서 팽창한다.

[0066] 이러한 기판(110)의 팽창에 따라, 기판(110) 상부에 형성되어 있는 게이트 전극(124), 복수의 확장부(127) 및 게이트선의 끝부분(129)을 포함하는 게이트선(121)도 원래의 위치에서 벗어나게 된다.

[0067] 이 경우, 원래의 게이트 전극(124)의 위치를 기준으로 진성 비정질 규소층(150), 불순물이 도핑된 비정질 규소층(160)을 식각하는 경우, 게이트 전극(124)과의 정렬 오차(misalignment)가 커져서 정확한 위치에 박막 트랜지스터의 채널을 형성할 수 없다.

[0068] 도 12는 기판의 열팽창에 따라 하부의 게이트 패턴과 상부의 반도체 패턴 사이에 발생한 정렬오차(misalignment)를 보여주는 모식도이다.

[0069] 도 12의 (a)는 열팽창율이 극히 미미한 유리 기판 위에 게이트 패턴과 반도체 패턴을 순차적으로 형성한 경우, 이웃하는 게이트 전극(124, 124')과 이웃하는 반도체 패턴(154, 154') 사이에 정확히 정렬된 상태를 보여준다.

[0070] 구체적으로, 하나의 게이트 전극(124) 패턴의 중심부와 이웃하는 게이트 전극(124') 패턴의 중심부 사이에 소정의 간격(ℓ)을 가지는 게이트용 마스크를 이용하여 게이트 패턴(121, 124, 124')을 형성한 후, 하나의 반도체 패턴(154)의 중심부와 이웃하는 반도체 패턴(154')의 중심부 사이에 상기 게이트 전극의 중심부와 동일한 간격(ℓ)을 가지는 반도체용 마스크를 이용하여 반도체 패턴(154, 154')을 형성한다. 이 경우 기판의 열팽창에 의한 게이트 패턴의 위치 변화가 없기 때문에 게이트 전극(124, 124')의 중심부와 반도체 패턴(154, 154')의 중심부가 일치하여 정확한 정렬이 이루어진다.

[0071] 이에 반해, 도 12의 (b)는 약 40ppm/K 내지 50ppm/K의 열팽창율을 가지는 플라스틱 소재의 기판 위에 게이트 패턴과 반도체 패턴을 순차적으로 형성한 경우, 이웃하는 게이트 전극(124, 124')과 이웃하는 반도체 패턴(154, 154') 사이에 정렬오차가 발생된 상태를 보여준다.

[0072] 먼저, 상기와 마찬가지로, 하나의 게이트 전극(124)의 중심부와 이웃하는 게이트 전극(124')의 중심부 사이에 소정의 간격(ℓ)을 가지는 게이트용 마스크를 이용하여 게이트 패턴(121, 124, 124')을 형성한다. 그 다음, 약 110 내지 180°C에서 게이트 절연막 및 반도체층을 형성하는 경우 기판이 팽창하면서 상기 기판 위에 형성되어 있는 게이트 패턴(121, 124, 124')의 위치도 변화하여 이웃하는 게이트 전극(124, 124') 사이의 간격($\ell + \alpha$)이 넓어진다. 따라서, 하나의 반도체 패턴(154)의 중심부와 이웃하는 반도체 패턴(154')의 중심부 사이에 원래의 게이트 전극의 중심부와 동일한 간격(ℓ)을 가지는 반도체용 마스크를 이용하여 반도체 패턴(154, 154')을 형성하는 경우 이웃하는 게이트 전극(124, 124')의 중심부 사이의 간격(ℓ)과 이웃하는 반도체 패턴(154, 154')의 중심부 사이의 간격($\ell + \alpha$)이 일치하지 않아 정렬오차가 발생한다.

[0073] 따라서, 본 발명에서는, 상기 정렬오차를 최소화하기 위하여, 반도체 패턴(154, 154') 사이의 간격을 기판의 열

팽창율만큼 넓힌 반도체 패턴을 포함하는 마스크를 이용하여 반도체 패턴을 형성한다.

[0074] 도 12의 (c)는 본 발명에 따른 패턴 형성 방법을 보여준다.

[0075] 먼저, 하나의 게이트 전극 패턴(124)의 중심부와 이웃하는 게이트 전극 패턴(124')의 중심부 사이에 소정의 간격(ℓ)을 가지는 게이트용 마스크를 이용하여 게이트 패턴(121, 124, 124')을 형성한다. 그 다음, 약 110 내지 180°C에서 게이트 절연막 및 반도체층을 형성하는 경우 기판이 소정 비율로 팽창하면서 상기 기판 위에 형성되어 있는 게이트 패턴(121, 124, 124')의 위치도 변화하여 이웃하는 게이트 전극(124, 124') 사이의 간격($\ell + a$)이 넓어진다. 이어서, 하나의 반도체 패턴(154)의 중심부와 이웃하는 반도체 패턴(154')의 중심부 사이에 상기 게이트 전극의 중심부 사이의 간격(ℓ)에 기판의 열팽창율을 고려한 간격(a)만큼을 포함한 간격($\ell + a$)의 패턴을 포함한 반도체용 마스크를 이용하여 반도체 패턴(154, 154')을 형성한다. 이 경우 기판의 열팽창에 의한 게이트 패턴의 위치 변화를 고려하였기 때문에 게이트 전극(124, 124')의 중심부와 반도체 패턴(154, 154')의 중심부가 일치하여 정확한 정렬이 이루어질 수 있다. 일반적으로, 플라스틱 소재로 이루어지는 기판의 열팽창율을 고려하는 경우, 상기 넓어진 간격(a)은 약 100 내지 500ppm이다.

[0076] 이로써, 도 6a 및 도 6b에서 보는 바와 같이, 게이트 전극(124) 위에 정확히 정렬된 반도체 패턴(154) 및 저항성 접촉 부재(164)가 형성된다.

[0077] 그 다음, 도 7a 및 도 7b에 도시한 바와 같이, 저항성 접촉 부재(164) 및 게이트 절연막(140) 위에 스퍼터링(sputtering) 등의 방법으로 금속층을 형성한다. 금속층은 단일층 또는 이중층 또는 삼중층으로 형성할 수 있으나, 본 실시예에서는 몰리브덴(Mo)을 포함하는 제1 금속층(171p, 173p, 175p, 177p, 179p), 알루미늄(Al)을 포함하는 제2 금속층(171q, 173q, 175q, 177q, 179q) 및 몰리브덴(Mo)을 포함하는 제3 금속층(171r, 173r, 175r, 177r, 179r)을 순차적으로 형성한다. 제1 금속층(171p, 173p, 175p, 177p, 179p), 제2 금속층(171q, 173q, 175q, 177q, 179q) 및 제3 금속층(171r, 173r, 175r, 177r, 179r)을 모두 합하여 약 3000Å 정도의 두께로 형성한다.

[0078] 그 다음, 상기 금속층을 식각액으로 한번에 사진 식각하여 소스 전극(173), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선의 끝부분(179)을 형성한다.

[0079] 그 다음, 소스 전극(173) 및 드레인 전극(175) 사이의 저항성 접촉 부재(164)를 건식 식각하여 섬형 저항성 접촉 부재(163, 165)로 형성한다.

[0080] 이어서, 도 8a 및 도 8b에서 보는 바와 같이, 소스 전극(173), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선의 끝부분(179)을 덮는 보호막(180p, 180q)을 형성한다.

[0081] 보호막(180p, 180q)은 질화규소(SiNx) 따위로 이루어진 하부 보호막(180p)과 폴리이미드(polyimide) 등의 유기 물질로 이루어진 상부 보호막(180q)을 포함하는 이중층으로 형성한다. 이 경우, 하부 보호막(180p)은 약 500 내지 2000Å의 두께로 형성하고, 상부 보호막(180q)은 약 2 내지 3.5μm의 두께로 형성한다.

[0082] 상기와 같이, 하부 보호막(180p)과 유기 물질로 이루어진 상부 보호막(180q)을 포함하는 2층의 보호막을 형성함으로써, 소스 전극(173), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선의 끝부분(179)과 이후 형성되는 ITO 또는 IZO로 이루어지는 화소 전극(190) 및 접촉 보조 부재(81, 82)와의 정렬오차를 상쇄하여 크로스-토크(cross-talk)를 방지할 수 있다.

[0083] 그 다음, 하부 보호막(180p)과 상부 보호막(180q) 내에 마스크를 이용한 사진 식각 공정으로 드레인 전극(175), 유지 축전기용 도전체(177), 게이트선의 끝부분(129) 및 데이터선의 끝부분(179)을 각각 노출시키는 접촉구(185, 187, 181, 182)를 형성한다.

[0084] 마지막으로, 도 1 및 도 2에서 보는 바와 같이, 드레인 전극(175)과 접촉구(185)를 통해 연결되는 화소 전극(190)과 접촉 보조 부재(81, 82) 등을 보호막(180) 위에 형성한다.

[0085] [실시예 2]

[0086] 본 실시예에서는 실시예 1에 따른 박막 트랜지스터 표시판에 컬러 필터가 더 추가되는 구성을 보여준다.

[0087] 먼저, 도 9a 및 도 9b를 참조하여, 본 발명의 일실시예에 따른 박막 트랜지스터 표시판에 대하여 상세하게 설명한다.

[0088] 도 9a 및 도 9b에서 보는 바와 같이, 기판(110)의 하부 및 상부에 산화규소(SiO₂) 또는 질화규소(SiNx)와 같은

무기 물질 또는 유기 물질 등으로 이루어지는 기판 보호막(111a, 111b)이 형성되어 있다.

[0089] 기판(110)은, 예컨대 폴리아크릴레이트, 폴리에틸렌에테르프탈레이트, 폴리에틸렌나프탈레이트, 폴리카보네이트, 폴리아릴레이트, 폴리에테르이미드, 폴리에테르술폰 또는 폴리이미드 등에서 선택된 1종 또는 2종 이상의 플라스틱 소재로 이루어지며, 2 이상의 층을 중첩하여 형성될 수도 있다.

[0090] 기판 보호막(111a, 111b)은 외부로부터 산소 또는 수분들이 유입되는 것을 방지하는 역할을 하는 것으로, 플라스틱 기판(110)의 하부 및 상부에 모두 형성하는 것이 바람직하지만 하부 및 상부 중 어느 하나에만 형성될 수도 있고 경우에 따라 생략될 수도 있다.

[0091] 기판 보호막(111b) 위에는 게이트 신호를 전달하는 복수의 게이트선(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(124), 확장부(127) 및 외부 회로 연결을 위하여 확장된 폭을 가지는 게이트선의 끝부분(129)을 포함한다.

[0092] 게이트선(121)은 단일층 또는 이중층으로 형성될 수 있으며, 예컨대 알루미늄(Al) 또는 알루미늄 합금(Al-alloy), 몰리브덴(Mo) 또는 몰리브덴 합금(Mo-alloy)으로 이루어질 수 있다.

[0093] 게이트선(124)의 측면은 경사져 있으며 그 경사각은 기판(110)의 표면에 대하여 약 30 내지 80도를 이룬다.

[0094] 게이트선(121) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

[0095] 게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 등으로 이루어진 섬(island)형 반도체 패턴(154)이 형성되어 있다.

[0096] 섬형 반도체 패턴(154)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질규소 따위의 물질로 이루어지는 섬형 저항성 접촉 부재(ohmic contact)(163, 165)가 형성되어 있다. 섬형 저항성 접촉 부재(163, 165)는 쌍을 이루어 섬형 반도체 패턴(154) 위에 위치되어 있다. 섬형 저항성 접촉 부재(163, 165)는 섬형 반도체 패턴(154)과 그 상부의 소스 전극(173) 및 드레인 전극(175) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

[0097] 섬형 반도체 패턴(154)과 섬형 저항성 접촉 부재(163, 165)의 측면 역시 경사져 있으며 경사각은 기판(110)에 대해서 30 내지 80°이다.

[0098] 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171), 복수의 드레인 전극(drain electrode)(175), 복수의 유지 축전기용 도전체(storage capacitor conductor)(177) 및 데이터선의 끝부분(179)이 형성되어 있다.

[0099] 데이터선(171)은 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치되어 있다.

[0100] 소스 전극(173)을 포함하는 데이터선(171) 및 드레인 전극(175)은 크롬(Cr), 알루미늄(Al) 또는 몰리브덴(Mo) 등으로 이루어진 단일층, 이중층 또는 삼중층으로 형성될 수 있다. 이 중, 삼중층으로 형성하는 경우, 제1 금속층(171p, 173p, 175p, 177p, 179p)은 하부층과의 접착성이 우수하고 반도체층을 이루는 규소로의 확산을 방지하는 금속으로 형성하고, 제3 금속층(171r, 173r, 175r, 177r, 179r)은 상부의 화소 전극(190)과의 접착성(adhesion)이 우수한 금속으로 형성된다. 바람직하게는 몰리브덴(Mo)을 포함하는 제1 금속층(171p, 173p, 175p, 177p, 179p), 알루미늄(Al)을 포함하는 제2 금속층(171q, 173q, 175q, 177q, 179q) 및 몰리브덴(Mo)을 포함하는 제3 금속층(171r, 173r, 175r, 177r, 179r)이 순차적으로 형성될 수 있다.

[0101] 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 섬형 반도체 패턴(154)과 함께 박막 트랜지스터(Thin Film Transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 섬형 반도체 패턴(154)에 형성된다. 유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.

[0102] 데이터선(171), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선의 끝부분(179)도 게이트선(121)과 마찬가지로 그 측면이 기판(110)에 대해서 약 30 내지 80°의 각도로 각각 경사져 있다.

- [0103] 데이터선(171), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선의 끝부분(179) 위에는 제1 충간 절연막(801)이 형성되어 있다. 제1 충간 절연막(801)은 컬러 필터(230R, 230G, 230B)의 안료가 반도체 패턴(154)으로 유입되는 것을 방지한다.
- [0104] 제1 충간 절연막(801) 위에는 적색, 녹색 및 청색의 컬러 필터(230R, 230G, 230B)가 형성되어 있다. 컬러 필터(230R, 230G, 230B)는 데이터선(171)에 의해 구획되는 화소 열을 따라 데이터선(171)과 나란한 방향으로 적, 녹, 청색 컬러 필터(230R, 230G, 230B)가 길게 뻗어 있으며, 화소 열에 교번하여 형성되어 있다.
- [0105] 여기서 적, 녹, 청색 컬러 필터(230R, 230G, 230B)는 외부 회로와 접합되는 게이트선의 끝부분(129) 및 데이터선의 끝부분(179)에는 형성하지 않는다. 그리고, 이들 컬러 필터(230R, 230G, 230B)의 가장자리는 데이터선(171) 상부에서 중첩되어 있다. 이처럼 컬러 필터(230R, 230G, 230B)의 가장자리를 중첩하여 형성함으로써 화소 영역의 사이에서 누설되는 빛을 차단하는 기능을 가지며, 데이터선(171)의 상부에서는 적, 녹, 청색의 컬러 필터를 함께 중첩하여 배치할 수도 있다.
- [0106] 컬러 필터(230R, 230G, 230B) 상부에는 제2 충간 절연막(802)이 형성되어 있다. 제2 충간 절연막(802)은 컬러 필터(230R, 230G, 230B)의 안료가 화소 전극(190)으로 유입되는 것을 방지한다.
- [0107] 제1 및 제2 충간 절연막(801, 802)은 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화규소(SiNx) 따위로 이루어질 수 있다.
- [0108] 또한, 제2 충간 절연막(802)은 질화규소(SiNx) 따위로 이루어진 하부 제2 충간 절연막(도시하지 않음)과 유기 물질로 이루어진 상부 제2 충간 절연막(도시하지 않음)을 포함하는 이중층으로 형성될 수도 있다. 이 경우, 하부 제2 충간 절연막은 약 500 내지 2000Å의 두께로 형성되고, 상부 제2 충간 절연막은 2 내지 3.5μm의 두께로 형성될 수 있다. 유기 물질로 이루어진 상부 제2 충간 절연막(180q)은 데이터선(171), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선의 끝부분(179)과 화소 전극(190) 및 접촉부재(81, 82)과의 정렬오차를 상쇄하여 크로스-토크(cross-talk)가 발생하는 것을 방지한다.
- [0109] 컬러 필터(230R, 230G, 230B) 및 제1 및 제2 충간 절연막(801, 802)에는 드레인 전극(175), 유지 축전기용 도전체(177), 게이트선의 끝부분(129) 및 데이터선의 끝부분(179)을 각각 노출시키는 개구부(235, 237) 및 접촉구(185, 187, 181, 182)가 형성되어 있다.
- [0110] 제2 충간 절연막(802) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(190) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다.
- [0111] 화소 전극(190)은 접촉구(185, 187)를 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적? 전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 유지 축전기용 도전체(177)에 데이터 전압을 전달한다.
- [0112] 데이터 전압이 인가된 화소 전극(190)은 공통 전압을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 액정층의 액정 분자들을 재배열시킨다.
- [0113] 접촉 보조 부재(81, 82)는 접촉구(181, 182)를 통하여 게이트선의 끝부분(129)과 데이터선의 끝부분(179)에 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선의 끝부분(129) 또는 데이터선의 끝부분(179)과 구동 접적 회로와 같은 외부 장치와의 접착성을 보완하고 이들을 보호한다.
- [0114] 이하에서, 도 3 내지 도 7b 및 도 10a 내지 도 11b를 참조하여, 도 9a 및 도 9b에 도시한 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 대하여 상세히 설명한다.
- [0115] 먼저, 도 3에서 보는 바와 같이, 플라스틱 소재로 이루어지는 기판(110)을 준비한다. 기판(110)은 폴리아크릴레이트, 폴리에틸렌에테르프탈레이트, 폴리에틸렌나프탈레이트, 폴리카보네이트, 폴리아릴레이트, 폴리에테르아미드, 폴리에테르술폰 또는 폴리이미드 등에서 선택된 1종 또는 2종 이상으로 이루어지며, 2 이상의 층을 중첩하여 형성할 수도 있다.
- [0116] 그 다음, 도 4a 및 도 4b에서 보는 바와 같이, 기판(110) 위에 게이트 전극(124), 확장부(127) 및 게이트선의 끝부분(129)을 포함하는 게이트선(121)을 형성한다.
- [0117] 그 다음, 도 5에서 보는 바와 같이, 게이트 전극(124), 복수의 확장부(127) 및 게이트선의 끝부분(129)을 포함

하는 게이트선(121)을 덮도록 질화규소(SiNx) 또는 산화규소(SiO₂)를 증착하여 게이트 절연막(140)을 형성한다.

[0118] 이어서, 게이트 절연막(140) 위에 진성 비정질 규소층(intrinsic amorphous silicon)(150), 불순물이 도핑된 비정질 규소층(extrinsic amorphous silicon)(160)을 연속하여 적층한다.

[0119] 게이트 절연막(140), 진성 비정질 규소층(150), 불순물이 도핑된 비정질 규소층(160)은 약 110 내지 180°C, 바람직하게는 약 150°C의 온도에서, 각각 약 2,000 내지 5,000Å, 1000 내지 3500Å 및 200 내지 1000Å의 두께로 형성한다.

[0120] 이 단계에서, 플라스틱 소재로 이루어지는 기판(110)은 열팽창한다. 소재에 따라 약간씩 차이는 있으나, 일반적으로 플라스틱 소재로 이루어지는 기판(110)은 약 50ppm/K 내지 60ppm/K의 열팽창계수(Coefficient of Thermal Expansion, CTE)를 가지므로, 게이트 절연막(140), 진성 비정질 규소층(150), 불순물이 도핑된 비정질 규소층(160)의 형성 단계에서 팽창한다.

[0121] 이러한 기판(110)의 팽창에 따라, 기판(110) 상부에 형성되어 있는 게이트 전극(124), 복수의 확장부(127) 및 게이트선의 끝부분(129)을 포함하는 게이트선(121)도 원래의 위치에서 벗어나게 된다.

[0122] 이 경우, 팽창하기 전의 게이트 전극(124)의 위치를 기준으로 진성 비정질 규소층(150) 및 불순물이 도핑된 비정질 규소층(160)을 패터닝하는 경우, 게이트 전극(124)과의 정렬오차(misalignment)가 커져서 정확한 위치에 박막 트랜지스터 채널을 형성할 수 없다.

[0123] 따라서, 본 발명에서는, 상기 정렬오차의 발생을 방지하기 위하여, 반도체 패턴(154) 사이의 간격을 기판의 열팽창율만큼 넓힌 반도체 패턴을 포함하는 마스크를 이용하여 반도체 패턴을 형성한다.

[0124] 도 12는 기판의 열팽창에 따라 하부의 게이트 패턴과 상부의 반도체 패턴 사이에 발생한 정렬오차(misalignment)를 보여주는 모식도이다.

[0125] 도 12의 (a)는 열팽창율이 극히 미미한 유리 기판 위에 게이트 패턴과 반도체 패턴을 순차적으로 형성한 경우, 이웃하는 게이트 전극(124, 124')과 이웃하는 반도체 패턴(154, 154') 사이에 정확히 정렬된 상태를 보여준다.

[0126] 구체적으로, 하나의 게이트 전극 패턴(124)의 중심부와 이웃하는 게이트 전극 패턴(124')의 중심부 사이에 소정의 간격(ℓ)을 가지는 게이트용 마스크를 이용하여 게이트 패턴(121, 124, 124')을 형성한 후, 하나의 반도체 패턴(154)의 중심부와 이웃하는 반도체 패턴(154')의 중심부 사이에 상기 게이트 전극의 중심부와 동일한 간격(ℓ)을 가지는 반도체용 마스크를 이용하여 반도체 패턴(154, 154')을 형성한다. 이 경우 기판의 열팽창에 의한 게이트 패턴의 위치 변화가 없기 때문에 게이트 전극(124, 124')의 중심부와 반도체 패턴(154, 154')의 중심부가 일치하여 정확한 정렬이 이루어진다.

[0127] 이에 반해, 도 12의 (b)는 약 40ppm/K 내지 50ppm/K의 열팽창율을 가지는 플라스틱 소재의 기판 위에 게이트 패턴과 반도체 패턴을 순차적으로 형성한 경우, 이웃하는 게이트 전극(124, 124')과 이웃하는 반도체 패턴(154, 154') 사이에 정렬오차가 발생된 상태를 보여준다.

[0128] 먼저, 상기와 마찬가지로, 하나의 게이트 전극(124) 패턴의 중심부와 이웃하는 게이트 전극(124') 패턴의 중심부 사이에 소정의 간격(ℓ)을 가지는 게이트용 마스크를 이용하여 게이트 패턴(121, 124, 124')을 형성한다. 그 다음, 약 110 내지 180°C에서 게이트 절연막 및 반도체층을 형성한 경우 기판이 팽창하면서 상기 기판 위에 형성되어 있는 게이트 패턴(121, 124, 124')의 위치도 변화하여 이웃하는 게이트 전극(124, 124') 사이의 간격($\ell + \alpha$)이 넓어진다. 따라서, 하나의 반도체 패턴(154)의 중심부와 이웃하는 반도체 패턴(154')의 중심부 사이에 원래의 게이트 전극의 중심부와 동일한 간격(ℓ)을 가지는 반도체용 마스크를 이용하여 반도체 패턴(154, 154')을 형성하는 경우 이웃하는 게이트 전극(124, 124')의 중심부 사이의 간격(ℓ)과 이웃하는 반도체 패턴(154, 154')의 중심부 사이의 간격($\ell + \alpha$)이 일치하지 않아 정렬오차가 발생한다.

[0129] 도 12의 (c)는 본 발명에 따른 패턴 형성 방법을 보여준다.

[0130] 먼저, 하나의 게이트 전극 패턴(124)의 중심부와 이웃하는 게이트 전극 패턴(124')의 중심부 사이에 소정의 간격(ℓ)을 가지는 게이트용 마스크를 이용하여 게이트 패턴(121, 124, 124')을 형성한다. 그 다음, 약 110 내지 180°C에서 게이트 절연막 및 반도체층을 형성하는 경우 기판이 소정 비율로 팽창하면서 상기 기판 위에 형성되어 있는 게이트 패턴(121, 124, 124')의 위치도 변화하여 이웃하는 게이트 전극(124, 124') 사이의 간격($\ell + \alpha$)이 넓어진다. 이어서, 하나의 반도체 패턴(154)의 중심부와 이웃하는 반도체 패턴(154')의 중심부 사이에 상기 게이트 전극의 중심부 사이의 간격(ℓ)에 기판의 열팽창율을 고려한 간격(α)만큼을 포함한 간격($\ell + \alpha$)의

패턴을 포함한 반도체용 마스크를 이용하여 반도체 패턴(154, 154')을 형성한다. 이 경우 기판의 열팽창에 의한 게이트 패턴의 위치 변화를 고려하였기 때문에 게이트 전극(124, 124')의 중심부와 반도체 패턴(154, 154')의 중심부가 일치하여 정확한 정렬이 이루어질 수 있다. 일반적으로, 플라스틱 소재의 열팽창율을 고려할 때, 상기 넓어진 간격(a)은 약 100 내지 500ppm 이다.

[0131] 이로써, 도 6a 및 도 6b에서 보는 바와 같이, 게이트 전극(124) 위에 정확히 정렬된 반도체 패턴(154) 및 저항성 접촉 부재(164)가 형성된다.

[0132] 그 다음, 도 7a 및 도 7b에 도시한 바와 같이, 제2 저항성 접촉 부재(164) 및 게이트 절연막(140) 위에 스퍼터링(sputtering) 등의 방법으로 금속층을 형성한다. 금속층은 단일층 또는 이중층 또는 삼중층으로 형성할 수 있으나, 본 실시예에서는 몰리브덴(Mo)을 포함하는 제1 금속층(171p, 173p, 175p, 177p, 179p), 알루미늄(Al)을 포함하는 제2 금속층(171q, 173q, 175q, 177q, 179q) 및 몰리브덴(Mo)을 포함하는 제3 금속층(171r, 173r, 175r, 177r, 179r)을 순차적으로 형성한다. 제1 금속층(171p, 173p, 175p, 177p, 179p), 제2 금속층(171q, 173q, 175q, 177q, 179q) 및 제3 금속층(171r, 173r, 175r, 177r, 179r)을 모두 합하여 약 3000Å 정도의 두께로 형성한다.

[0133] 그 다음, 상기 금속층을 식각액으로 한번에 사진 식각하여 소스 전극(173), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선의 끝부분(179)을 형성한다.

[0134] 그 다음, 소스 전극(173) 및 드레인 전극(175) 사이의 제2 저항성 접촉 부재(164)를 건식 식각하여 섬형 저항성 접촉 부재(163, 165)로 형성한다.

[0135] 이어서, 도 10a 및 도 10b에서 보는 바와 같이, 소스 전극(173), 드레인 전극(175), 유지 축전기용 도전체(177), 데이터선의 끝부분(179) 및 게이트 절연막(140)을 덮는 제1 층간 절연막(801)을 형성한다. 제1 층간 절연막(801)은 컬러 필터(230R, 230G, 230B)의 안료가 반도체 패턴(154)으로 유입되는 것을 방지한다.

[0136] 그 다음, 제1 층간 절연막(801) 위에 적색, 녹색 및 청색 안료를 포함하는 감광성 유기 물질을 각각 차례로 도포하고 각각의 사진 공정을 통하여 적색, 녹색 및 청색 컬러 필터(230R, 230G, 230B)를 차례로 형성한다.

[0137] 마스크를 이용한 사진 공정으로 적색, 녹색 및 청색 컬러 필터(230R, 230G, 230B)를 형성할 때 드레인 전극(175) 및 유지 축전기용 도전체(177)와 대응하는 부분에 개구부(235, 237)를 형성한다.

[0138] 컬러 필터(230R, 230G, 230B) 위에는 제2 층간 절연막(802)을 형성한다. 제2 층간 절연막(802)은 컬러 필터(230R, 230G, 230B)의 안료가 화소 전극(190)으로 유입되는 것을 방지한다.

[0139] 경우에 따라서, 제2 층간 절연막(802)은 질화규소(SiNx) 따위로 이루어진 하부 제2 층간 절연막(도시하지 않음)과 유기 물질로 이루어진 상부 제2 층간 절연막(도시하지 않음)을 포함하는 이중층으로 형성할 수도 있다.

[0140] 이 때, 하부 제2 층간 절연막은 약 500 내지 2000Å의 두께로 형성한 후, 폴리이미드(polyimide) 등의 유기 물질로 이루어진 상부 제2 층간 절연막을 2 내지 3.5μm의 두께로 차례로 형성한다.

[0141] 그 다음, 도 11a 및 도 11b에서 보는 바와 같이, 제1 및 제2 층간 절연막(801, 802)을 마스크를 이용한 사진 식각 공정으로 패터닝하여 개구부(235, 237)를 노출시키는 복수의 접촉구(181, 182, 185, 187)를 형성한다.

[0142] 마지막으로, 도 9a 및 도 9b에서 보는 바와 같이, 제2 층간 절연막(802) 위에 드레인 전극(175)과 접촉구(185)를 통해 연결되는 화소 전극(190)과 접촉 보조 부재(81, 82) 등을 형성한다.

[0143] 이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

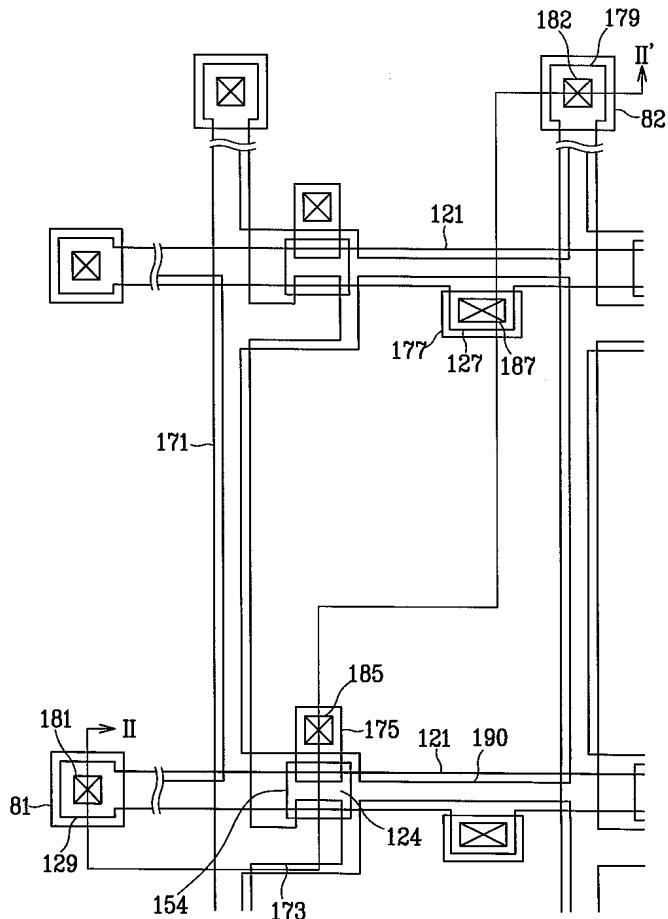
[0144] 상기와 같이, 기판의 열팽창율을 고려하여 패턴 사이의 간격을 조절한 마스크를 이용하여 패터닝함으로써 하부 패턴과 상부 패턴의 정렬오차를 최소화할 수 있다.

도면의 간단한 설명

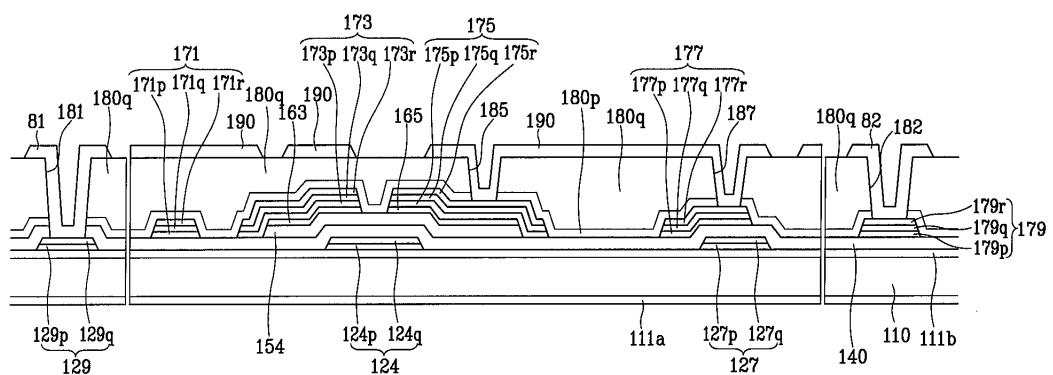
- [0001] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
- [0002] 도 2는 도 1의 박막 트랜지스터 표시판을 II-II'선에 따라 자른 단면도이고,
- [0003] 도 4a, 6a, 7a 및 8a는 도 1 및 도 2에 도시한 박막 트랜지스터 표시판을 본 발명의 일실시예에 따라 제조하는 방법을 순차적으로 도시한 박막 트랜지스터 표시판의 배치도이고,
- [0004] 도 3, 도 4b, 도 5, 도 6b, 도 7b 및 도 8b는 도 1 및 도 2에 도시한 박막 트랜지스터 표시판을 본 발명의 일실시예에 따라 제조하는 방법을 순차적으로 도시한 박막 트랜지스터 표시판의 단면도이고,
- [0005] 도 9a, 도 10a 및 도 11a는 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
- [0006] 도 9b, 도 10b 및 도 11b는 각각 도 9a, 도 10a 및 도 11a의 IXb-IXb'선, Xb-Xb'선 및 XIb-XIb'선에 따라 자른 단면도이고,
- [0007] 도 12의 (a) 내지 (c)는 플라스틱 기판의 열팽창에 따른 상부 패턴의 정렬을 나타낸 모식도이다.
- [0008] *도면의 주요부분에 대한 부호의 설명
- | | |
|--------------------------|--------------------|
| [0009] 110: 기판 | 111a, 111b: 기판 보호막 |
| [0010] 121: 게이트선 | 124: 게이트 전극 |
| [0011] 127: 복수의 확장부 | 129: 게이트선의 끝부분 |
| [0012] 140: 게이트 절연막 | 150: 진성 비정질 규소층 |
| [0013] 160: 불순물 비정질 규소층 | 154: 섬형 반도체 패턴 |
| [0014] 164: 섬형 저항성 접촉 부재 | 171: 데이터선 |
| [0015] 173: 소스 전극 | 175: 드레인 전극 |
| [0016] 177: 유지 축전기용 도전체 | 179: 데이터선의 끝부분 |
| [0017] 180: 보호막 | 181, 182: 접촉구 |
| [0018] 190: 화소 전극 | 81, 82: 접촉 보조 부재 |

도면

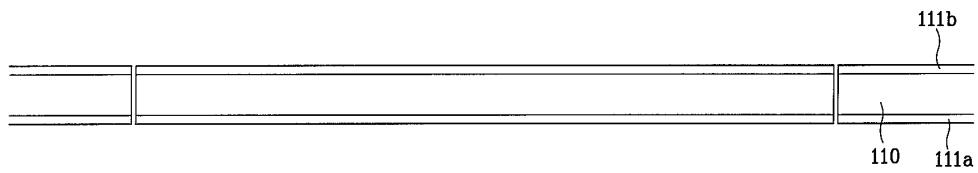
도면1



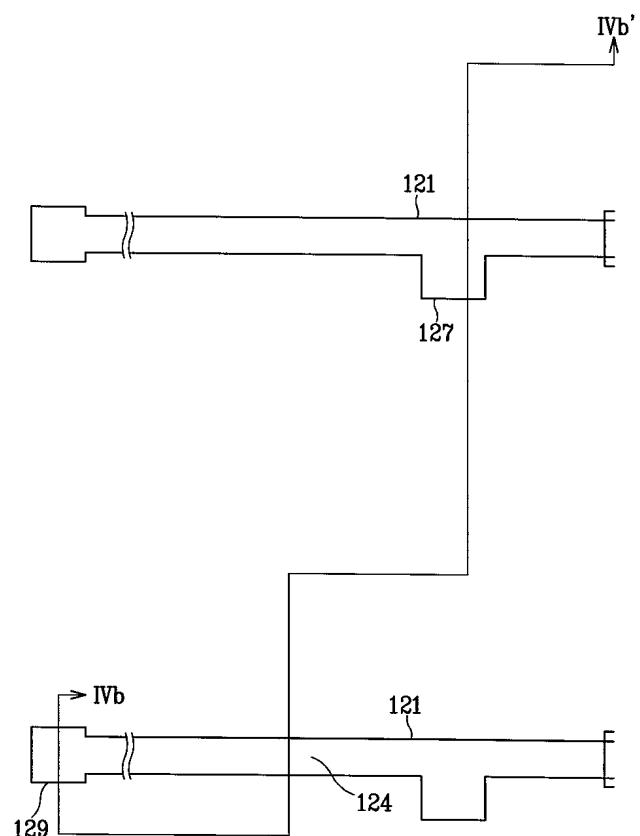
도면2



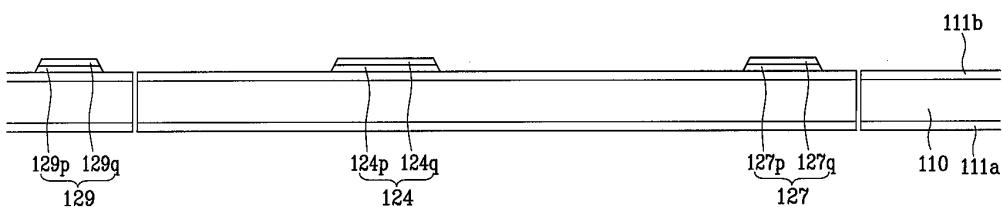
도면3



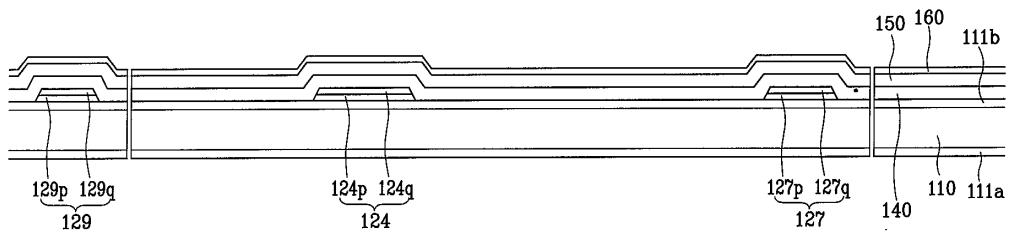
도면4a



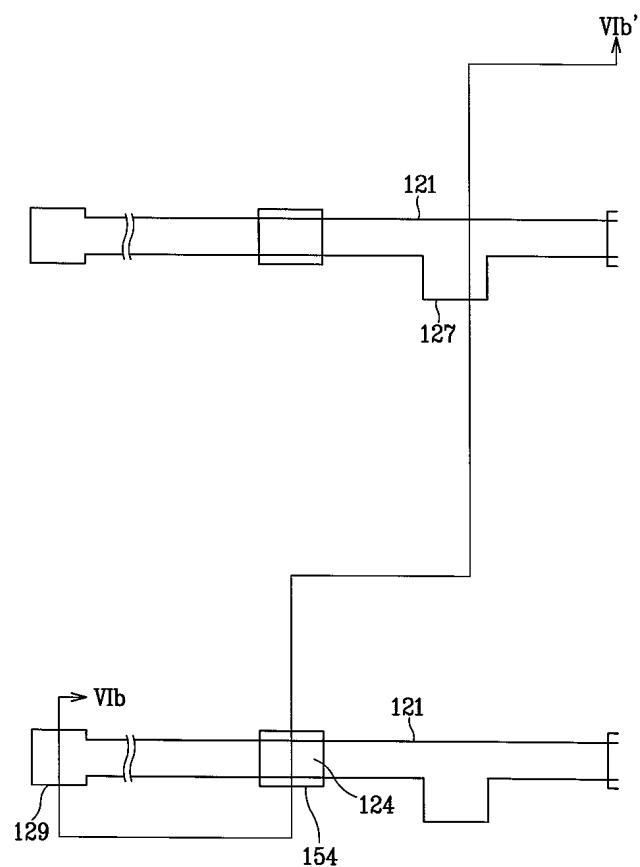
도면4b



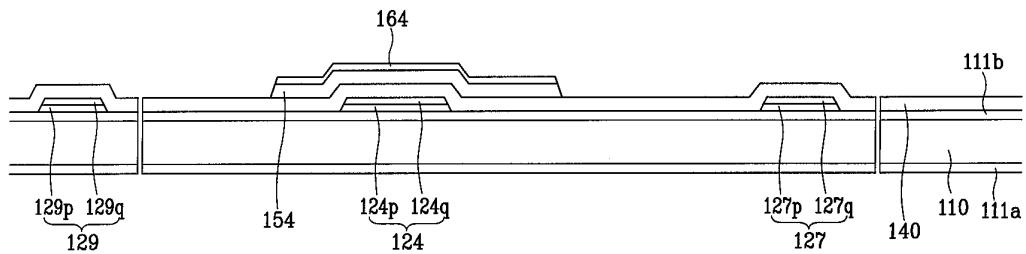
도면5



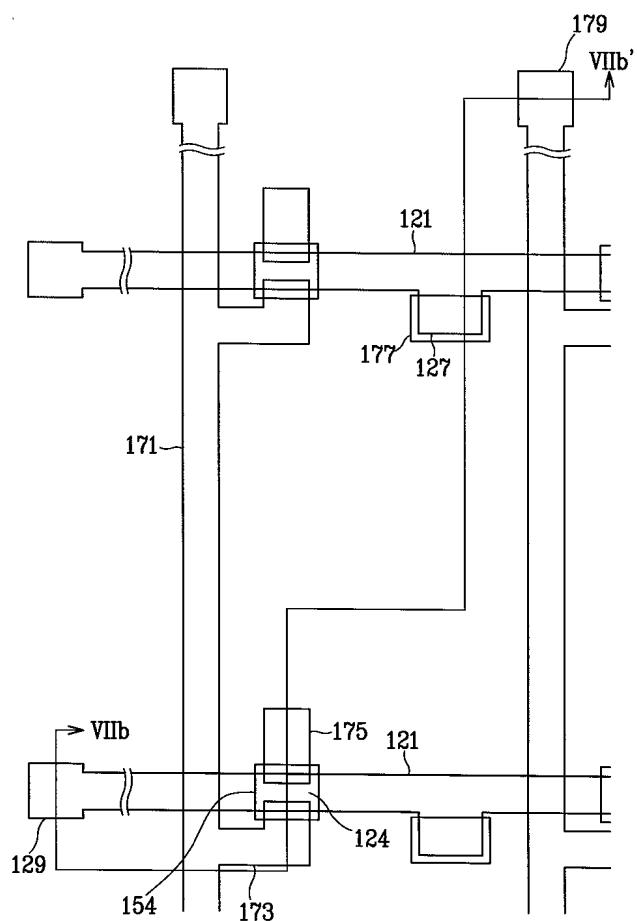
도면6a



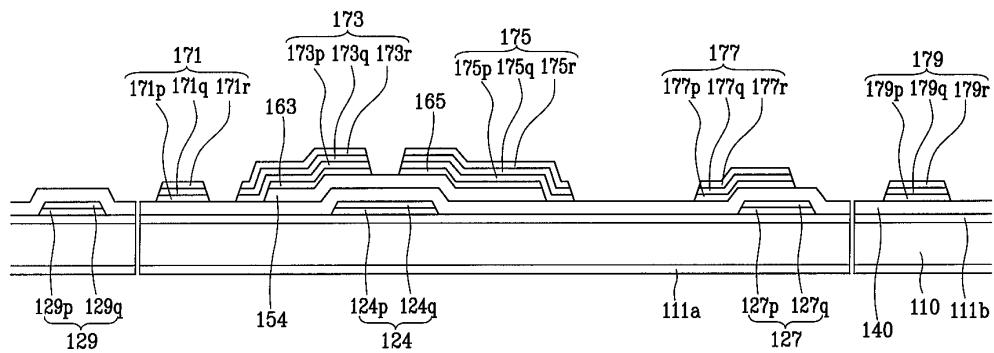
도면6b



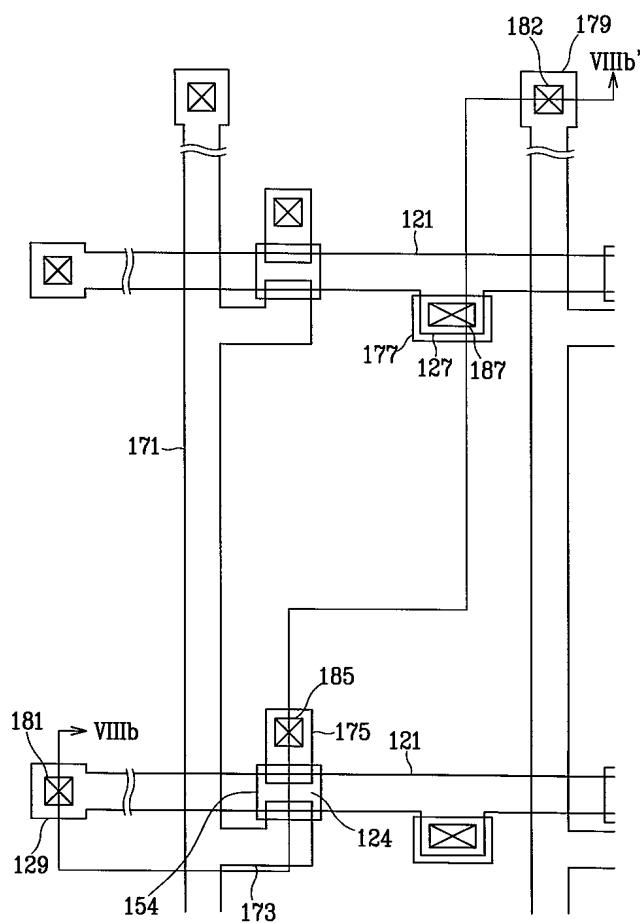
도면7a



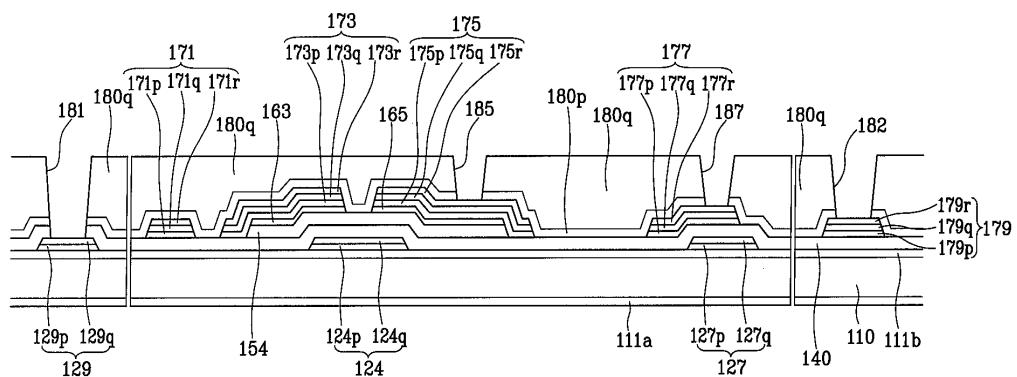
도면7b



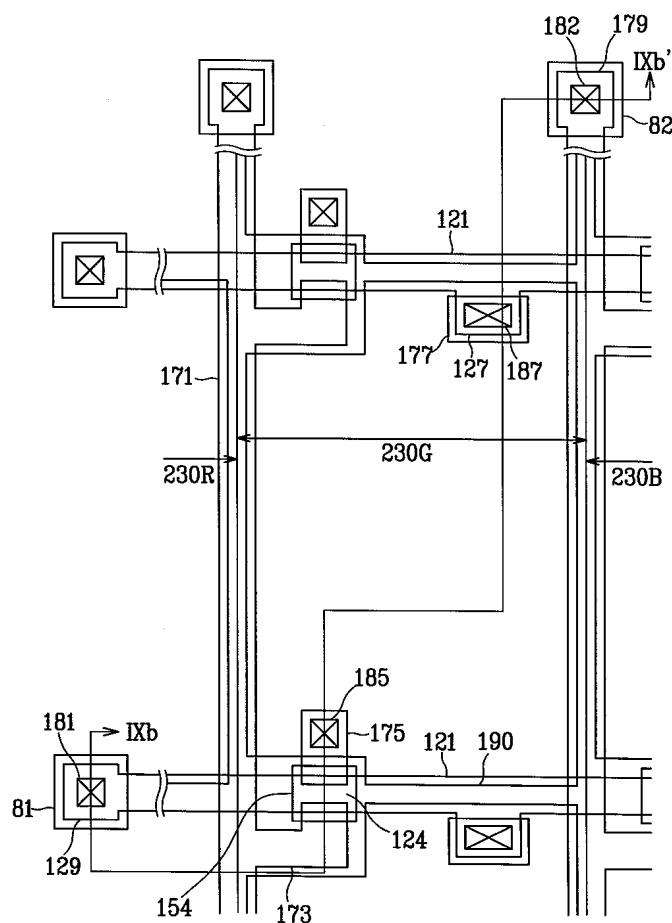
도면8a



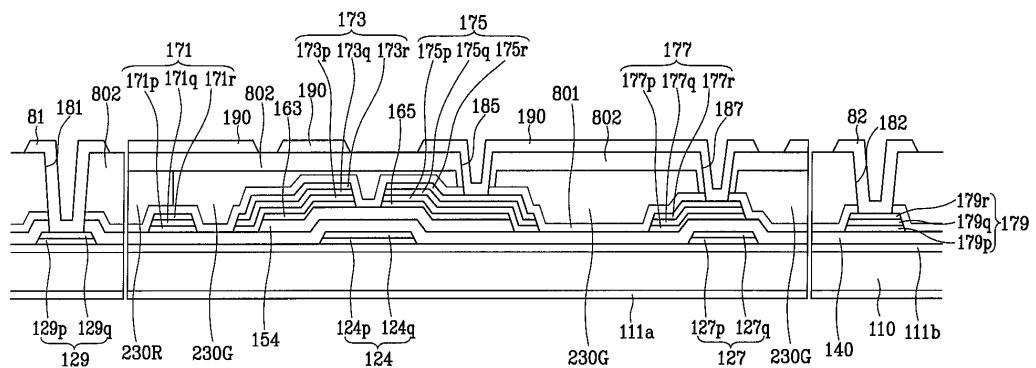
도면8b



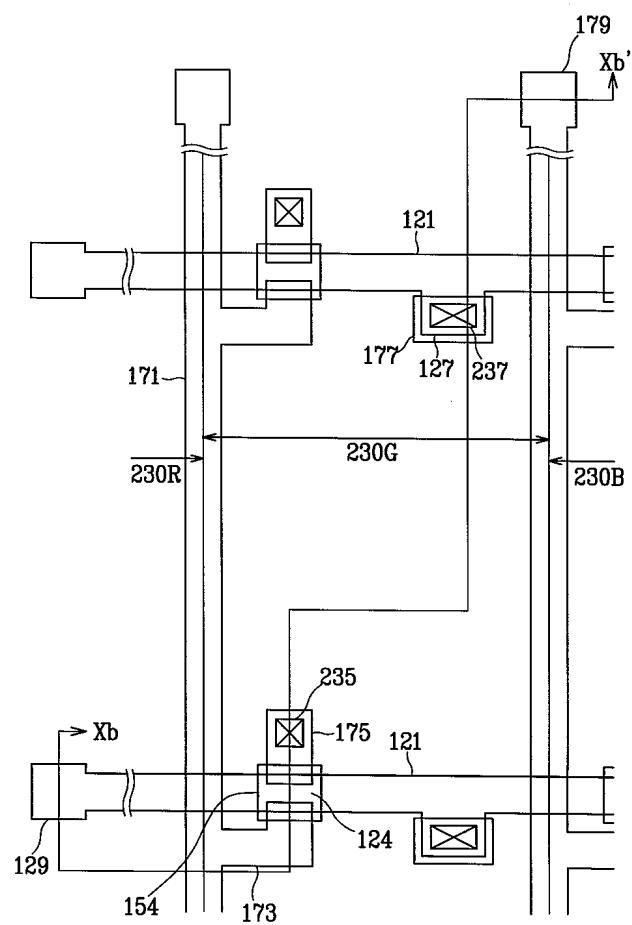
도면9a



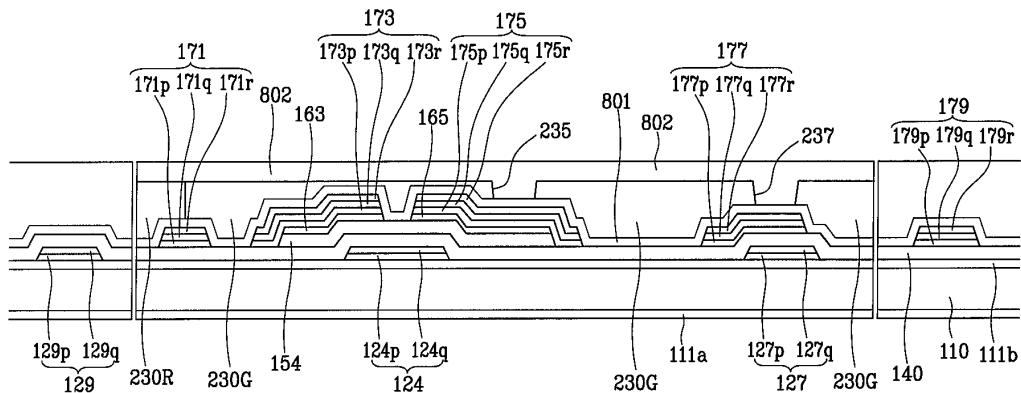
도면9b



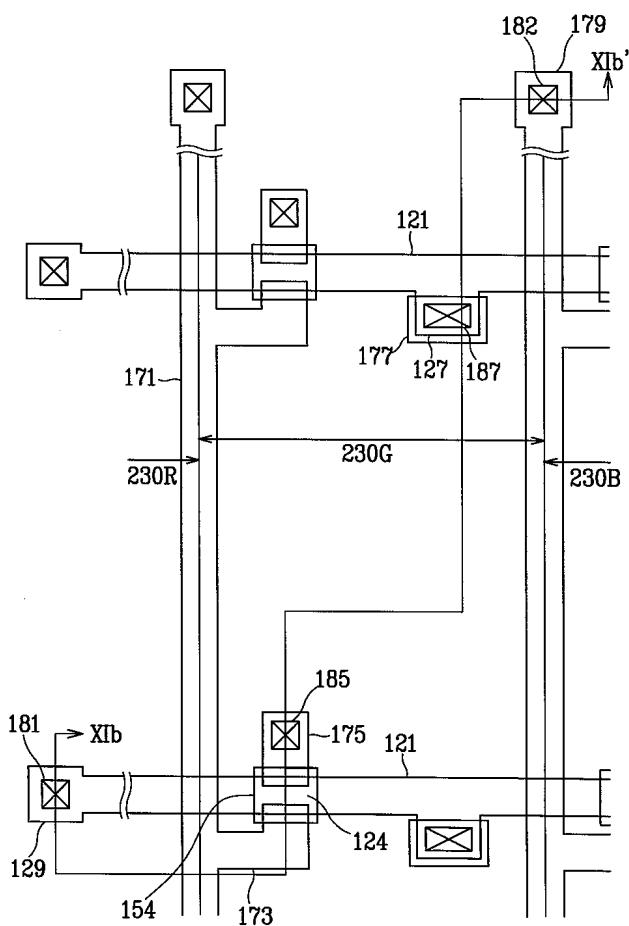
도면10a



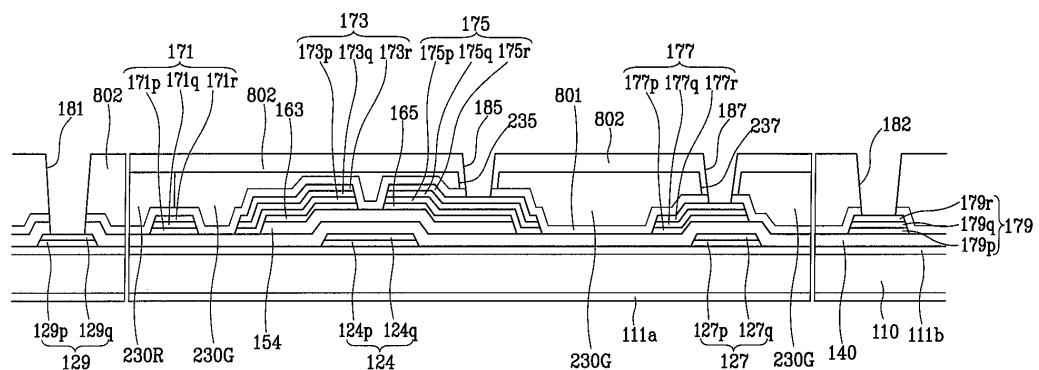
도면10b



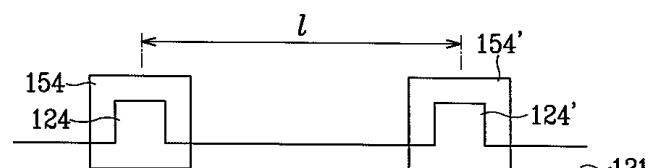
도면11a



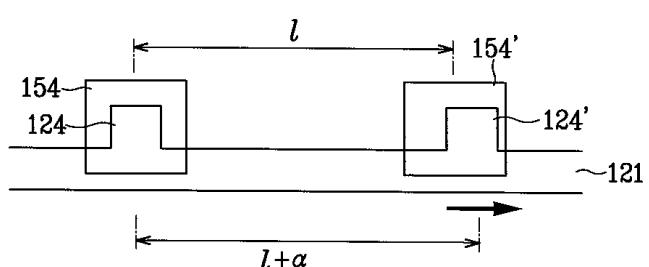
도면11b



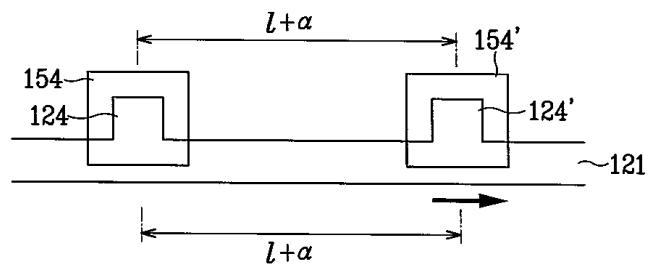
도면12



(a)



(b)



(c)