



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

212 994

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 15 09 80
(21) PV 6256-80

(51) Int. Cl.³ G 06 F 7/38

(40) Zveřejněno 31 08 81
(45) Vydáno 01 01 84

(75)

Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

(54)

Zapojení pro počáteční nastavení procesoru

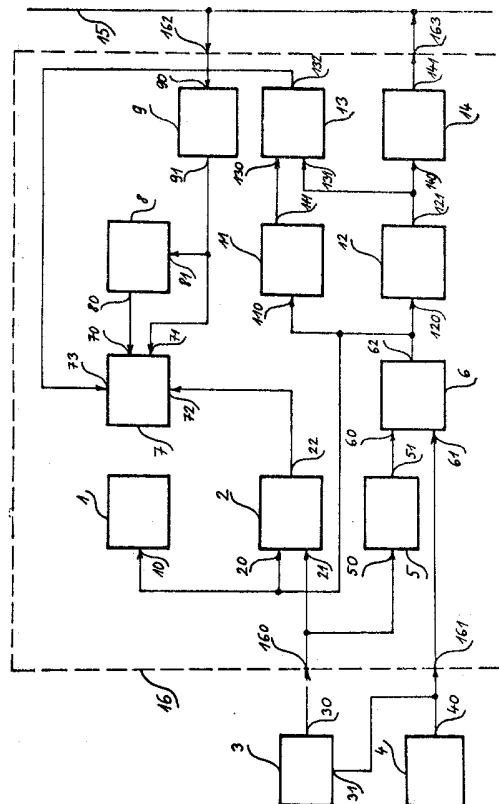
Vynález se týká oboru samočinné počítače - základní jednotka.

Zapojení řeší nastavení počátečních stavů procesoru z ovládacího panelu nebo z jiného zdroje ovládacích signálů podle volby operátora, přičemž je zde ponechána možnost odpojit ovládací panel od celého systému při normálním provozu zařízení.

Řešení se dosahuje sjednocením obvodů nulování a obvodů nastavení instrukčního čítače, při použití obvodu čítače s nulovacím vstupem a při využití hradlovacího vstupu stávajícího přepínače dat v datové cestě procesoru.

Možnost použití je pouze v uvedeném oboru.

Daný vynález je charakterizován nejlépe prvním bodem předmětu, kterému odpovídá i přiložený výkres.



Předmětem vynálezu je zapojení, které řeší nastavení počátečních stavů procesoru z ovládacího panelu podle volby operátora, přičemž je zde ponechána možnost odpojit ovládací panel od celého systému při normálním provozu zařízení.

Nedílnou součástí procesoru počítače jsou řadič a instrukční čítač. Řadič řešený klasickým způsobem zpravidla obsahuje stavový registr, u něhož je nutné nastavit vždy výchozí stav. To se děje centrálním nulovacím signálem, který může být odvozen například od blokovacího klíčku počítače. Společně se stavovým registrem řadiče se nastavují do výchozího stavu i některé další klopné obvody v procesoru. Výchozí stav instrukčního čítače se potom volí z ovládacího panelu. Uvažujme dva takové stavy, a to počáteční adresu uživatelského řídicího programu, v našem případě nulovou adresu a počáteční adresu nahrávacího programu. V dosud známých zapojeních tohoto typu je nutné mít k dispozici pro nahrání počátečních adres ovládací panel, který je tudíž nedílnou součástí systému a procesor obsahuje univerzální zapisovací sekci pro instrukční čítač. V některých aplikacích je použit ovládací panel pouze pro ladící a diagnostické účely a žádné funkce se od něj při vlastním provozu zařízení nepožadují. Řešení nastavení uvedených počátečních adres zapisovací sekvencí pomocí ovládacího panelu je proto v tomto případě nevýhodné.

Tuto nevýhodu odstraňuje zapojení pro počáteční nastavení procesoru podle vynálezu, jehož podstatou je, že první vstup procesoru je spojen s druhým vstupem prvního hradla a se vstupem integračního členu, výstup prvního hradla je spojen s nulovacím vstupem instrukčního čítače, výstup integračního členu je spojen s prvním vstupem druhého hradla, druhý vstup procesoru je spojen s druhým vstupem druhého hradla, jehož výstup je spojen s nastavovacím vstupem stavového registru řadiče, s prvním vstupem prvního hradla, se vstupem monostabilního klopného obvodu a se vstupem derivačního členu, přičemž výstup derivačního členu je spojen s prvním vstupem třetího hradla, výstup monostabilního klopného obvodu je spojen s druhým vstupem třetího hradla a se vstupem vysílače, jehož výstup je spojen s výstupem procesoru, který je spojen nulovací linkou sběrnice se třetím vstupem procesoru a dále se vstupem přijímače, jehož výstup je spojen s druhým datovým vstupem instrukčního čítače a výstup třetího hradla je spojen se zápisovým vstupem instrukčního čítače.

Výhodou tohoto zapojení je jednak možnost nastavení počáteční adresy zatahovacího programu v instrukčním čítači a výchozího stavu stavového registru řadiče signálem z ovládacího panelu na druhém vstupu procesoru bez použití ovládacího panelu, jednak lze po připojení ovládacího panelu popřípadě jiným způsobem generovat na prvním a na druhém vstupu procesoru signály náběhu zdrojů nebo signály nastavení nulové adresy v instrukčním čítači zároveň s nulováním stavového registru čítače.

Na výkrese je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

První výstup 30 ovládacího panelu 3 je spojen s prvním vstupem 160 procesoru 16 a dále s druhým vstupem 21 prvního hradla 2 a se vstupem 50 integračního členu 5. Druhý výstup 31 ovládacího panelu 3 je spojen s výstupem 40 ovládací zdrojů 4, s druhým vstupem 161 procesoru 16 a dále s druhým vstupem 61 druhého hradla 6. Výstup 51 integračního členu 5 je spojen s prvním vstupem 60 druhého hradla 6, jehož výstup 62 je spojen s nastavovacím vstupem 10 stavového registru řadiče 1, s prvním vstupem 20 prvního hradla 2, se vstupem 120 monostabilního klopného obvodu 12 a se vstupem 110 derivačního členu 11. Výstup 111 derivačního členu 11 je spojen s prvním vstupem 130 třetího hradla 13, jehož výstup 132

je spojen se zápisovým vstupem 73 instrukčního čítače 7, a jehož druhý vstup 131 je spojen s výstupem 121 monostabilního klopného obvodu 12 a se vstupem 140 vysílače 14. Výstup 141 vysílače 14 je spojen s výstupem 163 procesoru 16 a dále nulovací linkou sběrnice 15 se třetím vstupem 162 procesoru 16 a se vstupem 90 přijímače 9. Výstup 91 přijímače 9 je spojen s druhým datovým vstupem 71 instrukčního čítače 7 a s hradlovacím vstupem 81 přepínače dat 8, jehož výstup 80 je spojen s prvním datovým vstupem 70 instrukčního čítače 7. Výstup 22 prvního hradla 2 je spojen s nulovacím vstupem 72 instrukčního čítače 7. Funkce zapojení je následující: Není-li připojen ovládací panel 3, potom existuje jediný signál z ovládání zdrojů 4. Spodní hladina signálu z výstupu 40 způsobí přes druhé hradlo 6 spodní hladinu signálu na nastavovacím vstupu 10 a na prvním vstupu 20, což má za následek uvedení stavového registru řadiče 1 do výchozího stavu a instrukční čítač 7 se nuluje horní hladinou signálu na nulovacím vstupu 72. Po náběhu horní hladiny signálu na výstupu 40 ovládání zdrojů 4 je objeví horní hladina na výstupu 62 druhého hradla 6 a ukončí se nulování procesoru 16. Současně se spustí monostabilní klopný obvod 12, který na výstupu 121 generuje kladný impuls. Po dobu trvání tohoto impulsu se vysílá z výstupu 141 záporný systémový nulovací impuls na nulovací linku sběrnice 15, který se v opačné polaritě dostane jednak na hradlovací vstup 81 přepínače dat 8, jednak na druhý datový vstup 71 instrukčního čítače 7. Z výstupu 80 se tudíž generuje spodní hladina signálů pro první datový vstup 70. Změna hladiny signálu na vstupu 110 způsobí kladný impuls na výstupu 111 derivačního členu 11, který má o řád kratší dobu trvání než impuls na výstupu 121 a v opačné polaritě se přenáší přes třetí hradlo 13 na zápisový vstup 73 instrukčního čítače 7. Zde způsobí zápis logické jedničky z druhého datového vstupu 71. V případě, že je připojen ovládací panel 3 nebo existuje jiný zdroj ovládacích signálů, je možné jednak příslušným signálem na druhém vstupu 161 procesoru 16 simulovat výše popsaný proces, jednak lze spodní hladinou signálu na prvním vstupu 160 procesoru 16 vyvolat záporný impuls na výstupu 51 integračního členu 5, který má dále za následek záporný impuls na nastavovacím vstupu 10, na vstupu 110 a na vstupu 120. Jeho závěrnou hranou se spouští monostabilní klopný obvod 12 a proběhne výše uvedený proces s tím rozdílem, že spodní hladina na druhém vstupu 21 prvního hradla 2 způsobí horní hladinu na nulovacím vstupu 72 instrukčního čítače 7 a logická jednička na druhém datovém vstupu 71 se do instrukčního čítače 7 nezapiše.

Možnost použití uvedeného zapojení je v procesoru malého počítače s popsaným typem obvodu instrukčního čítače a s vnitřní strukturou datové cesty s uvažovaným obvodem přepínače dat.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro počáteční nastavení procesoru sestávající ze stavového registru řadiče a instrukčního čítače, vyznačující se tím, že první vstup (160) procesoru (16) je spojen s druhým vstupem (21) prvního hradla (2) a se vstupem (50) integračního členu (5), výstup (22) prvního hradla (2) je spojen s nulovacím vstupem (72) instrukčního čítače (7), výstup (51) integračního členu (5) je spojen s prvním vstupem (60) druhého hradla (6), druhý vstup (161) procesoru (16) je spojen s druhým vstupem (61) druhého hradla (6),

jehož výstup (62) je spojen s nastavovacím vstupem (10) stavového registru řadiče (1), s prvním vstupem (20) prvního hradla (2), se vstupem (120) monostabilního klopného obvodu (12) a se vstupem (110) derivačního členu (11), přičemž výstup (111) derivačního členu (11) je spojen s prvním vstupem (130) třetího hradla (13), výstup (121) monostabilního klopného obvodu (12) je spojen s druhým vstupem (131) třetího hradla (13) a se vstupem (140) vysílače (14), jehož výstup (141) je spojen s výstupem (163) procesoru (16), který je spojen nulovací linkou sběrnice (15) se třetím vstupem (162) procesoru (16) a dále se vstupem (90) přijímače (9), jehož výstup (91) je spojen s druhým datovým vstupem (71) instrukčního čítače (7) a výstup (132) třetího hradla (13) je spojen se zápisovým vstupem (73) instrukčního čítače (7).

2. Zapojení podle bodu 1, vyznačující se tím, že první výstup (30) ovládacího panelu (3) je spojen s prvním vstupem (160) procesoru (16) a druhý výstup (31) ovládacího panelu (3) je spojen s výstupem (40) ovládání zdrojů (4) a s druhým vstupem (161) procesoru (16).

1 výkres

