



NORGE

[NO]

**STYRET
FOR DET INDUSTRIELLE
RETTSVERN**

[B] (11) UTLEGNINGSSKRIFT Nr. 141104

(51) Int. Cl.² G 06 F 1/04

(21) Patentsøknad nr. 4168/73
(22) Inngitt 29.10.73
(23) Løpedag 29.10.73

(41) Alment tilgjengelig fra 02.05.74
(44) Søknaden utlagt, utlegningsskrift utgitt 01.10.79
(30) Prioritet begjært 30.10.72, USA, nr. 302222

(54) Oppfinnelsens benevnelse Databehandlingssystem med et klokkeapparat og et flertall låsekretser.

(71)(73) Søker/Patenthaver AMDAHL CORPORATION,
1160 Kern Avenue, Sunnyvale, CA,
USA.

(72) Oppfinner GLENN DAVID GRANT,
San Jose, CA,
USA.

(74) Fullmektig A/S Oslo Patentkontor Dr. ing. K. O. Berg, Oslo.

(56) Anførte publikasjoner IBM Technical Disclosure Bulletin:
vol. 9, nr. 10 mars 1967
sidene 1313-1314 og sidene 1344-1345.

Den foreliggende oppfinnelse vedrører et databehandlingssystem som har et klokkeapparat og har et flertall låsekretser for forplantning av data gjennom databaner og for låsing av data fra databanene under styring av klokkesignaler fra klokkeapparatet hvor nevnte klokkesignaler har en klokkeusymmetri som er lik eller mindre enn en maksimal klokkeusymmetri og nevnte låsekretser låser data innenfor en periode som er mindre enn en maksimal låseforsinkelse.

I databehandlingssystemer er klokken den primære timing-kontroll for mange operasjoner i hele systemet. Tidligere kjente klokkesystemer har generelt vært av kanttriggertypen eller av terskeltriggertypen.

Kanttriggete klokkesystemer virker til å omveksle informasjonen på den fremre eller bakre kant av klokkepulsene og kalles ofte AC-klokker. Kanttriggete anordninger har imidlertid ikke vist seg å være fullt tilstrekkelig på grunn av deres støyfølsomhet, dårlig frekvensreaksjon og på grunn av vanskeligheten med å kontrollere den nøyaktige timing av de fremre og bakre kanter. Terskeltriggete klokkesystemer virker til å omveksle informasjon på DC-nivået av klokkepulsene, og kalles ofte DC-klokker. Terskeltriggete anordninger har det krav at signalet skal være tilstede i en minimumsperiode for at tilstrekkelig energi eksisterer ved inngangen, og således å omveksle nivået av utgangen. Denne minimumsperiode defineres typisk for omvekslingsfunksjonen med kortest varighet i systemet. Ettersom en låsekrets typisk er den lagringsfunksjon med kortest varighet som utføres i databehandlingssystemet, er tidsperioden, kalt maksimal låseforsinkelse (MLD, maximum latch delay) som er avsatt for omveksling av låser, en parameter som anvendes for å karakterisere klokkeapparatet i databehandlingssystemet. Andre parametre som anvendes er klokkeusymmetri (CS,

clock skew) maksimal databaneforsinkelse (D_{max}) og minimal databaneforsinkelse (D_{min}).

Den maksimale låseforsinkelsen (MLD), for hvilken en klokkepuls må inntreffe, er definert som pulsbredden av, dvs. tidsforløpet mellom den fremre og bakre kant av, et klokkesignal som er tilstrekkelig til å bevirke en låsecrets, eller dens ekvivalent, til å motta et inmatningsdatasignal for å lagre det datasignalet og å gi et pålitelig, reagerende utgangsdatasignal.

Klokkeusymmetri defineres som den maksimale forskjell mellom de fremre kanter av hvilke som helst to klokkepulser som definerer den samme syklus i systemet, slik de måles ved inngangen til låser, eller deres ekvivalenter, hvor som helst i systemet. Klokkeusymmetri stammer fra variasjoner i elektriske parametre i de forskjellige baner som er tilknyttet leveringen av klokkepulsene i hele systemet.

Den maksimale databaneforsinkelse (D_{max}) defineres som den maksimale periode som en databane kan anvende for å gi et reagerende utgangsdatasignal etter at et inngangsdatasignal styres inn i databanen. Den minimale databaneforsinkelse (D_{min}) defineres som den minimale periode som en databane må anvende for å gi et reagerende utgangssignal etter at et inngangsdatasignal styres inn i databanen. De maksimale og minimale databaneforsinkelsene kontrolleres, i en betydelig grad, av antallet logiske nivåer, ved variasjonene i kretsparametre innenfor hvert logisk nivå, og av den fysiske rekke av databaner.

For å minske antallet kretser som kreves i databehandlingssystemer, kan klokkesystemer konstrueres med klokkesignaler som har en pulsbredde lik den maksimale låseforsinkelse. Systemet krever at den minimale databaneforsinkelse (D_{min}) innbefatter en forsinkelse som er minst lik klokkeusymmetrien. Hvis en databane mangler inkludering av en slik forsinkelse, vil dette typisk resultere i "race"-tilstander innenfor en klokkepulsperiode, hvorved data blir til tider feilaktig styrt gjennom to for en klokkepuls. Selv om visse tidligere kjente høyhastighetsklokkesystemer har vært effektive til å redusere kretsomkostninger ved

hjelp av klokkesystemkonstruksjon, har de ofte gjort dette på bekostning av ikke å oppnå maksimal klokkefrekvens og derfor maksimal yteevne. Den foreliggende oppfinnelse optimaliserer både omkostningene og yteevnen ved riktig valg av klokkepulsbredden.

Det innledningsvis nevnte databehandlingssystem kjennetegnes ifølge oppfinnelsen ved at klokkeapparatet genererer klokkesignaler med frekvens f for å definere en syklustid lik $1/f$ og at databanene har forsinkelser som er mindre enn en maksimal databane-forsinkelse og større enn en minimum databane-forsinkelse idet nevnte klokkeapparat genererer nevnte klokkesignal med en pulsbredde som overstiger maksimal låseforsinkelse, hvor summen av klokkepulsbredden og klokkeusymmetrien er mindre enn minimum databane-forsinkelse og med syklustid større enn maksimal databane-forsinkelse. Ifølge ytterligere trekk ved databehandlingssystemet genererer klokkeapparatet nevnte klokkesignaler med pulsbredden større enn eller lik maksimal låseforsinkelse pluss klokkeusymmetri. Klokkeapparatet innbefatter en firkantbølgegenerator for generering av et firkantbølgesignal, en første bane for mottagelse av nevnte firkantbølgesignal, en andre bane for mottagelse av nevnte firkantbølgesignal, hvor nevnte andre bane har større forsinkelse enn nevnte første bane og apparat for logisk å kombinere utmatningene fra nevnte første og andre baner for generering av nevnte klokkesignaler som rektangulære bølgesignaler med nevnte pulsbredde større enn nevnte maksimale låseforsinkelse og innbefattende i det minste en del av klokkeusymmetrien. Nevnte andre bane kan innbefatte et flertall logiske porter idet nevnte apparat for logisk kombinerer utgjøres av en logisk port. De innledningsvis nevnte låsekretser er terskeltriggede anordninger, og kan videre ha bistabile utmatninger som en funksjon av terskelnivåene av datainngangssignaler og klokkesignaler.

Ytterligere formål og trekk ved oppfinnelsen vil fremgå av beskrivelsen, og de foretrukkede utførelser av oppfinnelsen er blitt angitt i detalj i forbindelse med tegningene.

Fig. 1 viser et blokkdiagram av et databehandlingssystem som anvender klokkeapparatet i den foreliggende oppfinnelse.

141104

4

Fig. 2 viser databanene som er tilknyttet en adderer med utførelsesenheten i systemet i fig. 1 og måten på hvilken klokkeapparatet gir timing for data som sendes gjennom addereren.

Fig. 3 viser ytterligere detaljer tilknyttet data- og klokkebanene i addereren i fig. 2.

Fig. 4 viser en grafisk representasjon av forholdet mellom frekvensen for databehandlingssystemet og klokkepulsbredden.

Fig. 5 viser representative bølgeformer som beskriver operasjonene i klokkesystemet i fig. 3.

Fig. 6 viser et klokkeapparat for å generere klokkesignaler i overensstemmelse med den foreliggende oppfinnelse.

Fig. 7 viser bølgeformer som er representative for operasjonen i klokkeapparatet i fig. 6.

Databehandlingssystemet som er vist i fig. 1, er hensiktsmessig for anvendelse av addereren og metoden i den foreliggende oppfinnelse. I korte trekk innbefatter dette system et hovedlager 2, en lagerkontrollenhet 4, en instruksjonsenhet 8, en utførelsesenhet 10, en kanalenhet 6 med tilhørende inngang/utgang I/O, og en konsoll 12. I overensstemmelse med velkjente prinsipper opererer databehandlingssystemet i fig. 1 under kontroll av et lagret program med instruksjoner. Instruksjonene og dataene, på grunnlag av hvilke instruksjonene opererer, innføres fra I/O-utstyret via kanalenheten 6 gjennom lagerkontrollenheten 4 inn i hovedlagret 2. Fra hovedlagret 2, hentes instruksjonene av instruksjonsenheten 8 gjennom lagerkontrollen 4, og dekodes for således å kontrollere utførelsen innenfor utførelsesenheten 10. Utførelsesenheten 10 utfører instruksjonene som er dekodet i instruksjonsenheten 8 og opererer på grunnlag av data som er tilført utførelsesenheten fra tilbørlige steder i systemet.

Utførelsesenheten 10 innbefatter en adderer for utførelse av visse instruksjoner i systemet i fig. 1, spesielt instruksjoner som krever tillegg av operander i overensstemmelse med regler for eksponentaritmetikk. Ved hjelp av generell bakgrunn og for

spesielle detaljer vedrørende operasjonen av systemet i fig. 1, skal det henvises til norsk patentansökning 4167/73.

I fig. 2 er de grunnleggende databanene, innenfor utförelsesenheten 10, vist, hvilke er tilknyttet addereren 32 i den foreliggende oppfinnelse. I korte trekk tilføres data som skal adderes til addereren 32 gjennom LUCK 20 til 1H-registret 24 og 2H-registret 25.

Mens 1H-registret 24 og 2H-registret 25 hver er 32 bits brede; merket 0 t.o.m. 31 i fig. 2, adderes kun en halv byte som omfatter 4 bits i forbindelse med et representativt eksempel av den foreliggende oppfinnelse. Nærmere bestemt lagrer 1H- og 2H-registrene hver ett ord, lik fire 8-bit bytes med data. Kun en av de fire bytes i hvert register er beskrevet i forbindelse med den foreliggende oppfinnelsen. Operanden A lagres i 1H-registret 24 i bitposisjonene 4 t.o.m. 7, som gir inmatninger a4 t.o.m. a7. På tilsvarende måte lagres operanden B i 2H-registret 25 i bitposisjonene 4 t.o.m. 7, hvilket gir inmatningene b4 t.o.m. b7. På et riktig tidspunkt i syklusen i databehandlingssystemet ifølge fig. 1, styres operandene A og B til addereren 32 i fig. 2 og forskjellen A - B fremkommer på 4-bitutmatningslinjen 99 mens forskjellen B - A fremkommer på 4-bitutmatningslinjen 98.

På et riktig tidspunkt innenfor databehandlingssystemsyklusen inntreffer det en bestemmelse av hvorvidt operanden A er større enn operanden B eller vice versa. Når den bestemmelsen er gjort, velger et signal på linjen 92 den riktige linjen av utgangslinjene 98 eller 99 for innstyring av den valgte forskjell inn i SAR-registret 38 for ytterligere bruk av systemet i fig. 1. Signalet på linjen 92 fås, i en utförelse, fra LUCK-enheten 20 som utförer logiske sammenlikninger. Alternativt kan linjen 92 utledes fra bits med høyere orden i addereren 32 når de anvendes.

Utförelsesenheten 10 innbefatter også en skifter for å skifte mantissedelene av operandene A og B som reaksjon på den valgte forskjellen A - B eller B - A ved utförelsen av eksponentaritmetisk innretting.

I fig. 2 består addereren 32 av fem logiske nivåer I t.o.m. V og er av menteoverføringstypen (carry propagate type). Nivå I-

141104

6

logikkenheten danner pluss-og minusfasene for inngangssignalene. Bitforplantnings- og bitgenereringssignalene og gruppeforplantnings- og gruppegenereringssignalene lages i nivå II-logikkenheten. I nivå III-logikkenheten blir signalene fra det andre nivået logisk kombinert til å danne halvsumsinaler og gruppementesignaler. I nivå IV-logikkenheten frembringes de fulle summer fra signalene fra nivå III-logikkenheten. Nivå V-logikkenheten er et effektnivå for A - B-forskjellen og et effektnivå og inverterer for B - A-forskjellen.

I fig. 2 fremkommer datasignal DA-innmatningen på LH-registret 24 en kort tid etter klokkesignalet C1, og blir på reagerende måte låst i LH-registret 24 av klokkesignalet C1, for å gi utgangsdatasignalet DB. DB-datasignalet fra LH-registret 24 gis som en innmatning på en linje 55 til addereren 32, hvor det forplanter seg gjennom de fem nivåene av logikkenhetene I t.o.m.V. Etter å ha gjennomgått databaneforsinkelsen, X, som stammer fra forplantningen gjennom de fem nivåene i addereren 32, gir datasignalet DB et utgangsdatasignal DC på utgangslinjen 98, og datasignalet DC låses i SAR-registret 38 ved hjelp av klokkesignalet C2. Datasignalet DC som er låst i registret 38 av klokkesignalet C2, etablerer et datasignal DD som utmatning fra registret 38. Klokkesignalene C1 og C2, som bevirker datasignalene til å bli låst, fås fra systemklokken 102.

I fig. 3 er et trinn av LH-registret 24 vist som lås 124. På tilsvarende måte er et trinn av registret 38 vist som lås 138. Låsen 124 har en inngang med datasignalet DA og gir en utmatning med datasignalet DB.

Låsen 124 innbefatter ELLER/IKKE-ELLER-portene 151 t.o.m. 154 som opererer for å gi låsefunksjonen. DB-utgangssignalet forbindes som en inngang til de fem trinnene i logikkenheten 132, som er en del av addereren 32 i fig. 2. Trinnene 132 representerer hvilke som helst fem logiske nivåer gjennom hvilke signalen DB forplanter seg ved dannelsen av utgangsdatasignalet DC.

Utgangsdatasignalet DC er koblet som inngang til låsen 138 som er identisk med låsen 124, hvor korresponderende ELLER/IKKE-ELLER-porter er indikert med korresponderende, merkede referansetall. Utgangen fra låsporten 138 er datasignalet DD.

I fig. 6 er klokkeapparatet ifølge foreliggende oppfinnelse vist i forbindelse med en representativ del av databehandlingssystemet. I klokkeapparatet er firkantbølgegeneratoren 104 en konvensjonell anordning for generering av firkantbølger og innbefatter typisk en oscillator og formingskretser for å gjøre utmatningen fra oscillatoren firkantet. Generatoren 104 gir et firkantbølgeutgangssignal som har en frekvens F som er typisk lik 50 MHz og som derfor definerer en systemsyklustid CT lik 20 nanosekunder. Utgangen fra generatoren 104 er inngang til et flertall IKKE-ELLER-porter 115, 115' og 115'' som sammen danner en multiskivebærer- (MCC, multichip carrier) fordelingskrets 107. Hver av portene 115 mater en separat krets av multiskivebærer-kretsen 111, 111' og 111'' respektivt, og spesielt IKKE-ELLER-portene 116, 116' og 116'' respektivt. Med skive forstås her det engelske uttrykket "chip" i forbindelse med integrerte kretser.

IKKE-ELLER-portene 116 mottar hver som sin andre innmatning blokkeringslinjene 118, 118' og 118'', som funksjonerer til å blokkere klokkesignalet til alle deler av den respektive MCC-krets. Utgangene fra IKKE-ELLER-portene 116 tilføres direkte til ELLER-portene 120 og også til en forsinkelseslinje på fire ELLER/IKKE-ELLER-porter 122 som i sin tur er forbundet som en andre inngang til IKKE-ELLER-portene 120. Portene 122 og portene 120 funksjonerer til å modifisere funksjonssyklusen for bølgeformutgangen fra portene 116. Firkantbølgeutgangen fra ELLER-portene 116 modifiseres til en rektangulær bølgeutgang fra portene 120. Pulsbredden for signalene fra portene 120 velges, i overensstemmelse med en utførelse av den foreliggende oppfinnelse, til å være lik klokkeusymmetrien pluss den maksimale låseforsinkelse. Ved forandring av antallet porter i linjen av porter 122, forandres pulsbredden for klokkesignalene likeledes.

Utgangssignalene fra portene 120, 120' og 120'' er klokkesignalene CC1, CC2 og CC3, respektivt, hvilke mater fordelerne 123, 123' og 123'', respektivt. Hver av fordelerne 123 innbefatter typisk et flertall ELLER/IKKE-ELLER-porter som er lik de i fordelingskretsen 107. De elektriske karakteristikker for hver av kretsbanene som genererer klokkesignalene CC1, CC2 og CC3, kan avvike på grunnlag av den normale toleranse som er tilknyttet høyhastighetshalvlederteknologi. Videre kan forsinkelsesforskjeller med

hensikt innføres ved valg av den fysiske lengde som signalene må gå i fordelerne 123. Ved riktig justering og utprøving av distribusjons- eller fordelingskretsene 123, kan hvert av klokke-signalene bli finavstemt for å etablere det ønskede timingforhold og derved sikre at maksimal usymmetri CS mellom hvilke som helst to klokkesignaler ikke overstiges.

I fig. 7 er bølgeformen 104 representativ for utgangen fra firkantbølgegeneratoren 104 og har en klokkeperiode som definerer syklustiden CT for databehandlingssystemet. Syklustiden CT er lik $1/F$, hvor F er frekvensen for oscillatoren i firkantbølgegeneratoren 104. I fig. 7 har firkantbølgen 104 en positivtgående overgang ved $-t_1$ fulgt av en negativtgående overgang ved t_9 , fulgt igjen av en positivtgående overgang ved t_{19} . Bølgeformen 104 inverteres og forsinkes i portene 115 og blir ytterligere forsinket i portene 116. Hver av portene 115 og 116 har typisk en forsinkelse lik en enhet av t slik at den kombinerte forsinkelse for portene 115 og 116 er to enheter av t. Bølgeformen 116 i fig. 7 er den inverse av bølgeformen 104 forsinket med to enheter av t. Følgelig har bølgeformen 116 en negativtgående overgang ved t_1 , fulgt av en positivtgående overgang ved t_{11} og igjen fulgt av en negativtgående overgang ved t_{21} . Bølgeformen 116 er også en firkantbølgepuls. Bølgeformen 116 er innmatningen til rekken eller linjen av porter 122 som funksjonerer til å invertere og forsinke bølgeformen 116 med fire enheter av t for å gi bølgeformen 122. Bølgeformen 122 har en positivtgående overgang ved t_5 , en negativtgående overgang ved t_{15} og en positivtgående overgang ved t_{25} .

ELLER-portene 120 funksjonerer til logisk å kombinere bølgeformene 116 og den forsinkede og inverterte bølgeform 122 for å gi klokkesignalene 120 som har den ønskede pulsbredde. Bølgeformen 120 er den logiske ELLER-funksjon av bølgeformene 116 og 122 forsinket med en enhet av t, som er den nominelle forsinkelse for portene 120. Følgelig har bølgeformen 120 en negativtgående overgang ved t_2 som er en enhet av t etter den negativtgående overgang av bølgeformen 116 ved t_1 . På tilsvarende måte har bølgeformen 120 en positivtgående overgang ved t_6 som er en enhet av t etter den positivtgående overgang av bølgeformen 122 ved t_5 . Den negativtgående puls av bølgeformen 120 mellom t_2 og t_6 definerer en første klokkepuls og en første syklus i databe-

handlingssystemet, og den negativtgående puls mellom t_{22} og t_{26} definerer den neste syklus av databehandlingssystemet.

Selv om det er hensikten at bølgeformen 120 i fig. 7, som representerer utgangen fra porten 120 i fig. 6, også representerer utgangen fra porten 120' i fig. 6, vil forskjeller i elektriske parametre for de forskjellige kretsene i fig. 6 normalt gi bølgeformer som er usymmetriske relativt til hverandre. Som tidligere indikert, innbefatter fordelingskretsene 123, 123' og 123'' midler for å justere usymmetrien for å sikre at klokkesignalene C1, C2 og C3 alle er representert ved bølgeformen 120 i fig. 7 innenfor grensene av den maksimale usymmetri som vil bli beskrevet i ytterligere detalj i forbindelse med bølgeformene i fig. 5.

I fig. 5 funksjonerer klokkesignalene C1 og C2, som fås fra klokkeapparatet i fig. 6, til å kontrollere overføringen av data-innmatningen til låsen 124 gjennom byteaddererdatatabanen 132 inn i låsen 138. Klokkesignalet C1 låser inngangsdatasignalet DA for å danne utgangsdatasignalet DB som i sin tur forplantes gjennom databanen 132 for å danne datasignalet DC som låses av klokkesignalet C2 for å danne utgangsdatasignalet DD.

I fig. 7 har klokkesignalet C1 en fremre kant ved t_2 og en bakre kant ved t_6 . Klokkeperioden CT er lik $1/F$, hvor den fremre kanten av den andre klokkepuls ved t_{22} fremkommer 20 enheter av t borte fra den første fremre kant ved t_2 . På tilsvarende måte fremkommer den bakre kanten av den andre klokkepuls ved t_{26} , som er 20 enheter av t fra den første klokkepulsens bakre kant ved t_6 .

Datasignalet DA går fra 0 til 1 ved t_{2+} en viss tid etter den fremre kanten av klokkesignalet C1 ved t_2 og forut for t_3 . Med datasignalet DA på 1-nivået, og med klokkesignalet C1 på 0, forplantes 1-nivået av DA-signalet gjennom for å gi datasignalet DB ved tidspunktet t_{4+} . Låseforsinkelsen LD er tiden mellom overgangen av datasignalet DA ved t_{2+} og overgangen av datasignalet DB ved t_{4+} . Låseforsinkelsen LD er en funksjon av omvekslingstiden for IKKE-ELLER-portene 151 t.o.m. 154.

Låsen 124 opererer på en konvensjonell måte. 0-inngangen til

141104

10

porten 151 gir en 1-innmatning til porten 152 og en 0-innmatning til porten 154. 0-innmatningen til porten 154 kombinert med 1'eren av datasignalet DA gir en 0-utmatning fra porten 154. 0-utmatningen fra porten 154 kombineres med 0-utmatningen fra porten 152 til å gi en 1-utmatning fra porten 153. De to 1-innmatningene til porten 152, som fås fra porten 153 og porten 151, etablerer 0-utmatningen fra porten 152. Når klokkesignalet C1 går til 0 ved t6, reverseres utmatningene fra porten 151, hvilket gir en 1-innmatning til porten 154.

Når klokkesignalet C1 går fra 0 til 1 ved t6, gir porten 151 en 0 til porten 152 og en 1 til porten 154. Porten 154 opprettholder sin 0-utmatning på grunn av 1-nivået av datasignalet DA. Porten 152 opprettholder sin 0-utmatning på grunn av låsetilbakekoblingen fra porten 153 til porten 152. Porten 152 opprettholder sin 0-utmatning selv når datasignalet DA forandrer nivå fra 1 til 0 som vist ved et tilfeldig tidspunkt t22+. Etter t22+ forandrer porten 154 ikke sin utmatning fra en 0 til en 1 på grunn av 1-innmatningen fra porten 151. Etter tidspunktet t22 går klokkesignalet C1 fra en 1 til en 0, og omveksler derved utmatningen av porten 151 og innmatningen til porten 154 til en 0, og gir således en 1-utmatning fra porten 154. 1-utmatningen fra porten 154 kombinert med 0-utmatningen fra porten 152 gir en 0-utmatning fra porten 153 som registrerer forandringen i datasignalet DB ved t24+.

Datasignalet DB som har en 0-til 1-overgang ved t4+, forplanter seg gjennom databanen 132. Databanen 132 har en databaneforsinkelse X på ca. 19 enheter av t. Datasignalet DC har en 0- til 1-overgang ved t23 som er datasignalinngangen til låsen 138.

På grunn av at klokkesignalet C2 har en 1- til 0-overgang ved t22 og var derfor en 0 når datasignalet DC gikk positivt ved t23, funksjonerer låsen 138 til øyeblikkelig å låse datasignalet DC og bevirke en 0- til 1-overgang i utgangsdatasignalet DD ved tidspunktet t24+. Låsing av datasignalet DC for å etablere datasignalet DD er analogt med låsing av datasignalet DA for å etablere datasignalet DB. Perioden mellom t23 og låsing av datasignalet DD ved t24+ er låseforsinkelsen for låsen 138.

Låseforsinkelsene for låsene 124 og 138 er variabler som stammer fra variasjoner i de elektriske parametre av systemet som tidligere omtalt. Generelt er låseforsinkelsen LD for enhver lås innenfor databehandlingssystemet, av hvilket låsene 124 og 138 er typiske, konstruert til ikke å overstige en verdi som er definert som maksimumslåseforsinkelse (MLD).

Databaneforsinkelsen X for databanen 132 er også en variabel av de samme grunner som låseforsinkelsene er variabler. Databaneforsinkelsen X er konstruert til å være mindre enn en maksimumsdatabaneforsinkelse Dmax og større enn en minimumsdatabaneforsinkelse Dmin.

For å unngå en dobbelforplantning av data gjennom en lås og en databane under en enkelt klokkepuls, må den minimale databaneforsinkelse Dmin overstige klokkepulsbredden, CPW, pluss klokkeusymmetrien, CS. For også å sikre at data kan overføres gjennom en første lås ved hjelp av en første klokkepuls nedover en databane og låses i en andre lås ved hjelp av den neste puls, må den maksimale databaneforsinkelse Dmax være mindre enn klokkeperioden CT hvis $CPW \geq MLD + CS$, ellers er $Dmax \leq CT - CS$, hvor CT er syklustiden.

Ved konstruering og fremstilling av databehandlingssystemet anvendes teknikker for å sikre at hver lås i systemet er opererbar med en forsinkelse som ikke overstiger den maksimale låseforsinkelse MLD. På tilsvarende måte er hver av databanene konstruert til å ha en forsinkelse som overstiger den minimale databaneforsinkelse Dmin og som ikke overstiger den maksimale databaneforsinkelse Dmax. En betydelig faktor som kontrollerer databaneforsinkelsen, er antallet av logiske nivåer i databanen. For å tilfredsstille kravet til at den minimale databaneforsinkelse Dmin overstiger den maksimale låseforsinkelse MLD, blir ofte ytterligere kretser tilføyet ene og alene i den hensikt å tilføye ytterligere forsinkelse til databanen. Mens denne tilføyelse av kretser tilfredsstiller kravet til minimal forsinkelse, øker dette tillegg ved økning av antallet kretser også kostnadene for databehandlingssystemet. Relativt lange perioder av forsinkelse kan etableres mellom to klokkepulser ved låsekretser som låses ved tidlige eller sene klokkepulser som er ute av fase

med hovedklokkepulsene C1 og C2, som opererer for å kontrollere overføring av data.

I omtalen av fig. 5 ovenfor ble det antatt at klokkesignalene C1 og C2 var i fase og at derfor kretsparametrene fra hovedklokkesignalene som ble beskrevet i forbindelse med fig. 6 og 7, var i fase og hadde ingen usymmetri.

Med henvisning til fig. 7, er klokkesignalet C1', som er påtrykket C1-terminalen i fig. 3, gjort usymmetrisk relativt til klokkesignalet C2, som er påtrykket C2-terminalen i fig. 3. Klokkesignalet C1' har en negativtgående overgang ved t4 som er 2 enheter av t senere enn klokkesignalet C1. I forklarende henseende har usymmetrien mellom klokkesignalet C1 og klokkesignalet C1' blitt valgt som den maksimale verdi CS. Klokkeusymmetrien kontrolleres innenfor databehandlingssystemet for å sikre at ingen av to klokkesignaler som måles ved inngangen til låsene, eller ekvivalente punkter i systemet, separeres med en verdi større enn den maksimale klokkeusymmetri CS.

For det samme inngangsdatasignalet DA har klokkesignalet C1' en overgang ved t4 som bevirker datasignalet DB' til å bli låst til en 1 ved t6. I dette eksempel antas databaneforsinkelsen X å være den samme som i det tidligere eksempel slik at data-signal- DC' overgangen inntreffer ved t24+. Klokkesignalet C2 bevirker deretter datasignalet DB' til å bli låst ved t26.

Pulsbredden for hvert av klokkesignalene C1, C1' og C2 er lik ca. 4 enheter av t. Den maksimale klokkeusymmetri CS og den maksimale låseforsinkelse MLD er også hver lik ca. 2 enheter av t. Under disse typiske tilstander ble datasignalet DA på riktig måte låst og forplantet til å danne utgangsdatasignalene DD og DD' uten eller med usymmetri, respektivt. Det skal bemerkes at i begge av disse eksempler var klokkepulsbredden CPW i alt vesentlig lik den maksimale låseforsinkelse MLD pluss den maksimale klokkeusymmetri CS.

I et tredje eksempel, fremdeles under henvisning til fig. 5, antas klokkesignalene C1'' og C2'' å ha den samme periode CT som i de tidligere to eksempler, men antas å ha en pulsbredde som er

lik den maksimale låseforsinkelse MLD, som i de gitte eksempler er ca. 2 enheter av t. Nærmere bestemt har klokkesignalet C1'' en negativtgående overgang ved t3 og en positivtgående overgang ved t5. For det samme inngangsdatasignal DA som tidligere, låses datasignalet DB'' ved t5.

Datasignalet DB'', som er låst ved t5, forplanter seg gjennom den samme databaneforsinkelse for å danne overgangen i datasignalet DC'' ved t23+. Klokkesignalet C2'' har den samme begynnelsesovergang ved t2 som det første klokkesignalet C2, men er kun 2 enheter av t langt, slik at det termineres ved t24. Ettersom datasignalet DC'' har en overgang ved t23+, er varigheten fra t23+ til t24 ikke lik den maksimale låseforsinkelse MLD, slik at det ikke kan garanteres at hver lås i databehandlingssystemet er i stand til å låse datasignalet DC''. Følgelig er datasignalet DD'' vist med en begynnende ekskursjon mot låsing ved t23+, men det er en mangel på låsing som indikert ved signalet etter t24+.

Klokkesignalene C1'' og C2'' er gjort usymmetriske i den maksimale grad CS som er tillatelig innenfor databehandlingssystemet.

Under disse tilstander blir datainngangssignalet DA ikke tilstrekkelig låst og forplantet til å danne det ønskede låste nivå i utgangsdatasignalet DD''. For å sikre at utgangsdatasignalet DD'' blir tilstrekkelig låst etter t25+, mens det fremdeles beholder en klokkepulsbredde på ca. 2 enheter av t (som er lik den maksimale låseforsinkelse MLD, må klokkeperioden CT økes slik at den fremre kant av klokkesignalet C2'' inntreffer på et senere tidspunkt, f.eks. en viss tid etter t24. En økning i klokkeperioden CT bevirker imidlertid en minskning i frekvensen F for klokkepulsene som minsker derved operasjonsfrekvensen for databehandlingssystemet. Å operere databehandlingssystemet på en lavere frekvens degraderer på uønsket måte yteevnen for databehandlingssystemet.

Selv om valget av klokkepulsbredde i det dobbeltmerkede eksempel er ugunstig på grunn av at det krever minskning av klokkefrekvensen, er det tjenlig på grunn av at det tillater den minimale databaneforsinkelse Dmin å være av kortere varighet.

Som tidligere omtalt, må den minimale databaneforsinkelse overstige klokkepulsbredden slik at dess smalere pulsbredde, dess lavere verdi av minimal databaneforsinkelse som er mulig. Ettersom en kortere minimumsbaneforsinkelse kan unngå eller redusere behovet for kretser som tilføyes stort sett bare i den hensikt å introdusere forsinkelse, har innsnevringen av klokkepulsbredden en tendens til å redusere antall kretser i databehandlingssystemet.

I fig. 4 er det vist et diagram som representerer forholdet mellom operasjonsfrekvensen F for databehandlingssystemet versus klokkepulsbredden CPW . Jo høyere frekvens, dess større er systemyteevnen. Jo større klokkepulsbredde, dess høyere minimal databaneforsinkelse som generelt øker antallet kretser og derfor systemkostnaden. Diagrammet starter med en klokkepulsbredde som er lik den maksimale låseforsinkelse MLD ettersom systemet for pulsbredder som er smalere enn dette, ikke vil operere riktig på grunn av "race"-tilstander og dobbelstyring av data. Den maksimale tillatte frekvens for databehandlingssystemet øker opptil et punkt hvor pulsbredden er lik den maksimale låseforsinkelse pluss den maksimale klokkeusymmetri, $MLD + CS$. En økning i pulsbredden forbi $MLD + CS$ -verdien gir ikke en ledsagende økning i frekvens, mens det er en økning i den minimale databaneforsinkelse D_{min} . Hvis klokkepulsbredden, i overensstemmelse med den foreliggende oppfinnelse, velges i alt vesentlig lik $MSD + CS$, kan databehandlingssystemet opereres på den maksimale frekvensen med det færreste antall kretser. Operering av databehandlingssystemet med en pulsbredde som er større enn den maksimale låseforsinkelse MLD , men mindre enn $MLD + CS$, har også en fordel i økning av den maksimale tillatte frekvens for operering av databehandlingssystemet, hvilket selvfølgelig er formålstjenlig. Videre vil operering av databehandlingssystemet med en pulsbredde i overkant av verdien $MLD + CS$ sikre at maskinen alltid kan opereres på den maksimale frekvensen. Operering av databehandlingssystemet f.eks. med en klokkepulsbredde CPW som er 10% større enn $MLD + CS$, gir et 10% sikkerhetsområde som sikrer at databehandlingssystemet ikke vil operere lavere enn den maksimalt tillatte frekvens.

Selv om oppfinnelsen er blitt spesielt vist og beskrevet med henvisning til foretrukkede utførelser av oppfinnelsen vil det for-

stås av eksperter at det foregående og andre forandringer i form og detaljer kan foretas uten at man avviker fra oppfinnelsens ide og omfang.

P a t e n t k r a v

1. Databehandlingssystem som har et klokkeapparat (102) og har et flertall låsekretser (124, 138) for forplantning av data gjennom databaner (132) og for låsing av data fra databanene under styring av klokkesignaler fra klokkeapparatet (102), hvor nevnte klokkesignaler har en klokkeusymmetri som er lik eller mindre enn en maksimal klokkeusymmetri (CS) og nevnte låsekretser (124, 138) låser data innenfor en periode som er mindre enn en maksimal låseforsinkelse (MLD), k a r a k t e r i s e r t v e d at klokkeapparatet (102) genererer klokkesignaler med frekvens f for å definere en syklustid (CT) lik $1/f$ og at databanene (132) har forsinkelser som er mindre enn en maksimal databane-forsinkelse (D_{max}) og større enn en minimum databane-forsinkelse (D_{min}), idet nevnte klokkeapparat (102) genererer nevnte klokkesignal med en pulsbredde (CPW) som overstiger maksimal låseforsinkelse (MLD), hvor summen av klokkepulsbredden (CPW) og klokkeusymmetrien (CS) er mindre enn minimum databane-forsinkelse (D_{min}), og med syklustid (CT) større enn maksimal databane-forsinkelse (D_{max}).

2. System som angitt i krav 1, k a r a k t e r i s e r t v e d at klokkeapparatet (102) genererer nevnte klokkesignaler med pulsbredden (CPW) større enn eller lik maksimal låseforsinkelse pluss klokkeusymmetri (CS).

3. System som angitt i krav 2, k a r a k t e r i s e r t v e d at klokkeapparatet (102) innbefatter en firkantbølge-generator (104) for generering av et firkantbølgesignal, en første bane (116-120) for mottagelse av nevnte firkantbølgesignal, en andre bane (122) for mottagelse av nevnte firkantbølgesignal, hvor nevnte andre bane har større forsinkelse enn

nevnte første bane, og apparat (120) for logisk å kombinere utmatningene fra nevnte første og andre baner for generering av nevnte klokkesignaler som rektangulære bølgesignaler med nevnte pulsbredde større enn nevnte maksimale låseforsinkelse og innbefattende i det minste en del av klokkeusymmetrien.

4. System som angitt i krav 3, k a r a k t e r i s e r t v e d at nevnte andre bane (122) innbefatter et flertall logiske porter (122) og at nevnte apparat for logisk kombinerings er en logisk port (120).

5. System som angitt i krav 1, k a r a k t e r i s e r t v e d at nevnte låsekretser (124, 138) er terskeltriggede anordninger.

6. System som angitt i krav 5, k a r a k t e r i s e r t v e d at nevnte låsekretser (124, 138) har bistabile utmatninger som en funksjon av terskelnivåene av datainngangssignaler og klokkesignaler.

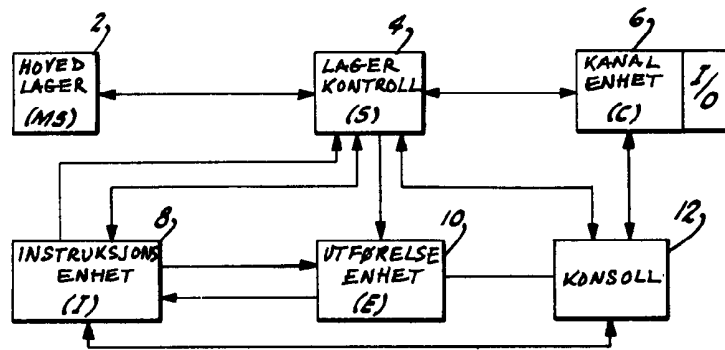


FIG. 1

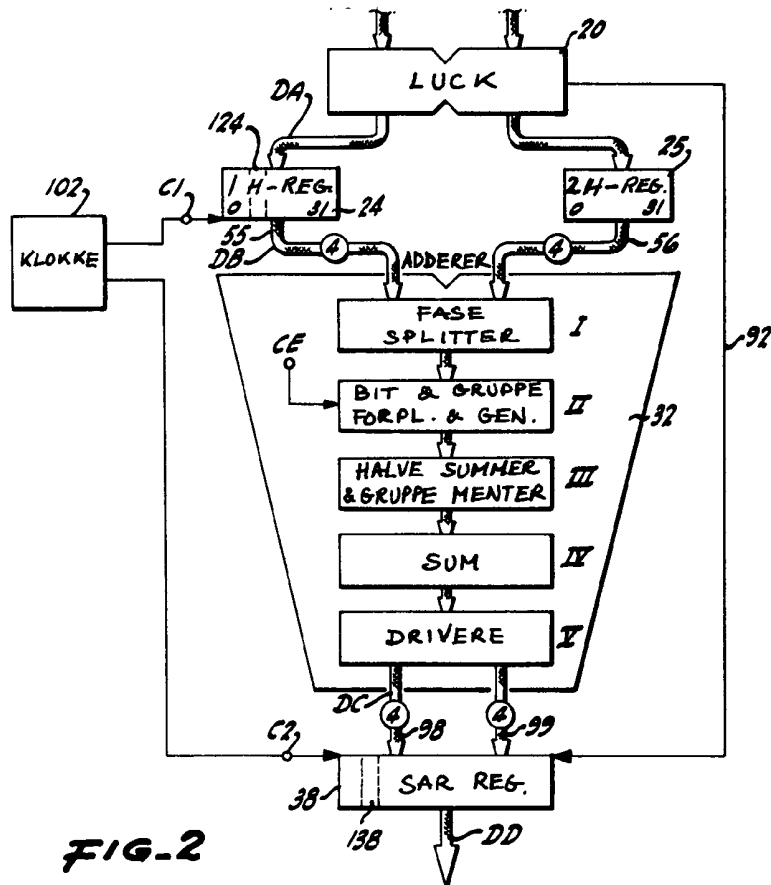


FIG. 2

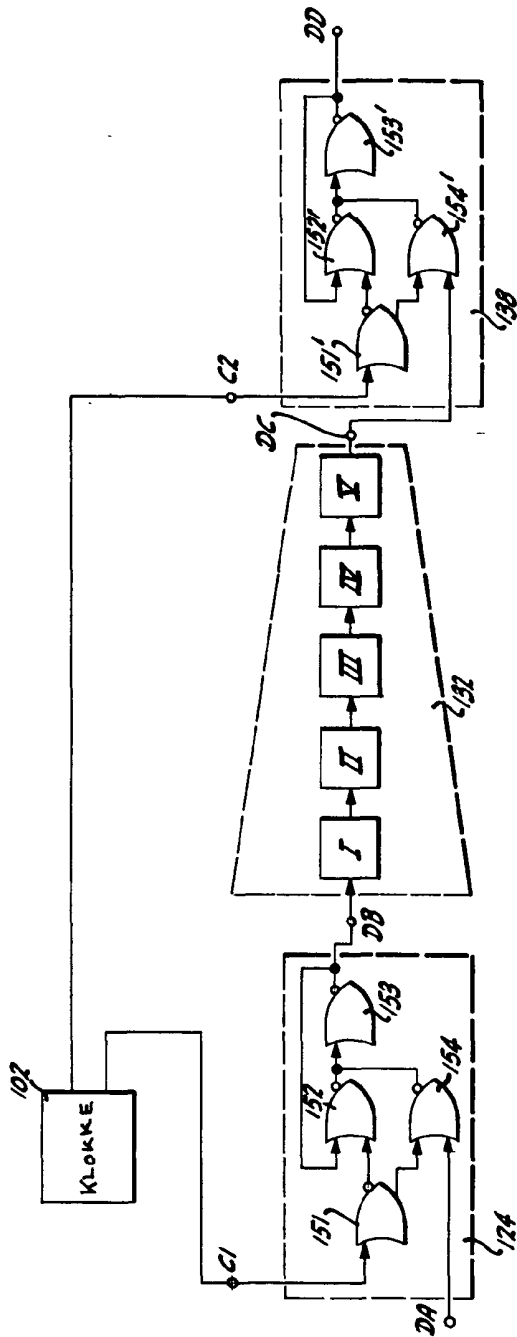


FIG-3

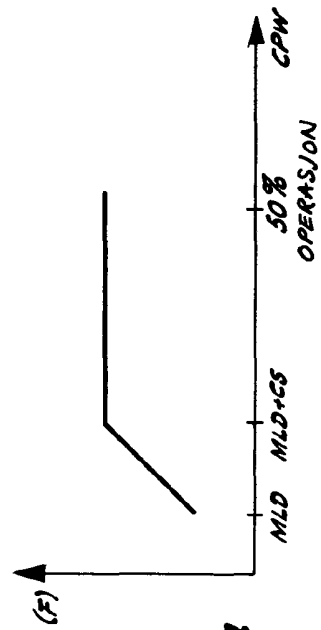


FIG-4

141104

