

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 21/762

(45) 공고일자 2005년03월18일
(11) 등록번호 10-0476691
(24) 등록일자 2005년03월04일

(21) 출원번호 10-2002-0021320
(22) 출원일자 2002년04월18일

(65) 공개번호 10-2003-0082824
(43) 공개일자 2003년10월23일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이성수
경기도성남시분당구이매동124번지한신아파트210동1502호
황재성
경기도수원시팔달구영통동신나무실신원아파트643동703호

(74) 대리인 박영우

심사관 : 신창우

(54) 셀로우 트렌치 소자분리 방법 및 이를 이용한 불휘발성메모리 장치의 제조방법

요약

셀로우 트렌치 소자분리 방법 및 이를 이용한 불휘발성 메모리 장치의 제조방법이 개시되어 있다. 반도체 기판 상에 산화막, 저지층 및 하드 마스크층을 순차적으로 형성한다. 상기 하드 마스크층, 저지층 및 산화막을 패터닝하여 하드 마스크층 패턴, 저지층 패턴 및 산화막 패턴을 형성한다. 상기 하드 마스크층 패턴을 이용하여 저지층 패턴에 인접한 기판의 상부를 식각하여 트렌치를 형성한다. 상기 하드 마스크층을 제거한 후, 트렌치의 내부에 필드 산화막을 형성한다. 하드 마스크를 이용하여 트렌치를 식각한 후, 캡매립 산화막을 증착하기 전에, 질화물로 이루어진 저지층 상에 존재하는 산화물 또는 산질화 실리콘(SiON)으로 이루어진 하드 마스크층을 제거함으로써 트렌치 영역의 애스펙트 비를 줄여 캡 매립 마진을 확보할 수 있다.

대표도

도 2f

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래의 불휘발성 메모리 장치에 적용되는 자기정렬된 셀로우 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2g는 본 발명에 의한 셀로우 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3i는 본 발명의 바람직한 실시예에 의한 자기정렬된 셀로우 트렌치 소자분리 공정을 적용한 불휘발성 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

50, 100 : 반도체 기판 52, 102 : 산화막 패턴

104 : 제1 플로팅 게이트 패턴 54, 106 : 저지층 패턴

56, 108 : 하드 마스크층 패턴 58, 110 : 반사 방지층 패턴

60, 112 : 포토레지스트 패턴 62, 114 : 트렌치

64, 116 : 캡매립 산화막 66, 118 : 필드 산화막

120 : 제2 플로팅 게이트 패턴 122 : 유전막

124 : 컨트롤 게이트층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 소자분리 방법 및 이를 이용한 반도체 장치의 제조 방법에 관한 것으로, 보다 상세하게는 셀로우 트렌치 소자분리(shallow trench isolation; STI) 방법 및 이를 이용한 불휘발성 메모리 장치의 제조방법에 관한 것이다.

고집적 메모리 장치의 제조에 있어서, 셀의 집적도는 메모리 셀의 레이아웃 및 임계 치수의 축소에 따른 상기 레이아웃의 비례축소능력(scalability)에 의해 주로 결정된다. 임계 치수가 서브-마이크론 영역 이하로 축소됨에 따라, 레이아웃의 비례축소능력(scalability)은 제조 공정의 해상도(resolution) 및 설계용 마스크에 의한 얼라인먼트 공차에 의해 제한되어진다. 마스크의 얼라인먼트는 공정시 웨이퍼의 상부에 마스크를 위치시키는 기계적 기술 및 마스크의 상부에 패턴을 일관되게 인쇄하는 기술에 의해 제한된다. 얼라인먼트 공차가 축적되면 어레이의 레이아웃시 미스얼라인먼트 에러가 유발되기 때문에, 칩 설계에서 얼라인먼트 공차를 제어하기 위해서는 얼라인먼트 임계 마스크를 보다 적게 사용하는 것이 바람직하다. 따라서, 소위 "자기정렬(self-aligned)" 공정 단계가 개발되어왔다.

대부분의 고집적 메모리 설계는 어레이 내의 열 방향의 셀들 사이에 소자분리 구조를 요구하므로, 메모리 어레이의 집적도를 증가시키기 위해서는 소자분리 구조의 치수를 최소화하는 것이 바람직하다. 그러나, 소자분리 구조의 크기는 소자분리 구조를 형성하기 위한 공정 및 메모리 어레이 내의 구조들에 대한 정렬에 의해 제한된다.

통상적으로, 소자분리 구조는 실리콘 부분 산화법(LOCAl Oxidation of Silicon; LOCOS)과 같은 열적 필드 산화 공정을 사용하여 형성된다. LOCOS 소자분리에 의하면, 먼저 실리콘 기판 상에 산화막 및 질화막을 순차적으로 형성한 후, 질화막을 패터닝한다. 다음에, 패터닝한 질화막을 산화 방지 마스크로 사용하여 실리콘 기판을 선택적으로 산화시켜 필드 산화막을 형성한다. LOCOS 소자분리에 의하면, 실리콘 기판의 선택적 산화시 마스크로 사용되는 질화막 하부에서 산화막의 측면으로 산소가 침투하면서 필드 산화막의 끝부분에 버즈 비크(bird's beak)가 발생하게 된다. 이러한 버즈 비크에 의해 필드 산화막이 버즈 비크의 길이만큼 액티브 영역으로 확장되기 때문에, 액티브 영역의 폭이 감소되어 소자의 전기적 특성이 열화된다.

이에 따라, 초고집적 반도체 장치에서는 셀로우 트렌치 소자분리(STI) 구조가 각광받고 있다. STI 공정에 의하면, 실리콘 기판을 식각하여 트렌치를 형성한 후, 트렌치를 채우도록 산화막을 증착한다. 다음에, 산화막을 에치백(etch back) 또는 화학 기계적 연마(chemical mechanical polishing; CMP) 방법으로 식각하여 트렌치의 내부에 필드 산화막을 형성한다.

상술한 LOCOS 방법이나 STI 방법은 공통적으로 소자분리 영역을 정의하기 위한 마스크 단계와 이 영역에 필드 산화막을 형성하는 단계를 포함한다. 소자분리 구조를 형성한 후에는, 메모리 셀들을 형성하기 위한 마스크 단계들이 수행된다. 따라서, 소자분리 구조의 형성에 수반되는 얼라인먼트 공차와 메모리 셀의 레이아웃에 수반되는 얼라인먼트 공차가 결합하여 소자의 동작에 치명적인 영향을 미치는 미스얼라인먼트를 유발하게 된다.

이러한 얼라인먼트 문제를 해결하기 위한 한 방법으로서, 불휘발성 메모리 장치에 있어서 LOCOS 소자분리 구조를 플로팅 게이트에 자기정렬하여 형성하는 방법이 제시되어 있다. 또한, STI 구조를 플로팅 게이트에 자기정렬하여 형성하는 방법이 미합중국 특허 제6,013,551호(issued to Jong Chen) 등에 개시되어 있다. 이 방법들에 의하면, 전하의 저장에 사용되는 플로팅 게이트와 기판에 적절한 전압을 인가하여 플로팅 게이트에 전자를 집어넣거나 빼냄으로써 이루어진다. 이때, 유전막은 플로팅 게이트에 충전된 전하 특성을 유지시키고 컨트롤 게이트의 전압을 플로팅 게이트에 전달하는 역할을 한다.

불휘발성 메모리 장치는 한번 데이터를 입력하면 시간이 지나도 그 상태를 유지할 수 있는 특성을 갖는데, 최근에는 전기적으로 데이터의 입·출력이 가능한 플래쉬 메모리에 대한 수요가 늘고 있다. 플래쉬 메모리 장치에서 데이터를 저장하는 메모리 셀은, 실리콘 기판의 상부에 터널 산화막을 개재하여 형성된 플로팅 게이트와, 플로팅 게이트의 상부에 유전막을 개재하여 형성된 컨트롤 게이트의 스택형 게이트 구조를 갖는다. 이러한 구조를 갖는 플래쉬 메모리 셀에서 데이터의 저장은 컨트롤 게이트와 기판에 적절한 전압을 인가하여 플로팅 게이트에 전자를 집어넣거나 빼냄으로써 이루어진다. 이때, 유전막은 플로팅 게이트에 충전된 전하 특성을 유지시키고 컨트롤 게이트의 전압을 플로팅 게이트에 전달하는 역할을 한다.

도 1a 내지 도 1e는 종래의 불휘발성 메모리 장치에 적용되는 자기정렬된 셀로우 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 1a를 참조하면, 실리콘과 같은 반도체 기판(10) 상에 약 90Å의 산화막(11) 및 약 400Å의 제1 폴리실리콘층(13)을 순차적으로 증착한다. 상기 산화막은 플래쉬 메모리 셀의 터널 산화막, 즉 게이트 산화막으로 제공되고, 상기 제1 폴리실리콘층은 플로팅 게이트로 제공된다.

상기 제1 폴리실리콘층(13) 상에 질화 실리콘(SiN)으로 이루어진 저지층(stopper layer)(15)을 약 600Å의 두께로 형성한 후, 그 위에 산화물로 이루어진 하드 마스크층(17)을 약 500Å의 두께로 형성한다. 상기 하드 마스크층(17) 상에 반사 방지층(anti-reflective layer; ARL)(19)을 약 800Å의 두께로 증착한다.

그런 다음, 상기 반사 방지층(19) 상에 액티브 영역을 정의하기 위한 포토레지스트 패턴(22)을 형성한다.

도 1b를 참조하면, 상기 포토레지스트 패턴(22)을 식각 마스크로 이용하여 상기 반사 방지층(19), 하드 마스크층(17) 및 저지층(15)을 순차적으로 건식 식각함으로써 반사 방지층 패턴(20), 하드 마스크층 패턴(18) 및 저지층 패턴(16)을 형성한다.

도 1c를 참조하면, 에칭 및 스트립 공정으로 상기 포토레지스트 패턴(22)을 제거한 후, 상기 하드 마스크층 패턴(18)을 식각 마스크로 이용하여 상기 제1 폴리실리콘층(13) 및 산화막(11)을 순차적으로 건식 식각하여 제1 플로팅 게이트(14) 및 게이트 산화막(12)을 형성한다.

도 1d를 참조하면, 상기 하드 마스크층 패턴(18)을 식각 마스크로 이용하여 상기 제1 플로팅 게이트(14)에 인접한 기판(10)의 상부를 약 2300Å의 깊이로 식각하여 트렌치(24)를 형성한다. 이때, 상기 반사 방지층 패턴(20)이 함께 식각된다.

도 1e를 참조하면, 상기 트렌치(24)를 채우도록 화학 기상 증착(chemical vapor deposition; CVD) 방법으로 갭매립(gap-fill) 산화막(26)을 형성한다. 이어서, 상기 저지층 패턴(16)의 상부 표면이 노출될 때까지 상기 갭매립 산화막(26)을 화학 기계적 연마(CMP)에 의해 제거함으로써, 트렌치(24)의 내부에 필드 산화막을 형성한다.

셀로우 트렌치 소자분리 공정을 적용하는 메모리 장치의 경우, 디자인-룰이 감소할수록 트렌치의 깊이도 줄어들기 때문에 소자분리 불량(fail)이 발생할 수 있으며, 이를 방지하기 위하여 트렌치의 깊이를 증가시키면 트렌치 영역의 애스펙트 비(aspect ratio)가 커져서 갭 매립시 보이드(void)가 생기는 문제가 발생한다.

일반적으로, 트렌치 식각은 포토레지스트 마스크를 이용한 식각 방법과 하드 마스크를 이용한 식각 방법이 사용된다. 후자의 경우, 질화물로 이루어진 저지층의 두께를 낮추는데 한계가 있기 때문에 산화물이나 산질화 실리콘(SiON) 계열의 하드 마스크층을 이용하여 트렌치 식각을 진행한다. 이때, 저지층 상에 하드 마스크층이 약 400Å의 두께로 존재하는 상태에서 갭매립 산화막을 증착하기 때문에, 트렌치 영역의 애스펙트 비가 커지게 된다. 또한, 상술한 종래 방법에서와 같이 저지층의 하부에 플로팅 게이트용 제1 폴리실리콘층이 존재하는 구조에서는 트렌치 영역의 애스펙트 비가 더욱 증가하므로, 갭 매립시 보이드가 발생하게 된다. 보이드가 발생하지 않기 위해서는 애스펙트 비가 2.2 이하로 낮아져야 하기 때문에, 상술한 종래 방법에 의하면 트렌치의 깊이를 2000Å 이상으로 증가시키는 것이 불가능하여 소자분리 불량이 발생하기 쉽다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 제1의 목적은 트렌치의 갭 매립 마진을 확보할 수 있는 셀로우 트렌치 소자분리 방법을 제공하는 데 있다.

본 발명의 제2의 목적은 트렌치의 갭 매립 마진을 확보할 수 있는 불휘발성 메모리 장치의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상술한 본 발명의 제1의 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 산화막을 형성하는 단계; 상기 산화막 상에 저지층을 형성하는 단계; 상기 저지층 상에 하드 마스크층을 형성하는 단계; 상기 하드 마스크층, 저지층 및 산화막을 패터닝하여 하드 마스크층 패턴, 저지층 패턴 및 산화막 패턴을 형성하는 단계; 상기 하드 마스크층 패턴을 이용하여 상기 저지층 패턴에 인접한 기판의 상부를 식각하여 트렌치를 형성하는 단계; 상기 하드 마스크층을 제거하는 단계; 및 상기 트렌치의 내부에 필드 산화막을 형성하는 단계를 구비하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법을 제공한다.

상술한 본 발명의 제2의 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 게이트 산화막용 산화막을 형성하는 단계; 상기 산화막 상에 플로팅 게이트용 제1 도전층을 형성하는 단계; 상기 제1 도전층 상에 저지층을 형성하는 단계; 상기 저지층 상에 하드 마스크층을 형성하는 단계; 상기 하드 마스크층 및 저지층을 패터닝하여 하드 마스크층 패턴 및 저지층 패턴을 형성하는 단계; 상기 하드 마스크층 패턴을 이용하여 상기 제1 도전층 및 산화막을 식각하여 제1 플로팅 게이트 패턴 및 게이트 산화막을 형성하는 단계; 상기 하드 마스크층 패턴을 이용하여 상기 제1 플로팅 게이트 패턴에 인접한 기판의 상부를 식각하여 상기 제1 플로팅 게이트 패턴과 정렬되는 트렌치를 형성함으로써 상기 기판에 액티브 영역을 정의하는 단계; 상기 하드 마스크층 패턴을 제거하는 단계; 상기 트렌치의 내부에 필드 산화막을 형성하는 단계; 및 상기 제1 플로팅 게이트 패턴 상에 유전막 및 컨트롤 게이트층을 순차적으로 형성하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법을 제공한다.

본 발명에 의하면, 하드 마스크를 이용하여 트렌치를 식각한 후 갭매립 산화막을 증착하기 전에, 질화물로 이루어진 저지층 상에 존재하는 산화물 또는 산질화 실리콘(SiON)으로 이루어진 하드 마스크층을 제거함으로써 트렌치 영역

의 애스펙트 비를 줄여 갭 매립 마진을 확보할 수 있다. 따라서, 보이드 없는 갭 매립을 구현할 수 있으며, 트렌치의 깊이를 증가시켜 소자분리 불량에 발생하는 것을 방지할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 2a 내지 도 2g는 본 발명에 의한 셀로우 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 2a를 참조하면, 실리콘과 같은 물질로 이루어진 반도체 기판(50) 상에 패드 산화막으로 제공되는 실리콘 산화막(51)을 성장시킨 후, 그 위에 질화 실리콘을 증착하여 저지층(53)을 형성한다. 상기 저지층(53)은 후속하는 CMP 공정시 연마 종료층으로 작용한다.

상기 저지층(53) 상에 산화물을 증착하여 하드 마스크층(55)을 형성한 후, 상기 하드 마스크층(55) 상에 반사 방지층(57)을 형성한다. 상기 반사 방지층(57)은 후속하는 사진식각 공정시 하부 기판으로부터 빛이 반사되는 것을 방지하는 역할을 하여 포토레지스트 패턴의 형성을 용이하게 한다. 이러한 반사 방지층(57)은 산질화 실리콘(SiON) 또는 유기막 등으로 형성한다.

도 2b를 참조하면, 상기 반사 방지층(57) 상에 포토레지스트를 스핀 코팅법에 의해 도포하여 포토레지스트막(도시하지 않음)을 형성한다. 다음에, 포토 마스크를 사용하여 상기 포토레지스트막을 노광 및 현상함으로써 액티브 영역을 정의하는 포토레지스트 패턴(60)을 형성한다.

상기 포토레지스트 패턴(60)을 식각 마스크로 사용하여 반사 방지층(57), 하드 마스크층(55), 저지층(53) 및 산화막(51)을 순차적으로 건식 식각함으로써, 반사 방지층 패턴(58), 하드 마스크층 패턴(56), 저지층 패턴(54) 및 산화막 패턴(52)을 형성한다.

도 2c를 참조하면, 에칭 및 스트립 공정을 통하여 상기 포토레지스트 패턴(60)을 제거한다.

도 2d를 참조하면, 상기 하드 마스크층 패턴(56)을 식각 마스크로 이용하여 상기 저지층 패턴(54)에 인접한 기판(50)의 상부를 식각하여 트렌치(62)를 형성한다. 이때, 상기 트렌치(62)를 식각하는 과정에서 상기 하드 마스크층 패턴(56) 상에 형성된 반사 방지층 패턴(58)이 제거된다.

도 2e를 참조하면, 트렌치 식각 공정 동안에 고에너지의 이온 충격으로 야기된 실리콘 손상을 제거하고 누설 전류의 발생을 방지하기 위하여 트렌치(62)의 내면을 산화성 분위기에서 처리한다. 그러면, 트렌치(62)의 내면, 즉, 바닥면과 측벽을 따라 트렌치 내벽 산화막(도시하지 않음)이 형성된다.

이어서, 산화물로 이루어진 상기 하드 마스크층 패턴(56)을 건식 식각 방법으로 제거한다. 상기 건식 식각 공정시 실리콘에 대한 식각 선택비가 낮으면 트렌치(62)의 바닥 프로파일이 샤프해지고 그 깊이가 변경될 수 있다. 또한, 질화 실리콘에 대한 식각 선택비가 낮으면 저지층 패턴(54)이 연마 종료층으로서 충분한 역할을 수행하지 못한다. 따라서, 상기 건식 식각 공정은 C_4F_6 가스, CO 가스 및 Ar 가스를 이용하여 질화 실리콘과 실리콘에 대한 식각 선택비가 10:1 이상인 조건으로 진행하는 것이 바람직하다.

또한, 하드 마스크층을 산질화 실리콘으로 형성하고 별도의 반사 방지층을 형성하지 않을 경우에는, 예컨대 HF 계열의 에천트를 이용한 습식 식각 공정으로 하드 마스크층 패턴을 제거한다.

도 2f를 참조하면, 상기 트렌치(62)를 채우도록 USG, O_3 -TEOS USG 또는 HDP 산화막과 같은 갭 매립 특성이 우수한 산화막(64)을 화학 기상 증착(CVD) 방법에 의해 증착한다. 본 발명에 의하면, 저지층 패턴(54) 위에 잔류하고 있는 하드 마스크층 패턴(56)을 제거한 후 갭매립 산화막(64)을 증착하기 때문에, 종래 방법에 비해 트렌치 단차를 잔류하는 하드 마스크층 패턴(56)의 두께만큼 줄일 수 있다. 따라서, 트렌치 영역의 애스펙트 비를 2.2 이하로 감소시켜 보이드 없는 갭 매립을 구현할 수 있다. 또한, 갭 매립 마진을 확보하여 트렌치(62)의 깊이를 증가시킬 수 있으므로, 소자분리 특성을 강화시켜 소자분리 불량을 방지할 수 있다.

도 2g를 참조하면, 상기 저지층 패턴(54)의 상부 표면이 노출될 때까지 CMP 공정을 수행하여 상기 갭매립 산화막(64)을 평탄화시킨다. 그러면, 상기 저지층 패턴(54) 상의 갭매립 산화막(64)이 제거되어 트렌치(62)의 내부에 필드 산화막(66)이 형성된다.

도 3a 내지 도 3i는 본 발명의 바람직한 실시예에 의한 자기정렬된 셀로우 트렌치 소자분리 공정을 적용한 불휘발성 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.

도 3a를 참조하면, 실리콘과 같은 물질로 이루어진 반도체 기판(100) 상에 셀 트랜지스터의 게이트 산화막(예컨대, 터널 산화막)으로 제공되는 산화막(101)을 약 90Å의 두께로 형성한다.

상기 산화막(101) 상에 플로팅 게이트로 사용될 제1 도전층(103)을 저압 화학 기상 증착(low pressure chemical vapor deposition; LPCVD) 방법에 의해 약 200~1500Å의 두께, 바람직하게는 400Å의 두께로 형성하고, 통상의 도핑 방법, 예컨대 $POCl_3$ 확산, 이온주입, 또는 인-시튜 도핑에 의해 제1 도전층(103)을 고농도의 N형 불순물로 도핑시킨다. 바람직하게는, 제1 도전층(103)은 폴리실리콘 또는 비정질실리콘으로 형성한다.

상기 제1 도전층(103) 상에 질화 실리콘을 LPCVD 방법으로 약 100~3000Å의 두께, 바람직하게는 600Å의 두께로 증착하여 저지층(105)을 형성한다. 상기 저지층(105)은 후속하는 CMP 공정 시에 연마 종료층으로 작용한다.

상기 저지층(105) 상에 중온 산화물(medium temperature oxide; MTO)을 약 200~2000Å, 바람직하게는 300Å의 두께로 증착하여 하드 마스크층(107)을 형성하고, 상기 하드 마스크층(107) 상에 산질화 실리콘(SiON)을 약 200~3000Å의 두께, 바람직하게는 800Å의 두께로 증착하여 반사 방지층(109)을 형성한다. 상기 반사 방지층(109)은 후속하는 사진식각 공정시 하부 기판으로부터 빛이 반사되는 것을 방지하는 역할을 하여 포토레지스트 패턴의 형성을 용이하게 한다.

도 3b를 참조하면, 상기 반사 방지층(109) 상에 포토레지스트를 스핀 코팅법에 의해 도포하여 포토레지스트막(도시하지 않음)을 형성한 후, 포토 마스크를 사용하여 상기 포토레지스트막을 노광 및 현상함으로써 플로팅 게이트의 레이어아웃을 정의하는 포토레지스트 패턴(112)을 형성한다.

이어서, 상기 포토레지스트 패턴(112)을 식각 마스크로 사용하여 반사 방지층(109), 하드 마스크층(107) 및 저지층(105)을 순차적으로 건식 식각하여 반사 방지층 패턴(110), 하드 마스크층 패턴(108) 및 저지층 패턴(106)을 형성한다.

도 3c를 참조하면, 에칭 및 스트립 공정을 통하여 상기 포토레지스트 패턴(112)을 제거한다.

도 3d를 참조하면, 폴리실리콘과 산화물의 식각 공정을 수행하기 위하여 상기 결과물을 다른 에칭 챔버로 옮긴다. 그런 다음, 폴리실리콘과 산화물을 식각하기 위한 에칭 가스를 상기 에칭 챔버로 주입하면서, 상기 하드 마스크층 패턴(108)을 식각 마스크로 이용하여 제1 도전층(103)을 식각하여 제1 플로팅 게이트 패턴(104)을 형성한다.

이어서, 동일한 에칭 챔버에서 상기 산화막(101)을 식각하여 게이트 산화막(102)을 형성하고, 기판(100)을 1000~5000Å 정도의 깊이, 바람직하게는 2300Å의 깊이로 식각하여 트렌치(114)를 형성한다. 결과적으로, 제1 도전층(101)에 의해 정의되는 제1 플로팅 게이트 패턴(104)들은 트렌치(114)에 의해 서로 분리된다. 즉, 상기 트렌치(114)의 형성에 의하여 액티브 영역과 플로팅 게이트가 동시에 정의되므로, 제1 플로팅 게이트 패턴(104)은 액티브 영역에 자기정렬된다.

이때, 상기 제1 도전층(103) 및 기판(100)의 상부를 식각하는 과정에서, 상기 반사 방지층 패턴(110)이 제거되며 상기 하드 마스크층 패턴(108)도 소정 두께만큼 식각된다. 따라서, 상기 저지층 패턴(106) 위에서 하드 마스크층 패턴(108)은 약 400Å의 두께로 잔류한다.

도 3e를 참조하면, 트렌치 식각 공정 동안에 고에너지의 이온 충격으로 야기된 실리콘 손상을 제거하고 누설 전류의 발생을 방지하기 위하여 트렌치(114)의 내면을 산화성 분위기에서 처리한다. 그러면, 트렌치(109)의 내면, 즉, 바닥면과 측벽을 따라 약 10~500Å의 두께, 바람직하게는 30Å의 두께로 트렌치 내벽 산화막(도시하지 않음)이 형성된다.

이어서, 저지층 패턴(106) 위에 잔류하는 약 400Å 두께의 하드 마스크층 패턴(108)을 건식 식각 방법으로 제거한다. 상기 건식 식각 공정시 실리콘에 대한 식각 선택비가 낮으면 트렌치(114)의 바닥 프로파일이 샤프해지고 그 깊이가 변경될 수 있다. 또한, 질화 실리콘에 대한 식각 선택비가 낮으면 저지층 패턴(106)이 연마 종료층으로서 충분한 역할을 수행하지 못한다. 따라서, 상기 건식 식각 공정은 C_4F_6 가스, CO 가스 및 Ar 가스를 이용하여 질화 실리콘과 실리콘에 대한 식각 선택비가 10:1 이상, 바람직하게는 20:1 이상인 조건으로 진행하는 것이 바람직하다. 이 경우, 질화 실리콘으로 이루어진 저지층 패턴(106)의 소모량이 60Å 이하로 미미하다.

또한, 하드 마스크층을 산질화 실리콘으로 형성하고 별도의 반사 방지층을 형성하지 않을 경우에는, 예컨대 HF 계열의 에천트를 이용한 습식 식각 공정으로 하드 마스크층 패턴을 제거한다.

도 3f를 참조하면, 상기 트렌치(114)를 채우도록 USG, O_3 -TEOS USG 또는 HDP 산화막과 같은 갭 필링 특성이 우수한 산화막(116)을 CVD 방법에 의해 증착한다. 바람직하게는, SiH_4 , O_2 및 Ar 가스를 플라즈마 소오스로 이용하여 HDP 산화막을 증착함으로써 갭매립 산화막(116)을 형성한다. 본 실시예에 의하면, 저지층 패턴(106) 위에 잔류하고 있는 약 400Å 두께의 하드 마스크층 패턴(108)을 제거한 후 갭매립 산화막(116)을 증착하기 때문에, 종래 방법에 비해 트렌치 단차가 400Å 정도 감소하게 된다. 따라서, 트렌치 영역의 애스펙트 비가 종래 방법에 비해 0.25 정도 낮아지므로, 보이드 없는 갭 매립을 구현할 수 있다. 또한, 갭 매립 마진을 확보하여 트렌치(114)의 깊이를 2500Å까지 증가시킬 수 있으므로, 소자분리 특성을 강화시켜 소자분리 불량을 방지할 수 있다.

도 3g를 참조하면, 상기 저지층 패턴(106)의 상부 표면이 노출될 때까지 CMP 공정을 수행하여 갭매립 산화막(116)을 평탄화시킨다. 따라서, 저지층 패턴(106) 상의 갭매립 산화막(116)이 제거되어 트렌치(114)의 내부에만 필드 산화막(118)이 형성된다.

도 3h를 참조하면, 인산 스트립 공정으로 질화 실리콘으로 이루어진 저지층 패턴(106)을 제거한다. 이어서, 불산을 포함한 에천트로 기판을 미리 약 30초 정도 세정하는 공정(pre-cleaning)을 실시한다. 상기 저지층 패턴(106)의 스트립 및 상기 프리-세정 공정으로 인해 필드 산화막(118)이 소정 두께만큼 제거된다.

도 3i를 참조하면, 노출된 제1 플로팅 게이트 패턴(104) 및 필드 산화막(118) 상에 폴리실리콘이나 비정질실리콘과 같은 제2 도전층을 LPCVD 방법에 의해 2000Å 이상의 두께로 증착한다. 제2 도전층은 제1 플로팅 게이트 패턴(104)에 전기적으로 접촉되도록 형성한다. 이어서, 통상의 도핑 방법, 예컨대 $POCl_3$ 확산, 이온주입, 또는 인-시튜 도핑에 의해 제2 도전층을 고농도의 N형 불순물로 도핑시킨다. 또한, 별도의 도핑 공정을 수행하지 않고, N형 불순물을 주입하면서 CVD 방법으로 불순물이 도핑된 폴리실리콘을 증착함으로써 제2 도전층을 형성할 수도 있다. 제2 도전층에 의해 형성되는 제2 플로팅 게이트는 후속 공정에서 형성될 유전막의 면적을 증가시키기 위해 형성하는 것으로, 가능한 한 두껍게 형성하는 것이 바람직하다.

그런 다음, 통상의 사진식각 공정으로 필드 산화막(118) 상의 제2 도전층을 부분적으로 제거하여 제2 플로팅 게이트 패턴(120)을 형성한다. 이렇게 형성된 제2 플로팅 게이트 패턴(120)들은 이웃하는 셀의 플로팅 게이트들과 서로 분리된다.

결과물의 전면에 제2 플로팅 게이트 패턴(120)을 완전하게 절연시키도록 예컨대 산화물/질화물/산화물(ONO)로 이루어진 유전막(122)을 형성한다. 상기 유전막(122)은 열산화 공정으로 형성할 수도 있고, LPCVD 공정으로 형성할 수도 있다. LPCVD 공정으로 유전막(122)을 형성할 경우에는, 열산화막과 동일한 특성을 얻기 위하여 NO 또는 N₂O 분위기에서 어닐링을 수행한다.

상기 유전막(122) 상에 N⁺ 형으로 도핑된 폴리실리콘층과 텅스텐 실리사이드(WSix), 티타늄 실리사이드(TiSix), 코발트 실리사이드(CoSix), 탄탈륨 실리사이드(TaSix)와 같은 금속 실리사이드층이 적층된 제3 도전층, 즉 컨트롤 게이트층(124)을 형성한다. 바람직하게는, 컨트롤 게이트층(124)의 폴리실리콘층은 약 1000Å의 두께로 형성하고, 금속 실리사이드층은 약 100~1500Å의 두께로 형성한다.

이어서, 사진식각 공정으로 컨트롤 게이트층(124)을 패터닝한 후, 노출된 유전막(122), 제2 플로팅 게이트 패턴(120) 및 제1 플로팅 게이트 패턴(104)을 건식식각 방법에 의해 각 셀 단위로 순차적으로 건식 식각함으로써 메모리 셀의 스택형 플로팅 게이트를 형성한다. 이때, 상기 건식 식각 공정은 필드 산화막(118) 사이의 기판(100) 상부 표면이 노출될 때까지 수행한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 하드 마스크를 이용하여 트렌치를 식각한 후 캡매립 산화막을 증착하기 전에, 질화물로 이루어진 저지층 상에 존재하는 산화물 또는 산질화 실리콘(SiON)으로 이루어진 하드 마스크층을 제거함으로써 트렌치 영역의 애스펙트 비를 줄여 캡 매립 마진을 확보할 수 있다. 따라서, 보이드 없는 캡 매립을 구현할 수 있으며, 트렌치의 깊이를 증가시켜 소자분리 불량 발생을 방지할 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 산화막을 형성하는 단계;

상기 산화막 상에 저지층을 형성하는 단계;

상기 저지층 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상에 반사 방지층을 형성하는 단계;

상기 반사 방지층, 하드 마스크층, 저지층 및 산화막을 패터닝하여 반사 방지층 패턴, 하드 마스크층 패턴, 저지층 패턴 및 산화막 패턴을 형성하는 단계;

상기 반사 방지층을 식각하면서, 상기 저지층 패턴에 인접한 기판의 상부를 식각하여 트렌치를 형성하는 단계;

상기 하드 마스크층 패턴과 상기 기판간의 식각 선택비가 10:1 이상인 조건으로 상기 하드 마스크층 패턴을 제거하는 단계; 및

상기 트렌치의 내부에 필드 산화막을 형성하는 단계를 구비하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

청구항 2.

제1항에 있어서, 상기 저지층은 질화 실리콘으로 형성하고 상기 하드 마스크층은 산화물로 형성하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

청구항 3.

제2항에 있어서, 상기 하드 마스크층을 제거하는 단계는 건식 식각 공정으로 수행하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

청구항 4.

제1항에 있어서, 상기 하드 마스크 패턴은 상기 하드 마스크층 패턴과 상기 저지층 패턴간의 식각 선택비가 10:1 이상인 조건으로 제거하는 것을 특징으로 하는 셀로우 트렌치 소자 분리 방법.

청구항 5.

제1항에 있어서, 상기 반사 방지층은 산질화 실리콘으로 이루어지는 것을 특징으로 하는 셀로우 트렌치 소자 분리 방법.

청구항 6. 삭제

청구항 7.

반도체 기판 상에 게이트 산화막용 산화막을 형성하는 단계;

상기 산화막 상에 플로팅 게이트용 제1 도전층을 형성하는 단계;

상기 제1 도전층 상에 저지층을 형성하는 단계;

상기 저지층 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상에 반사 방지층을 형성하는 단계;

상기 반사 방지층, 하드 마스크층 및 저지층을 패터닝하여, 반사 방지층 패턴 하드 마스크층 패턴 및 저지층 패턴을 형성하는 단계;

상기 하드 마스크층 패턴을 이용하여 상기 제1 도전층 및 산화막을 식각하여 제1 플로팅 게이트 패턴 및 게이트 산화막을 형성하는 단계;

상기 반사 방지층을 식각하면서, 상기 하드 마스크층 패턴을 이용하여 상기 제1 플로팅 게이트 패턴에 인접한 기판의 상부를 식각하여 상기 제1 플로팅 게이트 패턴과 정렬되는 트렌치를 형성함으로써 상기 기판에 액티브 영역을 정의하는 단계;

상기 하드 마스크층 패턴과 상기 기판간의 식각 선택비가 10:1 이상인 조건으로 상기 하드 마스크층 패턴을 제거하는 단계;

상기 트렌치의 내부에 필드 산화막을 형성하는 단계; 및

상기 제1 플로팅 게이트 패턴 상에 유전막 및 컨트롤 게이트층을 순차적으로 형성하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

청구항 8.

제7항에 있어서, 상기 저지층은 질화 실리콘으로 형성하고 상기 하드 마스크층은 산화물로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

청구항 9.

제8항에 있어서, 상기 하드 마스크층을 제거하는 단계는 건식 식각 공정으로 수행하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

청구항 10.

제7항에 있어서, 상기 하드 마스크층 패턴은 상기 하드 마스크층 패턴과 식각 저지층 패턴간의 식각 선택비가 10:1 이상인 조건으로 수행하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

청구항 11.

제7항에 있어서, 상기 반사 방지층은 산질화 실리콘(SiON)으로 이루어지는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

청구항 12. 삭제

청구항 13.

제7항에 있어서, 상기 제1 도전층은 100~2000Å의 두께로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

청구항 14.

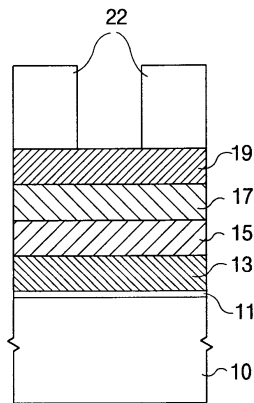
제7항에 있어서, 상기 유전막을 형성하는 단계 전에,

상기 제1 플로팅 게이트 패턴 및 필드 산화막 상에 제2 도전층을 형성하는 단계; 및

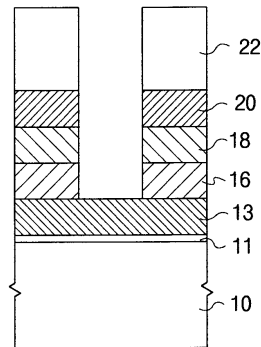
상기 필드 산화막 상의 상기 제2 도전층을 부분적으로 제거하여 제2 플로팅 게이트 패턴을 형성하는 단계를 더 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

도면

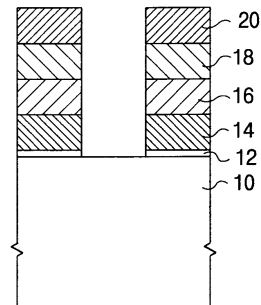
도면1a



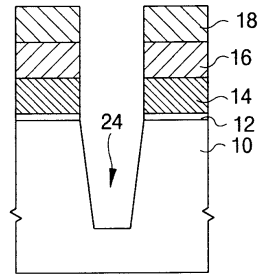
도면1b



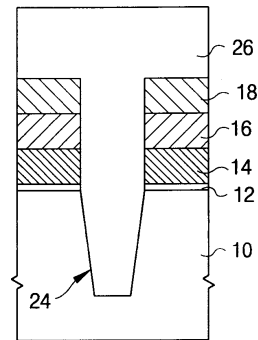
도면1c



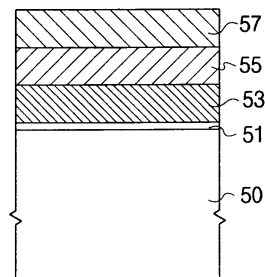
도면1d



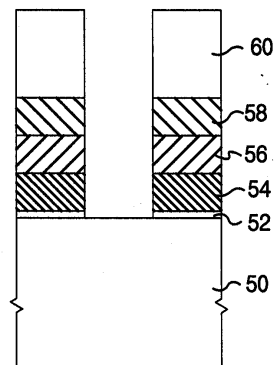
도면1e



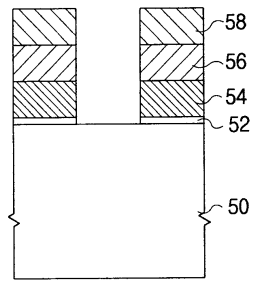
도면2a



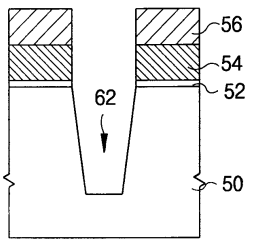
도면2b



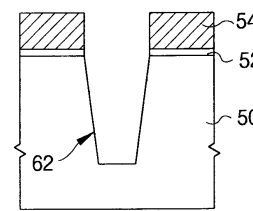
도면2c



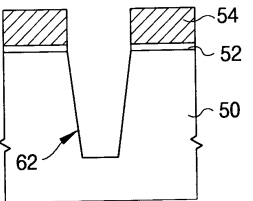
도면2d



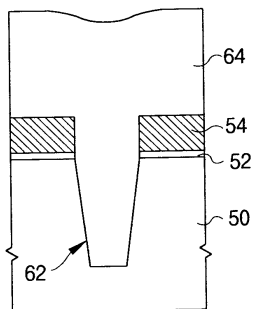
도면2e



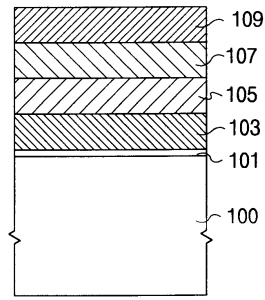
도면2f



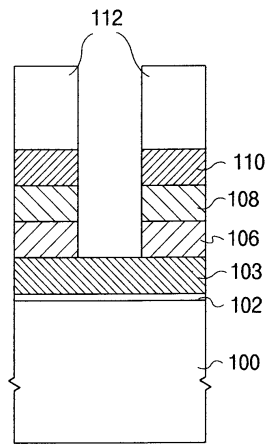
도면2g



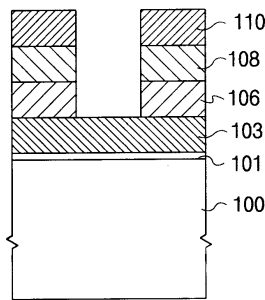
도면3a



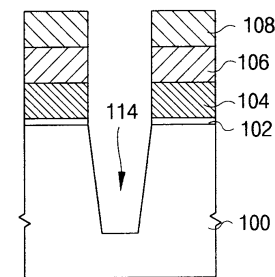
도면3b



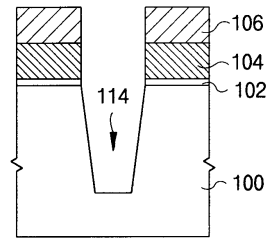
도면3c



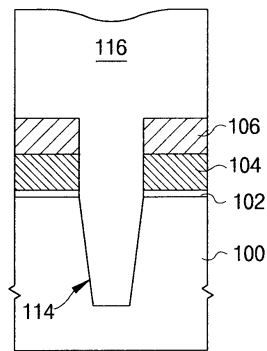
도면3d



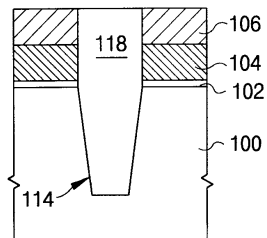
도면3e



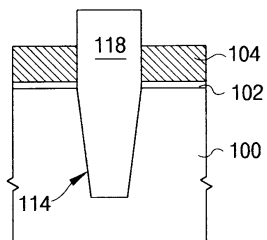
도면3f



도면3g



도면3h



도면3i

