



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년06월13일
 (11) 등록번호 10-1630043
 (24) 등록일자 2016년06월07일

(51) 국제특허분류(Int. Cl.)
 H01G 4/12 (2006.01) H01G 4/30 (2006.01)
 H05K 1/18 (2006.01)
 (21) 출원번호 10-2014-0078656
 (22) 출원일자 2014년06월26일
 심사청구일자 2014년06월26일
 (65) 공개번호 10-2016-0001026
 (43) 공개일자 2016년01월06일
 (56) 선행기술조사문헌
 JP2006216603 A*
 JP2010129737 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 임종봉
 경기도 수원시 영통구 매영로 150 (매탄동)
 이해준
 경기도 수원시 영통구 매영로 150 (매탄동)
 (뒷면에 계속)
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 13 항

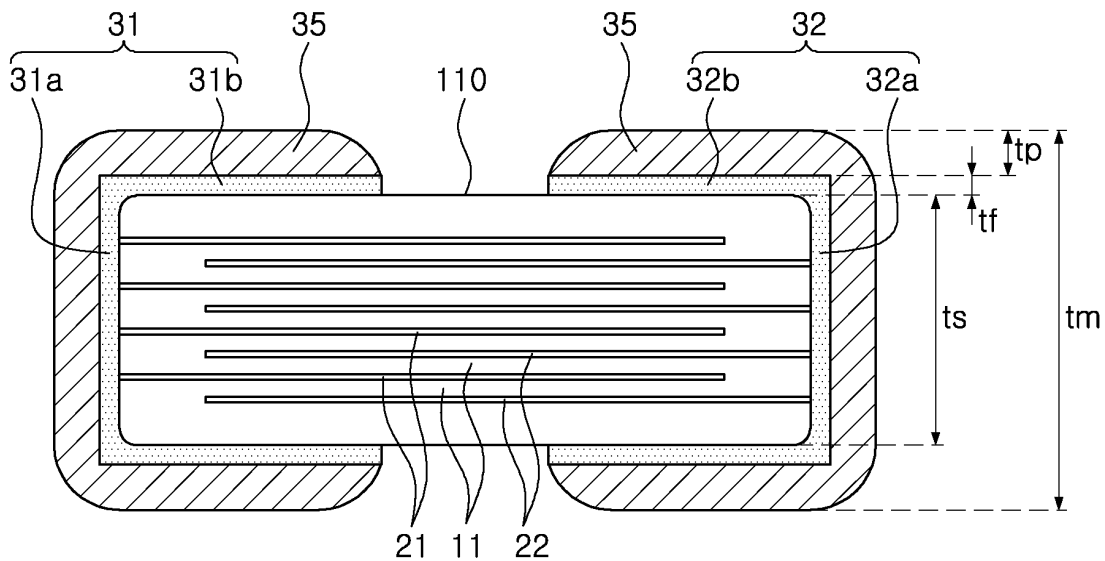
심사관 : 전한철

(54) 발명의 명칭 **기관 내장용 적층 세라믹 전자부품, 그 제조방법 및 적층 세라믹 전자부품 내장형 인쇄회로기판**

(57) 요약

본 발명은 유전체층을 포함하며, 서로 마주보는 제 1, 제 2 주면, 서로 마주보는 제 1, 제 2 측면 및 서로 마주보는 제 1, 제 2 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고, 상기 세라믹 본체의 제 1, 제 2 단면으로 교대로 노출되는 제 1, 제 2 내부전극; 및 상기 세라믹 본체의 제 1, 제 2 단면에 배치되어 상기 제 1, 제 2 내부전극과 각각 연결되는 접속면과, 상기 제 1, 제 2 주면의 적어도 일부까지 연장된 밴드면을 포함하는 제 1, 제 2 외부전극;을 포함하며, 상기 제 1, 제 2 외부전극의 접속면 및 밴드면은 진도성 박막으로 이루어지고, 상기 밴드면의 폭은, 상기 제 1 내부전극의 단부와 상기 제 2 단면 사이의 거리 또는 상기 제 2 내부전극의 단부와 상기 제 1 단면 사이의 거리보다 긴 기관 내장용 적층 세라믹 전자부품을 제공한다.

대표도 - 도3



(72) 발명자

김두영

경기도 수원시 영통구 매영로 150 (매탄동)

김창훈

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

유전체층을 포함하며, 서로 마주보는 제 1, 제 2 주면, 서로 마주보는 제 1, 제 2 측면 및 서로 마주보는 제 1, 제 2 단면을 갖는 세라믹 본체;

상기 유전체층을 사이에 두고, 상기 세라믹 본체의 제 1, 제 2 단면으로 교대로 노출되는 제 1, 제 2 내부전극;

상기 세라믹 본체의 제 1, 제 2 단면에 배치되어 상기 제 1, 제 2 내부전극과 각각 연결되는 접속면과, 상기 제 1, 제 2 주면의 적어도 일부까지 연장된 밴드면을 포함하는 제 1, 제 2 외부전극; 및

상기 제 1, 제 2 외부전극 상에 형성된 도금층;을 포함하며,

상기 제 1, 제 2 외부전극의 접속면 및 밴드면은 전도성 박막으로 이루어지고, 상기 밴드면의 폭은, 상기 제 1 내부전극의 단부와 상기 제 2 단면 사이의 거리 또는 상기 제 2 내부전극의 단부와 상기 제 1 단면 사이의 거리보다 길고,

상기 전도성 박막의 두께를 t_f , 상기 도금층의 두께를 t_p 라 하면, $1.5 \leq t_p/t_f \leq 10000$ 의 조건을 만족하는 기관 내장용 적층 세라믹 전자부품.

청구항 2

제 1항에 있어서,

상기 전도성 박막의 두께는 1nm 내지 $10\mu\text{m}$ 인 기관 내장용 적층 세라믹 전자부품.

청구항 3

제 1항에 있어서,

상기 전도성 박막은 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag), 철(Fe), 티타늄(Ti) 및 탄소(C)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 기관 내장용 적층 세라믹 전자부품.

청구항 4

제 1항에 있어서,

상기 전도성 박막은 글래스 성분을 포함하지 않는 기관 내장용 적층 세라믹 전자부품.

청구항 5

제 1항에 있어서,

상기 밴드면의 폭은 상기 세라믹 본체의 길이의 25% 이상인 기관 내장용 적층 세라믹 전자부품.

청구항 6

삭제

청구항 7

삭제

청구항 8

제 1항에 있어서,

상기 세라믹 본체의 두께는, 상기 제 1, 제 2 외부전극 및 도금층을 포함하는 적층 세라믹 전자부품 전체 두께의 70% 이상인 기관 내장용 적층 세라믹 전자부품.

청구항 9

제 1항에 있어서,

상기 제 1, 제 2 외부전극 및 도금층을 포함하는 적층 세라믹 전자부품 전체 두께는 300 μ m 이하인 기관 내장용 적층 세라믹 전자부품.

청구항 10

내부에 제 1, 제 2 내부전극을 포함하는 적층체를 형성하는 단계;

상기 적층체를 소성하여 세라믹 본체를 형성하는 단계;

상기 세라믹 본체의 제 1, 제 2 단면에 형성되어 상기 제 1, 제 2 내부전극과 각각 연결되는 접속면과, 상기 제 1, 제 2 주면의 적어도 일부까지 연장된 밴드면을 포함하는 제 1, 제 2 외부전극을 형성하는 단계; 및

상기 제 1, 제 2 외부전극 상에 도금층을 형성하는 단계;를 포함하며,

상기 제 1, 제 2 외부전극을 형성하는 단계는, 스퍼터링(sputtering) 공법 또는 무전해 도금 공법을 수행하여 전도성 박막을 형성하며,

상기 전도성 박막의 두께를 tf, 상기 도금층의 두께를 tp라 하면, $1.5 \leq tp/tf \leq 10000$ 의 조건을 만족하는 기관 내장용 적층 세라믹 전자부품의 제조방법.

청구항 11

제 10항에 있어서,

상기 전도성 박막의 두께는 1nm 내지 10 μ m인 기관 내장용 적층 세라믹 전자부품의 제조방법.

청구항 12

제 10항에 있어서,

상기 제 1, 제 2 외부전극을 형성하는 단계는 소성 공정을 포함하지 않는 기관 내장용 적층 세라믹 전자부품의 제조방법.

청구항 13

제 10항에 있어서,

상기 밴드면의 폭은 상기 세라믹 본체의 길이의 25% 이상인 기관 내장용 적층 세라믹 전자부품의 제조방법.

청구항 14

삭제

청구항 15

절연층;

상기 절연층의 적어도 일면에 배치된 도전성 패턴; 및

상기 절연층 내부에 배치되는 기관 내장용 적층 세라믹 전자부품;을 포함하며,

상기 기관 내장용 적층 세라믹 전자부품은 유전체층을 포함하며, 서로 마주보는 제 1, 제 2 주면, 서로 마주보는 제 1, 제 2 측면 및 서로 마주보는 제 1, 제 2 단면을 갖는 세라믹 본체와, 상기 유전체층을 사이에 두고, 상기 세라믹 본체의 제 1, 제 2 단면으로 교대로 노출되는 제 1, 제 2 내부전극과, 상기 세라믹 본체의 제 1, 제 2 단면에 배치되어 상기 제 1, 제 2 내부전극과 각각 연결되는 접속면과, 상기 제 1, 제 2 주면의 적어도 일부까지 연장된 밴드면을 포함하는 제 1, 제 2 외부전극과, 상기 제 1, 제 2 외부전극 상에 형성된 도금층을 포함하며, 상기 제 1, 제 2 외부전극의 접속면 및 밴드면은 전도성 박막으로 이루어지고, 상기 밴드면의 폭은, 상기 제 1 내부전극의 단부와 상기 제 2 단면 사이의 거리 또는 상기 제 2 내부전극의 단부와 상기 제 1 단면 사이의 거리보다 길고 상기 전도성 박막의 두께를 t_f , 상기 도금층의 두께를 t_p 라 하면, $1.5 \leq t_p/t_f \leq 10000$ 의 조건을 만족하는 적층 세라믹 전자부품 내장형 인쇄회로기판.

청구항 16

제 15항에 있어서,

상기 밴드면과 상기 도전성 패턴을 연결하도록 상기 절연층 내부에 배치된 비아;

를 포함하는 적층 세라믹 전자부품 내장형 인쇄회로기판.

발명의 설명

기술 분야

[0001] 본 발명은 기관 내장용 적층 세라믹 전자부품, 그 제조방법 및 적층 세라믹 전자부품 내장형 인쇄회로기판에 관한 것이다.

배경 기술

[0002] 전자회로가 고밀도화, 고집적화됨에 따라 인쇄회로기판에 실장되는 전자부품들의 실장 공간이 부족해지게 되고, 이를 해결하기 위해 전자부품을 인쇄회로기판 내부에 내장하는 방안이 다양하게 제시되고 있다.

[0003] 일반적으로 적층 세라믹 전자부품은 세라믹 재질로 된 복수 개의 유전체층과 이 복수 개의 유전체층 사이에 삽입된 내부전극을 구비한다. 적층 세라믹 전자부품은 높은 정전용량을 가지며, 이와 같은 용량성 부품을 인쇄회로기판 내부에 배치시킴으로써 고집적화된 인쇄회로기판의 실장 공간을 확보할 수 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국공개공보 제2011-0122008호

발명의 내용

해결하려는 과제

[0005] 본 발명은 인쇄회로기판의 내부에 내장시켜 실장 공간을 확보할 수 있는 기판 내장용 적층 세라믹 전자부품 및 그 제조방법과 적층 세라믹 전자부품 내장형 인쇄회로기판에 관한 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시형태는 유전체층을 포함하며, 서로 마주보는 제 1, 제 2 주면, 서로 마주보는 제 1, 제 2 측면 및 서로 마주보는 제 1, 제 2 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고, 상기 세라믹 본체의 제 1, 제 2 단면으로 교대로 노출되는 제 1, 제 2 내부전극; 및 상기 세라믹 본체의 제 1, 제 2 단면에 배치되어 상기 제 1, 제 2 내부전극과 각각 연결되는 접속면과, 상기 제 1, 제 2 주면의 적어도 일부까지 연장된 밴드면을 포함하는 제 1, 제 2 외부전극;을 포함하며, 상기 제 1, 제 2 외부전극의 접속면 및 밴드면은 전도성 박막으로 이루어지고, 상기 밴드면의 폭은, 상기 제 1 내부전극의 단부와 상기 제 2 단면 사이의 거리 또는 상기 제 2 내부전극의 단부와 상기 제 1 단면 사이의 거리보다 긴 기판 내장용 적층 세라믹 전자부품을 제공한다.

[0007] 상기 전도성 박막의 두께는 1nm 내지 10 μ m이며, 스퍼터링(sputtering) 공법, CVD(Chemical Vapor Deposition), PVD(Physical Vapor Deposition), 스핀 코팅(spin coating), ALD(Atomic Layer Deposition), PLD(Pulsed Laser Deposition) 등의 박막 공법 또는 무전해 도금 공법을 수행하여 형성한다.

발명의 효과

[0008] 본 발명의 일 실시형태에 따르면, 외부전극을 박막으로 증착시킴으로써 외부의 배선을 비아를 통해 연결시키기 위해서 일정 폭 이상을 갖는 외부전극의 밴드면을 형성하면서도 외부전극의 두께를 감소시킬 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품을 나타내는 사시도이다.
 도 2는 도 1의 I-I'에 의한 단면도이다.
 도 3은 본 발명의 다른 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품의 단면도이다.
 도 4는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0011] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.

[0012] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다

른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0013] **기관 내장용 적층 세라믹 전자부품**

- [0014] 이하에서는 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품을 설명하되, 특히 기관 내장용 적층 세라믹 커패시터로 설명하지만 반드시 이에 제한되는 것은 아니다.
- [0015] 도 1은 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품을 나타내는 사시도이며, 도 2는 도 1의 I-I'에 의한 단면도이다.
- [0016] 도 1을 참조하면, 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품(100)은 세라믹 본체(110)와, 상기 세라믹 본체(100)의 외부에 배치된 제 1, 제 2 외부전극(31, 32)을 포함한다.
- [0017] 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품(100)에 있어서, '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다.
- [0018] 상기 세라믹 본체(110)는 두께(T) 방향으로 서로 마주보는 제 1 주면(S1) 및 제 2 주면(S2)과, 폭(W) 방향으로 서로 마주보는 제 1 측면(S5) 및 제 2 측면(S6)과, 길이(L) 방향으로 서로 마주보는 제 1 단면(S3) 및 제 2 단면(S4)을 가진다.
- [0019] 상기 제 1, 제 2 외부전극(31, 32)은 세라믹 본체(110)의 제 1, 제 2 단면(S3, S4)에 형성되며, 제 1, 제 2 주면(S1, S2)의 일부까지 연장된다. 본 발명의 일 실시형태에 따른 상기 제 1, 제 2 외부전극(31, 32)은 전도성 박막으로 이루어진다.
- [0020] 도 2를 참조하면, 상기 세라믹 본체(110)는 유전체층(11)과, 상기 유전체층(11)을 사이에 두고 서로 대향하도록 배치된 제 1 내부전극(21)과 제 2 내부전극(22)을 포함한다.
- [0021] 상기 세라믹 본체(110)는 복수의 유전체층(11)을 두께(T) 방향으로 적층한 다음 소성하여 형성되며, 이러한 세라믹 본체(110)의 형상, 치수 및 유전체층(11)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0022] 상기 세라믹 본체(110)를 형성하는 복수의 유전체층(11)은 소성된 상태로서, 인접하는 유전체층(11) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0023] 상기 유전체층(11)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨($BaTiO_3$) 분말일 수 있다.
- [0024] 상기 유전체층(11)을 형성하는 재료는 티탄산바륨($BaTiO_3$) 등의 과우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.
- [0025] 상기 제 1, 제 2 내부 전극(21, 22)은 서로 다른 극성을 갖는 한 쌍의 전극으로서, 유전체층(11)의 적층 방향을

따라 세라믹 본체(110)의 제 1, 제 2 단면(S3, S4)으로 번갈아 노출되며, 중간에 배치된 유전체층(11)에 의해서 전기적으로 절연된다.

[0026] 상기 제 1, 제 2 내부 전극(21, 22)은 세라믹 본체(110)의 제 1, 제 2 단면(S3, S4)으로 교대로 노출되고, 세라믹 본체(110)의 제 1, 제 2 단면(S3, S4)에 배치된 제 1, 제 2 외부전극(31, 32)과 각각 연결된다.

[0027] 상기 제 1, 제 2 내부전극(21, 22)의 폭은 용도에 따라 결정될 수 있으며, 예를 들어 세라믹 본체(110)의 크기를 고려하여 0.2 내지 1.0 μm 의 범위를 만족하도록 형성할 수 있으나, 반드시 이에 제한되는 것은 아니다.

[0028] 상기 제 1, 제 2 내부전극(21, 22)은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 이들의 합금의 도전성 금속을 포함할 수 있다.

[0029] 상기 제 1, 제 2 외부전극(31, 32)은 세라믹 본체(110)의 제 1, 제 2 단면(S3, S4)에 형성되어 상기 제 1, 제 2 내부전극(21, 22)과 연결되는 접속면(31a, 32a)과, 세라믹 본체(110)의 제 1, 제 2 주면(S1, S2)의 일부까지 연장되어 형성된 밴드면(31b, 32b)을 포함한다.

[0030] 본 발명의 일 실시형태는 상기 접속면(31a, 32a)과 밴드면(31b, 32b)을 포함하는 제 1, 제 2 외부전극(31, 32)이 전도성 박막으로 이루어진다.

[0031] 종래에는 외부전극을 형성할 때 도전성 금속이 포함된 페이스트를 사용하여 딥핑(dipping)하는 방법이 주로 사용되었다.

[0032] 기관 내장용 적층 세라믹 커패시터의 외부전극과 외부의 배선을 비아를 통해 연결시키기 위해서는 일정 폭 이상의 외부전극 밴드면을 형성할 필요성이 있는데, 종래의 딥핑(dipping) 방법은 페이스트의 계면 장력에 때문에 일정 폭 이상의 밴드면을 형성하다보면 밴드면이 매우 두꺼워지는 문제점이 있었다.

[0033] 이처럼 외부전극의 두께가 두꺼워지게 되면 외부전극이 두꺼워지는 만큼 세라믹 본체의 두께는 얇아지게 되는데, 기관 내장용 적층 세라믹 전자부품은 비내장형 적층 세라믹 전자부품에 비해 칩 전체의 두께가 얇기 때문에 세라믹 본체의 두께가 너무 얇아져 칩의 강도가 약해지고 파손이 발생하는 문제점이 있었다.

[0034] 이에 본 발명의 일 실시형태는 접속면(31a, 32a)과 밴드면(31b, 32b)을 포함하는 제 1, 제 2 외부전극(31, 32)을 전도성 박막으로 형성하여 외부전극의 두께를 감소시켰다.

[0035] 상기 전도성 박막은 스퍼터링(sputtering) 공법, CVD(Chemical Vapor Deposition), PVD(Physical Vapor Deposition), 스핀 코팅(spin coating), ALD(Atomic Layer Deposition), PLD(Pulsed Laser Deposition) 등의 박막 공법 또는 무전해 도금 공법을 수행하여 형성할 수 있다.

[0036] 이와 같이 스퍼터링(sputtering) 공법 등을 통해 형성되는 전도성 박막으로 이루어진 본 발명의 일 실시형태에 따른 제 1, 제 2 외부전극(31, 32)은 비아를 연결하기 위한 일정 폭 이상의 밴드면을 형성하면서도 평탄하고, 보다 얇은 두께의 구현이 가능하다.

[0037] 상기 밴드면(31b, 32b)의 폭(BW)은, 제 1 내부전극(21)의 단부와 제 2 단면(S4) 사이의 거리(l_1) 또는 제 2 내부전극(22)의 단부와 제 1 단면(S3) 사이의 거리(l_2)보다 긴 것이 바람직하다. 상기 l_1 또는 l_2 보다 밴드면(31b, 32b)의 폭(BW)이 길게 형성되어야 외부 배선과의 연결을 위한 비아 가공 시 불량이 발생을 방지할 수 있다.

- [0038] 상기 밴드면(31b, 32b)의 폭(BW)은, 예를 들어, 상기 세라믹 본체(110)의 길이의 25% 이상일 수 있다. 밴드면(31b, 32b)의 폭(BW)이 세라믹 본체(110) 길이의 25% 미만일 경우 외부 배선과의 연결을 위한 비아 가공 시 불량 발생 확률이 커지게 된다.
- [0039] 상기 밴드면(31b, 32b)의 폭(BW)은 넓을수록 외부 배선과의 연결을 위한 비아 가공 시 유리하며, ESL 저감 효과가 있으므로, 제 1, 제 2 외부전극(31, 32) 간의 쇼트가 발생하지 않는 선에서 밴드면(31b, 32b)의 폭(BW)을 넓게 형성하는 것이 좋다.
- [0040] 한편, 상기 제 1, 제 2 외부전극(31, 32)은 상기 밴드면(31b, 32b) 뿐만 아니라 접속면(31a, 32a)도 전도성 박막으로 형성되며, 이에 따라 외부전극 소성 공정의 생략이 가능하고 공정이 단순화될 수 있다. 또한, 접속면(31a, 32a) 및 밴드면(31b, 32b)을 모두 전도성 박막으로 형성하기 때문에 접속면(31a, 32a) 및 밴드면(31b, 32b)의 연결부위가 보다 견고하게 형성되어 도금액 침투 방지의 효과가 있다.
- [0041] 상기 전도성 박막의 두께(tf)는 1nm 내지 10 μ m 일 수 있다. 전도성 박막을 상기 범위 내로 얇게 형성함에 따라 외부전극의 두께를 감소시킬 수 있으며, 외부전극의 두께가 얇아지는 만큼 세라믹 본체의 두께를 증가시켜 강도를 향상시킬 수 있다.
- [0042] 전도성 박막의 두께가 1nm 미만일 경우 전도성 박막이 균일하게 형성되기 어렵고 끊김 현상이 발생할 수 있으며, 전도성 박막 상에 형성되는 도금층과의 접착성이 저하되는 문제가 있을 수 있으며, 전도성 박막의 두께가 10 μ m를 초과하는 경우 전도성 박막의 형성에 소요되는 시간이 불필요하게 증가하고, 외부전극의 두께가 증가하는 문제가 발생할 수 있다.
- [0043] 또한, 종래의 딥핑(dipping)하는 방법을 통해 형성된 외부전극은 페이스트의 계면 장력에 의해 두께 편차가 크게 형성되었으나, 본 발명의 일 실시형태에 따른 전도성 박막은 스퍼터링(sputtering) 공법 등을 통해 외부전극의 두께 편차를 줄여 균일한 두께로 형성될 수 있다.
- [0044] 상기 전도성 박막은 상기 제 1, 제 2 내부전극(21, 22)과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag), 철(Fe), 티타늄(Ti) 또는 탄소(C) 등의 단독 또는 이들의 합금으로 형성될 수 있다.
- [0045] 한편, 상기 전도성 박막은 글래스 성분을 포함하지 않을 수 있다.
- [0046] 종래의 딥핑(dipping)하는 방법을 통해 형성된 외부전극은 치밀도를 향상시키고, 소성을 용이하게 하기 위하여 글래스를 포함하였으나, 본 발명의 일 실시형태에 따른 전도성 박막은 외부전극 소성 공정을 거치지 않으므로 글래스 성분을 포함하지 않을 수 있다.
- [0047] 본 발명의 일 실시형태에 따른 전도성 박막은 글래스 성분을 포함하지 않고, 도전성 금속으로만 이루어질 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0048] 도 3은 본 발명의 다른 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품의 단면도이다.
- [0049] 도 3을 참조하면, 본 발명의 다른 일 실시형태에 따른 적층 세라믹 전자부품은 제 1, 제 2 외부전극(31, 32) 상에 형성된 도금층(35)을 더 포함한다.
- [0050] 상기 도금층(35)은 도전성 금속으로 형성될 수 있으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni), 주석(Sn) 등의 단독 또는 이들의 합금일 수 있으나, 이에 제한되는 것은 아니다.

- [0051] 상기 전도성 박막의 두께를 t_f , 상기 도금층(35)의 두께를 t_p 라 하면, t_p/t_f 는 $1.5 \leq t_p/t_f \leq 10000$ 를 만족할 수 있다.
- [0052] 전도성 박막의 두께(t_f)가 너무 두껍거나 도금층(35)의 두께(t_p)가 너무 얇아 t_p/t_f 이 1.5 미만인 경우 필수적인 도금층 최소 두께인 $5 \mu\text{m}$ 를 만족하지 못하게 될 수 있으며, 전도성 박막의 두께(t_f)가 너무 얇거나 도금층(35)의 두께가 너무 두꺼워 t_p/t_f 이 10000을 초과하는 경우 칩 전체의 두께가 두꺼워져 기관 내장용 칩에 요구되는 두께를 초과하거나 세라믹 본체의 두께가 상대적으로 얇아져 강도가 저하되는 문제가 발생할 수 있다.
- [0053] 상기 제 1, 제 2 외부전극(31, 32) 및 도금층(35)을 포함하는 기관 내장용 적층 세라믹 커패시터(100)의 전체 두께(t_m)는 $300 \mu\text{m}$ 이하일 수 있다.
- [0054] 인쇄회로기판 내부에 내장하기 위해서는 적층 세라믹 커패시터(100)의 전체 두께(t_m)가 $300 \mu\text{m}$ 이하를 만족하는 것이 바람직하다.
- [0055] 이때, 세라믹 본체(110)의 두께(t_s)는 제 1, 제 2 외부전극(31, 32)을 포함하는 적층 세라믹 커패시터 전체 두께(t_m)의 70% 이상일 수 있다.
- [0056] 세라믹 본체(110)의 두께(t_s)가 적층 세라믹 커패시터 전체 두께(t_m)의 70% 미만일 경우 칩의 강도가 약해져 파손 등의 불량 발생할 수 있다.
- [0057] **기관 내장용 적층 세라믹 전자부품의 제조방법**
- [0058] 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품의 제조방법은 먼저, 티탄산바륨(BaTiO_3) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 시트를 마련한다.
- [0059] 상기 세라믹 시트는 티탄산바륨(BaTiO_3) 등의 세라믹 분말, 바인더, 용제 등을 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드법을 통해 수 μm 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.
- [0060] 다음으로, 도전성 금속을 포함하는 도전성 페이스트를 마련할 수 있다. 상기 도전성 금속은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 합금일 수 있으며, 입자 평균 크기가 0.1 내지 0.2 μm 일 수 있고, 40 내지 50 중량%의 도전성 금속을 포함하는 내부전극용 도전성 페이스트를 마련할 수 있다.
- [0061] 상기 세라믹 시트 상에 상기 내부전극용 도전성 페이스트를 인쇄 공법 등으로 도포하여 내부전극 패턴을 형성할 수 있다. 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0062] 상기 내부 전극 패턴이 인쇄된 세라믹 시트를 200 내지 300층 적층하여 내부에 제 1, 제 2 내부전극(21, 22)을 포함하는 적층체를 형성할 수 있다.
- [0063] 다음으로, 상기 적층체를 압착 및 소성하여 세라믹 본체(110)를 형성할 수 있다.

- [0064] 다음으로, 상기 세라믹 본체(110)의 외부에 전도성 박막으로 이루어진 제 1, 제 2 외부전극(31, 32)을 형성한다.
- [0065] 상기 제 1, 제 2 외부전극(31, 32)은 세라믹 본체(110)의 제 1, 제 2 단면(S3, S4)에 형성되어 상기 제 1, 제 2 내부전극(21, 22)과 각각 연결되는 접속면(31a, 32a)과, 세라믹 본체(110)의 제 1, 제 2 주면(S1, S2)의 적어도 일부까지 연장된 밴드면(31b, 32b)을 포함한다.
- [0066] 전도성 박막으로 이루어진 제 1, 제 2 외부전극(31, 32)은 스퍼터링(sputtering) 공법, CVD(Chemical Vapor Deposition), PVD(Physical Vapor Deposition), 스핀 코팅(spin coating), ALD(Atomic Layer Deposition), PLD(Pulsed Laser Deposition) 등의 박막 공법 또는 무전해 도금 공법을 수행하여 형성할 수 있다.
- [0067] 본 발명의 일 실시형태는 스퍼터링(sputtering) 공법 등의 박막 공법 또는 무전해 도금 공법을 통해 전도성 박막으로 제 1, 제 2 외부전극(31, 32)을 형성하기 때문에 비아를 연결하기 위한 일정 폭 이상의 밴드면을 형성하면서도 평탄하고, 보다 얇은 두께의 외부전극을 형성할 수 있다.
- [0068] 한편, 본 발명의 일 실시형태는 제 1, 제 2 외부전극(31, 32)의 밴드면(31b, 32b) 뿐만 아니라 접속면(31a, 32a)도 스퍼터링(sputtering) 공법 등의 박막 공법 또는 무전해 도금 공법을 통해 전도성 박막으로 형성하기 때문에 별도의 외부전극 소성 공정의 생략이 가능하고 공정이 단순화될 수 있다.
- [0069] 또한, 접속면(31a, 32a) 및 밴드면(31b, 32b)을 모두 전도성 박막으로 형성하기 때문에 접속면(31a, 32a) 및 밴드면(31b, 32b)의 연결부위가 보다 견고하게 형성되어 도금액 침투 방지의 효과가 있다.
- [0070] 또한, 종래의 딥핑(dipping)하는 방법을 통해 형성된 외부전극은 치밀도를 향상시키고, 소성을 용이하게 하기 위하여 글래스를 포함하였으나, 본 발명의 일 실시형태에 따라 스퍼터링(sputtering) 공법 등의 박막 공법 또는 무전해 도금 공법을 통해 제 1, 제 2 외부전극(31, 32)을 형성하면, 외부전극 소성 공정을 거치지 않으므로 글래스 성분을 포함하지 않을 수 있다.
- [0071] 다음으로, 상기 제 1, 제 2 외부전극(31, 32) 상에 도금층(35)을 더 형성할 수 있다.
- [0072] 그 외 상술한 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품의 특징과 동일한 부분에 대해서는 여기서 생략하도록 한다.
- [0073] **적층 세라믹 전자부품 내장형 인쇄회로기판**
- [0074] 도 4는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판을 나타내는 단면도이다.
- [0075] 도 4를 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판(200)은 절연층(210), 절연층(210)의 일면에 배치된 도전성 패턴(230)과, 상기 절연층(210) 내부에 내장된 기관 내장용 적층 세라믹 전자부품을 포함한다.
- [0076] 상기 기관 내장용 적층 세라믹 전자부품은 유전체층(11)을 포함하는 세라믹 본체(110)와, 상기 유전체층(11)을 사이에 두고, 상기 세라믹 본체(110)의 제 1, 제 2 단면(S3, S4)으로 교대로 노출되는 제 1, 제 2 내부전극(21,

22)과, 상기 세라믹 본체(110)의 제 1, 제 2 단면(S3, S4)에 배치되어 상기 제 1, 제 2 내부전극(21, 22)과 각각 연결되는 접속면(31a, 32a)과, 상기 제 1, 제 2 주면(S1, S2)의 적어도 일부까지 연장된 밴드면(31b, 32b)을 포함하는 제 1, 제 2 외부전극(31, 32)을 포함하며, 상기 제 1, 제 2 외부전극의 접속면(31a, 32a) 및 밴드면(31b, 32b)은 전도성 박막으로 이루어지고, 상기 밴드면(31b, 32b)의 폭은, 상기 제 1 내부전극(21)의 단부와 상기 제 2 단면(S4) 사이의 거리 또는 상기 제 2 내부전극(22)의 단부와 상기 제 1 단면(S3) 사이의 거리보다 길게 형성된다.

[0077] 상기 인쇄회로기판(200)의 절연층(210) 내부에는 상기 기판 내장용 적층 세라믹 전자부품의 외부전극 밴드면(31b, 32b)과 도전성 패턴(230)을 연결하는 비아(240)가 형성된다.

[0078] 상기 비아(240)에 의해 인쇄회로기판(200)의 외부 배선과 상기 기판 내장용 적층 세라믹 전자부품이 전기적으로 연결된다.

[0079] 이때, 비아(240) 가공 시 불량 발생을 방지하기 위하여 상기 밴드면(31b, 32b)의 폭(BW)이 상기 $\ell 1$ 또는 $\ell 2$ 보다 길게 형성되는 것이 바람직하다.

[0080] 한편, 상기 절연층(210) 내부에 기판 내장용 적층 세라믹 전자부품을 내장하기 위해서는 기판 내장용 적층 세라믹 전자부품의 전체 두께(tm)는 300 μm 이하를 만족하는 것이 바람직하다.

[0081] 이와 같이 기판 내장용 적층 세라믹 전자부품은 비내장형 적층 세라믹 전자부품에 비해 칩 전체의 두께가 얇게 형성되어야 하기 때문에 외부전극의 두께가 두꺼워지면 세라믹 본체의 두께가 너무 얇아져 칩의 강도가 약해지고 파손이 발생하게 된다. 따라서, 기판 내장용 적층 세라믹 전자부품은 외부전극의 두께를 얇게 형성할 필요가 있다.

[0082] 그러나, 종래에는 비아(240) 연결을 위해서 밴드면의 폭을 넓게 형성하다보면 외부전극의 두께가 두꺼워지게 되는 문제가 있었다.

[0083] 이에, 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품은 스퍼터링(sputtering) 공법 등을 통해 제 1, 제 2 외부전극(21, 22)을 전도성 박막으로 형성함으로써 비아(240) 연결을 위한 일정 폭 이상을 갖는 밴드면을 구현하면서도 외부전극의 두께를 감소시켜 칩 강도를 향상시킬 수 있다.

[0084] 그 외의 특징은 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 특징과 동일하므로 여기서는 생략하도록 한다.

[0085] 본 발명은 실시 형태에 의해 한정되는 것이 아니며, 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환 및 변형이 가능하고 동일하거나 균등한 사상을 나타내는 것이라면, 본 실시예에 설명되지 않았더라도 본 발명의 범위 내로 해석되어야 할 것이고, 본 발명의 실시형태에 기재되었지만 청구범위에 기재되지 않은 구성 요소는 본 발명의 필수 구성요소로서 한정해석되지 아니한다.

부호의 설명

- | | | |
|--------|--------------------------|--------------|
| [0086] | 100 : 기판 내장용 적층 세라믹 전자부품 | 200 : 인쇄회로기판 |
| | 110 : 세라믹 본체 | 210 : 절연층 |
| | 11 : 유전체층 | 230 : 도전성 패턴 |

