

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 31/3185 (2006.01)

G11C 29/56 (2006.01)



[12] 发明专利说明书

专利号 ZL 02802313.7

[45] 授权公告日 2008 年 9 月 3 日

[11] 授权公告号 CN 100416288C

[22] 申请日 2002.6.27 [21] 申请号 02802313.7

[30] 优先权

[32] 2001. 7. 5 [33] US [31] 60/303,052

[32] 2002. 4. 9 [33] US [31] 10/119,060

[86] 国际申请 PCT/US2002/020505 2002. 6. 27

[87] 国际公布 WO2003/005050 英 2003. 1. 16

[85] 进入国家阶段日期 2003. 3. 5

[73] 专利权人 英特泰克公司

地址 美国新罕布什尔

[72] 发明人 米歇尔·里凯蒂

克里斯托弗·J·克拉克

[56] 参考文献

US5627842A 1997. 5. 6

US6000051A 1999. 12. 7

EP0417905A2 1991. 3. 20

ADDRESSABLE TEST PORTS AN APPROACH TO TESTING EMBEDDED CORES.
WHETSEL LEE. INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS. 1999

审查员 孙毅

[74] 专利代理机构 永新专利商标代理有限公司

代理人 夏青

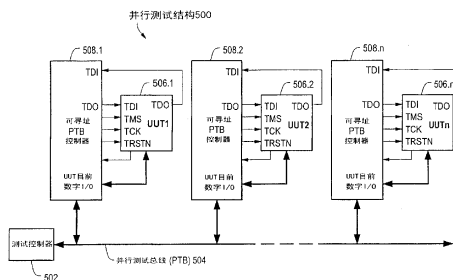
权利要求书 9 页 说明书 46 页 附图 12 页

[54] 发明名称

用于访问一个或多个电子电路的系统和方法

[57] 摘要

提供一种并行测试结构(PTA), 便于同时访问多个电子电路(即并行), 用于优化电路的测试、调试或可编程配置。PTA 包括并行测试总线(PTB)、连接到 PTB 的测试控制器、和连接到 PTB 的多个可寻址 PTB 控制器, 其中每个可寻址 PTB 控制器可耦合到被访问的相应电子电路上。测试控制器被构成以在 PTB 上向相应的可寻址 PTB 控制器发送至少一个控制信号、以启动由相应的可寻址 PTB 控制器进行对与其耦合的电子电路的并行扫描访问。此外, 每个可寻址 PTB 控制器被构成以采用扫描协议、以便根据由测试控制器在 PTB 上发送的控制信号访问可与其耦合的相应电子电路, 并响应于访问相应电子电路而在 PTB 上向第一控制器发送结果扫描数据。



1、一种用于访问一个或多个电子电路（UUT1-UUTn）的系统（500），用于测试、调试或可编程地配置所述电子电路，包括：

测试总线（504）；

连接到所述测试总线的主测试控制器（502）；和

连接到所述测试总线的多个可寻址局部测试控制器（508.1-508.N），每个局部测试控制器可连接到被访问的相应电子电路上，

其中，所述测试总线是多点测试访问总线，

其中，所述主测试控制器被配置成经由所述测试总线将测试数据、期望数据和掩码数据发送给相应局部测试控制器，以经由所述相应局部测试控制器并行地访问所述电子电路，以及

其中，每个局部测试控制器被配置成：

将所述测试数据施加到可连接到其上的所述相应电子电路；

响应于所述测试数据的所述施加，接收由所述相应电子电路生成的结果数据；

在所述期望数据的一部分是不确定的的情况下，使用所述掩码数据来掩盖所述期望数据的所述不确定的部分；以及

利用所述期望数据来验证所述结果数据。

2、如权利要求1所述的系统，其中所述测试数据包括IEEE 1149.1测试数据，以及其中被访问的每个电子电路包括相应测试访问总线（TDI、TMS、TCK、TRSTN、TDO）。

3、如权利要求2所述的系统，其中每个局部测试控制器进一步被配置成将所述多点测试访问总线连接到包括在所述可连接到其上

的电子电路中的所述相应测试访问总线。

4、如权利要求 1 所述的系统，其中，所述测试总线包括数字测试总线(1204)，其中所述主测试控制器是第一主测试控制器(1202)，以及所述系统进一步包括模拟测试总线(1244)、第二主测试控制器(1260)和被配置成将所述第二主测试控制器连接到所述第一主测试控制器的通信链路(1270)，所述模拟测试总线连接到所述第二主测试控制器并且可连接到所述被访问的对应电子电路。

5、如权利要求 4 所述的系统，其中，所述第二主测试控制器包括符合 IEEE 1149.1 测试标准的接口，所述第二主测试控制器进一步被配置成使用在所述 IEEE 1149.1 测试标准中给出的协议来访问所述相应电子电路。

6、如权利要求 1 所述的系统，其中每个局部测试控制器进一步被配置成作为被访问的结果从所述相应电子电路接收实际数据，以及将所述实际数据与所述期望数据进行比较。

7、如权利要求 1 所述的系统，其中所述相应局部测试控制器进一步被配置成存储所述结果数据。

8、如权利要求 6 所述的系统，其中所述相应局部测试控制器进一步被配置为压缩所述实际数据。

9、如权利要求 1 所述的系统，其中所述测试数据包括 IEEE 1149.1 测试数据，以及其中所述相应局部测试控制器进一步被配置为至少生成所述 IEEE 1149.1 测试数据的一部分。

10、如权利要求 1 所述的系统，其中每个局部测试控制器包括数字输入/输出电路（606），被配置为在所述局部测试控制器和所述相应电子电路之间传递一个或多个数字信号。

11、如权利要求 1 所述的系统，其中每个局部测试控制器包括自动启动电路（608），被配置为将启动信号从所述局部测试控制器经由所述测试总线发送到所述主测试控制器，所述启动信号用于向所述主测试控制器表示所述被访问的相应电子电路连接到所述局部测试控制器。

12、如权利要求 1 所述的系统，其中所述测试数据包括 IEEE 1149.1 测试数据，其中每个局部测试控制器包括具有关联的电压电平的通信接口（TDO_UUT、TMS_UUT、TCK_UUT、TRSTN_UUT、TDI_UUT）和可编程的输入/输出电压电路（610），所述通信接口可连接到所述被访问的相应电子电路，所述输入/输出电压电路被配置为设置所述通信接口的所述电压电平以确保与所述相应电子电路的电兼容。

13、如权利要求 12 所述的系统，其中所述可编程的输入/输出电压电路基于由所述主测试控制器经由所述测试总线发送的至少一个信号，设置所述通信接口的所述电压电平。

14、如权利要求 1 所述的系统，其中所述测试总线包括多个测试总线（804.0-804.1），以及相应的多个局部测试控制器连接到所述多个测试总线，并且进一步包括配置用于使所述多个测试总线相继地互连的至少一个可寻址总线桥路（802）。

15、如权利要求 14 所述的系统，其中所述可寻址总线桥路使第一测试总线和第二测试总线互连，所述第一测试总线被配置为源总线。

16、如权利要求 14 所述的系统，其中所述可寻址总线桥路使第一测试总线和第二测试总线互连，所述第一测试总线和第二测试总线的每一个被配置为传送测试数据，所述可寻址总线桥路被配置为在所述第一测试总线和所述第二测试总线之间传递所述测试数据。

17、如权利要求 1 所述的系统，其中所述主测试控制器被配置成存储表示用于寻址所述多个局部测试控制器的多个模式的数据，以及按照所述寻址模式的其中一个来执行至少一个应用以寻址所述多个局部测试控制器的至少一个。

18、如权利要求 17 所述的系统，其中每一个局部测试控制器具有关联的地址值，并且在所述寻址模式的其中一个中，所述主测试控制器基于单个局部测试控制器的关联地址值来寻址它。

19、如权利要求 17 所述的系统，其中每一个局部测试控制器具有关联的标识值，并且在所述寻址模式的其中一个中，所述主测试控制器基于所述多个局部测试控制器的一个或多个的关联标识值来寻址它们。

20、如权利要求 17 所述的系统，其中每个局部测试控制器具有关联的组地址值，并且在所述寻址模式的其中一个中，所述主测试控制器寻址具有相同组地址值的相应局部测试控制器。

21、如权利要求 17 所述的系统，其中所述多个局部测试控制器的至少一个具有关联的别名地址值，并且在所述寻址模式的其中一个中，所述主测试控制器基于至少一个局部测试控制器的关联别名地址值来寻址它。

22、如权利要求 1 所述的系统：

其中，所述测试数据包括 IEEE 1149.1 测试数据；

其中，所述局部测试控制器的每一个包括测试访问端口（TAP）控制器；

其中，所述测试总线包括串行数据输出（TDO）路径、串行数据输入（TDI）路径、测试时钟（TCK）路径和测试模式选择（TMS）路径，所述串行数据输出（TDO）路径是双向的；

其中，所述主测试控制器被配置为分别经由所述串行数据输出（TDO）路径、所述串行数据输入（TDI）路径、所述测试时钟（TCK）路径和所述测试模式选择（TMS）路径提供包括串行数据输出（TDO）信号、串行数据输入（TDI）信号、测试时钟（TCK）信号和测试模式选择（TMS）信号，用于将所述测试访问端口（TAP）控制器置为移位 IR 状态或移位 DR 状态；以及

其中，当所述测试访问端口（TAP）控制器处于所述移位 IR 状态或所述移位 DR 状态时，所述主测试控制器被配置为经由所述双向串行数据输出（TDO）路径提供所述期望数据。

23、如权利要求 1 所述的系统：

其中，所述测试数据包括 IEEE 1149.1 测试数据；

其中，所述局部测试控制器的其中一个包括测试访问端口（TAP）控制器；

其中，所述测试总线包括串行数据输出（TDO）路径、串行数据输入（TDI）路径、测试时钟（TCK）路径和测试模式选择（TMS）路径，所述串行数据输出（TDO）路径是双向的；

其中，所述主测试控制器被配置成分别经由所述串行数据输出（TDO）路径、所述串行数据输入（TDI）路径、所述测试时钟（TCK）路径和所述测试模式选择（TMS）路径提供包括串行数据输出（TDO）信号、串行数据输入（TDI）信号、测试时钟（TCK）信号和测试模式选择（TMS）信号的控制信号，用于将所述测试访问端口（TAP）控制器置于移位 IR 状态或移位 DR 状态；以及

其中，当所述测试访问端口（TAP）控制器处于所述移位 IR 状态或所述移位 DR 状态时，所述主测试控制器被配置为经由所述双向串行数据输出（TDO）路径提供所述掩码数据。

24、一种访问一个或多个电子电路（UUT1-UUTn）的方法，用于测试、调试或可编程地配置所述电子电路，包括步骤：

提供测试总线（504），所述测试总线是多点测试访问总线；

提供连接到所述测试总线的主测试控制器（502）和多个可寻址局部测试控制器（508.1-508.n），每个局部测试控制器可连接到被访问的相应电子电路；

所述主测试控制器经由所述测试总线将测试数据、期望数据和掩码数据发送到相应局部测试控制器，以经由所述相应局部测试控制器并行地访问所述电子电路；

所述相应局部测试控制器将所述测试数据施加到所述电子电路；

所述相应局部测试控制器响应于所述测试数据的所述施加，接收由所述电子电路生成的结果数据；

在所述期望数据的一部分是不确定的情况下，所述相应局部测试控制器使用所述掩码数据来掩盖所述期望数据的所述不确定的部分；

以及

所述相应局部测试控制器利用所述期望数据来验证所述结果数据。

25、如权利要求 24 所述的方法，进一步包括以下步骤：所述局部测试控制器作为访问的结果从所述相应电子电路中接收实际数据，并且所述局部测试控制器将所述实际数据与所述期望数进行比较。

26、如权利要求 24 所述的方法，其中所述第一提供步骤包括提供多个测试总线（804.0-804.1），并且所述第二提供步骤包括提供连接到所述测试总线的相应多个局部测试控制器，并且进一步包括以下步骤：至少一个可寻址总线桥路（802）使所述多个测试总线相继地互连。

27、如权利要求 26 所述的方法，其中所述使所述多个测试总线相继地互连的步骤包括所述可寻址总线桥路使第一测试总线和第二测试总线互连，所述第一测试总线被配置为源总线。

28、如权利要求 26 所述的方法，其中所述使所述多个测试总线相继地互连的步骤包括所述可寻址总线桥路使第一测试总线和第二测试总线互连，所述第一测试总线和所述第二测试总线的每一个被配置为传递测试数据，并且进一步包括以下步骤：经由所述可寻址总线桥路在所述第一测试总线和所述第二测试总线之间传递所述测试数据。

29、如权利要求 24 所述的方法：

其中，所述测试数据包括 IEEE 1149.1 测试数据；

其中，所述局部测试控制器的每一个包括测试访问端口（TAP）控制器；

其中，所述测试总线包括串行数据输出（TDO）路径、串行数据输入（TDI）路径、测试时钟（TCK）路径和测试模式选择（TMS）路径，所述串行数据输出（TDO）路径是双向的；以及

进一步包括以下步骤：

所述主测试控制器分别经由所述串行数据输出（TDO）路径、所述串行数据输入（TDI）路径、所述测试时钟（TCK）路径和所述测试模式选择（TMS）路径提供包括串行数据输出（TDO）信号、串行数据输入（TDI）信号、测试时钟（TCK）信号和测试模式选择（TMS）信号的控制信号，用于将所述测试访问端口（TAP）控制器置于移位 IR 状态或移位 DR 状态；以及

当所述测试访问端口（TAP）控制器处于所述移位 IR 状态或所述移位 DR 状态时，所述主测试控制器经由所述双向串行数据输出（TDO）路径提供所述期望数据。

30、如权利要求 24 所述的方法：

其中，所述测试数据包括 IEEE 1149.1 测试数据；

其中，所述局部测试控制器的每一个包括测试访问端口（TAP）控制器；

其中，所述测试总线包括串行数据输出（TDO）路径、串行数据输入（TDI）路径、测试时钟（TCK）路径和测试模式选择（TMS）路径，所述串行数据输出（TDO）路径是双向的；以及

进一步包括以下步骤：

所述主测试控制器分别经由所述串行数据输出（TDO）路径、所述串行数据输入（TDI）路径、所述测试时钟（TCK）路径和所述测试模式选择（TMS）路径提供包括串行数据输出（TDO）信号、串行

数据输入 (TDI) 信号、测试时钟 (TCK) 信号和测试模式选择 (TMS) 信号的控制信号, 用于将所述测试访问端口 (TAP) 控制器置于移位 IR 状态或移位 DR 状态; 以及

当所述测试访问端口 (TAP) 控制器处于所述移位 IR 状态或所述移位 DR 状态时, 所述主测试控制器经由所述双向串行数据输出 (TDO) 路径提供所述掩码数据。

用于访问一个或多个电子电路的系统和方法

相关申请的交叉参考

本申请要求在 2001 年 7 月 5 日申请的名称为“用于电子电路的优化并行测试和访问的方法及设备”的美国临时专利申请 US 60 / 303052 的优先权。

技术领域

本发明一般涉及集成电路、印刷电路板、以及系统的基于扫描的测试，特别涉及用于访问系统内的多个这样的电子电路以及用于对多个这样的电子电路进行并行的优化测试的方法和设备。

背景技术

在电子元件（例如集成电路（IC））以及用于检测和识别缺陷及用于调试的系统（例如印刷电路板（PCB）和单片系统（SoC））的研制和制造期间，经常采用基于扫描的测试。这种测试方法一般称为“扫描”，因为在操作的测试模式期间，电路的状态元件被配置构成串行移位（即扫描）寄存器，这通常称为扫描路径或扫描链。扫描测试通常需要串行移位数据输入（扫描输入）被测试件（UUT）的扫描路径和由其中输出（扫描输出），应用数字逻辑值的方式如同测试激励和响应测试激励而捕获数字逻辑值。这种响应通常与期望扫描输出数据比较，并且数据比较期间的任何故障一般表示检测到 UUT 中的缺陷。这样，对于数字电路，扫描测试模式提供包含在 UUT 中的组合逻辑的输入和输出的全部可控性和可观察性。这大大简化了测试问题 and 提供了具有总降低成本的高质量的测试。

在不需要物理探测的情况下，通过提供观测 / 控制电路状态的方法，提供串行扫描访问（access）使“可视度”进入 UUT 中，用于测

试和调试目的。在不扫描的情况下，只通过 UUT 的物理管脚可以接触电路的内部节点。在这种情况下，电路的任何测试或调试将要求施加复杂的操作序列以提供内部状态的控制 / 观测。也可以采用有扫描的 UUT 访问连接到 UUT 的其它电路，例如埋在 UUT 内的电路，如嵌入存储器和芯件，或外部地连接到 UUT 的其它电路。通常采用这种方法用于编程它们的内容的目的而访问外部存储器，例如根据连接到闪速存储器的 IC 的边界扫描路径，对闪速存储器进行编程。

扫描存取通常是根据“IEEE 1149.1 标准测试访问端口和边界扫描结构规范”进行的，其被合并在此供参考。这个标准起初的发展是为了解决 PCB 测试的问题。IEEE 1149.1 标准利用了边界扫描路径以便于访问安装在 PCB 上的器件的 I/O 管脚。此外，IEEE 1149.1 标准可用于访问 IC 内的扫描路径以便于测试、调试，以及 IC、PCB 和系统的系统内结构。

图 1 表示常规 IEEE 1149.1 边界扫描结构 100。如图 1 所示，依照 IEEE 1149.1 边界扫描结构 100 的 IC 具有四个（可选的是，五个）附加元件管脚，分别被称为测试时钟（TCK）、测试模式选择（TMS）、测试数据输入（TDI）和测试数据输出（TDO）（和可选的是，测试复位（TRSTN））。这些专用的测试管脚通常称为测试通路端口（TAP）。此外，依照 IEEE 1149.1 的 IC 采用三个扫描寄存器，即指令寄存器（IR）102 和被称为旁路寄存器 104 和边界扫描寄存器（BSR）106 的两个标准数据寄存器（DR）。图 1 还示出了一个用户 DR 108，IEEE 1149.1 允许设计者实现支持结构 100 中的附加测试和调试结构，如内部扫描路径和内置自测试（BIST）。

在 IEEE 1149.1 标准中，五个 TAP 管脚具有以下功能：

TCK 是输入信号，提供该信号以使各种测试操作的执行同步，通过 TAP 接入单独的 IC 部件内部和多个 IC 部件当中。TAK 是周期时钟信号，通常用恒定频率自由运行。然而，TCK 可以开始或停止，或者可以改变它的频率，这取决于应用。大多数测试行为发生在 TCK

脉冲的上升沿，但是某些行为只发生在 TCK 的下降沿。

TMS 是用于控制 TAP 控制器 110 的内部状态的输入管脚（见图 1）。TAP 控制器 110 是提供用于结构 100 内的访问功能的标准 IEEE 1149.1 协议的 16-状态有限状态机器（FSM）。由 IEEE 1149.1 标准限定的某些行为是允许的，并且可以执行，但只在专用的 TAP 控制器状态中。TMS 值在 TCK 的上升沿被采样。

TRSTN 是提供 TAP 控制器 110 的异步复位的输入信号，该控制器 110 使该信号进入测试逻辑复位状态以允许 IC 部件执行其任务功能。不管 TCK 和 TMS 输入的状态如何，目标 TAP 控制器进入和保持在测试逻辑复位状态中，只要 TRSTN 处于逻辑值 0 即可。由于还可以通过至少在 5TCK 周期内设置 TMS 为逻辑 1 值而复位 TAP 控制器 110，因此 TRSTN 已经定义为任选输入信号。

TDI 是给器件提供串行扫描输入数据的输入信号。TDI 从其它器件的 TDO 或从外部测试资源（如扫描控制器或自动测试设备（ATE））接收测试数据。TDI 上的信号逻辑值在 TCK 的上升沿被采样。

TDO 是来自器件的串行扫描输出。当器件被启动以扫描数据时，其 TDO 传输测试数据给其它器件的 TDO，或返回到测试设备。利用 TCK 的下降沿改变 TDO 输出上的扫描输出值。

IEEE 1149.1 标准便于将多个部件的 TAP 端口连接在一起，形成 IEEE 1149.1 总线，其允许被连接的电路以公共 TAP 协议被访问。这一点的实现，通常是通过以菊花链（daisy chain）方式连接个别器件的串行数据端子、TDI 和 TDO，使沿着该链来自前一器件的 TDO 输出端连接到该链中的下一器件的 TDI 输入端。然后，通过共同连接这些器件的所有个别的 TMS、TCK（和可选的 TRSTN）信号，形成整个 TAP 总线。

IEEE 1149.1 总线的典型菊花链结构 200 示于图 2 中。如图 2 所示，第一器件 202.1（UUT1）上的 TDI 输入端和最后一个器件 202.n（UUTn）上的 TDO 输出端分别用作总线的串行数据输入端和串行数

据输出端。已知图 2 中所示的总线结构 200，测试设备可以连接到总线的 TDI、TDO、TMS、TCK、和 TRSTN，并采用 IEEE 1149.1 TAP 协议与器件 202.1-202.n 通信。

图 2 的菊花链结构 200 可以用在单个 PCB 上。然而，当 TAP 总线穿过系统底板的多个 PCB 延伸时，经常采用不同的方法。在这种情况下，沿着底板执行图 2 的菊花链 TDI/TDO 结构 200 是不可能的，因为如果去掉了任何板，扫描链可能断开了。此外，在添加或去掉不同类型的板时，可以改变总体结构（例如扫描链的总长度）。这使得测试设备很难与个别板通信，以便可以适当地区别或测试它们。相应地，穿过系统底板执行单个序列链的复杂性导致了通常被称为多点总线结构的 IEEE 1149.1 TAP 总线结构的发展和使用。

如图 3 所示，IEEE 1149.1 总线的常规多点（multi-drop）结构可用于穿过底板提供单一 TAP 总线以允许每个板 302.1-302.n 连接到总线上的同组线上，即并联。由于 TCK、TMS、TDI 和任选的 TRSTN 是输入信号，它们可以穿过系统底板直接连接到独立板 302.1-302.n 的每个 TAP 上。然而，应小心防止信号冲突，这是由于将多个 TDO 输出连接到多点总线的单一 TDO 线上造成的。这可能如 IEEE 1149.1 标准那样要求只在串行数据被移进 / 移出 TAP 的 TDI-TDO 管脚时 TDO 输出应该驱动出。这由 TAP 控制器 110（见图 1）的内部状态控制，以便只在 TAP FSM 的移位 IR 或移位 DR 状态期间启动串行移位。在所有其它时间，通过强制它进入无效或高阻抗状态而禁止 TDO 输出。

然而，当采用多点结构 300 时，所有 TAP 控制器接收同组输入信号，因此互相在锁定阶段工作。即，所有 TAP 控制器的 FSM 处于相同的状态，以至于除非对结构做某些改变，启动来自任何 TAP 控制器的 TDO 输出（例如在移位 DR 状态）也启动了来自其它 TAP 控制器的 TDO 输出。此外，由于所有 TAP 控制器在锁定阶段工作并接收相同的输入数据值（即从公共总线 TDI），因此难以在不同板

302.1-302.n 上进行不同的测试操作而不需要在结构中有特殊考虑。

控制 IEEE 1149.1 总线的多点结构 300 通常要求使用定制版本的 TAP 控制器和专用协议以便与其通信。此外, TAP 控制器和协议一般与接合到多点总线的每个器件或板一起使用。多点结构 300 需要寻址总线上的 TAP 控制器的能力, 以便单一 TAP 控制器只在已经唯一选择它之后驱动其 TDO 输出。当未选择时, TAP 控制器仍然接收 TDI 输入并在锁定阶段工作, 但是不启动它们的 TDO 输出以驱动驱动到多点总线上。

用于并行测试或可编程电路结构的现有方案包括采用 UUT 的“联动访问”或“扫描倍增器”结构。采用 IEEE 1149.1 总线的常规联动访问扫描倍增器结构 400 示于图 4 中。利用该结构, 到 UUT402.1-402.n (即 TDI、TMS、TCK 和 TRSTN) 的输入并联汇流, 同时来自每个 UUT402.1-402.n 的扫描输出单独地连接到多路控制器 408。这样, 一般需要用于总线上的每个 UUT402.1-402.n 的专用 TDO 线。对于需要高度并行测试的应用, 需要从 UUT402.1-402.n 连接的大量 TDO 信号返回到多路控制器 408。因此, 例如, 如果希望在这个结构 400 中连接 100 个 UUT, 则一百个分离的 TDO 线(每个 UUT 需要一个)应返回到 TDO 选择电路 406。多路控制器 408 的目的是允许与具有正好 4 或 5 个标准 TAP 控制管角的通用 IEEE 1149.1 控制器 404 简单接合, 如图 4 所示。

利用联动访问扫描多路结构 400 的该方案, IEEE1149.1 控制器 404 提供 TAP 协议给所有并联的 UUT 402.1-402.n, 因此所有 UUT402.1-402.n 接收相同的 TAP 指令和测试数据。此外, 如图 4 所示, 多路控制器 408 可以只选择来自 UUT 之一的一个 TDO 输出以反向连接到 IEEE 1149.1 控制器 404。这样, 联动寄存器扫描乘法器结构 400 可以将总线的公共 TDI 上的扫描输入测试数据发送给并联的所有 UUT402.1-402.n, 但是一次只从一个 UUT 接收 TDO 上的扫描输出测试数据。这种方式可以减少对多个器件编程所需要的时间, 然而不会

加快需要检测来自相应的UUT的TDO输出的扫描输出测试数据的操作。因此，例如，检验UUT上的闪速存储器的编程内容应该需要单独读回和检测每个闪速存储器的内容，即一次一个。需要查询或见爱女测状态的任何其它操作都经受相同的损失。用于测试目的，TDO扫描输出在用于每个UUT上对于扫描输出的每位进行检测。因此，很显然这种方式对于UUT串行测试几乎不存在优点。因而，常规联动寄存器扫描多路结构400不是用于并行测试的优化方案。

由于IC、PCB和系统已经变得更复杂，因此已经大大增加了由技术人员所作的可测试性设计(DFT)技术的使用，该可测试性技术包括IEEE 1149.1边界扫描、内部扫描和内置自测试(BIST)的实施。已经提供了这种DFT的增加使用用于高质量测试、减少的测试时间和测试成本、降低的调试尝试以及减少的销售时间。然而，由于电子电路继续变得越来越复杂，因此继续挑战测试并在高技术电子系统的设计和制造中变得更重要。用于增加设计复杂性并因此必须在测试和调试期间处理的技术的例子包括嵌入芯、嵌入存储器、模拟/混合信号应用、和可编程逻辑(例如CPLD和FPGA)的系统内结构(ISC)以及非易失存储器(例如闪速存储器)。此外，除了市场领域中的增加的挑战之外，对于这种产品的增加的市场需求继续对电子系统的制造施加压力以降低成本和改进其投放市场的时间。这样，需要一些新的方法，降低成本和使对复杂IC、PCB、和系统的测试、调试及其配置所需要的时间最小化。

发明内容

本发明提供一种用于访问一个或多个电子电路的系统，用于测试、调试或可编程地配置所述电子电路，包括：测试总线；连接到所述测试总线的主测试控制器；和连接到所述测试总线的多个可寻址局部测试控制器，每个局部测试控制器可连接到被访问的相应电子电路上；其中，所述测试总线是多点测试访问总线；其中，所述主测试控制器被配置成经由所述测试总线将测试数据、期望数据和掩码数据发

送给相应局部测试控制器，以经由所述相应局部测试控制器并行地访问所述电子电路；其中，每个局部测试控制器被配置成：

将所述测试数据施加到可连接到其上的所述相应电子电路；响应于所述测试数据的所述施加，接收由所述相应电子电路生成的结果数据；在所述期望数据的一部分是不确定的的情况下，使用所述掩码数据来掩盖所述期望数据的所述不确定的部分；以及利用所述期望数据来验证所述结果数据。

根据本发明，提供一种并行测试结构（PTA），便于同时对多个电子电路进行访问（即并行地），以便进行测试和/或调试，或者用于配置可编程电路。在一个实施例，PTA 包括并行测试总线（PTB）、连接到 PTB 的测试控制器、以及连接到 PTB 的多个可寻址 PTB 控制器，其中每个可寻址 PTB 控制器可连接到被访问的相应的电子电路上。在目前公开的实施例中，测试控制器被构成以向相应的可寻址 PTB 控制器发送至少一个 PTB 上的控制信号，以便通过相应的可寻址 PTB 控制器启动可与其耦合的电子电路的并行扫描访问。此外，每个可寻址 PTB 控制器的构成使其根据由测试控制器在 PTB 上发送的至少一个控制信号，采用扫描协议以访问可与其耦合的相应的电子电路，并响应于访问相应的电子电路，在 PTB 上发送所得到的扫描数据给第一控制器。

这些电子电路可包括任何电路，其中包含制造在硅晶片上的 IC 芯片、封装 IC、PCB 或系统内的电路。PTA 启动对所有这些电子电路并行的访问，使测试设备能够对任何数量的相同类型的电路进行并行测试或编程。

目前公开的并行测试结构减少了与测试电子电路和可编程逻辑器件和存储器之配置相关的成本。利用 PTA，由于控制 PTA 所需要的测试设备可以通过低成本系统来实现，如个人计算机（PC）或基于 Unix 的工作站而不是全功能自动测试设备（ATE），大大减少了自动测试设备的成本。此外，由于 PTA 可并行测试或编程的多个电路，

因此降低了成本，由此使测试和编程时间达到最小化。PTA 还提供比传统 ATE 更方便的可扩展性。通常，ATE 限于测试单个 UUT 或只限于并行测试的几个器件。此外，传统的 ATE 的可扩展性经常是不可实现的，因为添加资源（例如测试器通道和矢量存储器）或利用附加的 ATE 以提供多个 UUT 的增加的“并行”测试需要增加成本。

该 PTA 被构成以提供多个 UUT 的真正的并行测试。可以同时（即并行）测试或检验多个 UUT，而不是一次一个。利用 PTA，相对于串行测试的测试时间的加速等于并行连接和测试的 UUT 的数量。PTA 解决了常规测试结构的很多问题，如每个 UUT 需要分开的 TDO 线的问题。这就使得可以 PTA 被实际实施并用于各种应用。例如，PTA 可以与器件或 UUT 分开实现，或者可以作为最终系统配置的一部分与 UUT 一起实现。例如，在用晶片探测器的芯片测试情况下，PTA 可以被实现为测试器或探针接口卡的一部分。此外，PTA 可以在插入系统底板的每个 PCB 上实现。还可以在 IC 内部实现 PTA，例如提供并行测试，其中 UUT 是 SoC 内的嵌入芯。

PTA 采用增强的测试控制器和用于与 UUT 通信的协议。测试控制器本身可以在外部连接到 UUT，或者可以是嵌入在含有 UUT 的系统（例如 PCB 板上的主控制器件）内或嵌入在系统中的 IC（例如主控制器芯）内的主测试控制器。外部测试控制器可以是具有合适的应用软件的通用计算机或 PC。

目前公开的并行测试结构给电子电路的并行测试和 / 或可编程电子电路的配置提供一种低成本优化方案。它可以用适合于应用使用的各种方式来实现。此外，该 PTA 支持用于测试 UUT 的任意数量的 DFT 方法，例如边界扫描、内部扫描和 BIST。

根据下面对本发明的详细说明，使本发明的其它特征、功能和方案更清楚。

附图说明

参照下列结合附图对本发明的详细说明，将更易于理解本发明，附图中：

图 1 是表示一种常规 IEEE 1149.1 测试访问端口（TAP）和边界扫描结构的方框图；

图 2 是表示一种常规的 IEEE 1149.1 总线的菊花链结构的方框图；

图 3 是表示 IEEE 1149.1 总线的常规多点结构的方框图；

图 4 是 IEEE 1149.1 总线的常规联动访问扫描倍增器结构的方框图；

图 5 是表示根据本发明的并行测试结构的方框图；

图 6 是包含在图 5 的并行测试结构中的并行测试总线控制器的方框图；

图 7 是表示包含在图 6 的并行测试总线控制器的可寻址 TAP 链路（linker）的方框图；

图 8 是表示根据本发明的并行测试总线桥的方框图；

图 9 是表示采用图 8 的并行测试总线桥的总线对总线传输的时序图；

图 10 是表示图 5 的并行测试结构的方框图，其中包括并行测试总线的桥接结构；

图 11 是表示图 5 的并行测试结构的方框图，其中包括另一种并行测试总线的桥接结构；

图 12 是表示图 5 的并行测试结构的方框图，其中包括支持模拟测试的并行测试总线结构；

图 13 是表示图 6 的可寻址 TAP 链路的方框图，其构成支持模拟测试；

图 14a 是表示对多个被测试件进行并行测试的方法之流程图，其中采用根据本发明的方式工作的图 5 的并行测试结构；和

图 14b 是表示在多个印刷电路板上进行板对板互连测试的方法的流程图，其中采用根据本发明的方式工作的图 5 的并行测试结构。

具体实施方式

这里引用在 2001 年 7 月 5 日申请的美国临时专利申请 No.60 / 303052 供参考。

图 5 表示根据本发明的并行测试结构 (PTA) 500 的一个示例性的实施例。在所示实施例中, 测试控制器 502 连接到并行测试总线 (PTB) 504。例如, 测试控制器 502 可以是分开的外部测试控制器或嵌入的主控制器, 例如嵌入包括被测试件 (UUT) 506.1-506.n 的系统。测试控制器 502 被构成以采用下述 PTA 500 的协议在 PTB 504 上进行通信。在所示实施例中, UUT 506.1-506.n 经过相应的可寻址 PTB 控制器电路 508.1-508.n 连接到 PTB 504。此外, PTA 500 可使 1-n 个 UUT 连接到 PTB 504。任何合适数量的相同 UUT 都可以被并行访问, 用于测试和 / 或调试目的, 或者用于可编程电路的配置。或者, 相应的 UUT 可单独被访问。

例如, 测试控制器 502 可包括通用计算机或 PC, 它们含有至少一个存储器, 如只读存储器 (ROM) 和随机存取存储器 (RAM), 用于存储数据、操作系统、以及用于测试、调试或可编程配置 UUT 506.1-506.n 的应用软件模块, 以及至少一个处理器, 用于经过 PTB 控制相应的 PTB 控制器电路 508.1-508.n 和执行电子电路测试 / 调试 / 配置应用。

PTB 504 有利于经过相应的可寻址 PTB 控制器电路 508.1-508.n 进行测试控制器 502 和 UUT 506.1-506.n 之间的通信。应注意, PTB 控制器可以以各种方式实施。例如, PTB 控制器可被实现为单个器件, 即与 UUT 506.1-506.n 和测试控制器 502 分开。或者, PTB 控制器可被实现为多个分立器件, 例如安装在 PCB 上或作为 UUT 的一部分嵌入。

在所示实施例中, 每个 PTB 控制器 508.1-508.n 操纵与相应的 UUT 506.1-506.n 的局部通信。用于在 PTB 控制器和与其耦合的 UUT

之间局部通信的协议是标准的 IEEE 1149.1 协议。相应地，PTA 系统可以被构成和实现，以使得存在的 UUT 可以直接接合到 PTB 控制器的标准 IEEE 1149.1 接口。

PTB 504、PTB 控制器 508.1-508.n 以及 PTA 协议和操作的进一步细节在下列部分中说明。

并行测试总线 (PTB)

图 6 表示连接到 PTB 504 的示例性并行测试总线 (PTB) 控制器 508 (见图 5)。在所示实施例中，PTB 504 包括扩展的多点 TAP 总线。如图 6 所示，PTB 504 具有标准 IEEE 1149.1 信号—TCK、TMS、TDI、TDO 和 TMS。此外，PTB 504 包括期望数据输入 (EDI) 和掩码数据输入 (MDI) 信号。

提供 EDI 和 MDI 信号以允许 PTA 500 为所有 UUT 506.1-506.n 并行检测和校验扫描输出数据。因而，测试控制器 502 和 PTA 协议可操作以在 PTB 504 的 EDI 信号上提供期望扫描输出数据，然后可将其与来自 UUT 506.1-506.n 的实际 TDO 数据进行比较。

此外，测试控制器 502 被构成以在 PTB 504 的 MDI 信号上提供用于期望 TDO 数据的掩码。这使得在检查扫描输出数据期间，可以屏蔽或忽略用于 UUT 506.1-506.n、被指定为“X”（即不确定或未知逻辑值）的任何期望 TDO 数据。因而，PTA 500 中的 EDI 和 MDI 信号使得能够局部地进行 UUT 的 TDO 数据的检测，即通过每个相应的 PTB 控制器 508.1-508.n，而不是通过测试控制器 502。

作为利用多点总线结构用于 PTB 504 的结果，PTA 500 提供并行测试多个 UUT 的优化方式。利用多点 PTB 504，PTA 500 不需要分离的 TDO 线用于每个 UUT，因为这些 TDO 并行连接到 PTB 控制器 508.1-508.n。这消除了连接到 UUT 506.1-506.n 的很多布线。此外，在 PTB 504 上包含 EDI 和 MDI 信号允许对扫描输出数据进行分布式检测方案，其中可以同时测试所有的 UUT 506.1-506.n。

虽然这些 TDO 被并行汇集在一起，如果需要的话，PTB 504 支持对单个被选 UUT 的通信，并可以接收从被选 UUT 返回的实际 TDO 数据。因此，例如，测试控制器 502 可用于对被选 UUT 进行调试或维修。此外，根据特殊测试应用，可以采用和优化 PTB 504 的实施。例如，在晶片探测器的情况下，PTB 504 可以被实现在 ATE 中，即与被并行测试的芯片分开。或者，PTB 504 可以与 UUT 506.1-506.n 一起被实现在最后的系统配置中，例如与系统底板（backplane）一起。应该注意到，包括 PTB 504 的 PTA 500 可被构成以支持或使用其它扫描协议和 / 或方法，代替了上述 IEEE 1149.1 扫描方法。

可寻址 PTB 控制器

图 6 示出了示例性 PTB 控制器 508。如图 6 所示，PTB 控制器 508 包括可寻址 TAP 链路（ATL）602，可寻址 TAP 链路（ATL）602 用于在 PTB 504 上寻址和选择 PTB 控制器 508.1-508.n，并控制对 UUT 506.1-506.n 的扫描访问（见图 5）。注意，ATL 电路 602 被用于多点扫描总线应用中，作为独立的实现方案，即与 PTB 控制器 508 分开，其中不需要并行测试能力。在所示实施例中，对每个 UUT，有连接到 PTB 504 的一个 ATL 602。相应地，多个 PTB 控制器 508.1-508.n 可连接到 PTB 504，然后 PTB 控制器 508.1-508.n 中的每个相应的 ATL 可以接合到单个 UUT 和 PTB 504 上。PTB 控制器电路 508 还包括屏蔽和比较电路 604、数字 I/O（DIO）电路 606、PTB 自动启动电路 608 以及可编程 I/O 电压电路 610。在后面介绍 PTB 控制器 508 的每个功能块。

可寻址 TAP 链路

如图 6 所示，ATL 602 经过标准 1149.1 信号 TCK、TMS、TDI、TDO、TMS 连接到 PTB 504。这种到多点 PTB 总线 504 的连接被测试控制器 502 采用，以使用 PTA 协议与 ATL 602 和 PTB 控制器 508 中的其它电路 604、606、608 和 610 通信。此外，ATL 602 与相应

的 UUT（未示出）接合并连接到 PTB 控制器的其它电路 604、606、608 和 610。

在 UUT 一侧上，ATL 602 与 UUT 的 TAP 总线接合。ATL 输出信号 TDO_UUT、TMS_UUT、TCK_UUT、TRSTN_UUT 至 UUT。这些信号连接到 UUT 的对应 TAP 输入端（例如 TDO_UUT 输出端连接到 UUT 的 TDI 输入端）。此外，ATL 602 具有 TDI_UUT 输入信号，该信号连接到 UUT 的 TDO 输出端。在 PTA 500（见图 5）中，测试控制器 502 利用这个 ATL 接合到 UUT 的 TAP，以便在 PTB 504 上管理 UUT 506.1-506.n 和 PTB 控制器 508.1-508.n 之间的 IEEE 1149.1 协议。根据 PTA 协议和是否 UUT 506.1-506.n 被并行访问或者连接到 ATL 602 的指定 UUT 被其自己访问（例如在 PTB 504 上检查特定的 UUT 的 TDO 数据），ATL 602 控制 UUT TAP。在所示实施例中，ATL 602 还接合到屏蔽和比较电路 604、数字 I/O 电路 606、PTB 自动启动电路 608 以及可编程 I/O 电压电路 610。

ATL 602 提供很多特征用于寻址和选择 UUT，如下所述。

寻址和选择 UUT

如图 6 所示，ATL 602 接收 ATL_ADDR[n:0] 总线上和 UUT_ID[n:0] 总线上的输入。这些输入启动测试控制器 502（见图 5），以便寻址和选择 UUT 506.1-506.n，它们经过 PTB 504 连接到相应的 PTB 控制器 508.1-508.n。

在所示实施例中，连接到 PTB 504 的所有 PTB 控制器 508.1-508.n 实现一个 n+1 位 ATL 地址，它被输入给 ATL_ADDR[n:0] 上的 ATL 602。该 ATL 地址的构成，使得可以给 PTB 504 上的每个 PTB 控制器 508.1-508.n 分配一个唯一的地址。这个地址启动测试控制器 502，以在多点 PTB 504 上唯一地寻址和选择 PTB 控制器 508.1-508.n 之一。例如，如果 PTB 被构成以支持多达 16 个 UUT，则应该至少实现 4 位 ATL 地址，以便有 ATL_ADDR[3:0] 输入，以提供多达 16

个独特的 ATL 地址。

UUT ID 被输入到 UUT_ID[n:0]线上的 ATL 602, 它用于将 UUT 识别数据提供给测试控制器 502, 用于连接到 PTA 500 中的相应的 PTB 控制器 508.1-508,n 的 UUT 506.1-506.n。在所示实施例中, UUT ID 提供 UUT 类型、和 (可选的) UUT 版本、UUT 制造商、和 / 或用于识别 UUT 的其它数据。如果 PTA 的实现, 使得所有 UUT 具有相同类型和版本, 则不需要输入到 ATL 602 的 UUT_ID[n:0]。在这种情况下, 可以配置 ATL 602 而没有这些输入, 或者 UUT_ID [n:0] 线可以被限于一些预定或默认的逻辑值。在多个类型 (或版本) 的 UUT 被实现在同一 PTA 中的情况, UUT ID 的构成使得被支持的所有 UUT 类型可以具有特有的指定。UUT ID 使得测试控制器 502 能够同时寻址和选择相同类型、版本等的 UUT, 即作为一组。

如上所述, ATL 地址和 UUT ID 便于寻址和选择一个或多个 UUT, 这取决于由测试控制器 502 采用的寻址模式。在所示实施例中, ATL 602 支持以下寻址模式:

ATL 地址模式: 这个寻址模式根据其 ATL 地址值唯一地选择 UUT。在这种模式中, 只可以选择一个 UUT, 因为所有的 ATL 地址唯一地分配给一个 PTB 控制器。在这种模式中被选择的 PTB 控制器可以被启动以驱动其 TDO 输出到 PTB 上。

UUT 类型模式: 这个模式寻址 UUT 是根据其 UUT 类型等 (如由 UUT ID 所给出)。对相同类型、版本和 / 或制造商的所有 UUT, UUT 类型模式允许进行广播。在这个模式中, PTB 控制器不被启动以驱动其 TDO 在 PTB 上 (即它的 TDO 是三态的)。

组地址模式: 这是可编程寻址模式, 其中测试控制器分配一个组地址给每个 PTB 控制器。多个 PTB 控制器可以用相同的组地址编程。结果是, 采用该组地址模式, 测试控制器可以与作为一组的两个或多个 UUT 通信。这就可以根据 UUT 的某些特性, 例如它的

硬件版本或它可能包含的部件 / 功能，对所有 UUT 或对一个选择组的 UUT 进行广播。在这个方式中，PTB 控制器不能被启动以驱动它的 TDO 到 PTB 上（即它的 TDO 是三态的）。

别名地址模式—这是一种与组地址模式相似的可编程寻址模式。然而，别名（Alias）模式还允许单个 PTB 控制器的唯一寻址。在这种情况下，即当一个唯一的别名分配给单个 UUT 时，PTB 控制器可以被启动以驱动它的 TDO 到 PTB 上。

相应地，ATL 地址模式启动单个 UUT 的选择，允许 UUT 的 TDO 被启动以驱动到 PTB 上，然后扫描输出数据被测试控制器接收。这种模式可以用于测试或配置单独的 UUT 和用于唯一地给被选 UUT 提供 TDI 数据，同时控制所有其它 UUT 以忽略该数据。这样，ATL 地址模式可用于调试、诊断和维修，其中需要给唯一的一个 UUT 发送数据或用测试控制器检查来自 UUT 的实际 TDO 输出数据。类型和组模式允许向多个板广播，并可以用于采用 PTA 500 的并行配置的测试。此外，别名模式允许分配唯一的别名地址，在这种情况下可以启动 PTB 控制器以驱动 PTB 的 TDO。分配唯一的别名地址便于一组矢量用于可编程配置或测试独立于 ATL 地址的 UUT。ATL 602 的这个特征有利于 PTA 500 的多点测试总线实现中的测试矢量的再用。

PTB 自动启动

如图 6 所示，ATL 602 接合到 PTB 自动启动电路 608，其被构成以根据 PTB 504 的启动信号，发送信号返回到测试控制器 502（见图 5），所有的被测试 UUT 506.1-506.n 都存在，并且测试控制器 502 可以开始测试序列。这个自动启动能力使得 PTA 500 能够在生产环境下自动开始测试而不用操作者介入。

在所示实施例中，PTB 自动启动电路 608 从 UUT 接收 UUT_PRESENT 信号。在 UUT 连接到 PTB 控制器 508 时，

UUT_PRESENT 信号被输入到 PTB 自动启动电路 608 并被认定。UUT_PRESENT 的认定向 PTB 自动启动电路 608 发出信号，表示这个 UUT 连接到 ATL 602 的 UUT 总线并准备被访问。一旦所有的被测 UUT 506.1-506.n 连接到它们的相关联的 PTB 控制器 508.1-508.n，启动 (START) 信号在 PTB 504 被认定并被测试控制器 502 接收。

ATL 602 接合到 PTB 自动启动电路 608，以便启动或禁用自动启动能力，这取决于是否期望用于这个 PTB 控制器 508 的 UUT 存在。当所有的 UUT 506.1-506.n (见图 5) 未被设置在 PTA 系统中，用户 (例如操作人员或在测试控制器 502 上运行的程序) 可以经过测试控制器 502 指示哪些 UUT 不存在。则 ATL 602 得知以禁止任何错误检查和用于这个特定 UUT 的 PTB 自动启动电路 608。如果已经禁止了一个已知的 PTB 自动启动电路 608 和用户连接 UUT，则 PTB 自动启动电路 608 检测这个条件，并设置警告状态位，它可以经过 ATL 602 的接口被读取。

数据屏蔽和比较

如图 6 所示，屏蔽和比较电路 604 连接到 PTB 504 和接合到 ATL 602 上。屏蔽和比较电路 604 接收来自 PTB 504 的 EDI 和 MDI 信号和来自 ATL 602 的实际数据输入 (ADI) 信号，并用它们检查和校验来自 UUT 和 / 或数字 I/O 电路 606 的扫描数据。期望扫描数据被接收在 PTB 504 的 EDI 信号上，并与来自 UUT 的实际扫描数据比较，该数据被接收在来自 ATL602 的 ADI 信号上 (当其被选择时)。当不选择 PTB 控制器 508 时，自动禁止该屏蔽和比较电路 604。在扫描操作期间，ATL 602 输入任何配置的扫描路径，并通过 ADI 上的 ATL 602，例如来自数字 I/O 电路 606 的 IR 扫描数据、TDI_UUT 数据、和 / 或扫描输出数据。逐位比较 EDI 和 ADI，因为它们是串行移位到屏蔽和比较电路 604 中。如果唯一选择的话，PTB 控制器 508 还可将这个 TDO 数据输出到 PTB 504 上。比较的每位的结果是通过

或无效，这分别取决于期望的和实际的数据位“比较”或“错比较（miscompare）”。

当设置在 EDI 上的期望扫描数据中的位被指定为 X 时，可以采用 PTB 504 的 MDI 线上的数据屏蔽它。EDI 的每个扫描位在 MDI 的扫描屏蔽数据中具有对应位，其被认定以忽略对应 ADI 扫描位的值。相应地，被屏蔽在 EDI 扫描数据中的位通过与相应 ADI 数据的位比较，而与 ADI 值无关。这样，由屏蔽和比较电路 602（其中 MDI 被认定）进行的任何 ADI 扫描数据位的检查不会引起测试故障。

如上所述，屏蔽和比较电路 604 连接到 ATL 602。这个连接使得测试控制器 502 能够控制屏蔽和比较电路 604 中的功能。在所示实施例中，屏蔽和比较电路 604 记录一个通过 / 无效状态，它可由测试控制器 502 经过 ATL TAP 指令进行查询。这使得 PTA 500 能够并行地对多个 UUT 进行测试或验证，并接收从每个相关联的 PTB 控制器返回的通过 / 无效状态。相应地，测试控制器 502 可对很多 UUT 进行并行测试，然后检查每个 PTB 控制器，以观察如果是否相关联的 UUT 有缺陷。然后，如果需要对 UUT 进行任何诊断和维修，采用 PTB 504 的正常 TDI-TDO 访问，可以个别访问有故障的 UUT。

屏蔽和比较电路 604 可具有进一步的工作性能，它们通过对 ATL 602 的接口受到控制。在所示实施例中，有用于屏蔽和比较电路 604 的启动 / 禁止功能。这使得 PTB 控制器 508 中的比较操作和通过 / 无效状态的锁定能够被人工禁止。此外，屏蔽和比较电路 604 可通过错比较的检测而采取某些行为。在所示实施例中，在检测到故障时，错比较引起 UUT 被强制到它的测试-逻辑-复位状态。这是通过强制 TMS UUT 进入 TLR 模式而由 PTB 控制器 500 自动进行的。此外，PTB 控制器 508 使得当前扫描操作能够在强制 UUT 进入其测试-逻辑-复位状态之后完成。因而，在当前扫描操作的更新-DR 或更新-IR 之后建立 TLR_Mode。这防止由于制造缺陷对 UUT 的

潜在损伤，如被期望扫描数据的错比较检测到的。

如上所述，屏蔽和比较电路 604 使得可以对于所有同种 UUT 并行进行数据比较。PTB 的 EDI 和 MDI 信号和它们与屏蔽和比较电路 604 的连接，使这种并行测试和校验能力成为可能。这些特征使得可以通过每个 PTB 控制器 508.1-508.n（而不是通过测试控制器 502）同时（即并行）进行每个 UUT 的 TDO 数据的检测，由此优化 UUT 506.1-506.n 的测试时间。结果是，采用 PTA 500 测试同种类型的 UUT 的时间等于用它自己测试单个 UUT 所用的时间。

数字 I/O

如图 6 所示，PTB 控制器 508 包括连接到 ATL 602 和 UUT 的数字 I/O（DIO）电路 606。DIO 电路 606 为连接到 PTB 控制器 508 的 UUT 配置有多个并行（即“宽边”）输入和输出 DIO_UUT [n:0]。DIO_UUT 线可以通过测试控制器 502 或直接通过 ATL 602 在 PTB 504 上被控制，并且可以被采用，除了到 UUT 的扫描接口之外，以便于 UUT 的测试、调试或配置（configuration）。在所示实施例中，DIO_UUT 线被实现为可编程输入 / 输出（即双向的）信号。或者，每个 DIO_UUT 线可被实现为固定输入或输出信号。

在所示实施例中，DIO 电路 606 具有到 ATL 602 的串行接口，通过该接口可访问 DIO_UUT 线的输入 / 输出数据和方向控制。此外，可分开地通过到 ATL 602 的串行接口访问 DIO 电路 606，例如通过 PTB 504 的正常 TDI-TDO，或者与 UUT 的扫描路径串行连接。这就使得通过测试控制器 502 在 PTB 504 上可以访问 DIO 电路 606 的并行 I/O 线以及对 UUT 的扫描数据。结果是，从 UUT 输入到 DIO_UUT 线的任何并行数据可以在 TDI_UUT 输入端上被串行化。然后它在 ATL 602 的 ADI 输出上被发送到屏蔽和比较电路 604，并采用来自测试控制器 502 的 EDI 和 MDI 数据进行检查。

可编程 I/O 电压

如图 6 所示, PTB 控制器 508 还包括也连接到 ATL 602 的可编程 I/O 电压电路 610。在所示实施例中, 可编程 I/O 电压电路 610 用于为 UUT 接口设置电压电平, 以确保与 UUT 的电兼容性以及与 ATL 接口的适当操作。通过与 ATL 602 的连接, 可设置用于逻辑“1”或“高”电压电平的阈值, 然后其由可编程 I/O 电压电路 610 控制。例如, 该电压可选择为 5V、3.3V 等, 这取决于 UUT 接口的特定技术要求。此外, 可以断开或设置来自可编程 I/O 电压电路 610 的电压, 以便可设置外部地提供(例如通过用户)的电压电平, 以给连接到 UUT 的接口供电。

ATL 指令

以下说明用于 ATL 602 (见图 6) 的 TAP 控制器指令, 如在 PTA 500 (见图 5) 中所采用的。ATL TAP 控制器指令由测试控制器 502 或主控制器在 PTB 504 上发布。测试控制器 502 采用这些 ATL TAP 指令与 PTB 控制器 508.1-508.n (见图 5) 通信, 以访问 PTA 500 的特征。由于多个 ATL 并行连接在 PTB 504 上并工作在锁定阶段, 所有的 ATL 执行相同的 TAP 控制器指令和操作码。对于下述所有的指令, ATL 602 不能将其 TDO 驱动出去至 PTB 504 上, 除非先前用其 ATL 地址或唯一别名地址对其进行选择。

应注意的是, 下述某些指令是可选的, 这取决于并行测试结构的特定配置。例如, 当 ATL 602 用于独立应用或不需要并行测试功能的其它应用时, 不必执行 COMPARE_STATUS 和 AUTO_START 指令, 因为它们控制 PTB 控制器 508 中的功能和数据寄存器, 而这些对于独立 ATL 操作不是必要的。

BYPASS—这个指令是标准 IEEE 1149.1 BYPASS 指令。它在 TDI 和 TDO 之间的可寻址 TAP 链路(ATL) 602 中选择一个一位旁路寄存器。如果不执行下述 IDCODE 指令, 当它在并行测试总线 (PTB) 504 上复位时, 旁路指令被载入 ATL 的指令寄存器 (IR) 中。

IDCODE: IDCODE 指令可用于选择 DEVICE_ID 寄存器, DEVICE_ID 寄存器提供标准 32 位 IEEE 1149.1 识别码。在 TDI 和 TDO 之间选择 ATL 602 中的 DEVICE_ID 寄存器。当执行时, IDCODE 指令被载入 ATL 的 IR (当其复位时) 中。

SAMPLE/PRELOAD (采样 / 预加载) — 这个指令可用于采样 PTB 控制器 508 的 I/O 管脚、或将值预加载到 PTB 控制器的边界扫描单元中。应注意的是, PTB 控制器 508 可具有专用测试管脚, 它们不完全与 IEEE 1149.1 边界扫描结构兼容。这样, 这个指令不能访问 PTB 控制器 508 的每个管脚。

EXTEST — 这个指令与标准 IEEE 1149.1 EXTEST 指令相同。如在 SAMPLE/PRELOAD 指令中一样, PTB 控制器 508 的专用测试管脚不能完全与 IEEE 1149.1 边界扫描结构兼容, 因此 EXTEST 指令不能控制 PTB 控制器 508 的每个管脚。

LOAD_ATL_ADDR — 当 ATL 602 为载入 ATL 地址设置时执行 LOAD_ATL_ADDR 指令。在所示实施例中, ATL_ADDR 输入直接并行输入到 PTB 控制器 508, 因此不执行 LOAD_ATL_ADDR 指令。

当执行时, LOAD_ATL_ADDR 指令使来自 ATL 的 ATL_ADDR 输入的 ATL 地址被收集到 ATL_Address 寄存器中。根据执行情况, 可以串行加载 (例如在 ATL TAP 控制器的运行—测试 / 空载状态中) 或直接从 ATL_ADDR 输入端收集。在任一情况下, ATL_Address 寄存器的尺寸与用并联 ATL_ADDR 输入的执行所需要尺寸相同, 即 $n+1$ 位。如果选择 ATL 602, 测试控制器 502 可检查被收集在 ATL_Address 寄存器中的 ATL 地址。

SELECT_ATL — SELECT_ATL 指令用于根据其 ATL 地址、选择单个 PTB 控制器 508。SELECT_ATL 指令将 ATL 地址从测试控制器 502 串行装载到 Select_ATL 寄存器中, 并将其与至 ATL 602 的 ATL_ADDR 输入或与 ATL_ADDR 寄存器 (即, 如由 LOAD_ATL

ADDR 指令所装载的) 比较。Select_ATL 寄存器被构成的尺寸与 ATL_ADDR 输入 (或 ATL_Address 寄存器) 相同, 即 $n+1$ 位。当不执行 LOAD_ATL_ADDR 指令时, SELECT_ATL 指令向 Select_ATL 寄存器中收集 ATL_ADDR 输入 (即, 在来自测试控制器 502 的 ATL 地址中移位之前的 Capture-DR 期间)。

如果 Select_ATL 寄存器比较 ATL_ADDR 输入 (或 ATL_Address 寄存器), 则 PTB 控制器 508 被唯一选择, 并且使它的 TDO 被驱动到 PTB 504 上。一旦被选择, 测试控制器 502 可以发布其它指令并与连接的 UUT 通信。PTB 控制器 508 保持被选择, 直到发布 UNSELECT_ALL 指令 (如下所述), 发布不选择这个 PTB 控制器 508 的其它指令 (例如, 为另一 PTB 控制器装载 ATL 地址的 SELECT_ALIAS 指令), 或 ATL 复位。在 SELECT_ATL 指令之后, 测试控制器 502 可发布另一指令, 如 BYPASS 或 IDCODE 指令, 以验证一个 PTB 控制器被选择, 以及因此将数据驱动到 PTB 的 TDO 上。

LOAD_UUT_ID — 当 ATL 602 用于加载 UUTID 码时, LOAD_UUT_ID 指令被执行。在所示实施例中, 不提供 UUT ID 的加载, 并且 UUT_ID 被直接从 PTB 控制器 508 的 UUT_ID 线输入。

当执行时, LOAD_UUT_ID 指令使来自 ATL 的 UUT_ID [n:0] 输入的 UUT ID 被收集到 UUT_ID 寄存器中。根据该执行, 它是从 UUT_ID [n:0] 输入端串行加载或直接加载 (例如在 ATL TAP 控制器的运行-测试 / 空载状态)。如果选择 ATL 602, 测试控制器 502 可以检查被收集在 UUT_ID 寄存器中的 UUT ID。

SELECT_TYPE — SELECT_TYPE 指令将来自测试控制器 502 中的 UUT 类型串行加载到 SELECT_TYPE 寄存器中, 并将其与 UUT ID 的 UUT 类型位比较。根据执行情况, UUT 类型是 UUT_ID 寄存器中的位字段 (bit field), 或 ATL 602 的 UUI_ID [n:0] 线上的直接输

入。UUT 类型被配置为具有与 UUT_ID 寄存器中或来自 UUT_ID [n:0]输入的 UUT 类型字段相同数量的位。当不执行 LOAD_UUT_ID 指令时，SELECT_TYPE 指令将 UUT_ID 收集到 SELECT_TYPE 寄存器中（即在来自测试控制器 502 的 UUT 类型的移位之前的收集—DR 期间）。

在目前公开的 ATL 602 的实施例中，SELECT_TYPE 寄存器被构成以比较 UUT Type（类型）和 UUT Manufacturer（制造商）代码。在这种情况下，UUT Type 由对 ATL 602 的直接并行输入提供，并且 UUT Manufacturer 作为内部代码提供在 ATL 602 内。这提供了一种方式，其中 UUT Type 可以由用户规定，并且与其它卖主的 UUT Type 无关，因为不同的卖主被分配专门的 UUT 制造商代码。这样，即使两个用户给 UUT 分配相同的 UUT 类型，当需要时通过它们的特有制造商代码，他们也仍然能区分。

如果 SELECT_TYPE 寄存器比较对应的 UUT Type 和 UUT Manufacturer，PTB 控制器 508 变为被选择。由于多个 PTB 控制器可通过这个指令选择（例如相同类型和相同的卖主），因此它的 TDO 未被启动以驱动到 PTB 504 上。这样，测试控制器 502 并行地与 SELECT_TYPE 寄存器指定的所有类型的 UUT 通信，但是不使 PTB 控制器 508 驱动它的 TDO 到 PTB 504 上。

PROGRAM_GROUP—PROGRAM_GROUP 指令串行加载具有可编程组地址的 Group_Address 寄存器，如由测试控制器 502 进行分配。如果 PTB 控制器 508 预先由 ATL 地址或特定的别名地址选择，则可以启动它以使其 TDO 到 PTB 504 上，并且如在收集—DR 状态中所收集的，当前 Group_Address 寄存器内容可以被测试控制器 502 扫描输出和检查。如果预先选择 PTB 控制器 508，则 Group_Address 寄存器被更新，即通过 ATL 地址、别名地址、UUT 类型或组地址（见下述 SELECT_GROUP 指令）匹配。在没有选择

PTB 控制器 508 时，禁止 Group_Address 寄存器的更新。无论何时在 ATL 602 复位时，给 Group_Address 寄存器分配所有的 0 地址。

SELECT_GROUP—采用 SELECT_GROUP 指令，组地址可以从测试控制器 502 被串行加载到 SELECT_GROUP 寄存器中并与可编程 Group_Address 寄存器比较。SELECT_GROUP 寄存器被构成以具有与 Group_Address 寄存器相同数量的位。如果 Slect_Group 寄存器中的组地址与 Group_Address 寄存器中的组地址匹配，则 PTB 控制器 508 变为被选择。然而，由于多个 PTB 控制器 508 可被这个指令选择，因此它的 TDO 不能被驱动到 PTB 504 上。这样，测试控制器 502 并行地与分配相同组地址的所有 UUT 通信，但是不使 PTB 控制器 504 驱动它的 TDO 到 PTB 504 上。

PROGRAM_ALIAS—PROGRAM_ALIAS 指令用于给 PTB 508 分配别名地址。这个指令选择 Alias_Address 寄存器，并用如由测试控制器 502 分配的可编程别名地址串行加载它。公共别名地址可以分配给所有的 PTB 控制器并特定组的 PTB 控制器，或者专门别名地址可以分配给单个 PTB 控制器。通过给一组 PTB 控制器分配公共别名，测试控制器 502 可寻址和选择它们作为一组，以及并行地对这个组进行广播。这正如在 PROGRAM_GROUP 和 SELECT_GROUP 指令中。通过给单个 PTB 控制器分配专门别名地址，用于可编程配置或测试 UUT 的矢量可独立于物理 ATL 地址，如在到 ATL 602 的 ATL_ADDR 输入端上规定的或从其加载的。

只有在预先选择 PTB 控制器 508 时，即通过 ATL 地址、UUT 类型、组地址或其它别名地址（见下述 SELECT_ALIAS 指令），才更新 Alias_Address 寄存器。如果 PTB 控制器 508 未被选择，则禁止 Alias_Address 寄存器的更新。Alias_Address 寄存器被构成以比 SELECT_ATL 寄存器长一位。这个被称为 Unique_Alias 位的附加位用于表示 Alias_Address 已经被编程到 PTB 504 上的专门别名地址。

在所示实施例中，Unique_Alias 位被实现为 Alias_Address 寄存器的最高有效位（MSB）。当 Unique_Alias 位设置为逻辑 1 时，可以启动被选 PTB 控制器以驱动它的 TDO 到 PTB 504 上。当分配专门别名地址时，测试控制器 502 确保任何这种别名地址对于相应的 PTB 控制器是特定的。当 ATL 复位时用所有的 0 地址加载 Alias_Address 寄存器。因而，清除每个 PTB 控制器中的 Unique_Alias 位，因此初始的别名地址不是唯一的，PTB 控制器未被启动以驱动 TDO。

SELECT_ALIAS—SELECT_ALIAS 指令将来自测试控制器 502 的别名地址串行加载到 SELECT_ALIAS 寄存器中，并将其与可编程 Alias_Address 寄存器比较。SELECT_ALIAS 寄存器被构成以具有与 Select_ATL 寄存器相同数量的位。如果 SELECT_ALIAS 寄存器中的别名地址与可编程 Alias_Address 寄存器的别名地址匹配，则 PTB 控制器 508 变为被选择。在比较 SELECT_ALIAS 寄存器与 Alias_Address 寄存器时，忽略了 Alias_Address 寄存器中的 Unique_Alias 位。因而，如果 SELECT_ALIAS 寄存器和 Alias_Address 寄存器匹配，则 Unique_Alias 位确定是否 PTB 控制器 508 激励其 TDO 以驱动到 PTB 504 上。由于可由这个指令选择多个 PTB 控制器，因此不能使特定的 PTB 控制器驱动 TDO 到 PTB 504 上，除非在编程 Alias_Address 寄存器时，测试控制器 502 已经设置 Unique_Alias 位。这样，当选择多个 UUT 时，测试控制器 502 并行地与所有 UUT 通信，即那些被编程到相同别名地址的 UUT，但是不启动 PTB 控制器 508 以驱动它的 TDO 到 PTB 504 上。

UNSELECT_ALL—载入 ATL 602 的 IR 中的 UNSELECT_ALL 指令使所有 PTB 控制器进入它们未被选择的状态。这就“不选择”由目前寻址模式（即 ATL 地址模式、UUT 类型模式、组模式或别名地址模式）所作的任何选择。UNSELECT_ALL 指令之后，PTB 控制器都不能启动以驱动 PTB 504 的 TDO。如果执行 IDCODE 指令，

UNSELECT_ALL 指令选择旁路寄存器或者 Device_ID 寄存器。

DIO_ACCESS — DIO_ACCESS 指令用于访问控制这些 DIO_UUT[n: 0]线的数据寄存器。它选择 PTB 504 的 TDI 和 TDO 之间的数字 I/O 电路 606 中的 DIO_UUT 寄存器。对于这个指令, ATL 602 不能使它的 TDO 驱动到 PTB 504 上, 除非预先用它的 ATL 地址或唯一的别名地址使其被选择。此外, 如果预先选择 PTB 控制器 508, 则 DIO_UUT 寄存器收集、移位和更新数据, 即通过 ATL 地址、UUT 类型、组地址或别名地址匹配。相应地, 如果唯一地选择 PTB 控制器 508, 则它可以被启动以在 PTB 504 上驱动其 TDO, 并且当前 DIO_UUT 寄存器内容可以被扫描输出并被测试控制器 502 检测。如果没有选择 PTB 控制器 508, 则不能进行 DIO_UUT 寄存器的移位、更新和收集操作。

从 DIO_UUT 寄存器扫描输出的数据还可选择地送到屏蔽和比较电路 604, 因此 DIO 数据可以用 MDI 进行屏蔽并与 PTB 的 EDI 信号比较。这使得在 UUT 的测试期间、从 UUT 接收来的数字 I/O 可以在每个 PTB 控制器中并行被检测。DIO_UUT 寄存器复位, 使得在 ATL 602 复位的任何时候, 所有的 UUT_DIO[n: 0]线都是输入端。

TMS_CONTROL—这个指令用于使 UUT TAP 控制器的操作与 ATL 603 的 TAP 控制器协调。它使得在连接的 UUT TAP 控制器保持在稳定状态时、测试控制器 502 能够与 ATL 602 连通, 或者, 当两个 TAP 控制器工作在锁定阶段中时, 测试控制器 502 可经过 ATL 602 与 UUT 连通。

TMS_CONTROL 指令选择 TMS_CONTROL 寄存器, 然后加载来自测试控制器 502 的 TMS 控制码。根据被加载到 TMS_CONTROL 寄存器中的 TMS 控制码, ATL 602 的 TMS_UUT 输出被控制在四个模式之一, 如下所述。

TLR_Mode— 在 TMS_CONTROL 寄存器的更新-DR 期间在 TCK 的下降沿将 TMS_UUT 强制为逻辑 1。这使 UUT 的 TAP 控制器移动到 Test-Logic-Reset（跟随至少 5 个 TCK 时钟）并保持在那，直到 UUT TMS 改回到 TLR_Mode 为止。还可以从其他 TMS 模式的任何一个进入 TLR_Mode。

RTI_Mode— 在 TMS_CONTROL 寄存器的更新-DR 期间在 TCK 的下降沿将 TMS_UUT 强制为逻辑 0。UUT TAP 控制器移动到运行-测试/空载（在 TCK 的下一个上升沿）并保持在那，直到 UUT TMS 改回到 TMS_Mode 或 TLR_Mode。从 TLR_Mode 或 TMS_Mode，或者在 RTI-Pause_Mode 中和在 UUT TAP 不等待在暂停-DR 或暂停-IR 时，可以进入 RTI-Pause_Mode。

RTI-Pause_Mode—RTI-Pause_Mode 控制 TMS_UUT，使得当交替选择/不选择 ATL 602 时，UUT TAP 控制器在保持在运行-测试/空载、和暂停-DR 或暂停-IR 之间交替。从 TLR_Mode、TMS_Mode，或者在 RTI-Pause_Mode 中和在 UUT TAP 不等待在暂停-DR 或暂停-IR 时，可以进入 RTI-Pause_Mode。

TMS_Mode —TMS_Mode 使 TMS_UUT 与 PTB 的 TMS 再同步，这取决于前一模式，之后跟随 PTB 的 TMS 的值。

如果预先选择 PTB 控制器 508，即通过 ATL 地址、UUT 类型、组地址或别名地址匹配，TMS_CONTROL 寄存器收集、移位和更新数据。因而，如果没有选择 PTB 控制器 508，则 TMS_UUT 输出保持在 TMS_CONTROL 寄存器中的每个编码的其最后受控值。同样，TMS_UUT 不改变 TRI-Pause_Mode 中的状态，以便在运行-测试/空载或暂停-DR/暂停-IR 之外同步，除非已经选择 ATL 602。

跟随 PTB 控制器 508 的复位在 PTB 504 上之后，TMS_CONTROL 寄存器复位，以便它用 TLR_Mode 控制 TMS_UUT 信号。相应地，UUT TAP 控制器保持在测试-逻辑-复位，直到 TMS 控制码随后被

TMS_CONTROL 指令改变为止。还可以复位 UUT TAP 控制器，或一组 UUT TAP 控制器，与 PTB 上的总 TRSTN 无关。例如，通过采用 GROUP_SELECT 指令，采用 TMS 复位、通过测试控制器 502 可以复位特定的一组 UUT，同时保持（即未选择）UUT TAP 控制器等待在运行-测试/空闲。通过设置被选组中的 TMS_CONTROL 寄存器为 TLR_Mode，可以在该组 UUT 上进行的 TMS 复位，同时 ATL 602 移动到运行-测试/空载和时钟 TCK。下面介绍 TMS 控制模式之间的转换。

RTI-Pause_Mode 允许两个或更多个 UUT 的有效控制，以便可以分开扫描它们，但是同时执行它们的更新-DR 或更新-IR 状态。例如，这个模式可以用于进行系统中的板对板互连测试。通过使 TMS 控制模式设置为 RTI-Pause_Mode 和 UUT TAP 控制器处于运行-测试/空载，随着 ATL TAP 通过运行-测试/空载，被选 ATL 变得与 UUT TAP 控制器同步，然后，TMS_UUT 跟随 PTB TMS，直到 ATL 602 进入暂停-DR 或暂停-IR 状态为止。进入暂停-DR/IR 状态之一使 TMS_UUT 被控制到逻辑 0，其强制 UUT TAP 控制器保持在相应的暂停-DR/IR 状态。当选择 ATL 602 和然后进入相应的暂停-DR 或暂停-IR 状态时，ATL 602 和 UUT TAP 控制器变为同步，并且 TMS_UUT 再次跟随 PTB 504 的 PTB TMS。接着，当 ATL 602 然后进入运行-测试/空载时，它使 TMS_UUT 被控制到逻辑 0，强制 UUT TAP 再一次保持在其运行-测试/空载状态。这个同步/保持在运行-测试/空载或暂停-DR/IR 的序列继续进行，只要 RTI-Pause_Mode 处于有效状态。

当接下来用于 TMS_Mode 的控制码更新 TMS_CONTROL 寄存器时，TMS_UUT 输出不根据先前的稳定状态改变，即测试-逻辑-复位、运行-测试/空载、暂停-DR、或暂停 IR，直到 ATL TAP 控制器进入运行-测试/空载或相应的暂停-DR 或暂停-IR 状态为止。这些

状态是同步或触发状态。在进入适当的同步状态后，相应地控制 TMS_UUT 信号以便从其先前状态转变 UUT TAP，如由前一 TMS 模式确定的，以便与 ATL TAP 控制器触发状态同步。一旦两个 TAP 控制器具有同步状态，TMS_UUT 跟随 PTB 504 的 TMS，并且 ATL 602 和 UUT 中的 TAP 控制器工作在锁定阶段，只要 PTB 控制器 508 保持被选择。为同步提供触发状态，使得测试控制器 502 能够继续与其它 PTB 控制器连通，然后在与 PTB 控制器连通之后将 UUT 转变回到 TMS_Mode。

当 TMS_UUT 被控制在 TMS_Mode 时（即跟随 PTB TMS），指令和数据被扫描到 ATL 602 和 UUT 中，因为它们之间的扫描路径是链接在一起的。因而，使 TDO_UUT 输出能传出数据给 UUT，所以当 ATL TAP 控制器处于移位-DR 或移位-IR 时，扫描数据被传送到 TDO_UUT 到 UUT 的 TDI。取决于加载到 ATL IR 和 UUT IR 中的指令，ATL 602 中的任何数据寄存器可以与 UUT 中的任何数据寄存器链接在一起。因此，例如，ATL 602 的 DIO_UUT 寄存器可以链接到 UUT 的内部扫描寄存器。当 TMS_UUT 输出被控制到任何其它 TMS 模式时，TDO_UUT 输出不能被驱动传出，即它保持在高阻抗状态。

在 PTB 控制器 508 变为不被选择之前，控制 TMS_UUT 输出，以便 UUT TAP 控制器保持在运行-测试/空载（例如通过用 RTI_Mode 加载 TMS_Control 寄存器）。这就确保当未被选择时，UUT 不保留在 TMS 控制模式，以便它们继续跟随 PTB 的 TMS。在目前公开的 PTA 500 的实施例中，PTB 控制器 508 对此进行自动控制。当 PTB 控制器 508 处于 TMS_Mode 时，并且当它随后变为未受选择时，暂时控制 TMS_UUT 输出，以便在 ATL TAP 控制器进入运行-测试/空载触发状态时进入 RTI_Mode。当 PTB 控制器 508 接着变为受选择时，在 ATL TAP 控制器通过运行-测试/空载之后，TMS_UUT 开始

跟随 PTB 504 的 TMS。这样，当处于 TMS_Mode 时，PTB 控制器 508 确保在其变为未受选择时、UUT 不继续跟随 ATL TAP 控制器的 TMS。

COMPARE_STATUS — COMPARE_STATUS 指令选择屏蔽和比较电路 604 中的 Compare_status 寄存器。测试控制器 502 可以用这个指令读取或清除每个 PTB 控制器 508.1-508.n 的通过/无效状态，并控制该屏蔽和比较电路 604 的各种功能。

在目前公开的 PTA 500 的实施例中，Compare_status 寄存器是一个 3 位数据寄存器。一位用做通过/无效_状态位，当由屏蔽和比较电路 604 检测到错比较时，设置该通过/无效_状态位。然后测试控制器 502 可以读取 Compare_status 寄存器以检测是否发生错比较，即设置通过/无效_状态位。它还可以清除通过/无效_状态位，即跟随错比较，以便从被清除的状态开始新的测试。Compare_status 寄存器中的第二位 (Compare_Enable) 用于启动/禁止比较功能，并且第三位 (TLR_Enable) 在有缺陷时启动/禁止强制 UUT 进入 TLR_Mode。

如果预先选择 PTB 控制器 508，即通过 ATL 地址、UUT 类型、组地址或别名地址匹配，Compare_status 寄存器收集、转移和更新数据。当 PTB 控制器 508 复位时，清除 Compare_status 寄存器，以便通过/无效_状态位被复位到通过状态，并且启动比较_启动和 TLR_启动功能。

AUTO_START — AUTO_START 指令选择 PTB 自动启动电路 608 中的 Auto_Start 寄存器。测试控制器 502 采用这个指令查询被输入给 PTB 自动启动电路 608 的 UUT_PRESENT、并启动或禁止输出到 PTB 504 的 START。在目前公开的 PTA 500 的实施例中，Auto_Start 寄存器是 2 位 DR，其中第一位收集 UUT_PRESENT 线的状态，第二位控制是否 START 线是否 PTB 504 上被启动。如果预先选择 PTB 控制器 508，即通过 ATL 地址、UUT 类型、组地址或

别名地址匹配，Auto_Start 寄存器收集、转移和更新数据。当 PTB 控制器 508 复位时，清除 UUT PRESENT 位并禁止 START。

PROGRAM_IOV —PROGRAM_IOV 指令选择可编程 I/O 电压电路 610 中的 IO_Voltage 寄存器并用于编程 UUT 接口电压。在目前公开的实施例中，IO_Voltage 寄存器是编码四个可编程电压电平的 2 位 DR，例如 5V、3.3V、USER_SUPPLIED 和“关断”。如果预先选择 PTB 控制器 508，即通过 ATL 地址、UUT 类型、组地址或别名地址匹配，IO_Voltage 寄存器收集、转移和更新数据。当 PTB 控制器 508 复位时，IO_Voltage 寄存器被设置为关断。

PTB 桥接

需要高度并联能力的并行测试结构 (PTA) 的实施可能受到在并行测试总线上所能支持的 PTB 控制器的数量的限制 (由于电负载、传输距离或其它设计限制)。相应地，目前公开的 PTA 提供用于两个并行测试总线 (PTB) 之间的桥接。这使 PTA 能够有效地并行测试任何合适数量的 UUT。这种能力是晶片探测器测试应用和高生产率板测试站所需要的。

图 8 示出了 PTB 桥接电路 800 的示意性实施例。PTB 桥路 800 与 PTB 控制器 508 (见图 6) 相同的地方在于它包括 ATL (未示出) 和并行测试总线 (PTB) 上的地址，图 8 中其表示为 PTB_ADDR[n:0]。这个 PTB 地址可独立于 ATL 地址并且大得足以支持给定 PTA 系统中的总量 PTB 桥路。图 8 示出了在两个 PTB (即 PTB_0 804.0 和 PTB_1 804.1) 之间连接的 PTB 桥路 802，并伴随有用于 PTB 桥接功能的电路 806。PTB 桥路将一个 PTB (如源 PTB) 连接到另一 PTB (如桥接、或链接的 PTB)。在图 8 中，PTB_1 804.1 桥接到源 PTB_0 804.0。

图 10-11 分别表示 PTA 的桥接 PTB 配置 1000 和 1100 的示意性实施例。如图 10 和 11 所示，N+1 个 PTB 经过 N 个 PTB 桥接电路 1002.0-1002.N-1 (即 PTB_0 1004.0 到 PTB_N 1004.N) 被链接，并

且每个 PTB 1004.0 到 1004.N 支持高到 n 个 UUT。这个配置 1000 可以利用相对很少的 PTB 桥路支持大量 UUT。图 11 中的所示桥接 PTB 配置 1100 包括 N 个链接 PTB 1104.0 到 1104.N，每个连接到相应的 PTB 控制器 1108.0 到 1108.N。通过这种方式，可以很容易扩展 PTA 以容纳大量 UUT 1106.0 到 1106.N。利用可寻址 PTB 控制器和用于每个 UUT 的 PTB 桥路，PTA 系统不限于支持由多点总线连接的特定数量的 UUT。应注意的是，在结构 1000 和 1100 中，ATL 地址空间支持用于 PTB 控制器的专门地址。这样，在图 10 中，如果 $N=2$ 和 $n=12$ ，则需要 14 个专门 ATL 地址。在这种情况下，有用于 PTB 桥接电路的 2 个专门 PTB 地址。在图 11 中，如果 PTB 控制器和 PTB 桥路组合到一个电路中，如参考标记 1120 所示，则可以组合 ATL 和 PTB 地址（即对于 $n=12$ 只需要 12 个专门地址），它们的至少某些相关指令可以合并。应该理解的是，PTB 桥接电路的其它结构也是可以的。

如图 8 所示，在 PTB 桥路 802 中有两个寄存器，具体而言，是 Source_REG 812 和 Link_REG 814。Source_REG 812 由来自源 PTB_0 804.0 的 TCK 计时，Link_REG 814 由 TCK_LINK 时钟计时，它对链接的 PTB_1 804.1 计时。因此，PTB 桥路 802 缓冲源 PTB_0 804.0 的 TCK 时钟，并用其计时用于连接到 PTB 桥接电路 800 的链接侧上的 PTB_1 804.1 的 PTB 信号。因而，当桥接两个 PTB 时，链接的 PTB 是从源 PTB 延迟的一个 TCK 周期。当测试控制器 502 通过链接的 PTB 通信时，它计算这个 TCK 链接周期并适当管理用于桥接 PTB 结构的 PTB 协议。可以为给定 PTA 结构实施任何数量的 PTB 桥路 802，对每个 PTB 桥路具有一个周期 TCK 延迟损失。

图 9 示出了两个链接 PTB804.0-804.1 之间的 PTB 桥路传输（见图 8）的时序图 900。如图 8 所示，PTB_0 804.0 的 TRSTN 信号和 PTB_1 804.1 的 TRSTN_LINK 信号通过 Source_REG 和 Link_REG 寄存器 812

和 814 被寄存。这要求在 PTA 的异步复位期间（即认定 PTB 的 TRSTN），TCK 通过每个 PTB 桥路计时 TRSTN 信号，如图 9 所示。在 PTA 的另一实施例中，PTB 桥路 802 的源和链接侧上的信号，例如分别为 TRSTN 和 TRSTN_LINK，可以通过 PTB 桥接电路 800 被缓冲（即不寄存）。

当 PTB 桥接电路 800 复位时，加载 BYPASS 指令（或如果执行的话，还有 IDCODE 指令）。此外，PTB 桥路 802 未被选择，即不能驱动其 TDO 到源 PTB_0 804.0 上，并且源 PTB_0 804.0 的 TDO 和链接 PTB_1 804.1 的 TDI_LINK 是不链接的。到源侧上的 PTB 桥路 802 的输入（即 TDI、TMS 等，如图 8 所示）保持链接到链接侧上的 PTB 桥路 802 的相应的输出（即 TDO_LINK、TMS_LINK 等），而与加载在 PTB 桥路 802 中的 ATL 指令无关。这样，PTB 桥路的 TAP 控制器工作在锁定阶段并利用测试控制器的。此外，测试控制器能经过 PTB 桥路与所有 PTB 控制器并行通信。

由于 PTB 桥路 802（见图 8）没有与其连接的 UUT，因此不需要 PTB 控制器 508（见图 6）的 UUT 相关指令。这样，PTB 桥路 802 中的 ATL（未示出）可以只响应被 PTB 控制器的 ATL 602 使用的指令的一个子集。相应地，在 PTB 桥路 802 的所示实施例中，用于 PTB 桥路 802 的 ATL 响应 BYPASS、IDCODE、EXTEST、PRELOAD 和 UNSELECT_ALL 指令。此外，PTB 桥路 802 执行 SELECT_PTBLINK_PTBLINK 和 UNLINK_ALL 指令（这些在下面介绍），以及可选的 LOAD_PTBLINK_ADDR 指令。因而，这些 PTB 桥接指令被 PTB 控制器 508 的 ATL 602 忽略。注意，PTB 控制器 508 中的 ATL 602 和 PTB 桥路 802 中的 ATL 在它们的 TAP 控制器中具有相同的 IR 长度。

PTB 桥接指令 LOAD_PTBLINK_ADDR、SELECT_PTBLINK 和 LINK_PTBLINK 说明如下。

LOAD_PTBLINK_ADDR — 当 PTB 桥路 802 提供用于加载 PTB 地

址时执行 LOAD_PTBR_ADDR 指令。在目前公开的 PTA 的实施例中，PTBR_ADDR 输入是到 PTBR 桥路 802 的直接并行输入，不执行 LOAD_PTBR_ADDR 指令。

当执行时，LOAD_PTBR_ADDR 指令使 PTBR 地址从 PTBR 桥路的 PTBR_ADDR 输入被收集到 PTBR_Address 寄存器中。取决于实施情况，该地址被串行加载或从 PTBR_ADDR 输入直接收集。ATL_Address 寄存器的大小即 $n+1$ 位，与由用并行 PTBR_ADDR 输入的执行所需要的大小相同。

SELECT_PTBR —SELECT_PTBR 指令用于根据其被分配的 PTBR 选择单个 PTBR 桥路。这个指令将 PTBR 地址从测试控制器串行加载到 SELECT_PTBR 寄存器中，并将其与到 PTBR 桥路 802 的 PTBR_ADDR 输入比较（或当执行时，到它的 PTBR_Address 寄存器，如被 LOAD_PTBR_ADDR 指令加载的）。SELECT_PTBR 寄存器被构成以具有与 PTBR_ADDR 输入（或 PTBR_地址寄存器）相同的大小，即 $n+1$ 位。当不执行 LOAD_PTBR_ADDR 指令时，SELECT_PTBR 指令将 PTBR_ADDR 输入收集到 SELECT_PTBR 寄存器中（即在 PTBR 地址从测试控制器转移之前的收集-DR 期间）。

如果 PTBR 地址与 PTBR_ADDR 输入（或 PTBR_Address 寄存器内容）匹配，则 PTBR 桥路 802 被选择。当采用 SELECT_PTBR 指令选择 PTBR 桥路 802 时，它的 TDO 被启动以驱动到 PTBR 上，并且可以访问 PTBR 桥路 802 的 DR（例如旁路寄存器、Device_ID 寄存器等）。PTBR 桥路 802 保持被选择，直到发布 UNSELECT_ALL 指令或 UNLINK_ALL 指令（下述），发布不选择这个 PTBR 桥路 802 的其它指令（例如加载用于 PTBR 控制器的 ATL 地址的 SELECT_ATL 指令）或 PTBR 桥路 802 被复位。在 SELECT_PTBR 指令之后，测试控制器可发布另一指令，如 BYPASS 或 IDCODE 指令，以验证 PTBR 桥路被选择，因此驱动数据到其 PTBR 的 TDO 上。

LINK_PT B — LINK_PT B 指令使经过 PTB 桥接电路(例如 PTB 桥路 802) 连接的两个 PTB (例如 PTB_0 804.0 和 PTB_1 804.1) 链接。在链接两个 PTB804.0-804.1 之前, 采用 SELECT_PT B 指令首先选择用于源 PTB_0 804.0 的 PTB 桥路 802。LINK_PT B 指令之后, PTB 桥路 802 的 TDO 被启动以驱动到源 PTB_0 804.0 上, 并链接 PTB_0 804.0 的 TDO 和桥接 PTB_1 804.1 的 TDI_LINK。

链接的 PTB 保持被选择和链接, 并且 PTB 桥接电路驱动它们的 TDO, 直到利用 UNLINK_ALL 指令(下述)使它们断开链接为止。链接的 PTB 不能由指令(如 UNSELECT_ALL 或 SELECT_PT B)而不被选择, 它们首先不链接。这使得多个 PTB 能够保持链接, 以使 PTB 信号通过到链路中的下一个 PTB, 因此测试控制器可以向链接的 PTB 控制器发送指令。此外, 它使得来自被选择 UUT 的 TDO 数据可以被驱动回到测试控制器, 即通过 PTB 桥接电路。

UNLINK_ALL —UNLINK_ALL 指令用于不选择及不链接所有的 PTB 桥接电路。例如, 向 PTB 桥路 802 的 ATL 的 IR 中加载 UNLINK_ALL 指令, 使源 PTB_0 804.0 的 TDO 从桥接 PTB_1 804.1 的 TDI_LINK 断开链接, 并禁止 PTB 桥路 802 的 TDO 驱动到 PTB_0 804.0。此外, 所有的 PTB 控制器变为未受选择, 如用 UNSELECT_ALL 指令出现的情况。UNLINK_ALL 指令选择旁路寄存器, 或者如果执行 IDCODE 指令, 可选的是 Device_ID 寄存器。

参照图 14a 示出了采用并行测试结构 (PTA) 500 (见图 5) 进行多个被测试件 (UUT) 的并行测试的第一方法。图 14a 的方法表示测试控制器如何通过 PTB 与 PTB 控制器通信以访问 UUT 和 PTA 的各种功能。

如在步骤 1402 中所示, PTA 系统复位。这是通过测试控制器认定 PTB 的 TRSTN 为逻辑 0、或者在至少 5 个 TCK 时钟周期内设置 TMS 为逻辑 1 实现的。每个 PTB 控制器进入测试-逻辑-复位, 并且

它们的 IDCODE 指令（或如果不执行 IDCODE，则为旁路指令）在 IR 中被更新。进入测试-逻辑-复位还引起下列事件发生：

输出到 PTB 的 ATL 的 TDO 和它的 TDO_UUT 输出为三态的，TMS_UUT 被强制为逻辑 1（即 TLR_Mode 被加载到 TMS_CONTROL 寄存器中），并且 TRSTN_UUT 和 TCK_UUT 分别跟随 PTB 的 TRSTN 和 TCK。

清除 Compare_status 寄存器，Auto_Start 寄存器复位，以便禁止 START，并且 IO_Voltage 寄存器复位，以便关断接口电压。

Select_ATL、Select_Type、Group_Address、Select_Group、Alias_Address、Select_Alias 和 DIO_UUT 寄存器被复位到所有的零。所有 PTB 控制器都不选择，DIO_UUT[n: 0]线变为三态。

接着，UUT I/O 电压接通并且给 UUT 发出一个复位，如在步骤 1404 中所述的。可采用 SELECT_GROUP 指令以使用组寻址模式选择 PTA 系统中的所有 PTB 控制器。所有 0 的 SELECT_GROUP 寄存器值可用于此，在 PTB 复位时，Group_Address 寄存器复位到所有 0。接着，测试控制器采用 PROGRAM_IOV 指令设置用于 UUT 的接口电压。此时，测试控制器认定 TRSTN 并提供至少 5 个 TCK 时钟，以保证尚未执行 TRSTN 的任何 UUT 复位。此时所有的 UUT 复位 — 或者异步地通过 TRSTN_UUT 或借助 TMS_UUT 复位，如通过上述 5 个 TCK 时钟进行 — 并保持在测试-逻辑-复位。

然后测试控制器检验 PTA 系统，如在步骤 1406 中所述的。具体而言，可能发生下列事件：

测试控制器可以采用 SELECT_ATL 指令搜索 ATL 地址范围，并验证在每个地址上是否存在或不存在 PTB 控制器。通过首先更新 SELECT_ATL 寄存器中的被检查的 ATL 地址，可以确定在一个给定 ATL 地址存在 PTB 控制器。接着，测试控制器通过 Capture-DR 移动 PTB 控制器的 TAP 控制器。这使被选 PTB 控制器的 ATL 地址（如

果选择任何一个) 被收集在它的 SELECT_ATL 寄存器中。然后测试控制器移动到 Shift-DR 并采用特定测试图形全部扫描 SELECT_ATL 寄存器以检验扫描路径完整性。如果选择 PTB 控制器, 则该控制器检查 PTB 的 TDO 上的被扫描测试图形跟随的特定 ATL 地址。

一旦确定存在 PTB 控制器, 测试控制器可以进行 PTA 系统的任何必要的测试。

当完成这个步骤 1406 时, 测试控制器采用 UNSELECT_ALL 指令保持所有的 PTB 控制器为不选择, 并且应该保持 PTA 系统处于一种状态, 即使得 ATL 的地址寄存器设置到它们的复位状态, UUT 处于测试-逻辑-复位状态。此外, 测试控制器应该报告 PTA 配置和在 PTA 中发现的任何故障或问题。如果 PTA 正确执行功能, 测试控制器将该配置储存在包含在其中的存储器(未示出)中。

如步骤 1408 中所示, 关于测试控制器是否在并行测试或电路配置之前询问被连接 UUT, 做出一个决定。在测试控制器进行询问的情况下, 测试控制器在 PTB 上寻址每个 ATL, 如在步骤 1410 中所述。具体而言, 测试控制器采用 SELECT_ATL 指令选择每个 UUT。在测试控制器不进行询问时, 测试控制器开始并行测试或 UUT 的配置(configuration), 如在步骤 1412 中所示。具体而言, 如果已经执行 LOAD_UUT_ID 指令, 则在此时可加载 UUT 的 UUT_ID 寄存器, 并且测试控制器可检查它们。接着, 测试控制器通过采用 TMS_CONTROL 指令和设置 TMS_CONTROL 寄存器为 TMS_Mode, 来控制 ATL 的 TMS_UUT 输出以跟随 PTB 的 TMS。这使 UUT 扫描路径可经过 ATL 被访问。现在测试控制器可以检查在其中被执行的每个 UUT 的 ID 寄存器, 以及 UUT_ID 寄存器, 验证 UUT 类型和版本。然后测试控制器相应地给 UUT 分配组和别名地址。测试控制器保持每个 UUT 处于运行-测试/空载, 并在执行时发布 UNSELECT_ALL 指令。

接下来，通过首先选择多个 PTB 控制器，测试控制器进行 UUT 的并行测试和/或配置，如在步骤 1414 中所示。这是采用 SELECT_TYPE、SELECT_GROUP 或 SELECT_ALIAS 指令实现的。接着，使用 TMS_CONTROL 指令设置控制模式为 TMS_Mode，以便相应的 ATL 的 TMS_UUT 输出跟随 PTB 的 TMS。结果是，并行访问了所有的预先被选 UUT。在完成并行测试和配置操作时，测试控制器通过设置 TMS_CONTROL 为 RTL_Mode 而保持 UUT 在运行-测试-空载，并发出 UNSELECT_ALL 指令。

并行测试应用之后，测试控制器检查每个 PTB 控制器的 Compare_status 寄存器和记录它的通过/无效状态，如在步骤 1416 中所示。在检查之后，在准备下一测试时，PTB 控制器的 Compare_status 寄存器应该被清除。已经检查了所有的 Compare_status 寄存器之后，测试控制器发布 UNSELECT_ALL 指令。

一旦知道了每个 UUT 的通过/无效状态，可以对故障 UUT 进行进一步的调试和诊断，如在步骤 1418 中所示。用 SELECT_ATL 指令选择故障 UUT 的 PTB 控制器，然后用 TMS_CONTROL 指令设置 TMS 控制为 TMS_Mode，用于访问 UUT。现在测试控制器可以再次施加故障测试并检查 PTB 的 TDO 上的故障数据，用于诊断目的。当不访问 UUT 时，应该通过采用 TMS_CONTROL 指令和设置 RTI_Mode，使 UUT TAP 控制器处于运行-测试/空载状态。然后它们可以保持在该状态，直到为测试或配置目的再次访问它们为止。

参照图 14b 示出了采用并行测试结构 (PTA) 500 (见图 5) 对底板上的多个印刷电路板被测试件 (UUT) 进行板对板 (board-to-board) 互连测试的第二种方法。如步骤 1420 中所示，测试控制器采用 SELECT_GROUP 指令选择系统中的所有 UUT，采用 TMS_CONTROL 指令控制 TMS_输出为 RTI_Mode，并将所有 UUT TAP 控制器转移到运行-测试/空载模式。

接着，测试控制器配置这些 UUT，如步骤 1422 中所示。具体而言，测试控制器采用 SELECT_ATL 指令选择参与互连测试的 UUT 之一。然后测试控制器用 PROGRAM_ALIAS 指令分配别名地址并设置 Unique_Alias 位。接着，测试控制器采用 PROGRAM_GROUP 指令分配 1 的组地址。然后对要参与互连测试的每个 UUT 重复进行步骤 1422，使每个新的板被分配一个专门的别名地址。

如在步骤 1424 中所示，测试控制器开始加载 UUT 的 IR。具体而言，测试控制器采用它的别名地址选择被编程板之一，并采用 TMS_CONTROL 指令设置 TMS 模式为 RTI_暂停_模式。接着，测试控制器通过运行-测试/空载转变 ATL TAP 控制器，这使被选 ATL 和 UUT 的 TAP 控制器变为同步。然后测试控制器利用 EXTEST（或 PRELOAD）指令加载 UUT 的 IR，并用 SELECT_ALIAS 加载 ATL IR。然后，测试控制器转变 UUT TAP 为暂停-IR。UUT TAP 停留在暂停-IR，并且 ATL 进入运行-测试/空载状态。然后对参与互连测试的每个板重复步骤 1424。相应地，在步骤 1424 之后，每个 UUT 已经用 EXTEST 加载并等待在暂停-IR。

接下来，测试控制器更新 UUT 的 IR，如在步骤 1426 中所示。具体而言，测试控制器采用具有编程组地址（例如组地址 1）的 SELECT_GROUP 指令以选择参与互连测试的所有板。接着，测试控制器通过收集_IR 转变 ATL TAP 控制器，然后直接到暂停-IR。这使被选 ATL 的 TAP 控制器和与它们连接的相应的 UUT 变为同步。之后测试控制器将 ATL 和 UUT TAP 控制器转变为更新-IR。这导致所有 UUT 的同时 IR 更新。在此更新之后，进入运行-测试/空载状态，这使 UUT TAP 控制器保持在此。

如在步骤 1428 中所示，现在测试控制器可以施加测试矢量。具体而言，测试控制器采用 SELECT_ALIAS 指令选择 UUT 之一，然后加载它的 SELECT_Alias 地址寄存器。注意，测试控制器应避免

转变 ATL 的 TAP 控制器通过运行-测试/空载以保持 UUT TAP 控制器处于运行-测试/空载状态。接着，测试控制器用旁路指令加载被选 UUT 的 ATL，并转变 ATL TAP 控制器通过运行测试/空载，以使 UUT TAP 控制器与 ATL 同步。然后测试控制器转变 ATL 和 UUT TAP 控制器通过扫描互连测试矢量的收集-DR 和移位-DR。通过进入暂停-DR 而结束测试矢量扫描，这使 UUT TAP 控制器保持此状态。对参与互连测试的每个板重复进行步骤 1428，使每个 UUT 接收适当的互连测试矢量。相应地，步骤 1428 之后，每个 UUT 已经用测试矢量加载并停留在暂停-DR 中。

接着，测试控制器更新 UUT 的 DR，如在步骤 1430 中所示。具体而言，测试控制器采用具有编程组地址（例如组地址 1）的 SELECT_GROUP 指令选择参与互连测试的所有板。随后，测试控制器转变 ATL TAP 控制器通过收集-DR，然后直接到暂停-DR。这使被选 ATL 的 TAP 控制器以及与其连接的相应的 UUT 变为同步。然后测试控制器转变 ATL 和 UUT TAP 控制器到更新-DR。这导致所有 UUT 的同时 DR 更新。更新之后，进入运行-测试/空载，使 UUT TAP 控制器保持在此状态。

如在步骤 1432 中所示，对是否由测试控制器施加下一互连测试矢量做出决定。如果是这样，流程返回到步骤 1428。注意，对于步骤 1428 中的第一扫描输入矢量，可以忽略初始收集-DR 数据。最后扫描输出操作之后，测试序列应该在步骤 1430 结束，由此更新 BSR 中的安全状态。

为结束板对板互连测试，测试控制器将使被选组地址中的 UUT 处于 RTI_Mode，如在步骤 1434 中所示。此外，测试控制器发布 UNSELECT_ALL 指令，以便 UUT TAP 控制器保持在运行-测试/空载状态，直到它们再次被选择为止。

前面已经介绍了并行测试结构（PTA）的示意性实施例，应该

理解，也可以做出其它替换实施例或改变。这些替换实施例和改变的例子说明如下。

ATL 和 PTB 控制器的替换实施例

图 6 中所示的 PTB 控制器 508 可以被实施为具有各种其它能力。例如，ATL 电路 602 能适合于接合到其它电路以便于测试 UUT。具体而言，PTB 控制器 508 可被构成以访问 UUT 上的多个扫描路径。多个扫描路径可串行或并行被访问。当串行访问扫描路径时，PTB 控制器 508 可提供 ATL 602 和 UUT 之间的扫描路径转换和链接能力。对于并行访问扫描路径，ATL 602 可接合到 PTB 控制器 508 和 UUT 之间的串入/并出和并出/串入转换电路，或 ATL 602 可包括这些转换，作为其电路的一部分。此外，ATL 602 可被构成以控制 UUT 侧上的扫描协议而不是 IEEE 1149.1，例如多路复用 D 触发器 (DFF) 或电平灵敏扫描设计 (LSSD)。此外，PTB 控制器 508 可被实施，以使得单个 PTB 控制器可以访问多个 UUT。这将允许共享 PTB 504 上的 ATL 602，但仍然允许其它 PTB 控制器功能专用于单个 UUT，如屏蔽和比较以及 DIO 电路 604 和 606。此外，仍然可以并行或单独访问 UUT，如图 6 中所示的实施例那样，其中 UUT 选择是经过 UUT_Select 寄存器和来自 UUT 的 TDI_UUT 信号的多路传输实现的。

屏蔽和比较电路 604 还可具有各种其它功能。例如，第一故障测试信号可如此执行，以至于只要发生扫描数据错比较，屏蔽和比较电路 604 将给测试控制器 502 发送信号。这个信号可采用 PTB 504 的 TDO 线来实现，因为在用于比较期望数据的并行测试期间不需要用它。在这种情况下，一旦检测出故障，PTB 的 TDO 线将被屏蔽和比较电路 604 而驱动到逻辑 0。另外，屏蔽和比较电路 604 中可包括故障计数器，因此它将计数在比较操作期间出现故障的扫描位或扫描位的数量。

屏蔽和比较电路 604 附加地包括特征寄存器,用于压缩来自 UUT 的响应数据。这可以实施为串行或多个输入特征寄存器(分别为 SISR 或 MISR)。在这种情况下,在测试 UUT 之后将对特征进行用于通过/无效的检测。应注意到,在特征测试期间不使用 EDI 线,然而可使用 MDI 线以屏蔽被输入到 SISR 或 MISR 的不确定响应,由此获得确定特征。

此外,在 PTA 500 的其它实施例中,PTB 控制器 508 可包括能用于给 UUT 输送测试图形的图形产生电路,如线性反馈移位寄存器(LFSR)。通过提供 LFSR 和 SISR/MISR,PTB 控制器 508 能有效地施加内置自测试(BIST)给 UUT。此外,PTB 504 还可包括 XDT(扩展数据输入)信号,它可用于从 LFSR 或 PTB 的 TDI 信号选择扫描输入数据给 UUT。相应地,XDI 线可“屏蔽”PTB 504 的 TDI 数据(其中屏蔽数据设有来自 LFSR 的随机数据)。

在 PTA 500 的另一替换实施例中,一个或多个 DIO_UUT 线可由 ATL 602 自动控制或连续轮询,例如,如可编程时钟或中断信号一样,它们可被 UUT 使用用于测试或可编程配置目的。在提供可编程中断的地方,在发生中断事件时,ATL 602 可连续监控 DIO_UUT 线的状态和依次在 PTB 的 TDO 上将信号返回给测试控制器 502。此外,除了上述那些之外,TAP 控制器指令可被设置在 ATL 602 中以支持其它对 PTA 500 的扩展。

PTB 的替换实施例

应该理解,PTB 504 不限于特定的一组信号或特定总线实施,除了图 5-6、8 和 10-13 中所示的那些实施例之外,还可以具有很多其它实施例。PTB 504 可设有各种其它能力,这取决于例如特定并行测试应用、UUT 的数量、和/或对多个 UUT 的并行通信的成本和性能要求。

例如,PTB 504 的另外的实施例可包括附加信号,以便于用于

UUT 506.1-506.n 的辅助测试、调试或配置能力。作为这样的例子的信号如下：用于 UUT 506.1-506.n 的高速系统时钟、用于 PTB 504 的主时钟、用于支持模拟测试和测量（如下所述）的信号、或 XDI 信号。

PTB 504 的结构和电气配置还可以改变以适合特定的实施。例如，随着可以得到新的电路技术，新的 PTB 实施可以启动更高的速度和/或更长的传输距离。具体而言，通过配置 PTB 以采用低压差分信令（LVDS）总线技术，PTB 信号可实施为差分信号对，以实现高性能 PTB。另外，PTB 504 可以以各种集成水平实现。例如，可以形成在 PCB 上作为系统底板的一部分，或者通过从 PTA 测试器到 UUT 506.1-506.n 所设置的电缆线路。

在另一替换实施例中，PTB 504 可设有减少量的物理 PTB 线或布线。为说明这个实施例，图 7 示出了可寻址 TAP 链路（ATL）702 与并行测试总线（PTB）704 的替换连接 700。如图 7 所示，EDI 和 MDI 线在 PTB 704 的 TDO 线上被多路传输。这可能因为在并行测试和检验期间、通常不使用 TDO 线与 EDI 和 MDI 线连接，而是在实际扫描输出数据发送回到 PTB 704 上的测试控制器时。在 PTB 704 中，TDO 线被实现为双向信号。TDO 在并行测试期间用做对 ATL 702 的输入，并在实际 TDO 数据被发送回到测试控制器时用做来自 ATL 702 的输出。在并行测试应用期间，EDI 和 MDI 信号穿过图 7 的单个 TDO 布线在不同的 PTB 时钟周期中被发送，然后它们被包含在 ATL 702 中的 EDI/MDI 提取电路 730 提取。这需要 PTB 704 的 TCK 时钟速度是 UUT 的两倍（即 2X）。这样，利用分开的 EDI 和 MDI 线并以 PTB 的一半的速度传输数据到 UUT 和从 UUT 接收数据。这可以导致实施成本被减少。在应用和技术允许的地方，PTB 的其它实施例可进一步减少物理布线。此外，由于技术允许，也可以实现采用无线通信实现的 PTB，并在对并行的多个 UUT 访问方面可提供

附加的优点。

在测试控制器 502 和 PTB 控制器 508.1-508.n 之间采用多个 PTB 504，可以实现 PTA 500（见图 5）的又一替换实施例。例如，可采用两个独立的 PTB，其中第一个 PTB 连接到相应 PTB 控制器并用于访问与其连接的 UUT，第二个（即分开的）PTB 也连接到相同的 PTB 控制器，并专用于访问此 PTB 控制器的 DIO。通过提供并行的多个扫描数据流，这个实施例提供更高的 PTA 的总处理能力。

具有模拟测试能力的 PTA

PTA 500（见图 5）可扩展到测试数字电路之外，并可附加地提供混合信号（即模拟和数字电路）测试能力。图 12-13 分别表示 PTA 的两个替换实施例 1200 和 1300，它们采用在 IEEE 1149.4 混合信号测试总线标准规范（其在此被引用供参考）中所述的 IEEE 1149.4 混合信号测试总线标准支持模拟测试。除了 IEEE 1149.1 TAP 信号之外，如图 1-3 所示，IEEE 1149.4 标准包括两个模拟总线信号 AT1 和 AT2，它们是用于 IEEE 1149.4 模拟测试访问端口（ATAP）的两个强制性模拟管脚。AT1 是到 UUT 的模拟输入管脚，用于给 UUT 施加恒定激励电流，AT2 是来自 UUT 的模拟输出，用于测量结果电压。

IEEE 1149.4 标准作为对 IEEE 1149.1 标准的扩展而发展，包括 AT1/AT2 模拟测试总线和 ATAP。IEEE 1149.1 标准被设计成利用标准 IEEE 1149.1 架构作为基础结构，例如采用用于模拟互连测试的 EXTEST 指令。它还定义了用于边界扫描寄存器的新模拟边界模块（ABM），它们经过 AT1/AT2 模拟测试总线提供用于模拟测试和测量能力。IEEE 1149.4 标准主要目的是提供对模拟信号和分量测试制造相关互连缺陷（例如加载短路、断开、或错误值分量）。然而，AT1/AT2 模拟测试总线还可用于提供模拟测量能力，例如电阻分量或 DC 参数测试的阻抗测量。内部芯片测试还可以采用 IEEE 1149.4 标准进行，例如嵌入模拟芯的内部测试。

由于施加模拟激励和测量结果响应的特性，与数字测试相比，模拟测试和测量相对较慢并耗时。例如，简单的模拟测试需要 DC 或 AC 电流或电压作为测试激励施加于被测试电路，然后测量和分析所得到的模拟响应。这通常要求模拟检测设备或 ATE 首先转换到被测试电路，然后被控制以施加和测量适当的模拟测试。模拟检测设备的转换和随后的操作通常发生在每项测试 / 测量为几毫秒的数量级上。这与数字测试形成对比，数字测试可以在更少时间的多个数量级内实现。同样，例如在板制造测试期间或在晶片探测器测试期间需要并行模拟测试。例如，这个模拟测试能力可用于提供数字 I/O 的 DC 参数测试或用于监视和使半导体制造工艺特性化。在这种情况下，与一般分立晶体管结构和用在硅晶片上的管芯之间的晶片探测器焊盘不同，这些测试结构可以放置在芯片上并用 IEEE 1149.4 标准访问。

图 12 示出了模拟并行测试总线 (APTB) 结构 1200，其表示 PTB 如何能够扩展以提供附加的 IEEE 1149.4 模拟测试总线信号，AT1 1240.1 和 AT2 1240.2。图 12 除了数字 PTB 1204 之外还表示了 AT1 和 AT2 线 1240.1—1240.2，以及耦合到模拟施加和测量设备单元 1260 上的模拟公共地 1242。AT1 和 AT2 线 1240.1—1240.2 在图 12 中作为分开的总线示出，以便于清楚说明，但是通常被认为是构成 APTB 1244 的一种组合总线。AT1 和 AT2 线 1240.1—1240.2 通过相应的模拟开关 1250.1-1250.n 连接到每个 UUT 1206.1-1206.n 的 AT1 和 AT2 信号上。应注意，模拟单元 1260 可被实现为与数字测试控制器 1202 分开或组合。为清楚说明，图 12 示出了分别作为模拟和数字部分的模拟 PTB 结构 1200 的模拟单元 1260 和测试控制器 1202。图 12 还示出了模拟单元 1260 和测试控制器 1202 之间的通信链路 1270。模拟施加和测量设备单元 1260 可用 AT_Done 给测试控制器 1202 发送信号，表明完成了模拟测试，并且 PTB 控制器 1208.1-1208.n 可以

经过线 1272 上的 AT_Next 信号给模拟单元 1260 发送信号，以开始下一个模拟测试。当选择 PTB 控制器和已经为与其连接的 UUT 设置模拟测试时，控制 AT_Next 信号。

通过这种方式，模拟单元 1260 和测试控制器 1202 可以自动方式工作以在每个 UUT1206.1-1206.n 上施加和测量模拟测试。PTB 控制器 1208.1-1208.n 还提供用于相应模拟开关 1250.1-1250.n 的自动控制，这些开关将 APTB 的 AT2 和 AT2 线 1240.1-1240.2 连接到 UUT 1206.1-1206.n。应注意，为模拟测试设置的数字通常在大量 UUT 1205.1-1206.n 上并行执行，同时串行地为每个 UUT 正常进行施加和测量操作。

图 13 表示了 PTB 控制器 1300，其包括连接到 PTB 504 的 ATL 602、屏蔽和比较电路 604、数字 I/O 电路 606、以及可编程 I/O 电压电路 610，它们中的每个在前面已经参照图 6 说明了。PTB 控制器 1300 还包括模拟测试电路 1380，它提供具有模拟测试能力的 PTB 控制器 1300。通过增加模拟测试电路 1380，PTB 控制器 1300 提供 AT1_UUT 信号 1382.1、AT2_UUT 信号 1382.2 以及公共地 1384，用于模拟测试与其连接的 UUT。同样，包括 AT1_UUT / AT2_UUT 信号 1382.1-1382.2 以及模拟公共地 1384 的 IEEE 1149.4 模拟测试总线 1386 可以直接在多点 PTB 504 上从每个 PTB 控制器得到。此外，提供 IEEE 1149.4 测试总线 1386 用于并联的每个 UUT，而不是共享单个 APTB 1244，如图 12 所示。

模拟测试电路 1380（见图 13）通过数字接口与 ATL 602 通信，由此允许模拟测试电路 1380 通过测试控制器在 PTB 504 上被直接控制，即不需要经过 APTB 1386 或模拟部分（如模拟施加和测量设备单元 1260）进行访问。这样，对于 PTB 控制器 1300，AT1 和 AT2 信号 1240.1-1240.2 和模拟单元 1260 不存在，并且与 PTB 控制器 1300 一同采用的 PTB 504 和测试控制器 502 与图 5 中所示的 PTA 500

的相应元件相同。

模拟测试电路 1380（见图 13）包括模拟—数字转换（ADC）和数字—模拟转换（DAC）电路 1388，它能使模拟测试的“施加”和“测量”功能由数字数据转换 / 转换成数字数据，因此只使用数字测试控制器，所有的模拟测试都可以在 PTB 504 上用与 UUT 的其它数字测试相同的方式来完成。模拟测试电路 1380 被构成以在 AT1_UUT 信号 1382.1 上向 UUT 施加 DC 或 AC 电流，如由 DAC 电路 1388 控制。此外，模拟测试电路 1380 可在 AT2_UUT 线 1382.2 上测量所得到的 UUT 电压，然后将其从模拟转换成数字形式。模拟测试电路 1380 还包括模拟多路复用器 1389，它提供用于电压测量以在 AT1 1382.1 的公知负载的 AT2 1382.2 上采用，由此启动 AT1 / AT2 总线的校准。利用施加和测量操作的数字转换并结合 PTB 504 和 PTB 控制器 1300 的并行测试能力，包括多个 PTB 控制器 1300 的并行测试结构（PTA）允许模拟测试能够并行执行（例如同时在多个 UUT 上）。

本领域普通技术人员还应该理解，在不脱离这里公开的本发明的概念的情况下，可以对上述并行测试结构做出各种修改和改变。相应地，本发明不限于上述例子而是应该由所附权利要求书的范围和精神来限制。

IEEE 1149.1 边界扫描结构100

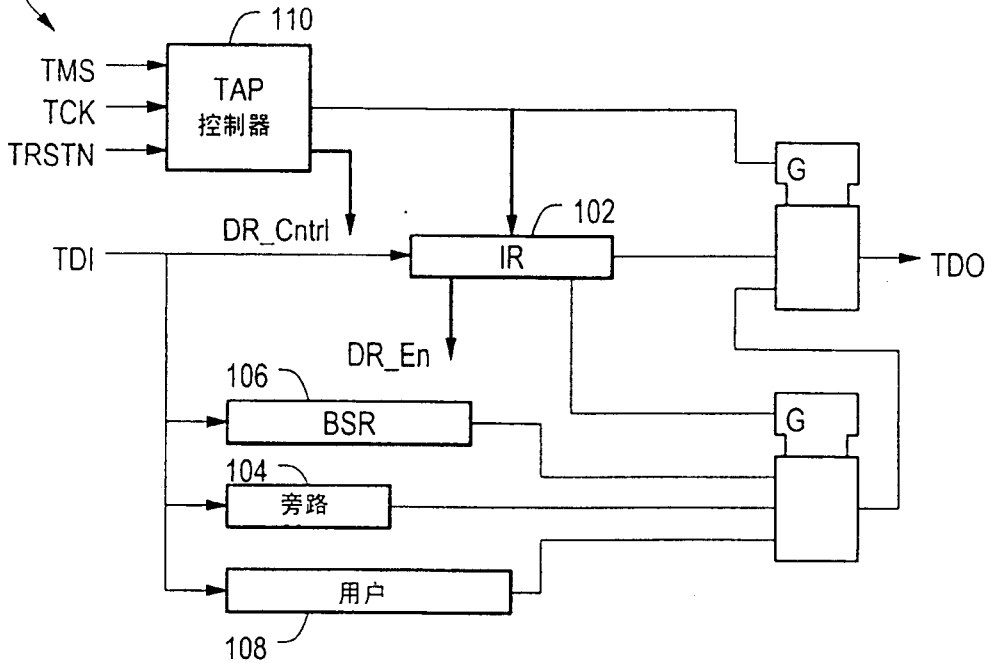


图1

现有技术

IEEE 1149.1 总线-菊花链结构200

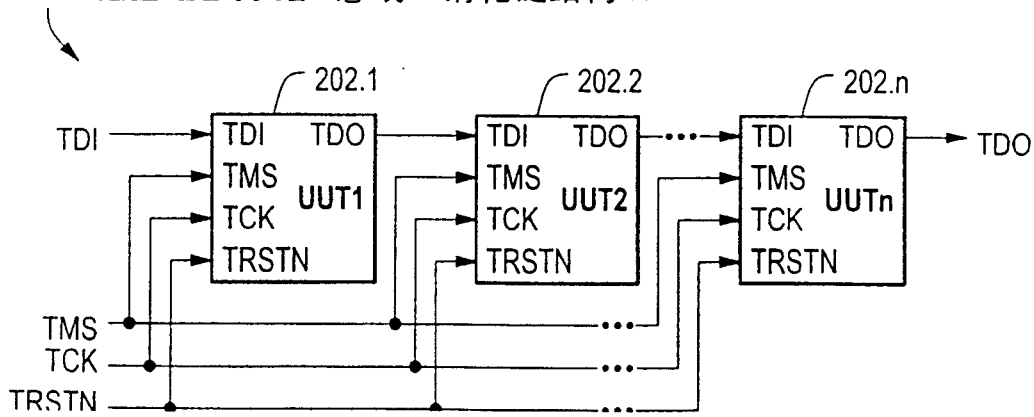


图2

现有技术

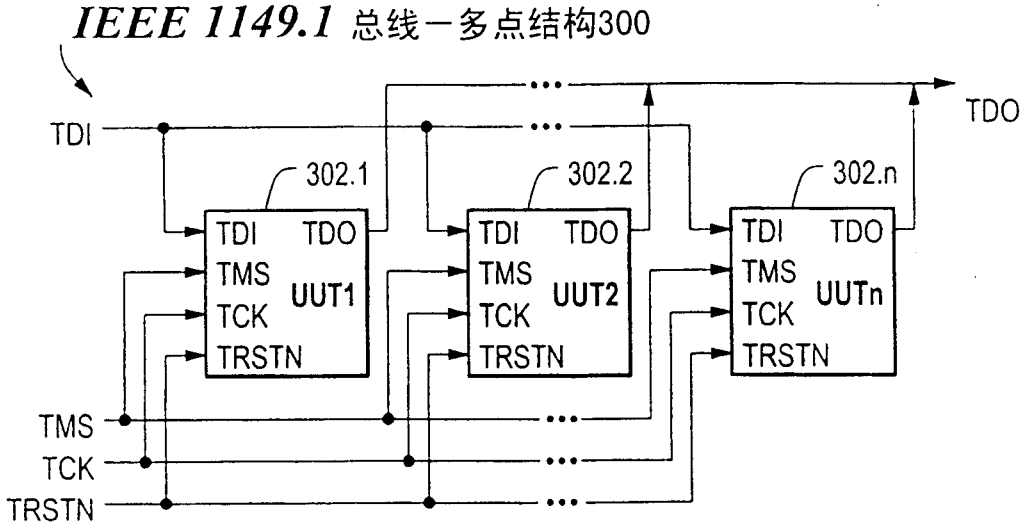


图3
现有技术

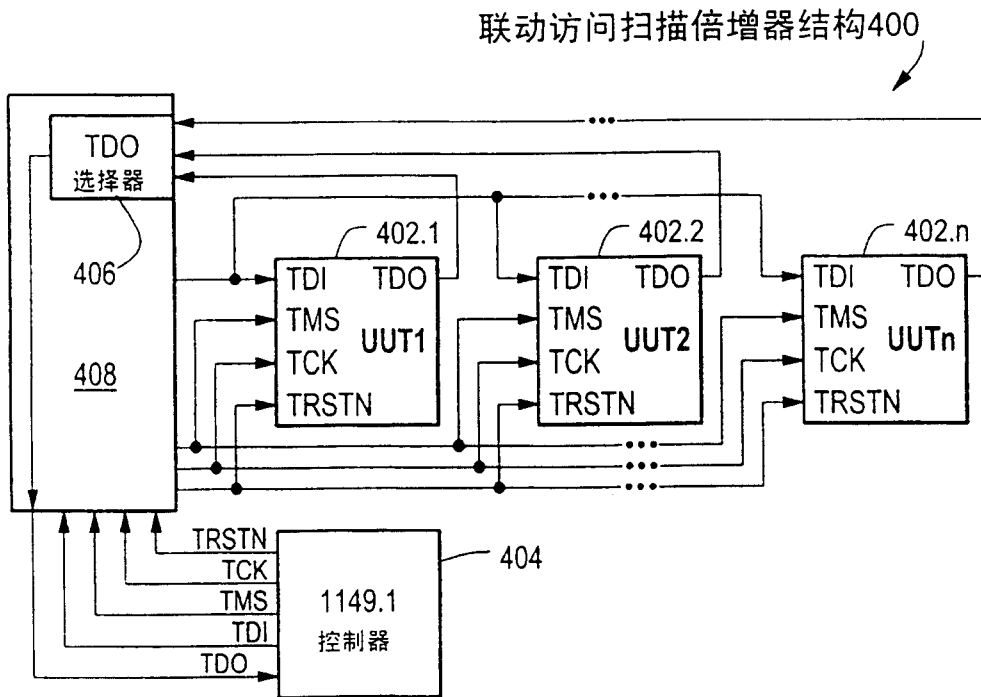


图4
现有技术

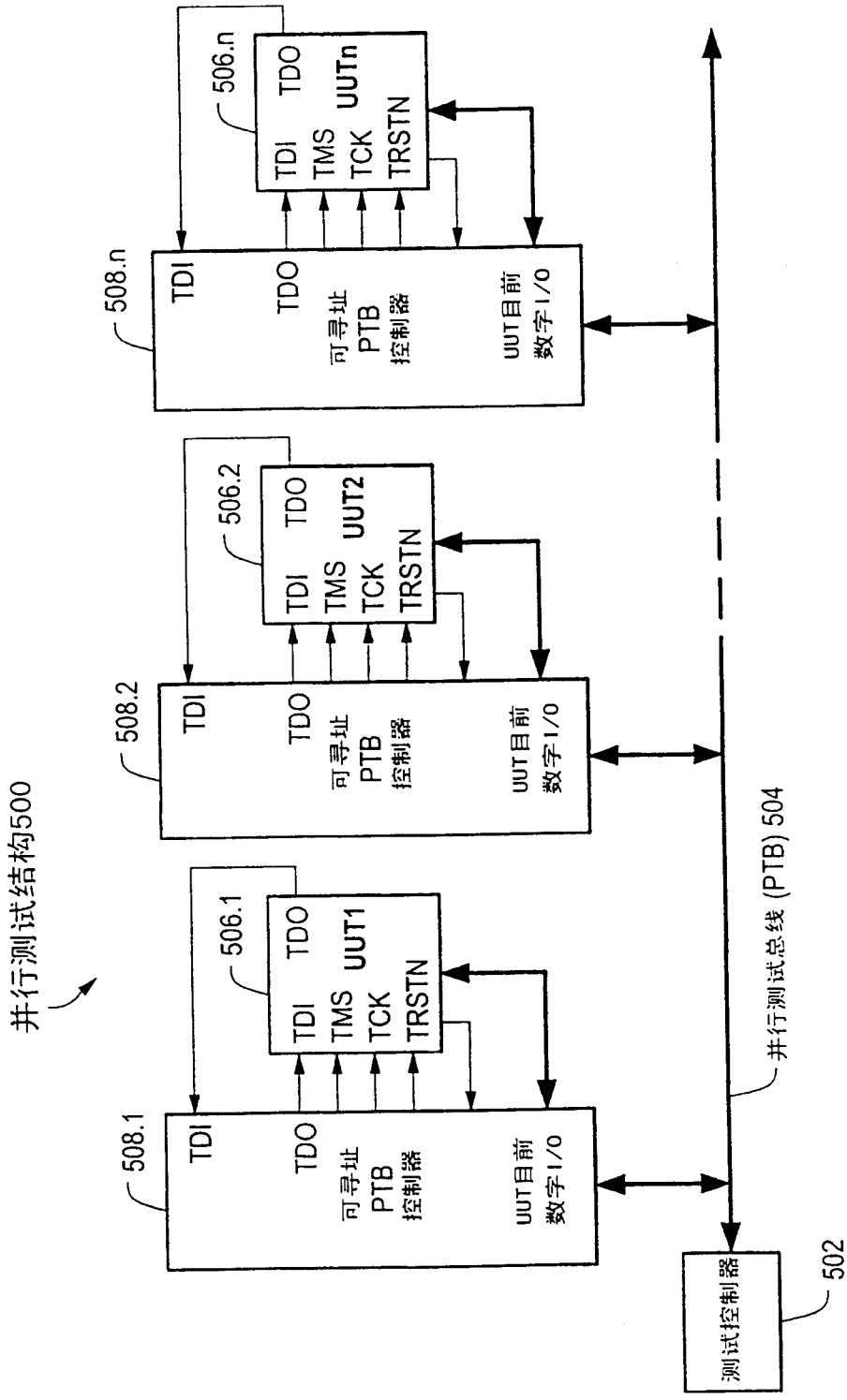


图5

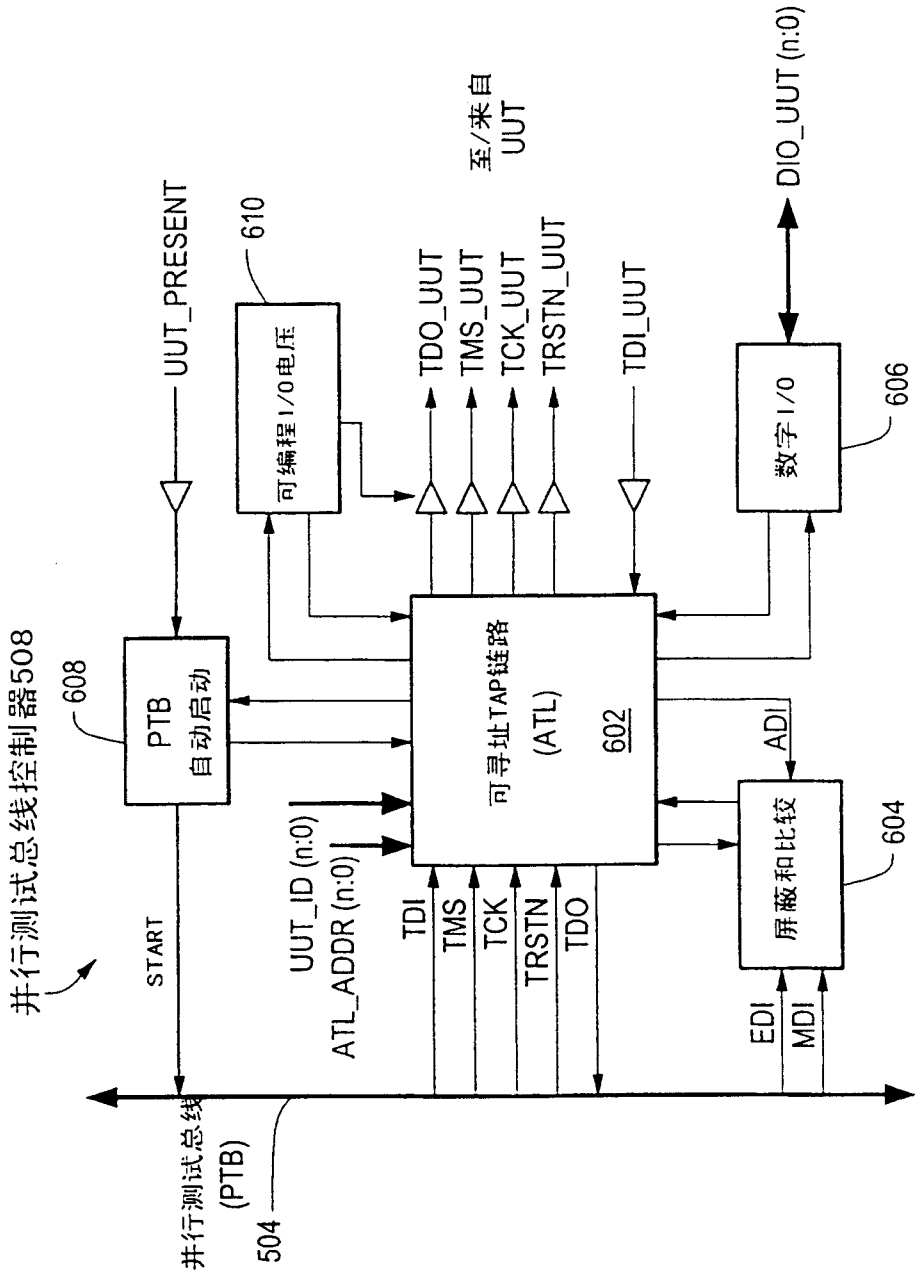


图6

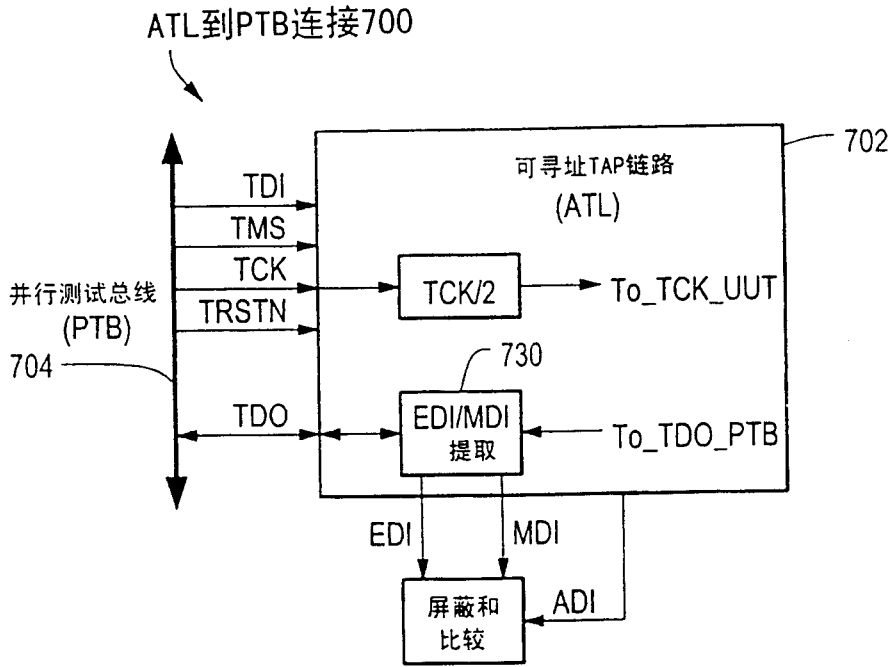


图7

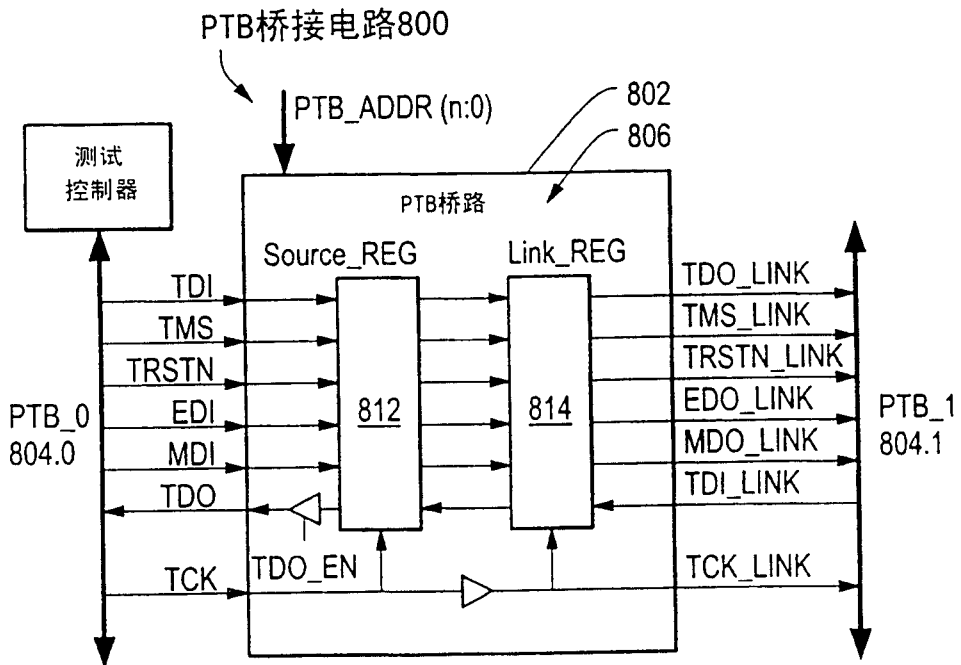


图8

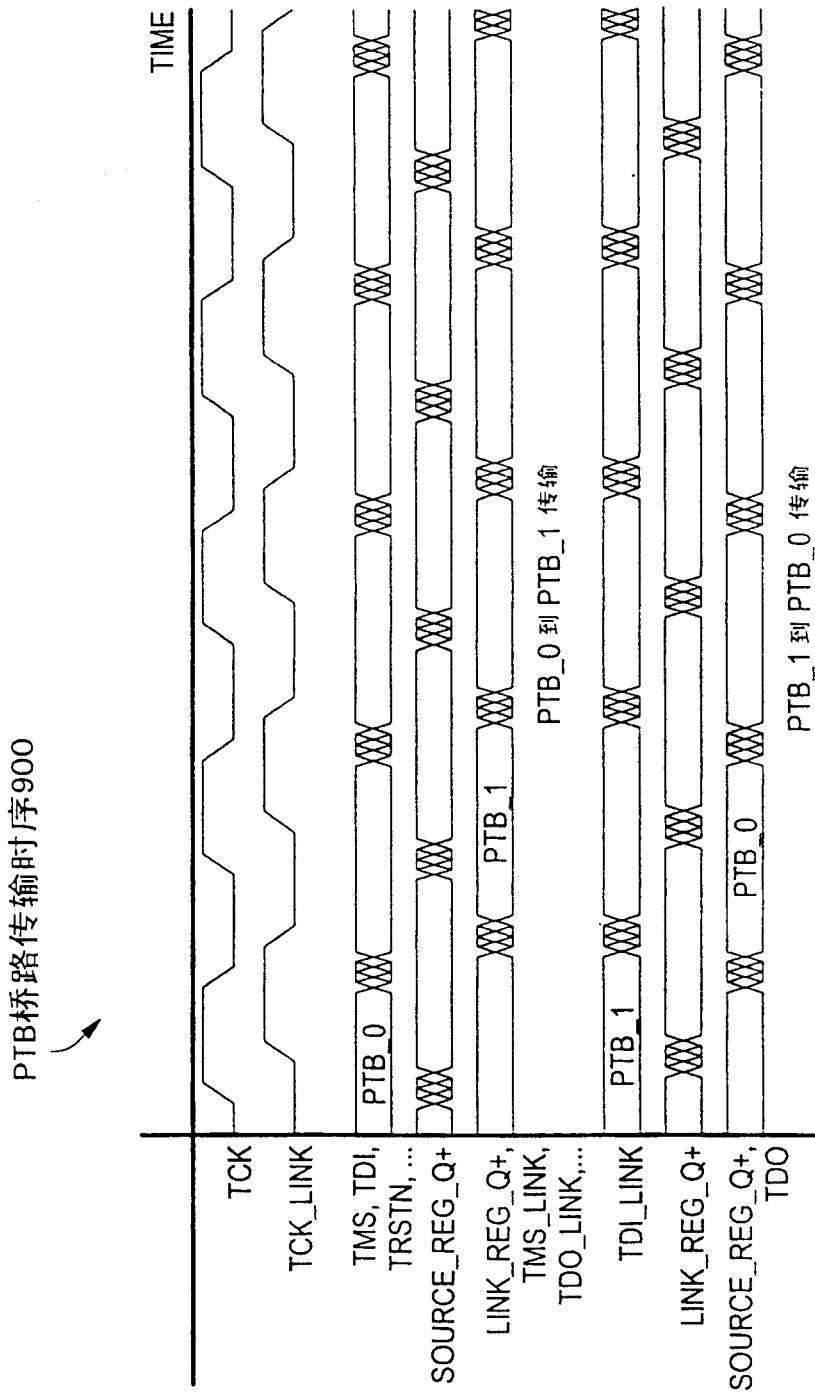


图9

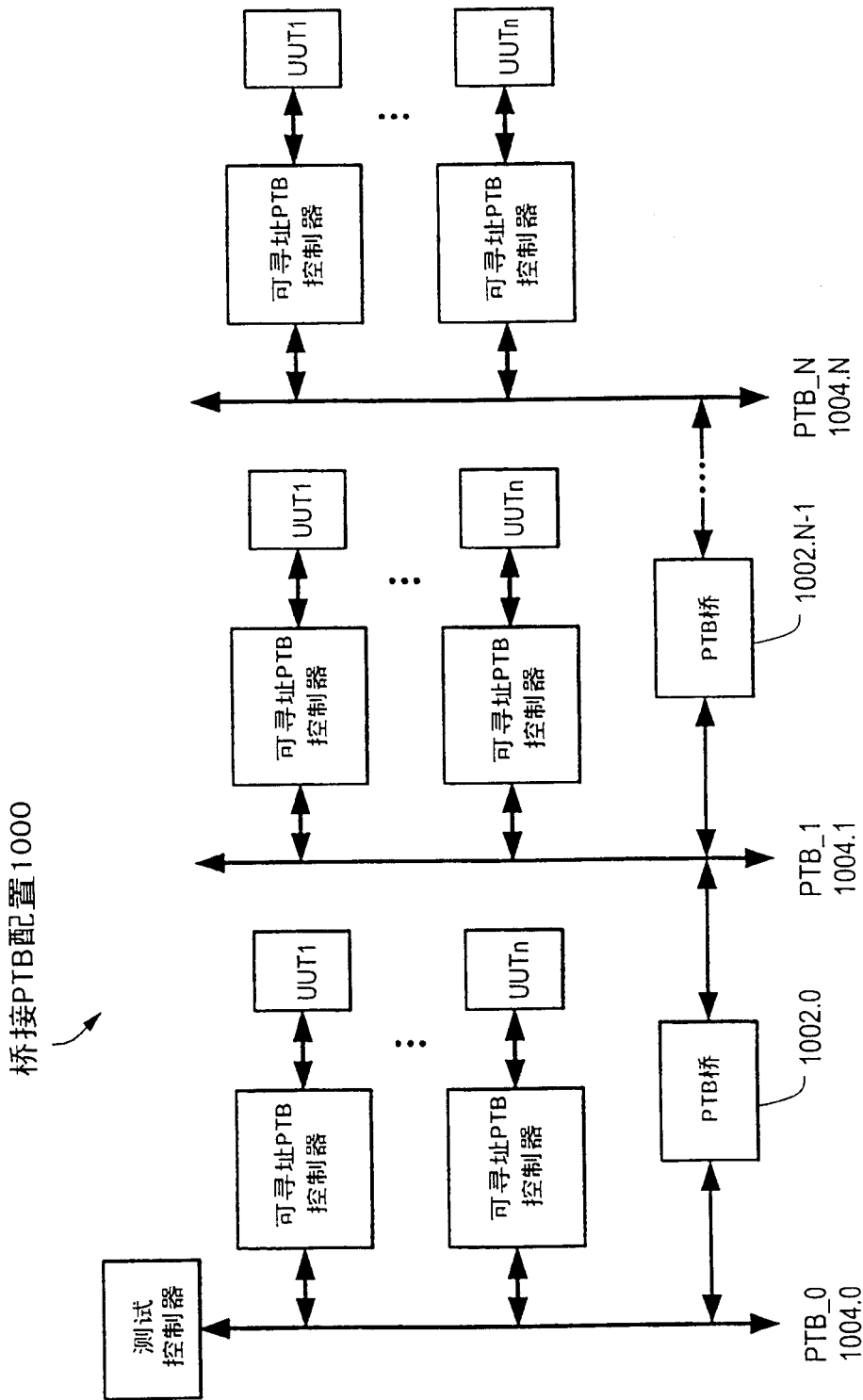


图10

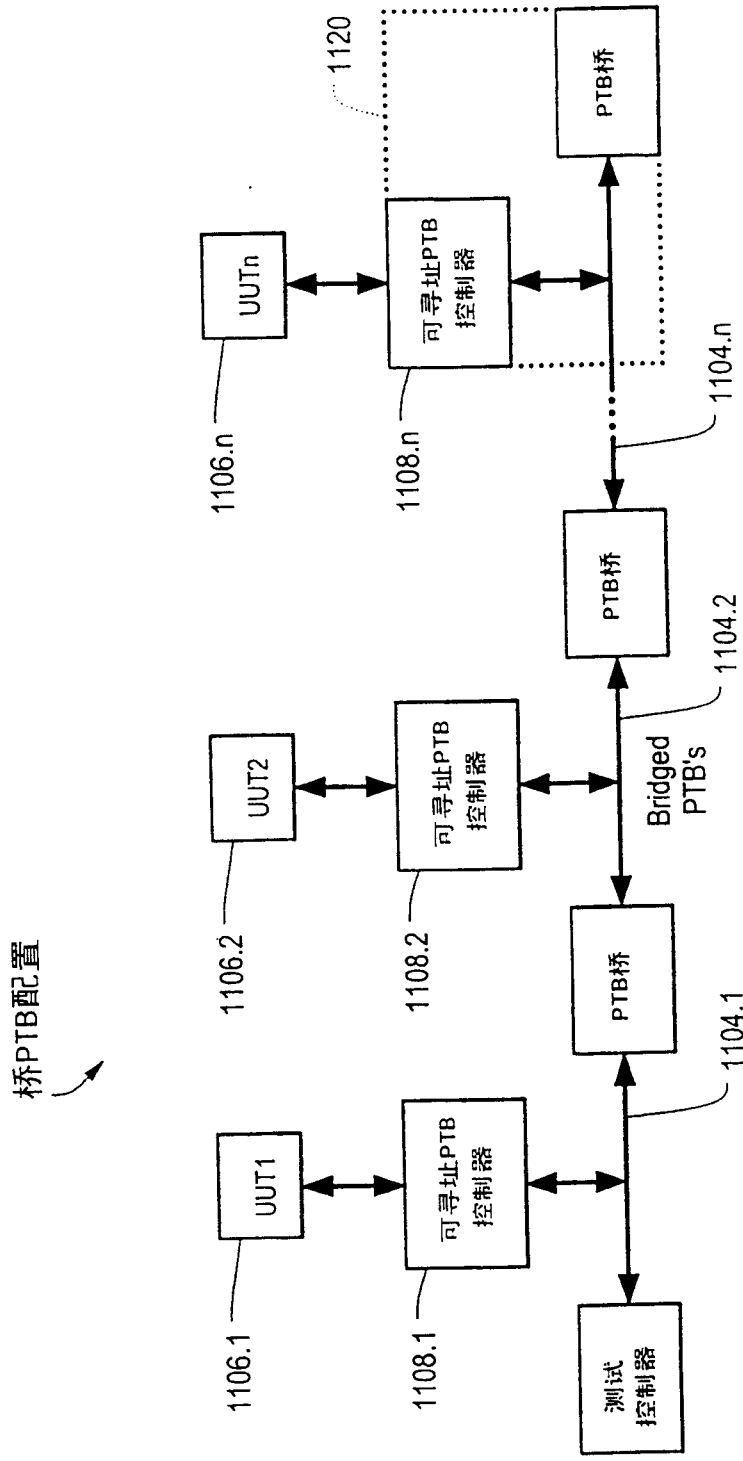


图11

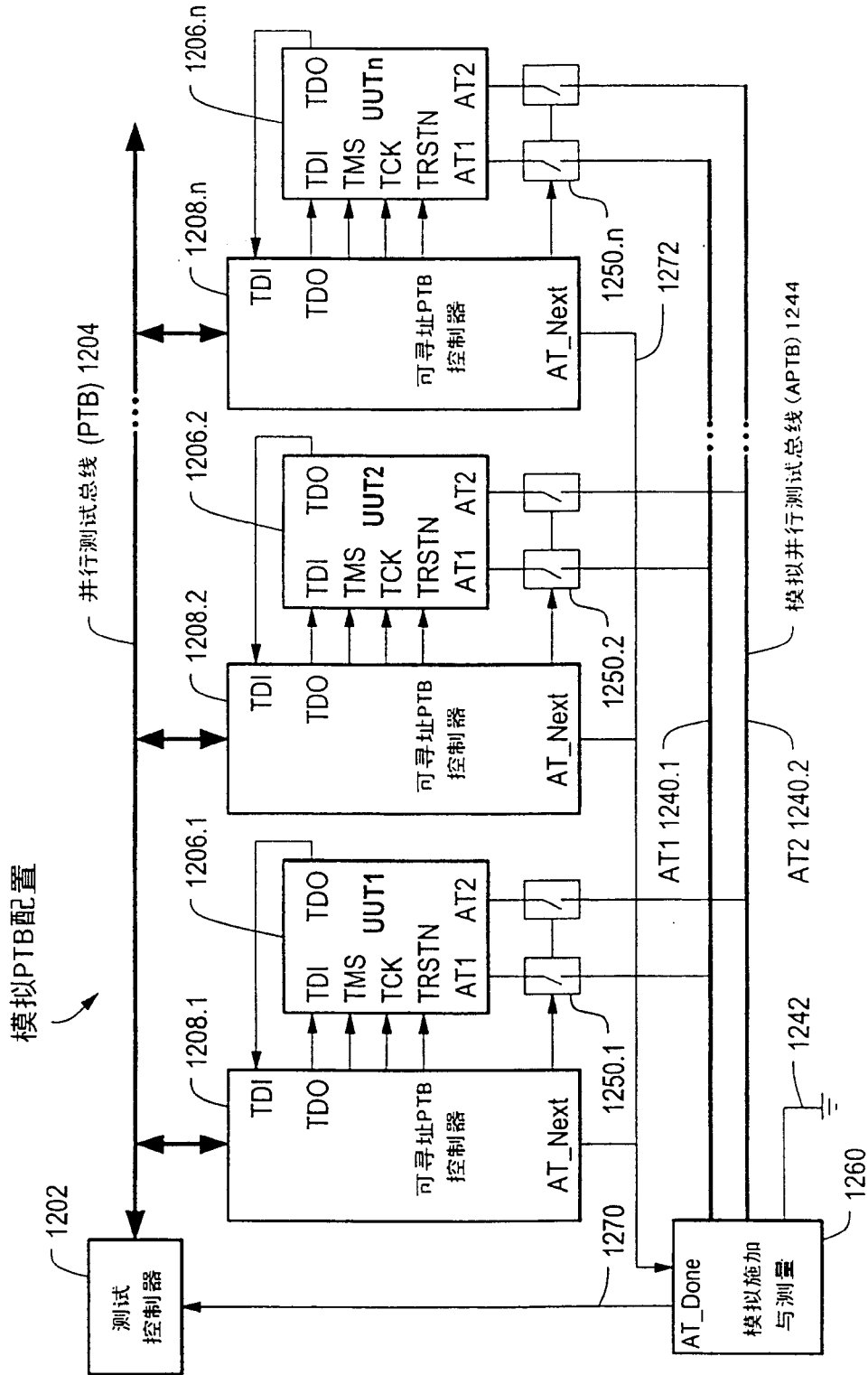


图12

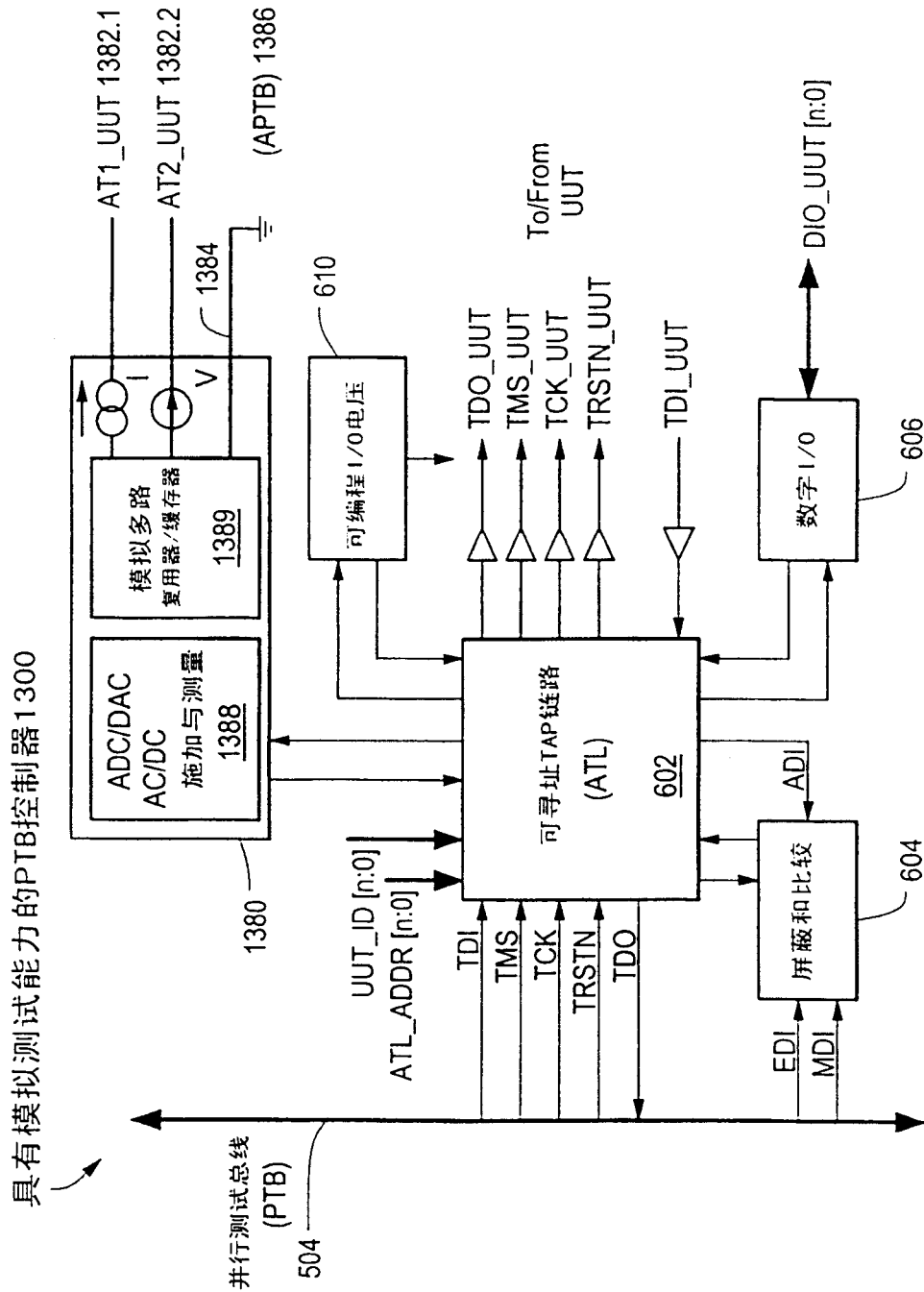


图13

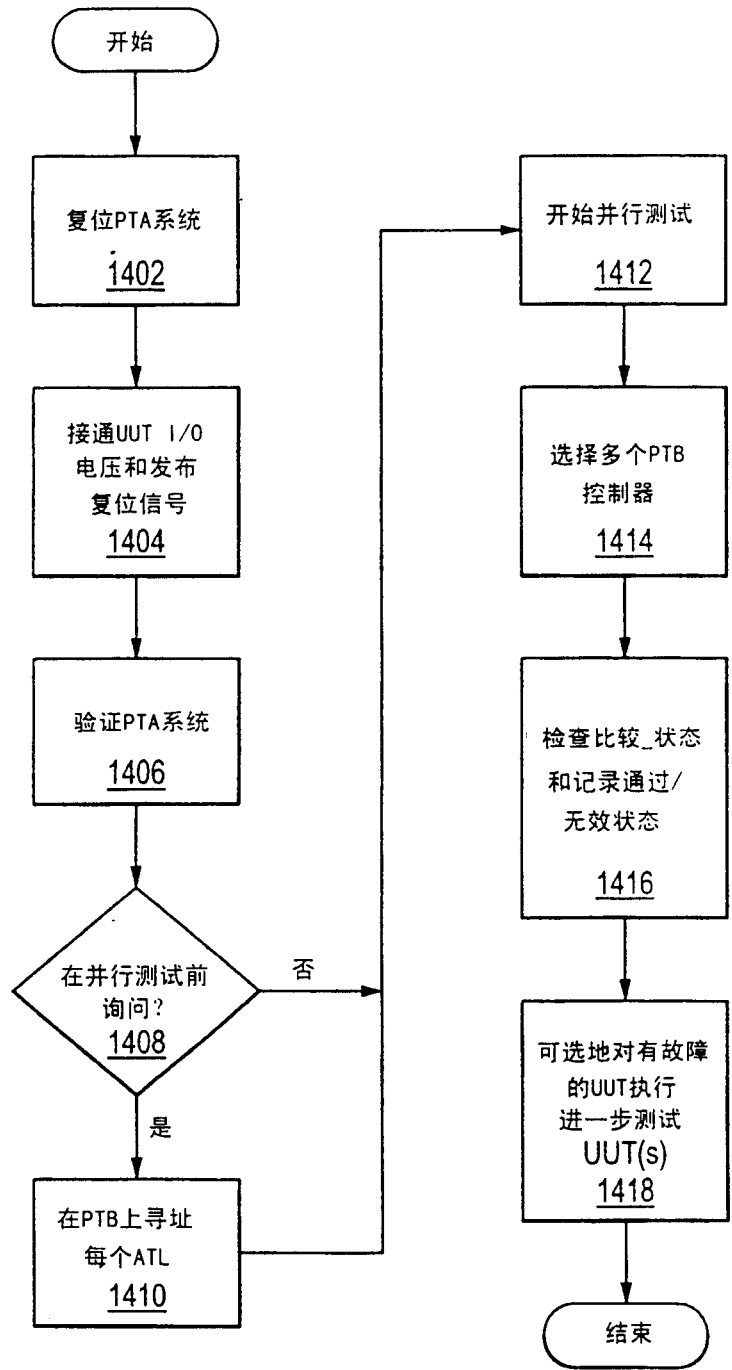


图14a

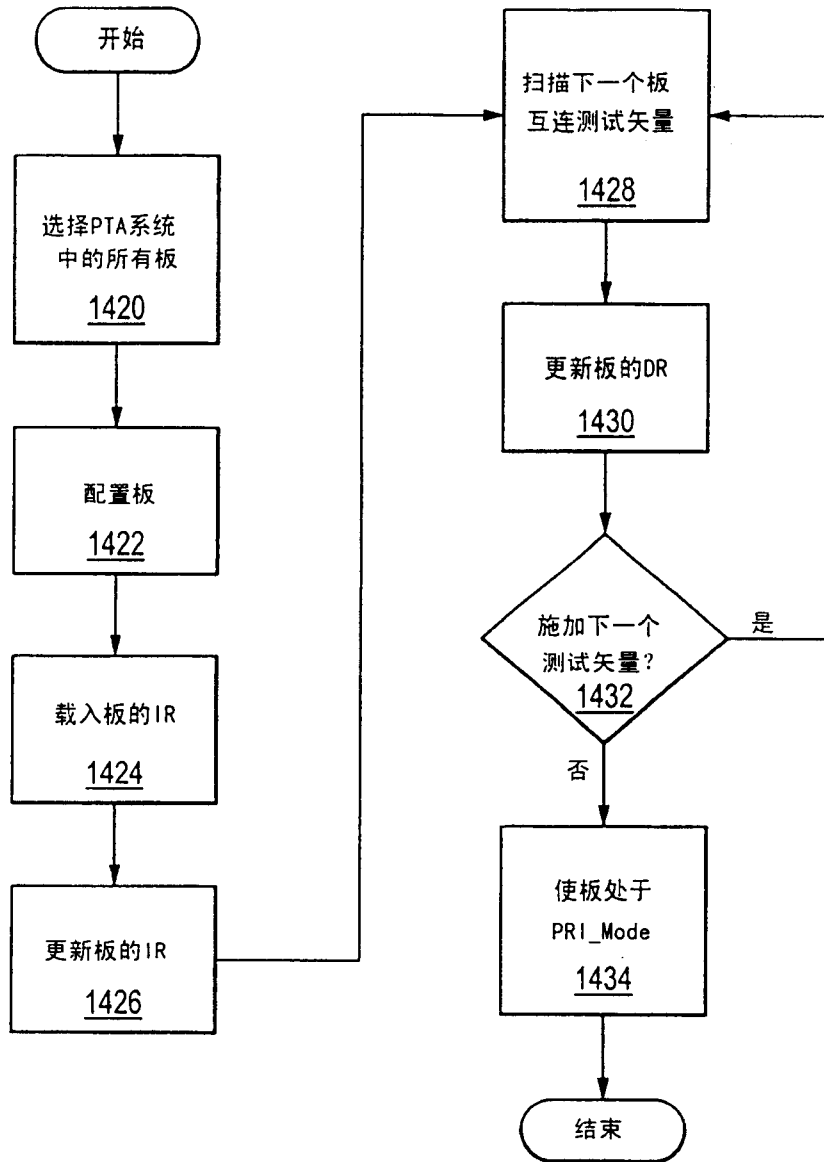


图 14b