

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 2 月 3 日 (2005.2.3)

【公表番号】特表 2004-511026 (P2004-511026A)
 【公表日】平成 16 年 4 月 8 日 (2004.4.8)
 【年通号数】公開・登録公報 2004-014
 【出願番号】特願 2001-585044 (P2001-585044)
 【国際特許分類第 7 版】

G 0 6 F 12/00

【 F I 】

G 0 6 F 12/00 5 6 4 A

G 0 6 F 12/00 5 5 0 K

G 0 6 F 12/00 5 9 7 D

【手続補正書】

【提出日】平成 15 年 1 月 27 日 (2003.1.27)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データベースを有するコンピュータメモリシステムであって、データベース上の信号は周期 p 1 を有し、前記システムは、

(a) データ線を有する第 1 のメモリバンクと、

(b) データ線を有する第 2 のメモリバンクと、

(c) 第 1 のメモリバンクに付随する第 1 のクロック信号および第 2 のメモリバンクに付随する第 2 のクロック信号であって、各クロック信号が周期 p 2 を有し、第 2 のクロック信号は第 1 のクロック信号から時間 . D E L T A . T だけ遅延されている第 1 および第 2 のクロック信号と、

(d) 第 1 のクロック信号の各サイクルの始めに開始して時間 . D E L T A . T 1 だけ続くデータベースに第 1 のメモリバンクのデータ線を接続する第 1 の F E T スイッチと、

(e) 第 2 のクロック信号の各サイクルの始めから時間 . D E L T A . T 2 後に開始して時間 . D E L T A . T 3 だけ続くデータベースに第 2 のメモリバンクのデータ線を接続する第 2 の F E T スイッチと、を含み、

. D E L T A . T , . D E L T A . T 1 , . D E L T A . T 2 , および . D E L T A . T 3 は第 1 の F E T スイッチのデータ線および第 2 の F E T スイッチのデータ線が決して同時にデータベースに接続されることのないように選択されるコンピュータメモリシステム。

【請求項 2】

請求項 1 記載のコンピュータメモリシステムであって、データベース周期 p 1 は各クロック信号の周期 p 2 の 2 倍であるコンピュータメモリシステム。

【請求項 3】

請求項 2 記載のシステムであって、F E T スイッチはメモリバンクの外部に存在するコンピュータメモリシステム。

【請求項 4】

請求項 3 記載のシステムであって、さらに、マザーボードを含み、遅延クロック信号発生手段、第 1 のメモリバンク、第 2 のメモリバンク、第 1 の F E T スイッチ、および第 2 の F E T スイッチはマザーボード上に配置されるシステム。

【請求項 5】

請求項 3 記載のシステムであって、さらに、一つ以上の D I M M ボードを含み、遅延クロック信号発生手段、第 1 のメモリバンク、第 2 のメモリバンク、第 1 の F E T スイッチ、および第 2 の F E T スイッチは D I M M ボード上に配置されるシステム。

【請求項 6】

請求項 5 記載のシステムであって、第 1 の F E T スイッチはさらに制御入力、データバスに接続された第 1 側、および第 1 のメモリバンクのデータ線に接続された第 2 側を含み、第 2 の F E T スイッチはさらに制御入力、データバスに接続された第 1 側、および第 2 のメモリバンクのデータ線に接続された第 2 側を含むシステム。

【請求項 7】

請求項 1 記載のコンピュータメモリシステムであって、さらに、

(a) データ線を有する第 3 のメモリバンクと、

(b) データ線を有する第 4 のメモリバンクと、

(c) 第 3 のメモリバンクに付随する第 3 のクロック信号および第 4 のメモリバンクに付随する第 4 のクロック信号であって、各クロック信号が周期 p_2 を有し、第 3 のクロック信号は第 2 のクロック信号から時間 ΔT だけ遅延され第 4 のクロック信号は第 3 のクロック信号から時間 ΔT だけ遅延されている第 3 および第 4 のクロック信号と、

(d) 第 3 のクロック信号の各サイクルの始めに開始して時間 ΔT_1 だけ続くデータバスに第 3 のメモリバンクのデータ線を接続する第 3 の F E T スイッチと、

(e) 第 3 のクロック信号の各サイクルの始めから時間 ΔT_2 後に開始して時間 ΔT_3 だけ続くデータバスに第 4 のメモリバンクのデータ線を接続する第 4 の F E T スイッチと、

を含むコンピュータメモリシステム。

【請求項 8】

データバスを有するコンピュータメモリシステムであって、

(a) データ線を有する第 1 の D D R メモリバンクと、

(b) データ線を有する第 2 の D D R メモリバンクと、

(c) 第 1 の D D R メモリバンクに付随する第 1 のクロック信号および第 2 の D D R メモリバンクに付随する第 2 のクロック信号であって、各クロック信号が周期 p_2 を有し、第 2 のクロック信号は第 1 のクロック信号から時間 ΔT だけ遅延されている第 1 および第 2 のクロック信号と、

(d) 第 1 のクロック信号の各サイクルの始めに開始して時間 ΔT_1 だけ続くデータバスに第 1 の D D R メモリバンクのデータ線を接続する第 1 の F E T スイッチと

(e) 第 2 のクロック信号の各サイクルの始めから時間 ΔT_2 後に開始して時間 ΔT_3 だけ続くデータバスに第 2 の D D R メモリバンクのデータ線を接続する第 2 の F E T スイッチと、を含み、 ΔT 、 ΔT_1 、 ΔT_2 、および ΔT_3 は第 1 の F E T スイッチのデータ線および第 2 の F E T スイッチのデータ線が決して同時にデータバスに接続されることのないように選択されるコンピュータメモリシステム。

【請求項 9】

請求項 8 記載のコンピュータメモリシステムであって、データバス周期 p_1 は各クロック信号の周期 p_2 の 2 倍であるコンピュータメモリシステム。

【請求項 10】

請求項 9 記載のコンピュータメモリシステムであって、F E T スイッチはメモリバンクの外部に存在するコンピュータメモリシステム。