

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年2月3日(2005.2.3)

【公表番号】特表2004-511026(P2004-511026A)

【公表日】平成16年4月8日(2004.4.8)

【年通号数】公開・登録公報2004-014

【出願番号】特願2001-585044(P2001-585044)

【国際特許分類第7版】

G 0 6 F 12/00

【F I】

G 0 6 F 12/00 5 6 4 A

G 0 6 F 12/00 5 5 0 K

G 0 6 F 12/00 5 9 7 D

【手続補正書】

【提出日】平成15年1月27日(2003.1.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データバスを有するコンピュータメモリシステムであって、データバス上の信号は周期p1を有し、前記システムは、

(a) データ線を有する第1のメモリバンクと、

(b) データ線を有する第2のメモリバンクと、

(c) 第1のメモリバンクに付随する第1のクロック信号および第2のメモリバンクに付随する第2のクロック信号であって、各クロック信号が周期p2を有し、第2のクロック信号は第1のクロック信号から時間.DELTA.Tだけ遅延されている第1および第2のクロック信号と、

(d) 第1のクロック信号の各サイクルの始めに開始して時間.DELTA.T1だけ続くデータバスに第1のメモリバンクのデータ線を接続する第1のFETスイッチと、

(e) 第2のクロック信号の各サイクルの始めから時間.DELTA.T2後に開始して時間.DELTA.T3だけ続くデータバスに第2のメモリバンクのデータ線を接続する第2のFETスイッチと、を含み、

.DELTA.T,.DELTA.T1,.DELTA.T2,および.DELTA.T3は第1のFETスイッチのデータ線および第2のFETスイッチのデータ線が決して同時にデータバスに接続されることのないように選択されるコンピュータメモリシステム。

【請求項2】

請求項1記載のコンピュータメモリシステムであって、データバス周期p1は各クロック信号の周期p2の2倍であるコンピュータメモリシステム。

【請求項3】

請求項2記載のシステムであって、FETスイッチはメモリバンクの外部に存在するコンピュータメモリシステム。

【請求項4】

請求項3記載のシステムであって、さらに、マザーボードを含み、遅延クロック信号発生手段、第1のメモリバンク、第2のメモリバンク、第1のFETスイッチ、および第2のFETスイッチはマザーボード上に配置されるシステム。

【請求項 5】

請求項3記載のシステムであって、さらに、一つ以上のDIMMボードを含み、遅延クロック信号発生手段、第1のメモリバンク、第2のメモリバンク、第1のFETスイッチ、および第2のFETスイッチはDIMMボード上に配置されるシステム。

【請求項 6】

請求項5記載のシステムであって、第1のFETスイッチはさらに制御入力、データバスに接続された第1側、および第1のメモリバンクのデータ線に接続された第2側を含み、第2のFETスイッチはさらに制御入力、データバスに接続された第1側、および第2のメモリバンクのデータ線に接続された第2側を含むシステム。

【請求項 7】

請求項1記載のコンピュータメモリシステムであって、さらに、

(a) データ線を有する第3のメモリバンクと、

(b) データ線を有する第4のメモリバンクと、

(c) 第3のメモリバンクに付随する第3のクロック信号および第4のメモリバンクに付随する第4のクロック信号であって、各クロック信号が周期 p_2 を有し、第3のクロック信号は第2のクロック信号から時間 $.DELTAT_1$ だけ遅延され第4のクロック信号は第3のクロック信号から時間 $.DELTAT_2$ だけ遅延されている第3および第4のクロック信号と、

(d) 第3のクロック信号の各サイクルの始めに開始して時間 $.DELTAT_3$ だけ続くデータバスに第3のメモリバンクのデータ線を接続する第3のFETスイッチと、

(e) 第3のクロック信号の各サイクルの始めから時間 $.DELTAT_4$ 後に開始して時間 $.DELTAT_5$ だけ続くデータバスに第4のメモリバンクのデータ線を接続する第4のFETスイッチと、

を含むコンピュータメモリシステム。

【請求項 8】

データバスを有するコンピュータメモリシステムであって、

(a) データ線を有する第1のDDRメモリバンクと、

(b) データ線を有する第2のDDRメモリバンクと、

(c) 第1のDDRメモリバンクに付随する第1のクロック信号および第2のDDRメモリバンクに付随する第2のクロック信号であって、各クロック信号が周期 p_2 を有し、第2のクロック信号は第1のクロック信号から時間 AT だけ遅延されている第1および第2のクロック信号と、

(d) 第1のクロック信号の各サイクルの始めに開始して時間 $.DELTAT_1$ だけ続くデータバスに第1のDDRメモリバンクのデータ線を接続する第1のFETスイッチと、

(e) 第2のクロック信号の各サイクルの始めから時間 $.DELTAT_2$ 後に開始して時間 $.DELTAT_3$ だけ続くデータバスに第2のDDRメモリバンクのデータ線を接続する第2のFETスイッチと、を含み、 $.DELTAT_1, .DELTAT_2, .DELTAT_3$ は第1のFETスイッチのデータ線および第2のFETスイッチのデータ線が決して同時にデータバスに接続されることのないように選択されるコンピュータメモリシステム。

【請求項 9】

請求項8記載のコンピュータメモリシステムであって、データバス周期 p_1 は各クロック信号の周期 p_2 の2倍であるコンピュータメモリシステム。

【請求項 10】

請求項9記載のコンピュータメモリシステムであって、FETスイッチはメモリバンクの外部に存在するコンピュータメモリシステム。