



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098550
(43) 공개일자 2008년11월10일

- (51) Int. Cl.
 C23C 14/06 (2006.01) C23C 14/34 (2006.01)
 C23C 16/02 (2006.01) H01L 33/00 (2008.05)
- (21) 출원번호 10-2008-7023994
 (22) 출원일자 2008년09월30일
 심사청구일자 2008년09월30일
 번역문제출일자 2008년09월30일
- (86) 국제출원번호 PCT/JP2007/059820
 국제출원일자 2007년05월08일
- (87) 국제공개번호 WO 2007/129773
 국제공개일자 2007년11월15일
- (30) 우선권주장
 JP-P-2006-00131530 2006년05월10일 일본(JP)
 JP-P-2006-00231862 2006년08월29일 일본(JP)

- (71) 출원인
 쇼와 덴코 가부시키키가이샤
 일본국 도쿄도 미나토구 시바다이몬 1초메 13반 9고
- (72) 발명자
 미키 히사유키
 일본 치바켄 이치하라시 야와타 카이간 도리 5-1 쇼와 덴코 가부시키키가이샤 나이
 사카이 히로미츠
 일본 치바켄 이치하라시 야와타 카이간 도리 5-1 쇼와 덴코 가부시키키가이샤 나이
 (뒷면에 계속)
- (74) 대리인
 하영욱

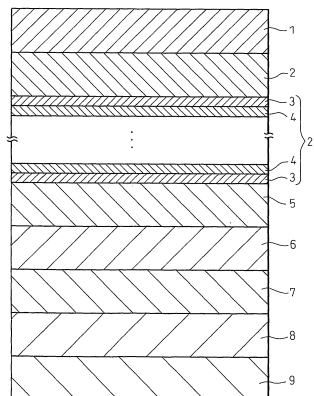
전체 청구항 수 : 총 27 항

(54) III족 질화물 화합물 반도체 적층 구조체

(57) 요약

본 발명의 목적은 이종 기판 상에 안정되고 양호한 결정성의 III족 질화물 화합물 반도체층을 적층한 III족 질화물 화합물 반도체 적층 구조체를 얻는 것이다. 본 발명의 III족 질화물 화합물 반도체 적층 구조체는 기판 상에 III족 질화물 화합물 반도체로 이루어지는 제 1 층과, 상기 제 1 층에 접하는 III족 질화물 화합물 반도체로 이루어지는 제 2 층을 구비하고 있고, 상기 제 1 층은 결정 계면이 명료한 주상 결정을 함유하고 있으며, 그 밀도가 1×10^3 개/ $\mu\text{m}^2 \sim 1 \times 10^5$ 개/ μm^2 인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체이다.

대표도 - 도1



(72) 발명자

하나와 켄조

일본 치바켄 이치하라시 야와타 카이간 도리 5-1
쇼와 덴코 가부시키키가이샤 나이

요코야마 야스노리

일본 치바켄 이치하라시 야와타 카이간 도리 5-1
쇼와 덴코 가부시키키가이샤 나이

사사키 야스마사

일본 치바켄 이치하라시 야와타 카이간 도리 5-1
쇼와 덴코 가부시키키가이샤 나이

카지 히로아키

일본 치바켄 이치하라시 야와타 카이간 도리 5-1
쇼와 덴코 가부시키키가이샤 나이

특허청구의 범위

청구항 1

기관 상에 III족 질화물 화합물 반도체로 이루어지는 제 1 층과 상기 제 1 층에 접하는 III족 질화물 화합물 반도체로 이루어지는 제 2 층을 구비하고 있고; 상기 제 1 층은 결정 계면이 명료한 주상 결정을 함유하고 있으며, 그 밀도가 1×10^3 개/ $\mu\text{m}^2 \sim 1 \times 10^5$ 개/ μm^2 인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 2

제 1 항에 있어서, 상기 제 1 층은 기관 표면의 90% 이상을 피복하고 있는 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 3

제 1 항에 있어서, 상기 결정 계면이 명료한 주상 결정의 폭은 1nm~50nm인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 4

제 3 항에 있어서, 상기 결정 계면이 명료한 주상 결정의 폭은 2nm~30nm인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 5

제 1 항에 있어서, 상기 제 1 층의 두께는 10nm~500nm인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 6

제 5 항에 있어서, 상기 제 1 층의 두께는 20nm~100nm인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 7

제 1 항에 있어서, 상기 제 1 층은 Al을 함유하는 III족 질화물 화합물 반도체인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 8

제 7 항에 있어서, 상기 제 1 층은 AlN으로 이루어지는 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 9

제 1 항에 있어서, 상기 제 2 층은 AlGaN인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 10

제 1 항에 있어서, 상기 제 2 층은 GaN인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 11

제 1 항에 있어서, 상기 제 1 층을 형성하는 III족 질화물 화합물 반도체와 상기 제 2 층을 형성하는 III족 질화물 화합물 반도체가 다른 재료인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 12

제 11 항에 있어서, 상기 제 1 층은 AlN이고, 또한 상기 제 2 층은 GaN인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 13

제 1 항 또는 제 2 항에 있어서, 상기 기판은 사파이어, SiC, 규소, 산화아연, 산화마그네슘, 산화망간, 산화지르코늄, 산화망간아연철, 산화마그네슘알루미늄, 붕소화지르코늄, 산화갈륨, 산화인듐, 산화리튬갈륨, 산화리튬알루미늄, 산화네오디뮴갈륨, 산화란탄스트론튬알루미늄탄탈, 산화스트론튬티탄, 산화티탄, 하프늄, 텅스텐 및 몰리브덴으로 이루어지는 군으로부터 선택된 재료로 구성되어 있는 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

청구항 14

기판 상에 III족 금속 원료와 질소원소를 함유한 가스를 플라즈마에 의해 활성화시키고 반응시킴으로써 III족 질화물 화합물 반도체의 주상 결정으로 이루어지는 제 1 층을 성막한 후, 상기 제 1 층에 접하는 III족 질화물 화합물 반도체로 이루어지는 제 2 층을 성막하는 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 15

제 14 항에 있어서, 상기 제 1 층의 성막법은 스퍼터, PLD, PED 및 CVD로 이루어지는 군 중에서 선택된 1종인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 16

제 15 항에 있어서, 상기 제 1 층의 성막법은 스퍼터법인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 17

제 16 항에 있어서, 상기 제 1 층의 성막법은 질소원을 리액터 내에 유통시키면서 행하는 리액티브 스퍼터인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 18

제 17 항에 있어서, 상기 제 1 층의 성막법은 질소원으로서 암모니아를 이용한 스퍼터법인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 19

제 17 항에 있어서, 상기 제 1 층의 성막법은 질소원으로서 질소 가스를 이용한 스퍼터법인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 20

제 16 항에 있어서, 상기 제 1 층의 성막법은 RF 스퍼터법인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 21

제 20 항에 있어서, 상기 제 1 층의 성막법은 캐소드의 마그넷 위치를 이동시키면서 행하는 RF 스퍼터법인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 22

제 16 항에 있어서, 상기 제 1 층을 성막할 때의 기판 온도는 400℃~800℃인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법의 제조 방법.

청구항 23

제 14 항에 있어서, 상기 제 2 층의 성막법은 MOCVD법인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 24

제 14 항에 있어서, 상기 제 2 층의 성막법은 리액티브 스퍼터법인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 25

제 14 항에 있어서, 상기 제 2 층을 성막할 때의 기판 온도는 900℃ 이상인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.

청구항 26

제 1 항에 기재된 III족 질화물 화합물 반도체 적층 구조체로 이루어지는 것을 특징으로 하는 III족 질화물 화합물 반도체 발광 소자.

청구항 27

제 26 항에 기재된 III족 질화물 화합물 반도체 발광 소자로 이루어지는 것을 특징으로 하는 램프.

명세서

기술분야

<1> 본 발명은 발광 다이오드(LED), 레이저 다이오드(LD) 및 전자 디바이스 등의 제작에 이용되는 결정성이 좋은 III족 질화물 화합물 반도체(이하, III족 질화물 화합물 반도체는 AlGaInN으로 나타내어지는 것으로 함) 적층 구조체와 그 제조 방법에 관한 것이다. 특히, 결정성이 좋은 III족 질화물 화합물 반도체 결정을 사파이어 기판 상에 에피택셜(epitaxial) 성장시키기 위해 바람직하게 이용할 수 있는 III족 질화물 화합물 반도체 적층 구조체 및 그 제조 방법에 관한 것이다.

배경 기술

- <2> III족 질화물 화합물 반도체는 가시광으로부터 자외광 영역에 상당하는 에너지의 직접 천이형의 밴드 갭을 가져 고효율인 발광이 가능하기 때문에 LED나 LD로서의 제품화가 행해지고 있다. 또한, 전자 디바이스로서도 종래의 III-V족 화합물 반도체에서는 얻어지지 않는 특성이 얻어지는 포텐셜을 갖고 있다.
- <3> III-V족 화합물 반도체의 단결정 웨이퍼는 아직 시판되고 있지 않고, III-V족 화합물 반도체는 다른 재료의 단결정 웨이퍼 상에 결정을 성장시키는 방법이 일반적이다. 이러한 이종 기판과 그 위에 에피택셜 성장시키는 III족 질화물 화합물 반도체 결정 사이에는 큰 격자 부정합이 존재한다. 예를 들면, 사파이어(Al₂O₃)와 질화갈륨(GaN) 사이에는 16%, SiC와 질화갈륨 사이에는 6%의 격자 부정합이 존재한다. 일반적으로 이러한 큰 격자 부정합이 존재하는 경우에는 기판 상에 결정을 직접 에피택셜 성장시키는 것이 어렵고, 성장시켜도 결정성이 양호한 결정은 얻어지지 않는다. 그래서, 유기 금속 화학 기상 성장(MOCVD)법에 의해 사파이어 단결정 기판이나 SiC 단결정 기판 상에 III족 질화물 화합물 반도체 결정을 에피택셜 성장하는 경우, 일본 특허 제 3026087호 공보나 일본 특허 공개 평4-297023호 공보에 나타내어져 있는 바와 같이, 질화알루미늄(AlN)이나 AlGaInN으로 구성되는 저온 버퍼층이라 불리는 층을 기판 상에 우선 퇴적하고, 그 위에 고온에서 III족 질화물 화합물 반도체 결정을 에피택셜 성장시키는 방법이 일반적으로 행해져 왔다.
- <4> 또한, 버퍼층으로서 주상(柱狀) 결정의 집합 조직의 층을 이용하는 기술이 일본 특허 공개 2003-243302호 공보나, Journal of Crystal Growth, 1991년, Vol.115, pp.628-633에 기재되어 있다. 이들에 공개된 기술에서는 상기 종래 기술과 마찬가지로 성막에 MOCVD법을 이용하고 있다. MOCVD법은 높은 성장 속도로 고품질의 결정막을 성막하기에는 적합하지만, 주상 결정과 같은 구조의 막을 균일성 좋게 성막하려면 스퍼터법 등의 플라즈마화한 금속 원료를 이용하는 성막법인 편이 적합하다. 또한, 이들 문헌에는 주상 결정의 밀도에 관한 기술은 없다.
- <5> 한편, 버퍼층을 MOCVD 이외의 방법으로 성막하는 기술에 관해서도 몇몇의 보고가 있다. 예를 들면, 일본 특허 공개 평5-86646호 공보에는 고주파 스퍼터로 성막한 버퍼층 상에 MOCVD로 같은 조성의 결정을 성장시키는 기술이 기재되어 있다. 그러나, 일본 특허 제 3440873호 공보 및 일본 특허 제 3700492호 공보 중에서 일본 특허 공개 평5-86646호 공보에 기재되어 있는 기술만으로는 안정되고 양호한 결정을 얻을 수 없다는 내용이 기재되어 있다. 안정되고 양호한 결정을 얻기 위해 일본 특허 제 3440873호 공보에서는 버퍼층 성장 후에 암모니아와 수

소로 이루어지는 혼합 가스 중에서 어닐링(annealing)하는 것이 중요하고, 특히 제 3700492호 공보에서는 버퍼층을 400℃ 이상의 온도에서 DC 스퍼터에 의해 성막하는 것이 중요하다고 기재되어 있다.

<6> 그러나, 상기 특허 공보에서는 어떠한 결정성의 층을 기판 상에 성막하는 것이 바람직한지에 관한 기재는 없다. 실제로 우리들이 예의 실험을 행한 결과에 의하면, 상기 특허 공보에 기재되어 있는 조건만으로는 안정되고 양호한 결정인 III족 질화물 화합물 반도체 결정을 얻을 수 없었다.

<7> 또한, 기관에 관해서는 일본 특허 제 3440873호 공보 및 일본 특허 제3700492호 공보 중에서 사파이어, 규소, 탄화규소, 산화아연, 인화갈륨, 비화갈륨, 산화마그네슘, 산화망간 및 III족 질화물계 화합물 반도체 단결정 등을 들 수 있고, 그 중에서도 사파이어의 a면 기판이 가장 적합하다고 기재되어 있다.

발명의 상세한 설명

<8> 본 발명의 목적은 III족 질화물 화합물 반도체층을 형성함에 있어서 구조가 제어된 버퍼층을 이용하여 안정되고 양호한 결정성의 III족 질화물 화합물 반도체층을 얻는 것이다.

<9> 본 발명의 다른 목적은 상기 구조가 제어된 버퍼층의 효율적인 제조 방법을 제공하는 것이다.

<10> 본 발명은 하기의 발명을 제공한다.

<11> (1) 기판 상에 III족 질화물 화합물 반도체로 이루어지는 제 1 층과 상기 제 1 층에 접하는 III족 질화물 화합물 반도체로 이루어지는 제 2 층을 구비하고 있고, 상기 제 1 층은 결정 계면이 명료한 주상 결정을 함유하고 있으며, 그 밀도가 1×10^3 개/ $\mu\text{m}^2 \sim 1 \times 10^5$ 개/ μm^2 인 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

<12> (2) 제 1 층이 기판 표면의 적어도 90%를 피복하고 있는 상기 (1)에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<13> (3) 결정 계면이 명료한 주상 결정의 폭이 1nm~50nm인 상기 (1) 또는 (2)에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<14> (4) 결정 계면이 명료한 주상 결정의 폭이 2nm~30nm인 상기 (3)에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<15> (5) 제 1 층의 두께가 10nm~500nm인 상기 (1)~(4) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<16> (6) 제 1 층의 두께가 20nm~100nm인 상기 (5)에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<17> (7) 제 1 층이 Al을 함유하는 III족 질화물 화합물 반도체인 상기 (1)~(6) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<18> (8) 제 1 층이 AlN으로 이루어지는 상기 (7)에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<19> (9) 제 2 층이 AlGaIn인 상기 (1)~(8) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<20> (10) 제 2 층이 GaIn인 상기 (1)~(8) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<21> (11) 제 1 층을 형성하는 III족 질화물 화합물 반도체와 제 2 층을 형성하는 III족 질화물 화합물 반도체가 다른 재료인 상기 (1)~(10) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<22> (12) 제 1 층이 AlN이고, 또한 제 2 층이 GaIn인 상기 (11)에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<23> (13) 기판이 사파이어, SiC, 규소, 산화아연, 산화마그네슘, 산화망간, 산화지르코늄, 산화망간아연철, 산화마그네슘알루미늄, 붕소지르코늄, 산화갈륨, 산화인듐, 산화리튬갈륨, 산화리튬알루미늄, 산화네오디뮴갈륨, 산화란탄스트론튬알루미늄탄탈, 산화스트론튬티탄, 산화티탄, 하프늄, 텅스텐 및 몰리브덴으로 이루어지는 군으로부터 선택된 재료로 구성되어 있는 상기 (1)~(12) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체.

<24> (14) 기판 상에 III족 금속 원료와 질소원소를 함유한 가스를 플라즈마에 의해 활성화시키고 반응시킴으로써 III족 질화물 화합물 반도체의 주상 결정으로 이루어지는 제 1 층을 성막한 후, 상기 제 1 층에 접하는 III족 질화물 화합물 반도체로 이루어지는 제 2 층을 성막하는 것을 특징으로 하는 III족 질화물 화합물 반도체 적층 구조체.

체의 제조 방법.

- <25> (15) 제 1 층의 성막법이 스퍼터, PLD, PED 및 CVD로 이루어지는 군 중에서 선택된 1종인 상기 (14)에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <26> (16) 제 1 층의 성막법이 스퍼터법인 상기 (15)에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <27> (17) 제 1 층의 성막법이 질소원을 리액터 내에 유통시키면서 행하는 리액티브 스퍼터(reactive sputter)인 상기 (16)에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <28> (18) 제 1 층의 성막법이 질소원으로서 암모니아를 이용한 스퍼터법인 상기 (17)에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <29> (19) 제 1 층의 성막법이 질소원으로서 질소 가스를 이용한 스퍼터법인 상기 (17)에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <30> (20) 제 1 층의 성막법이 RF 스퍼터법인 상기 (16)~(19) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <31> (21) 제 1 층의 성막법이 캐소드의 마그넷 위치를 이동시키면서 행하는 RF 스퍼터법인 상기 (20)에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <32> (22) 제 1 층을 성막할 때의 기관 온도가 400℃~800℃인 상기 (16)~(21) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <33> (23) 제 2 층의 성막법이 MOCVD법인 상기 (14)~(22) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <34> (24) 제 2 층의 성막법이 리액티브 스퍼터법인 상기 (14)~(22) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <35> (25) 제 2 층을 성막할 때의 기관 온도가 900℃ 이상인 상기 (14)~(24) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체의 제조 방법.
- <36> (26) 상기 (1)~(13) 중 어느 한 항에 기재된 III족 질화물 화합물 반도체 적층 구조체로 이루어지는 III족 질화물 화합물 반도체 발광 소자.
- <37> (27) 상기 (26)에 기재된 III족 질화물 화합물 반도체 발광 소자로 이루어지는 램프.
- <38> 본 발명의 III족 질화물 화합물 반도체 적층 구조체는 결정성이 양호한 III족 질화물 화합물 반도체로 이루어지는 표층을 구비하고 있으므로 그것을 이용하여 제조되는 LED 등의 III족 질화물 화합물 반도체 소자는 양호한 특성을 갖는다. 또한, 본 발명의 III족 질화물 화합물 반도체 적층 구조체의 제조 방법은 제 1 층을 플라즈마에 의해 원료를 활성화시키는 방법으로 형성하므로 균일성이 좋은 결정막을 단시간에 얻을 수 있어서 생산성이 개량된다.

실시예

- <47> 본 발명의 III족 질화물 화합물 반도체 적층 구조체는 기관 상에 III족 질화물 화합물 반도체 결정에 에피택셜 성장시킬 때에 기관 상에 제 1 층으로서 결정 계면이 명료한 주상 결정을 함유하는 층을 이용한 것이다. 주상 결정이 명료한 계면이 그 바로 위에 제막(製膜)되는 제 2 층의 발생을 위한 종결정의 역할을 하여 적당한 밀도로 종결정을 발생시킬 수 있다. 발생한 종결정이 점차 가로 방향 성장해 나가는 과정에서 전위가 루프화되어 감소하여 저전위이고 양호한 결정성의 층을 형성할 수 있다.
- <48> 주상 결정의 계면에는 단차가 발생되어 있어 활성점이 되어서 종결정이 발생한다고도 생각되고, 계면 부분에서 미소한 간극이 발생되어 있어 활성점이 되어서 종결정이 발생한다고도 생각된다. 어떤 기구에 의해 종결정이 발생하는지의 상세한 것은 특정하지 못했다.
- <49> 본 발명에서 말하는 결정 계면이 명료한 주상 결정이란 평면 방향으로부터 본 경우에 6각형을 기조로 하는 단면 형상을 이루고, 명료한 결정 계면을 갖는 결정립이다. 층 전체가 이 결정립으로 다 메워지는 경우도 있고, 명료한 결정 계면을 갖지 않는 층 중에 군데군데 보여지는 경우도 있다.

- <50> 도 3은 본 발명의 실시예 1에서 제작한 III족 질화물 화합물 반도체 적층 구조체의 제 1 층을 평면 방향으로부터 본 TEM 사진이다. 도 4는 도 3을 모식적으로 나타낸 도면이다. 6각형을 기조로 한 단면 형상을 갖는 명료한 결정 계면으로 둘러싸인 결정립이 명료한 계면을 갖지 않는 결정층 중에 점재되어 있다는 것을 알 수 있다. 크기는 직경으로 하여 5nm~10nm 정도이고, 그 밀도는 1 μ m로 둘러싸인 정방형 중에 5000개 정도이다.(사진은 85nm×120nm의 범위이고, 그 중에 47개의 결정 계면이 명료한 주상 결정이 보인다.)
- <51> 본 명세서에서 개시하는 기술에서는 결정 계면이 명료한 주상 결정의 바람직한 밀도는 1 μ m로 둘러싸인 정방형 중에 1000개~100000개 정도이다. 이 이상의 밀도이면 결정의 계면이 지나치게 많이 함유되게 되어 결정성이 낮은 것에 상당한다. 그 결과, 제 2 층의 결정성이 향상되지 않는다. 또한, 이 이하의 밀도여도 결정의 계면이 지나치게 적어서 제 2 층의 결정성이 향상되지 않는다. 더욱 바람직하게는 1500개~50000개이고, 특히 바람직하게는 2000개~10000개이다.
- <52> 예를 들면, 도 7은 본 발명의 비교예 1에서 제작한 III족 질화물 화합물 반도체 적층 구조체의 제 1 층을 평면 방향으로부터 본 TEM 사진이고, 도 8은 도 7을 모식적으로 나타낸 도면이다. 도 7에 나타내는 TEM상(像)과 같이 1 μ m² 중에 500개 정도의 명료한 계면을 갖는 주상 결정밖에 함유하지 않는 AlN 결정층을 제 1 층으로서 이용한 경우, 양호한 결정성의 제 2 층을 얻을 수 없다. 심한 경우에는 제 2 층은 미리 표면이 되지 않고 백탁된다. 이러한 III족 질화물 화합물 반도체 적층 구조체로 제작한 LED에서는 그 위에 적층하는 n형층, 발광층 및 p형층의 결정성도 좋지 않게 되어 전류의 리크가 발생하고, ESD 내성이나 에이징 특성이 떨어진다.
- <53> 상술한 바와 같이, 제 1 층에 함유되는 주상 결정이 명료한 계면을 갖는 주상 결정인지의 여부는 평면 TEM 사진으로부터 판단할 수 있다. 또한, 그 밀도도 평면 TEM 사진으로부터 측정할 수 있다.
- <54> 또한, 주상 결정이란 종단면 형상으로서 주상으로 되어 있는 결정을 말하지만, 주상으로 되어 있는지의 여부는 단면 TEM 사진으로부터 판단할 수 있다. 도 5는 본 발명의 실시예 1에서 제작한 III족 질화물 화합물 반도체 적층 구조체의 도 3과 대략 동일 위치의 단면의 TEM 사진이고, 도 6은 도 5를 모식적으로 나타낸 도면이다. 제 1 층은 도 6 중에 실선으로 나타낸 바와 같은 계면에 의해 구분되어 있고, 계면과 계면 사이에 있는 각각의 결정 덩어리는 6각형의 주상을 하고 있다.
- <55> 결정 계면의 명료한 주상 결정이 많이 함유되는 결정층이란 기관면에 대한 결정 격자면이 잘 맞추어진 결정의 집합체인 것을 의미한다. 기관면에 대한 결정 격자면이 조금씩 경사진 결정의 집합체인 경우에는 결정끼리가 연속적으로 연결되는 경우가 발생해 버리므로 결정 계면이 명료하지 않은 집합체를 이룬다.
- <56> 이러한 결정성의 특성은 X선 측정의 결과에 반영된다. 기관과 평행한 (0002)면의 격자정수를 일반적인 2결정 X선 로킹 커브(rocking curve)로 측정한 경우, 반값폭이 작은 것이 본 발명에서 규정하는 결정 계면이 명료한 주상 결정을 많이 함유하는 집합체인 것에 상당한다. 그래서, 제 1 층의 (0002)면의 X선 로킹 커브 측정의 반값폭이 0.5도 이하인 것이 바람직하다. 더욱 바람직하게는 0.1도 이하이다.
- <57> 본 발명에 있어서는 제 2 층을 양호한 결정성으로 하기 위해서는 주상 결정 각각의 결정 그레인 폭을 적정하게 제어할 필요가 있다. 구체적으로는, 각 주상 결정의 폭이 0.1nm~100nm 사이의 값인 것이 바람직하다. 더욱 바람직하게는 1nm~70nm 사이의 값이다. 또한, 주상 결정의 결정 계면의 밀도가 중요하므로 주상 결정의 크기는 결정 계면의 밀도가 적당한 범위에 들어가도록 소정의 일정 범위에 들어 있는 것이 바람직하다. 예를 들면, 각 주상 결정의 폭이 1nm~50nm 사이의 값인 것이 바람직하다. 더욱 바람직하게는 2nm~30nm 사이의 값이고, 특히 바람직하게는 3nm~20nm 사이의 값이다.
- <58> 각 주상 결정의 폭은 상기 평면 TEM 사진에 의해 용이하게 측정하는 것이 가능하다. 즉, 도 4에 있어서 각 주상 결정의 지름이 각 주상 결정의 폭이다. 예를 들면, 주상 결정(A)의 폭은 a이고, 주상 결정(B)의 폭은 b이다. 도 3을 보고도 알 수 있는 바와 같이, 각 주상 결정의 폭은 정밀하게 규정할 수 있는 것이 아니라 어느 정도의 분포를 갖는다. 따라서, 각 주상 결정의 폭이 상기 범위로부터 벗어나는 결정이 수% 정도 있었다고 해도 본 발명의 효과에 영향을 미치는 것은 아니다. 90% 이상이 상기 범위에 들어 있는 것이 바람직하다.
- <59> 또한, 제 1 층의 층두께는 10nm~500nm가 바람직하다. 이 이상 얇으면 충분히 버퍼층으로서의 기능을 다하지 못하고, 이 이상 두꺼워도 기능에는 변화가 없기 때문에 쓸모없이 처리 시간을 연장시킬 뿐이다. 더욱 바람직하게는 층두께가 20nm~100nm이다. 제 1 층의 층두께도 상기 단면 TEM 사진에 의해 용이하게 측정하는 것이 가능하다.
- <60> 이러한 주상 결정으로 이루어지는 제 1 층(버퍼층)은 간극없이 기관 상을 피복하고 있는 것이 바람직하다. 제 1

층이 기판을 피복하고 있지 않고 기판의 표면이 일부분이라도 노출되어 있으면 제 1 층 상에 성막한 제 2 층과 기판 상에 직접 성막된 제 2 층에서 결정의 격자정수가 다르기 때문에 균일한 결정이 되지 않는다. 결과적으로 힐록(hillock)이나 피트(pit)가 생겨 버린다.

- <61> 이 때문에, 제 1 층은 기판 표면의 적어도 60%를 피복하고 있을 필요가 있다. 더욱 바람직하게는 80% 이상이고, 90% 이상을 피복하고 있는 것이 가장 바람직하다.
- <62> 제 1 층이 기판을 피복하고 있는 비율은 상기 단면 TEM 사진으로부터 측정할 수 있다. 특히, 제 1 층과 제 2 층의 재료가 다른 경우에는 EDS 등을 이용하여 기판과 층의 계면을 기판면과 평행하게 스캔함으로써 제 1 층이 형성되어 있지 않은 영역의 비를 어림잡을 수도 있다. 또한, 제 1 층만을 성막한 시료를 준비함으로써 AFM 등의 방법에 의해 기판의 노출된 면적을 측정하는 것도 가능하다. 본 발명에서는 상기 단면 TEM 사진으로부터 측정했다.
- <63> 제 1 층을 구성하는 재료로서는 일반적으로 III족 질화물 화합물 반도체이면 어떤 재료도 이용할 수 있다. 또한, V족으로서 As나 P를 함유해도 상관없다. 그러나, 그 중에서도 Al을 함유한 조성으로 하는 것이 바람직하다. 또한, 특히 GaAlN으로 하는 것이 바람직하고, Al의 조성은 50% 이상인 것이 바람직하다. 또한, AlN임으로써 효율적으로 주상 결정 집합체로 할 수 있으므로 더욱 바람직하다.
- <64> 제 1 층의 제막 방법으로서 III족 질화물 화합물 반도체의 결정 성장 방법으로서 일반적으로 알려지는 방법을 아무런 문제없이 이용할 수 있다. 일반적으로 이용되는 결정 성장 방법으로는 MOCVD법, MBE법, 스퍼터법 및 HVPE법 등이 있다.
- <65> 특히, III족 금속 원료와 질소원소를 함유한 가스를 플라즈마에 의해 활성화시키고 반응시킴으로써 성막하는 방법이 결정 계면이 명료한 주상 결정을 생성하기 쉬우므로 바람직하다.
- <66> III족 금속 원료를 플라즈마화하는 성막법으로서 스퍼터, PLD, PED 및 CVD 등이 알려져 있다. 플라즈마를 발생시키는 방법으로서 특정한 진공도에서 고전압을 가하여 방전을 일으키는 스퍼터법, 고에너지 밀도의 레이저를 조사하여 발생시키는 PLD법 및 전자선을 조사시킴으로써 발생시키는 PED법이 있지만, 그 중에서도 스퍼터법이 가장 간편하고, 적절한 밀도로 결정 계면이 명료한 주상 결정이 생기기 쉬우며, 양산에도 적합하기 때문에 바람직한 방법이다. DC 스퍼터법에서는 타겟 표면의 차지업(charge up)을 초래하여 성막 속도가 안정되지 않을 가능성이 높으므로 펄스 DC로 하거나 RF 스퍼터법으로 하는 것이 바람직하다.
- <67> 스퍼터법에서는 자기장 내에 플라즈마를 가둠으로써 효율을 높이는 것이 일반적으로 실용되고 있고, 차지업을 회피하는 방법으로서 마그네틱의 위치를 타겟 내에서 이동시키는 것이 바람직하다. 구체적인 운동 방법은 장치에 따라 선택할 수 있고, 요동시키거나 회전 운동시키거나 할 수 있다. 이러한 조작에 의해 적절한 밀도로 결정 계면이 명료한 주상 결정을 갖는 제 1 층을 성막할 수 있다.
- <68> 본 발명자들의 실험에서는 성막시의 기판 온도는 300~800℃인 것이 바람직하다는 것을 알 수 있었다. 그 이하의 온도에서는 제 1 층이 기판 전면(全面)을 피복할 수 없어서 기판면이 노출되는 경우가 있다. 이 이상의 온도에서는 금속 원료의 마이그레이션이 활발해져 결정 계면이 명료한 주상 결정을 형성하기 어려워서 제 1 층으로서 바람직하지 못하다. 더욱 바람직하게는 400~800℃이다.
- <69> 스퍼터법을 이용하여 제 1 층을 성막할 경우, 중요한 파라미터는 기판 온도 이외에서는 노(爐) 내의 압력과 질소 분압이다. 노 내의 압력은 0.3Pa 이상인 것이 바람직하다. 이 이하의 압력에서는 질소의 존재량이 적어 스퍼터된 금속이 질화물이 되지 않고 부착된다. 압력의 상한은 특별히 정하는 것이 아니지만, 플라즈마를 발생시킬 수 있을 정도의 저압이 필요한 것은 말할 것도 없다. 질소와 아르곤의 유량에 대한 질소 유량의 비는 질소가 20% 이상 90% 이하인 것이 바람직하다. 이 이하의 유량비에서는 스퍼터 금속이 금속인 채로 부착되고, 이 이상의 유량비에서는 아르곤의 양이 적어 스퍼터 속도가 저하된다. 특히 바람직하게는 25% 이상 70% 이하이다.
- <70> 이들 조건을 적용시킴으로써 결정 계면이 명료한 주상 결정을 바람직한 밀도로 함유하는 제 1 층을 성막할 수 있다.
- <71> 성막 속도는 0.01nm/초~10nm/초로 하는 것이 바람직하다. 이 이상의 속도에서는 막이 결정체로 되지 않고 비결정질로 된다. 이 이하의 성막 속도에서는 막은 층으로 되지 않고 섬 형상으로 성장해버려 기판의 표면을 피복할 수 없다.
- <72> III족 금속 원료를 플라즈마화하는 성막법을 이용하여 제 1 층으로서 혼정(混晶)을 성막하고 싶을 때에는 타겟이 되는 금속을 처음부터 금속 재료의 혼합물(반드시 합금을 형성하고 있지 않아도 상관없음)로 하는 방법도 있고,

다른 재료로 이루어지는 2개의 타깃을 준비하여 동시에 스퍼터하는 방법을 취할 수도 있다. 일반적으로, 결정된 조성의 막을 성막하고 싶으면 혼합 재료 타깃을 이용하고, 조성이 다른 몇 종류의 막을 성막하고 싶으면 복수의 타깃을 챔버 내에 설치한다.

- <73> 본 기술에 이용하는 질소 원료로서는 일반적으로 알려져 있는 화합물을 아무런 문제없이 이용할 수 있지만, 특히 암모니아와 질소는 취급도 편하고 비교적 저렴하게 입수 가능하여 바람직하다. 암모니아는 분해 효율도 좋고 높은 성장 속도로 성막하는 것이 가능하지만, 반응성이나 독성이 높고, 제해 설비나 가스 검지기를 필요로 하거나, 반응 장치에 사용하는 부재의 재료를 화학적으로 안정성이 높은 것으로 할 필요가 있거나 하여 고안을 필요로 한다. 반대로 질소를 원료로서 이용하면 장치가 간편해도 되는 대신에 높은 반응 속도는 얻어지지 않는다. 질소를 전계나 열 등에 의해 분해하고나서 장치에 도입하는 방법에서는 암모니아에는 떨어지지만 이용 가능한 정도의 성막 속도를 얻을 수 있고, 장치 비용과의 균형을 생각하면 가장 바람직한 질소원이다.
- <74> 제 2 층을 구성하는 재료는 제 1 층과 같을 필요는 없다.
- <75> 본 발명자들의 실험 결과에서는 제 2 층의 재료로서는 Ga를 함유하는 III족 질화물이 바람직하지 않았다. 결정 계면이 명료한 주상 결정의 집합체인 제 1 층의 결정성을 그대로 이어받지 않도록 마이그레이션에 의해 전위를 루프화시킬 필요가 있지만, 전위의 루프화를 발생시키기 쉬운 재료란 Ga를 함유하는 질화물이다. 특히, AlGaIn이 바람직하고, GaN도 바람직했다.
- <76> 제 2 층의 두께에 대해서는 특별한 제한은 없지만, 일반적으로 0.5 μ m~20 μ m의 범위가 바람직하다. 0.5 μ m 이하에서는 상기 전위의 루프화가 불충분한 경우가 있고, 20 μ m 이상으로 해도 기능에는 변화가 없고 쓸모없이 처리 시간을 연장시킬 뿐이다. 바람직하게는 1 μ m~15 μ m이다.
- <77> 제 2 층은 필요에 따라 도펀트를 도핑한 구조로 할 수도 있고, 도핑하지 않은 구조로 할 수도 있다. 도전성의 기관을 이용하는 경우에는 제 2 층을 도핑하여 층 구조를 세로 방향으로 전류가 흐르도록 함으로써 칩의 양면에 전극을 형성한 구조로 하는 것이 바람직하다. 절연성의 기관을 이용하는 경우에는 칩과 같은 면에 전극이 형성된 칩 구조를 취하게 되므로 기관 바로 윗층은 도핑하지 않은 결정으로 하는 편이 결정성은 양호하다.
- <78> 제 2 층을 적층하는 방법은 특별히 한정되지 않는다. 상기와 같은 전위의 루프화를 발생시킬 수 있는 결정 성장 방법이면 문제없다. 특히, MOCVD법, MBE법 및 VPE법은 일반적으로 이러한 마이그레이션을 발생시킬 수 있기 때문에 양호한 결정성의 막을 성막할 수 있어서 바람직하다. 그 중에서도 MOCVD법은 가장 결정성이 좋은 막을 얻을 수 있으므로 바람직하다.
- <79> 또한, 스퍼터법을 이용하여 제 2 층을 성막할 수도 있다. 스퍼터법인 경우에는 MOCVD법이나 MBE법에 비해 장치를 간편하게 만들 수 있다.
- <80> 제 1 층의 성막 후, 제 2 층을 성막하기 전의 어닐링은 특별히 필요하지 않다.
- <81> 단, 제 2 성막을 MOCVD, MBE 및 VPE 등의 기상 화학 성막 방법으로 실시하는 경우에는 일반적으로 성막을 수반하지 않는 승온 과정과 온도의 안정화 과정을 거친다. 이들 과정에 있어서 V족의 원료 가스를 유통시키는 경우가 많으므로 결과적으로 어닐링 효과를 발생시키고 있을 가능성은 있다. 그러나, 이것은 특별히 어닐링 효과를 이용하는 것이 아니고, 일반적인 공지의 기술이다.
- <82> 또한, 그때에 유통되는 캐리어 가스는 일반적인 것을 문제없이 사용할 수 있다. 즉, MOCVD 등 기상 화학 성막 방법에서 널리 이용되는 수소나 질소를 이용해도 좋다. 그러나, 화학적으로 비교적 활성인 수소 중에서의 승온은 결정성이나 결정 표면의 평탄성을 손상시킬 우려가 있어서 장시간 행하지 않는 편이 좋다.
- <83> 제 2 층을 성막할 때의 기관 온도는 800 $^{\circ}$ C 이상인 것이 바람직하다. 기관 온도가 높으면 원자의 마이그레이션을 발생시키기 쉬워 전위의 루프화가 용이하게 진행되기 때문이다. 더욱 바람직하게는 900 $^{\circ}$ C 이상, 특히 바람직하게는 1000 $^{\circ}$ C 이상이다.
- <84> 성막은 결정을 분해하는 온도보다 저온일 필요가 있는 것은 말할 것도 없고, 1200 $^{\circ}$ C 이상의 온도는 제 2 층의 성장 온도로서는 적합하지 않다.
- <85> 본 발명에 이용할 수 있는 기관으로서는 일반적으로 III족 질화물 화합물 반도체 결정을 성막할 수 있는 기관이면 어떤 재료도 이용하는 것이 가능하다. 예를 들면, 사파이어, SiC, 규소, 산화아연, 산화마그네슘, 산화망간, 산화지르코늄, 산화망간아연철, 산화마그네슘알루미늄, 붕소화지르코늄, 산화갈륨, 산화인듐, 산화리튬갈륨, 산화리튬알루미늄, 산화네오디뮴갈륨, 산화란탄스트론튬알루미늄탄탈, 산화스트론튬티탄, 산화티탄, 하프늄, 텅스

텐 및 폴리브덴 등이다.

- <86> 제 1 층을 암모니아를 사용하지 않고 제 2 층을 암모니아를 사용하는 방법으로 성막하면, 고온에서 암모니아에 접촉됨으로써 화학적인 변성을 야기한다는 것이 알려져 있는 산화물 기판이나 금속 기판 등에 대해서도 제 1 층이 코트층으로서 작용함으로써 화학적인 변질을 막는 효과가 있어서 유효한 성막 방법으로서 이용할 수 있다.
- <87> 기판은 습식의 전처리를 행하는 것이 바람직하다. 예를 들면, 규소 기판에 대해서는 잘 알려진 RCA 세정 방법 등을 행하여 표면을 수소 종단시켜 둠으로써 안정된 프로세스가 된다.
- <88> 한편, 반응기 중에 도입 후에 스퍼터 등의 방법을 이용하여 전처리를 행할 수 있다. 구체적으로는, Ar이나 N₂의 플라즈마 중에 노출시킴으로써 표면을 조정할 수 있다. 예를 들면, Ar 가스나 N₂ 가스 등의 플라즈마를 기판 표면에 작용시킴으로써 표면에 부착된 유기물이나 산화물을 제거하는 것이 가능하다. 이 경우에는 기판과 챔버 사이에 전압을 가함으로써 플라즈마 입자가 효율적으로 기판에 작용한다.
- <89> 제 2 층 상에는 기능성을 갖는 반도체 적층 구조를 적층하여 각종 반도체 소자로 할 수 있다.
- <90> 예를 들면, 발광 소자를 위한 적층 구조를 형성하는 경우, Si, Ge 및 Sn 등의 n형 도펀트를 도핑한 n형 도전성의 층이나, 마그네슘 등의 p형 도펀트를 도핑한 p형 도전성의 층 등이 있다. 재료로서도 발광층 등에는 InGaN이 널리 이용되고 있고, 클래드층 등에는 AlGaN이 이용된다.
- <91> 디바이스로서는 발광 소자 외에 레이저 소자 및 수광 소자 등의 광전기 변환 소자, 또는 HBT 및 HEMT 등의 전자 디바이스 등에 이용할 수 있다. 이들 반도체 소자는 각종 구조의 것이 다수 알려져 있고, 본 발명의 III족 질화물 화합물 반도체 적층 구조체의 제 2 층 상에 적층하는 소자 구조는 이들 주지의 소자 구조를 포함해 아무런 제한받지 않는다.
- <92> 특히, 발광 소자의 경우, 본 기술로 제조한 소자를 패키징하여 램프로서 사용하는 것이 가능하다. 또한, 형광체로 조합시킴으로써 발광색을 바꾸는 기술이 알려져 있고, 이것을 아무런 문제없이 이용하는 것이 가능하다. 예를 들면, 형광체를 적정하게 선정함으로써 발광 소자보다 장파장의 발광을 얻을 수 있고, 발광 소자 자신의 발광 파장과 형광체에 의해 변환된 파장을 혼합함으로써 백색의 패키지로 할 수도 있다.
- <93> [실시예]
- <94> 이하, 본 발명을 실시예에 기초하여 구체적으로 설명한다. 그러나, 본 발명은 이들 실시예에만 한정되는 것이 아니다.
- <95> (실시예 1)
- <96> 본 실시예에서는 c면 사파이어 기판 상에 제 1 층으로서 RF 스퍼터법을 이용하여 AlN으로 이루어지는 결정 계면이 명료한 주상 결정을 함유하는 층을 형성하고, 그 위에 제 2 층으로서 MOCVD법을 이용하여 GaN으로 이루어지는 층을 형성했다.
- <97> 우선, 한쪽 면만을 에피택셜 성장에 사용할 수 있을 정도로 경면 연마한 c면 사파이어 기판을 특별히 습식 전처리를 행하지 않고 스퍼터기 내에 도입했다. 사용하는 스퍼터기는 고주파식의 전원을 가져 타깃 내에서 마그네틱의 위치를 이동시킬 수 있는 기구를 갖고 있다.
- <98> 처음으로, 스퍼터 장치 내에서 기판을 750℃까지 가열하고, 질소 가스를 15sccm의 유량으로 도입한 후, 챔버 내의 압력을 0.08Pa로 유지하며, 기판 측에 50W의 고주파 바이어스를 인가하고, 질소 플라즈마에 노출시킴으로써 기판 표면을 세정했다.
- <99> 이어서, 아르곤 및 질소 가스를 도입한 후, 기판 온도를 500℃까지 저하시켰다. 2000W의 고주파 바이어스를 금속 Al 타깃측에 인가하고, 노 내의 압력을 0.5Pa로 유지하며, Ar 가스를 15sccm, 질소 가스를 5sccm 유통시킨 조건(가스 전체에 대한 질소의 비는 25%)에서 사파이어 기판 상에 AlN을 성막했다. 성장 속도는 0.12nm/s였다.
- <100> 타깃 내의 마그네틱은 기판 세정할 때에도 성막할 때에도 요동시켜 두었다.
- <101> 50nm의 AlN을 성막 후, 플라즈마를 생성하는 것을 멈추고 기판 온도를 저하시켰다.
- <102> 이어서, 스퍼터기로부터 인출한 기판을 MOCVD로에 도입했다.
- <103> 도입 후, GaN층을 함유하는 시료의 제작은 MOCVD법을 이용하여 이하의 순서로 행했다. 우선, 사파이어 기판을 반응로 내에 도입했다. 사파이어 기판은 질소 가스 치환된 글러브 박스 중에서 가열용의 카본제의 서셉터

(susceptor) 상에 적재했다.

- <104> 질소 가스를 유통시킨 후, 히터를 작동시켜 기판 온도를 1150℃로 승온시켰다. 1150℃로 온도가 안정된 것을 확인한 후, 암모니아 배관의 밸브를 열어 암모니아의 노 내로의 유통을 개시했다. 이어서, 트리메틸갈륨(TMGa)의 증기를 함유하는 수소를 반응로 내에 공급하고, 사파이어 기판 상에 제 2 층을 구성하는 III족 질화물 화합물 반도체를 부착시키는 공정을 개시했다. 암모니아의 양은 V족 원소/III족 원소비가 6000이 되도록 조절했다. 약 1 시간에 걸쳐 상기 GaN층의 성장을 행한 후, TMGa의 배관의 밸브를 돌려서 원료의 반응로로의 공급을 종료하여 성장을 정지시켰다. GaN층의 성장을 종료한 후, 히터로의 통전을 정지시켜 기판의 온도를 실온까지 강온했다.
- <105> 이상의 공정에 의해 사파이어 기판 상에 결정 계면이 명료한 주상 결정 구조를 갖는 AlN의 제 1 층을 형성하고, 그 위에 인도핑으로 2 μ m의 막두께인 GaN층을 형성한 본 발명의 III족 질화물 화합물 반도체 적층 구조체를 제작했다. 인출한 기판은 무색 투명의 미러 형상을 나타내고 있었다.
- <106> 다음으로, 상기 방법으로 성장을 행한 인도핑 GaN층의 4결정 X선 로킹 커브(XRC) 측정을 행했다. 이 측정 결과, 본 발명의 방법으로 제작한 인도핑 GaN층은 (0002)면의 측정에서는 반값폭 50arcsec, (10-10)면에서는 반값폭 250arcsec를 나타냈다.
- <107> 또한, 얻어진 적층 구조체의 단면을 투과형 전자 현미경(TEM)으로 관찰했다. 도 5는 그 TEM 사진이고, 도 6은 도 5를 모식적으로 나타낸 도면이다. 이들 도면으로부터 알 수 있는 바와 같이, 사파이어 기판과 질화갈륨으로 이루어지는 제 2 층 사이에는 기판면과 대략 수직 방향으로 다수의 결정 계면을 갖는 AlN막으로 이루어지는 제 1 층이 관찰되었다. 막두께는 50nm 정도였다. 이 층은 세로로 긴 주상 결정을 함유한 층이라고 생각된다. 또한, 제 1 층은 기판 전면을 피복하고 있었다.
- <108> 또한, 스퍼터에서의 제 1 층의 성막시, 같은 챔버 내에서 동시에 제 1 층만을 성막한 시료를 제작했다. 얻어진 시료의 AlN층의 평면을 투과형 전자 현미경(TEM)으로 관찰했다. 도 3은 그 TEM 사진이고, 도 4는 도 3을 모식적으로 나타낸 도면이다. 이들 도면으로부터 알 수 있는 바와 같이, 제 1 층은 결정 계면이 명료한 크기 5nm~10nm 정도의 육각 주상인 결정을 5 $\times 10^3$ 개/ μ m² 정도의 밀도로 함유하고 있다.
- <109> 이와 같은 시료로 제 1 층의 2결정 X선 로킹 커브를 측정한 결과 (0002)면의 측정에서는 반값폭 0.07도를 나타냈다.
- <110> (실시예 2)
- <111> 본 실시예에서는 본 발명의 III족 질화물 화합물 반도체 적층 구조체를 이용한 III족 질화물 화합물 반도체 발광 소자의 제조에 대해 설명한다. 본 실시예에서는 실시예 1과 같은 조건을 이용하여 6 μ m에 걸쳐 제조한 인도핑 GaN 결정(제 2 층) 상에 Si를 도펀트로 한 n형 콘택층을 성막하거나 하여 최종적으로 도 1에 나타내는 반도체 발광 소자용의 에피택셜층 구조를 갖는 에피택셜 웨이퍼를 제작했다. 즉, 에피택셜 웨이퍼는 c면을 갖는 사파이어 기판(9) 상에 실시예 1에 기재한 것과 같은 성장 방법에 의해 형성된 결정 계면이 명료한 주상 결정의 구조를 함유하는 두께 50nm의 AlN층(8)(제 1 층) 상에 기판측으로부터 순서대로 두께 6 μ m의 인도핑 GaN층(7)(제 2 층), 1 $\times 10^{19}$ cm⁻³의 전자 농도를 갖는 두께 2 μ m의 Si 도핑 GaN층(6), 1 $\times 10^{18}$ cm⁻³의 전자 농도를 갖는 두께 200Å의 In_{0.1}Ga_{0.9}N 클래드층(5), GaN 장벽층으로 시작하여 GaN 장벽층으로 끝나는 층두께를 160Å로 하는 6층의 GaN 장벽층(3)과, 층두께를 30Å로 하는 5층의 논도핑인 In_{0.2}Ga_{0.8}N 우물층(4)으로 이루어지는 다중 양자 우물 구조(20), 두께 50Å의 Mg를 도핑한 Al_{0.1}Ga_{0.9}N 클래드층(2), 막두께 0.2 μ m의 Mg 도핑 Al_{0.02}Ga_{0.98}N층(1)을 적층한 구조를 갖는다.
- <112> 상기 반도체 발광 소자 구조의 에피택셜층을 갖는 웨이퍼의 제작은 Si 도핑 GaN층(6) 이후의 적층에 대해서도 실시예 1에서 이용한 것과 같은 MOCVD 장치를 이용하여 실시예 1에 있어서의 제 2 층의 성막과 마찬가지로 하여 행했다.
- <113> 이상과 같은 순서에 의해 반도체 발광 소자용의 에피택셜층 구조를 갖는 에피택셜 웨이퍼를 제작했다. 여기에서, Mg 도핑 Al_{0.02}Ga_{0.98}N층은 p형 캐리어를 활성화시키기 위한 어닐링 처리를 행하지 않아도 p형을 나타냈다.
- <114> 이어서, 상기 사파이어 기판 상에 에피택셜층이 적층된 에피택셜 웨이퍼를 이용하여 반도체 발광 소자의 일종인 발광 다이오드를 제작했다. 도 2는 본 실시예에서 제작한 발광 다이오드의 전극 구조의 평면도이다. 도면 중,

10은 n층 전극, 11은 n층 전극을 형성하기 위한 Si 도핑 GaN층(6)의 노출면, 12는 p 전극 본딩 패드, 및 13은 투광성 p 전극이다.

<115> 제작한 웨이퍼에 대해 공지의 포토리소그래피 기술에 의해 Mg 도핑 $Al_{0.02}Ga_{0.98}N$ 층의 표면 상에 ITO로 이루어지는 투광성 p 전극(13)과, 그 위에 p 전극(13)의 표면층으로부터 순서대로 Cr, Ti 및 Au를 적층한 구조를 갖는 p 전극 본딩 패드(12)를 형성하여 p층 전극으로 했다. 또한, 그 후 웨이퍼에 드라이 에칭을 행하여 Si 도핑 GaN층의 n층 전극을 형성하는 부분(11)을 노출시키고, 노출된 부분에 반도체층으로부터 순서대로 Cr, Ti 및 Au의 3층으로 이루어지는 n층 전극(10)을 제작했다. 이들 작업에 의해 웨이퍼 상에 도 2에 나타내는 바와 같은 형상을 갖는 전극을 제작했다.

<116> 이렇게 하여 p층 및 n층의 전극을 형성한 웨이퍼에 대해 사파이어 기관의 이면을 연삭 및 연마하여 미러 형상의 면으로 했다. 그 후, 상기 웨이퍼를 $350\mu m \times 350\mu m$ 인 정방형의 칩으로 절단하여 전극이 위가 되도록 리드 프레임 상에 적재하고, 금선으로 리드 프레임에 선을 연결하여 발광 다이오드로 했다. 상기한 바와 같이 하여 제작한 발광 다이오드의 p층 및 n층의 전극 사이에 순방향 전류를 흐르게 한 결과 전류 20mA에 있어서의 순방향 전압은 3.0V였다. 또한, p층의 투광성 전극을 통과시켜 발광을 관찰한 결과 발광 파장은 470nm이고, 발광 출력은 전류 20mA에서 15mW를 나타냈다. 이러한 발광 다이오드의 특성은 제작한 웨이퍼의 대략 전면으로 제작된 발광 다이오드에 대해 편차없이 얻어졌다.

<117> (비교예 1)

<118> 본 비교예에서는 a면 사파이어 기관 상에 제 1 층으로서 DC 스퍼터법을 이용하여 AlN의 층을 형성하고, 그 위에 제 2 층으로서 MOCVD법을 이용하여 GaN의 층을 형성했다. 스퍼터시의 기관 온도는 500°C로 했다. 막두께 등은 실시예 1과 같다.

<119> 그렇게 한 결과, MOCVD법에 의한 GaN층의 성장 후, 반응 장치로부터 인출한 웨이퍼의 표면은 백탁되어 있고, 표면에는 다수의 피트가 확인되었다.

<120> 이 프로세스에 있어서의 제 1 층을 실시예 1과 마찬가지로의 방법으로 관찰한 결과를 도 7에 나타낸다. 도 8은 도 7을 모식적으로 나타낸 도면이다. 이들 도면으로부터 알 수 있는 바와 같이, DC 스퍼터로 성막한 AlN으로 이루어지는 제 1 층은 결정 계면이 명료한 주상 결정의 밀도가 5×10^2 개/ μm^2 정도로 결정 계면이 명료한 주상 결정을 본 발명에서 규정하는 밀도로 함유하지 않는다는 것을 알 수 있었다.

<121> 이와 같은 시료로 제 1 층의 2결정 X선 로킹 커브를 측정한 결과 (0002)면의 측정에서는 반값폭 0.7도를 나타냈다.

<122> (실시예 3)

<123> 본 실시예에서는 사파이어 c면 기관 상에 제 1 층으로서 회전 캐소드식의 RF 스퍼터법을 이용하여 AlN으로 이루어지는 결정 계면이 명료한 주상 결정을 함유하는 층을 형성하고, 그 위에 제 2 층으로서 MOCVD법을 이용하여 GaN의 층을 형성하며, 그 위에 실시예 2와 같은 LED용 에피택셜층을 성막했다. 스퍼터시의 기관 온도는 700°C로 하고, 그 밖의 조건은 실시예 2와 동일하게 했다.

<124> 그렇게 한 결과, MOCVD법에 의한 LED용 에피택셜층의 성장 후, 반응 장치로부터 인출한 웨이퍼의 표면은 경면이었다.

<125> 실시예 1과 마찬가지로의 방법으로 제 1 층을 관찰한 결과, RF 스퍼터로 성막한 AlN으로 이루어지는 제 1 층은 각 결정의 폭이 5~10nm 정도, 밀도가 5×10^3 개/ μm^2 정도의 결정 계면이 명료한 주상 결정을 함유하고 있었다.

<126> 상기한 바와 같이 하여 제작한 웨이퍼를 실시예 2와 마찬가지로 하여 발광 다이오드 칩으로 했다. 전극 사이에 순방향 전류를 흐르게 한 결과 전류 20mA에 있어서의 순방향 전압은 3.1V였다. 또한, p층의 투광성 전극을 통과시켜 발광을 관찰한 결과 발광 파장은 460nm이고, 발광 출력은 20mA에서 13mW를 나타냈다. 이러한 발광 다이오드의 특성은 제작한 웨이퍼의 대략 전면으로 제작된 발광 다이오드에 대해 편차없이 얻어졌다.

<127> (실시예 4)

<128> 본 실시예에서는 Si(111) 기관 상에 제 1 층으로서 회전 캐소드식의 RF 스퍼터법을 이용하여 AlGaIn으로 이루어지는 결정 계면이 명료한 주상 결정을 함유하는 층을 형성하고, 그 위에 제 2 층으로서 MOCVD법을 이용하여 Si를 도핑한 AlGaIn의 층을 형성하며, 그 위에 실시예 2와 같은 LED용 에피택셜층을 성막했다. 제 1 층의 Al 조성

은 70%로 하고, 제 2 층의 Al 조성은 15%로 했다. 스퍼터시의 기판 온도는 500℃로 했다. 그 밖의 조건은 실시예 2와 마찬가지로이다.

- <129> 그렇게 한 결과, MOCVD법에 의한 LED용 에피택셜층의 성장 후, 반응 장치로부터 인출한 웨이퍼의 표면은 경면이었다.
- <130> 실시예 1과 마찬가지로의 방법으로 제 1 층을 관찰했다. RF 스퍼터로 성막한AlGaIn층은 각 결정의 폭이 20nm 정도, 밀도가 2×10^3 개/ μm^2 정도의 결정 계면이 명료한 주상 결정을 함유하고 있었다.
- <131> 상기한 바와 같이 하여 제작한 웨이퍼를 실시예 2와 마찬가지로 하여 발광 다이오드 칩으로 했다. 이번에는 전극을 적층 구조층과 기판층 상하에 설치했다. 전극 사이에 순방향 전류를 흐르게 한 결과 전류 20mA에 있어서의 순방향 전압은 2.9V였다. 또한, p층의 투광성 전극을 통과시켜 발광을 관찰한 결과 발광 파장은 460nm이고, 발광 출력은 전류 20mA에서 10mW를 나타냈다. 이러한 발광 다이오드의 특성은 제작한 웨이퍼의 대략 전면으로 제작된 발광 다이오드에 대해 편차없이 얻어졌다.
- <132> (실시예 5)
- <133> 본 실시예에서는 ZnO(0001) 기판 상에 제 1 층으로서 CO₂ 레이저로 타격을 여기하는 PLD법을 이용하여 GaN으로 이루어지는 결정 계면이 명료한 주상 결정을 함유하는 층을 형성하고, 그 위에 제 2 층으로서 MOCVD법을 이용하여 Ge를 도핑한AlGaIn의 층을 형성하며, 그 위에 실시예 2와 같은 LED용 에피택셜층을 성막했다.제 2 층의 Al 조성은 10%로 했다. 제 1 층의 성막시의 기판 온도는 750℃로 했다. 또한, 이번에는 525nm 부근의 녹색 LED의 제작을 시도해봤기 때문에 발광층 성막시의 In 원료의 유량을 증량했다.
- <134> 그렇게 한 결과, MOCVD법에 의한 LED용 에피택셜층의 성장 후, 반응 장치로부터 인출한 웨이퍼의 표면은 경면이었다.
- <135> 실시예 1과 마찬가지로의 방법으로 제 1 층을 관찰했다. PLD법으로 성막한 GaN층은 각 결정의 폭이 5nm 정도, 밀도가 5×10^3 개/ μm^2 정도의 결정 계면이 명료한 주상 결정을 함유하고 있었다.
- <136> 상기한 바와 같이 하여 제작한 웨이퍼를 실시예 2와 마찬가지로 발광 다이오드 칩으로 했다. 실시예 4와 마찬가지로 전극을 적층 구조층과 기판층 상하에 설치했다. 전극 사이에 순방향 전류를 흐르게 한 결과 전류 20mA에 있어서의 순방향 전압은 3.3V였다. 또한, p층의 투광성 전극을 통과시켜 발광을 관찰한 결과 발광 파장은 525nm 이고, 발광 출력은 전류 20mA에서 10mW를 나타냈다. 이러한 발광 다이오드의 특성은 제작한 웨이퍼의 대략 전면으로 제작된 발광 다이오드에 대해 편차없이 얻어졌다.
- <137> (실시예 6)
- <138> 본 실시예에서는 본 발명의 III족 질화물 화합물 반도체 적층 구조체를 이용한 III족 질화물 화합물 반도체 발광 소자의 제조 방법에 대해 설명한다. 본 실시예에서는 실시예 1과 같은 조건을 이용하여 6 μm 에 걸쳐 제조한 언도핑 GaN 결정(제 2 층) 상에 Ge를 도펀트로 한 n형 콘택트층을 성막하거나 하여 최종적으로 도 1에 나타내는 반도체 발광 소자의 에피택셜층 구조를 갖는 에피택셜 웨이퍼를 제작했다. 즉, 에피택셜 웨이퍼는 c면을 갖는 사파이어 기판(9) 상에 실시예 1에 기재한 것과 같은 성장 방법에 의해 형성된 주상 결정의 구조를 갖는 두께 50nm의 AlN층(8)(제 1 층) 상에 기판층으로부터 순서대로 두께 6 μm 의 언도핑 GaN층(7)(제 2 층), $1 \times 10^{19} \text{ cm}^{-3}$ 의 전자 농도를 갖는 2 μm 의 Ge 도핑 GaN층(6), $1 \times 10^{18} \text{ cm}^{-3}$ 의 전자 농도를 갖는 200Å의 In_{0.1}Ga_{0.9}N 클래드층(5), GaN 장벽층으로 시작하여 GaN 장벽층으로 끝나는 층두께를 160Å로 하는 6층의 GaN 장벽층(3)과, 층두께를 30Å로 하는 5층의 논도핑인 In_{0.2}Ga_{0.8}N 우물층(4)으로 이루어지는 다중 양자 우물 구조(20), 50Å의 Mg를 도핑한 Al_{0.1}Ga_{0.9}N 클래드층(2), 막두께 0.2 μm 의 Mg 도핑 Al_{0.02}Ga_{0.98}N층(1)을 적층한 구조를 갖는다.
- <139> 또한, 본 실시예에서 제작한 반도체 발광 소자의 전극 구조의 평면도를 도 2에 나타낸다. 도면 중, 10은 n층 전극, 11은 n전극을 형성하기 위한 Ge 도핑 GaN층(6)의 노출면, 12는 p 전극 본딩 패드, 및 13은 투광성 p 전극이다.
- <140> 상기 반도체 발광 소자 구조의 에피택셜층을 갖는 웨이퍼의 제작은 MOCVD법을 이용하여 이하의 순서로 행했다. 사파이어 기판 상에 주상 결정의 구조를 갖는 AlN층(제 1 층)(8)을 형성하기까지는 실시예 1과 동일한 순서를 이용했다.

- <141> 그 후의 적층 구조의 적층도 실시예 1에서 이용한 것과 같은 MOCVD장치를 이용하고, 실시예 1에 있어서의 제 2층의 성막과 마찬가지로 하여 행했다.
- <142> 이상과 같은 순서에 의해 반도체 발광 소자의 에피택셜층 구조를 갖는 에피택셜 웨이퍼를 제작했다. 여기서 Mg 도핑 Al_{0.02}Ga_{0.98}N층은 p형 캐리어를 활성화시키기 위한 어닐링 처리를 행하지 않아도 p형을 나타냈다.
- <143> 이어서, 상기 사파이어 기판 상에 에피택셜층 구조가 적층된 에피택셜 웨이퍼를 이용하여 반도체 발광 소자의 일종인 발광 다이오드를 제작했다. 제작한 웨이퍼에 대해 공지의 포토리소그래피 기술에 의해 Mg 도핑 Al_{0.02}Ga_{0.98}N층의 표면 상에 IT0로 이루어지는 투명 p 전극(13)과, 그 위에 표면측으로부터 순서대로 티탄, 알루미늄 및 금을 적층한 구조를 갖는 p 전극 본딩 패드(12)를 형성하여 p측 전극으로 했다. 또한, 그 후 웨이퍼에 드라이 에칭을 행하여 Ge 도핑 GaN층의 n측 전극을 형성하는 부분(11)을 노출시키고, 노출된 부분에 Ni, Al, Ti 및 Au의 4층으로 이루어지는 n측 전극(10)을 제작했다. 이들 작업에 의해 웨이퍼 상에 도 2에 나타내는 바와 같은 형상을 갖는 전극을 제작했다.
- <144> 이렇게 하여 p측 및 n측의 전극을 형성한 웨이퍼에 대해 사파이어 기판의 이면을 연삭 및 연마하여 미리 형상의 면으로 했다. 그 후, 상기 웨이퍼를 350 μ m \times 350 μ m인 정방형의 칩으로 절단하여 전극이 위가 되도록 리드 프레임 상에 적재하고, 금선으로 리드 프레임에 선을 연결하여 발광 소자로 했다. 상기한 바와 같이 하여 제작한 발광 다이오드의 p측 및 n측의 전극 사이에 순방향 전류를 흐르게 한 결과 전류 20mA에 있어서의 순방향 전압은 3.0V였다. 또한, p측의 투광성 전극을 통과시켜 발광을 관찰한 결과 발광 파장은 470nm이고, 발광 출력은 15mW를 나타냈다. 이러한 발광 다이오드의 특성은 제작한 웨이퍼의 대략 전면으로 제작된 발광 다이오드에 대해 편차없이 얻어졌다.
- <145> (실시예 7)
- <146> 본 실시예에서는 c면 사파이어 기판 상에 제 1 층으로서 RF 스퍼터법을 이용하여 AlGaIn의 층을 형성하고, 그 위에 제 2 층으로서 MOCVD법을 이용하여 AlGaIn의 층을 형성했다. 스퍼터시의 기판 온도는 300 $^{\circ}$ C로 하고, 그 밖의 조건은 실시예 1과 동일하게 했다. 제 1 층과 제 2 층의 Al의 조성은 같고, Al을 20%로 했다.
- <147> 그렇게 한 결과, MOCVD법에 의한 AlGaIn층의 성장 후, 반응 장치로부터 인출한 웨이퍼의 표면은 경면이었지만, 광학 현미경으로 보면 미세한 요철을 포함하고 있었다.
- <148> 단면 TEM법을 이용하여 이 웨이퍼를 관찰했다. RF 스퍼터로 성막한 AlGaIn층은 주상 결정이기는 하였지만, 곳곳에 AlN이 형성되어 있지 않은 부분이 있어 연속 막이 아니고, 기판의 약 60%밖에 피복되어 있지 않았다.
- <149> 상기한 바와 같이 하여 제작한 웨이퍼를 실시예 6과 마찬가지로 하여 발광 다이오드 칩으로 했다. 전극 사이에 순방향 전류를 흐르게 한 결과 전류 20mA에 있어서의 순방향 전압은 2.9V였다. 이 값은 지나치게 낮아 전류가 리크되고 있는 것을 나타내고 있다. 또한, p측의 투광성 전극을 통과시켜 발광을 관찰한 결과 발광 파장은 460nm이고, 발광 출력은 7mW밖에 나타내지 않았다.
- <150> (실시예 8)
- <151> 본 실시예에서는 ZnO(0001) 기판 상에 제 1 층으로서 CO₂ 레이저로 타격을 여기하는 PLD법을 이용하여 GaN의 주상 결정의 집합체를 형성하고, 그 위에 제 2 층으로서 MOCVD법을 이용하여 Ge를 도핑한 AlGaIn의 층을 형성하며, 그 위에 실시예 6과 같은 LED 구조를 성막했다. 제 2 층의 Al 조성은 10%로 했다. 스퍼터시의 기판 온도는 750 $^{\circ}$ C로 했다. 또한, 이번에는 525nm 부근의 녹색 LED의 제작을 시험해봤기 때문에 발광층의 In 원료의 유량을 증량했다.
- <152> 그렇게 한 결과, MOCVD법에 의한 LED적층 구조의 성장 후, 반응 장치로부터 인출한 웨이퍼의 표면은 경면이었다.
- <153> 단면 TEM법을 이용하여 이 웨이퍼를 관찰했다. PLD법으로 성막한 GaN층은 각 결정의 폭이 5nm 정도의 주상 결정으로 이루어져 있었다. 또한, 제 1 층은 기판 전면을 피복하고 있었다.
- <154> 상기한 바와 같이 하여 제작한 웨이퍼를 발광 다이오드 칩으로 했다. 실시예 9와 마찬가지로 전극을 적층 구조측과 기판측 상하에 설치했다. 전극 사이에 순방향 전류를 흐르게 한 결과 전류 20mA에 있어서의 순방향 전압은 3.3V였다. 또한, p측의 투광성 전극을 통과시켜 발광을 관찰한 결과 발광 파장은 525nm이고, 발광 출력은 10mW를 나타냈다. 이러한 발광 다이오드의 특성은 제작한 웨이퍼의 대략 전면으로 제작된 발광 다이오드에 대해 편

차없이 얻어졌다.

산업상 이용 가능성

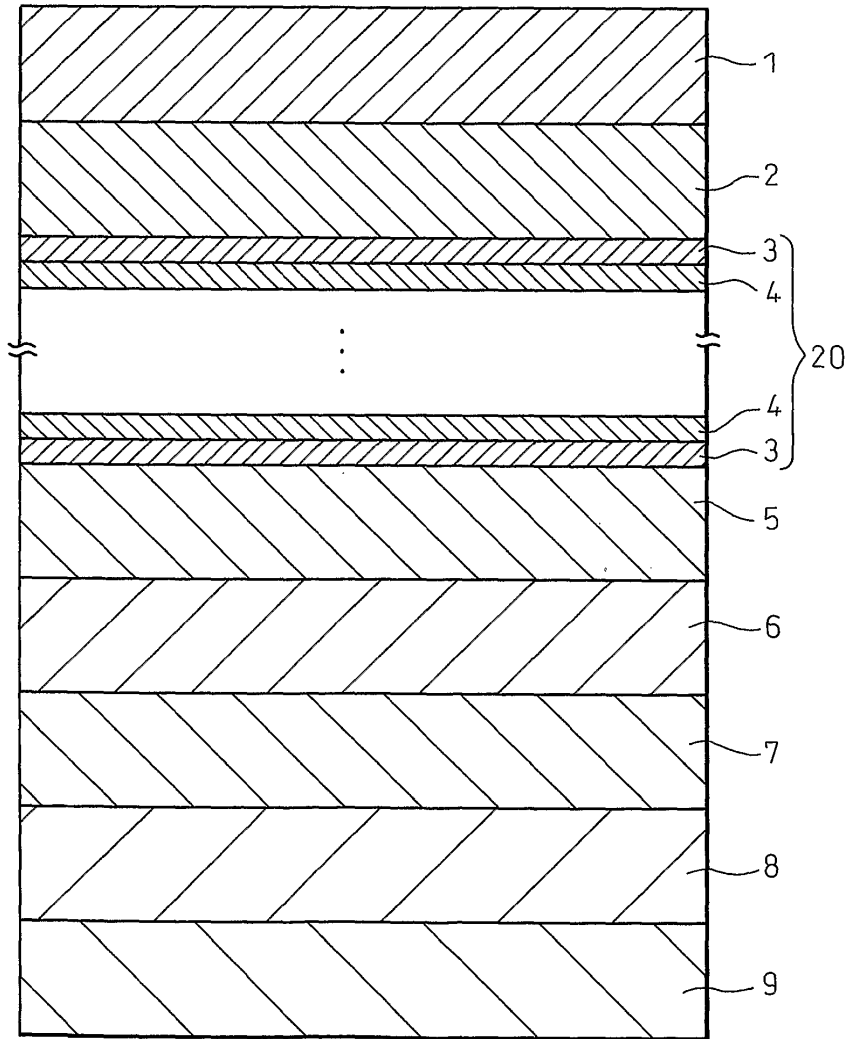
<155> 본 발명의 III족 질화물 화합물 반도체 적층 구조체는 양호한 결정성을 갖는 III족 질화물 화합물 반도체 결정으로 이루어지는 표면층을 갖고 있다. 따라서, 이 적층 구조체 상에 더욱 기능을 갖게 한 III족 질화물 화합물 반도체 결정층을 형성함으로써 우수한 특성을 갖는 발광 다이오드, 레이저 다이오드, 또는 전자 디바이스 등의 반도체 소자를 제작할 수 있다.

도면의 간단한 설명

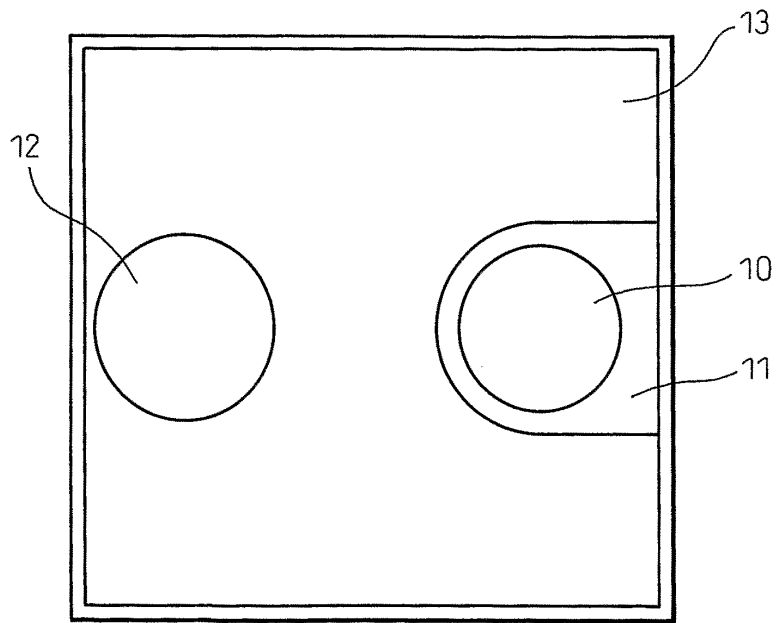
- <39> 도 1은 본 발명의 실시예 2에서 제작한 반도체 발광 소자의 에피택셜층 구조를 갖는 에피택셜 웨이퍼의 단면을 나타내는 모식도이다.
- <40> 도 2는 본 발명의 실시예 2에서 제작한 반도체 발광 소자의 전극 구조를 나타내는 평면도이다.
- <41> 도 3은 본 발명의 실시예 1에서 제작한 III족 질화물 화합물 반도체 적층 구조체의 제 1 층의 평면 TEM 사진이다.
- <42> 도 4는 도 3을 모식적으로 나타낸 도면이다.
- <43> 도 5는 본 발명의 실시예 1에서 제작한 III족 질화물 화합물 반도체 적층 구조체의 단면 TEM 사진이다.
- <44> 도 6은 도 5를 모식적으로 나타낸 도면이다.
- <45> 도 7은 본 발명의 비교예에서 제작한 III족 질화물 화합물 반도체 적층 구조체의 제 1 층의 평면 TEM 사진이다.
- <46> 도 8은 도 7을 모식적으로 나타낸 도면이다.

도면

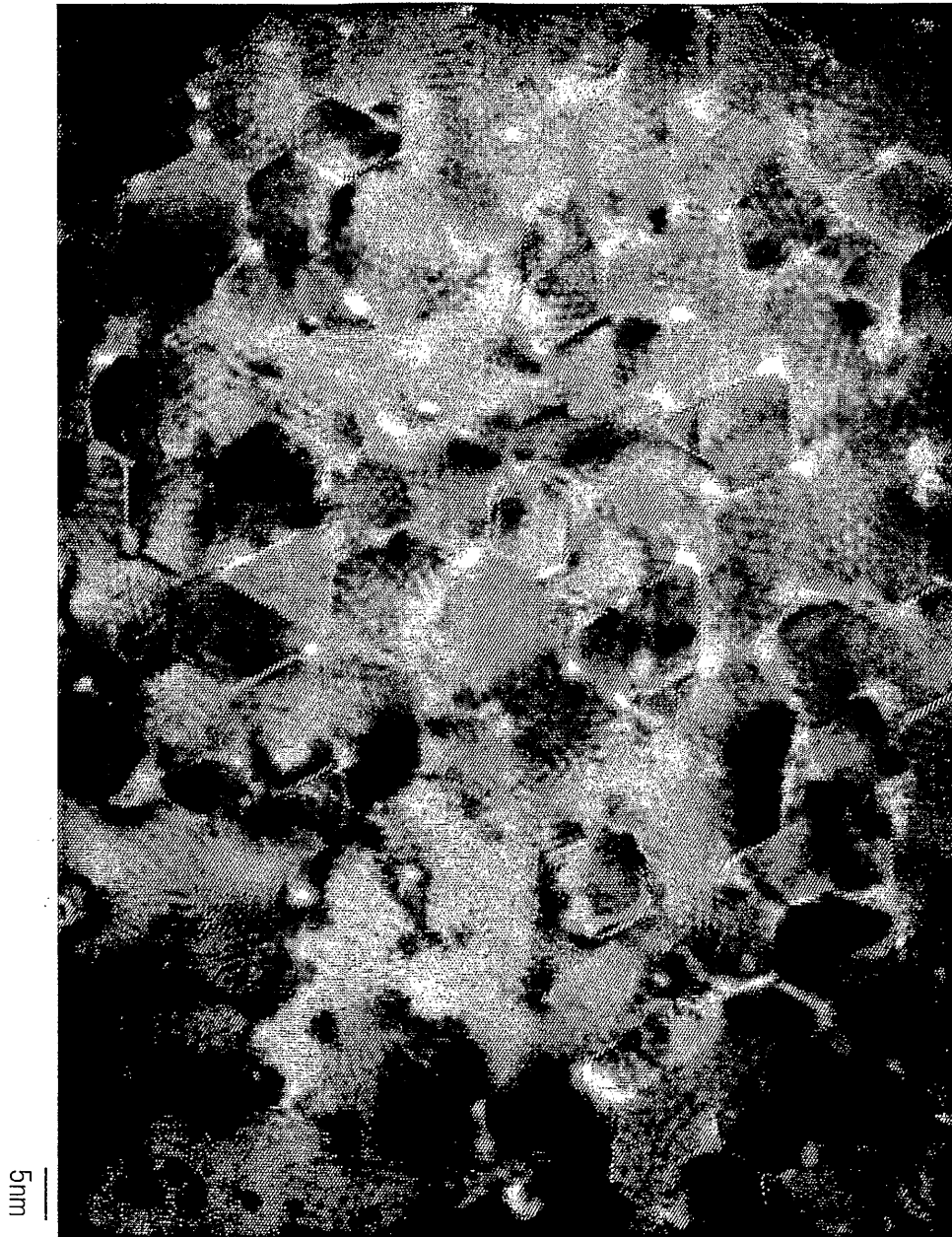
도면1



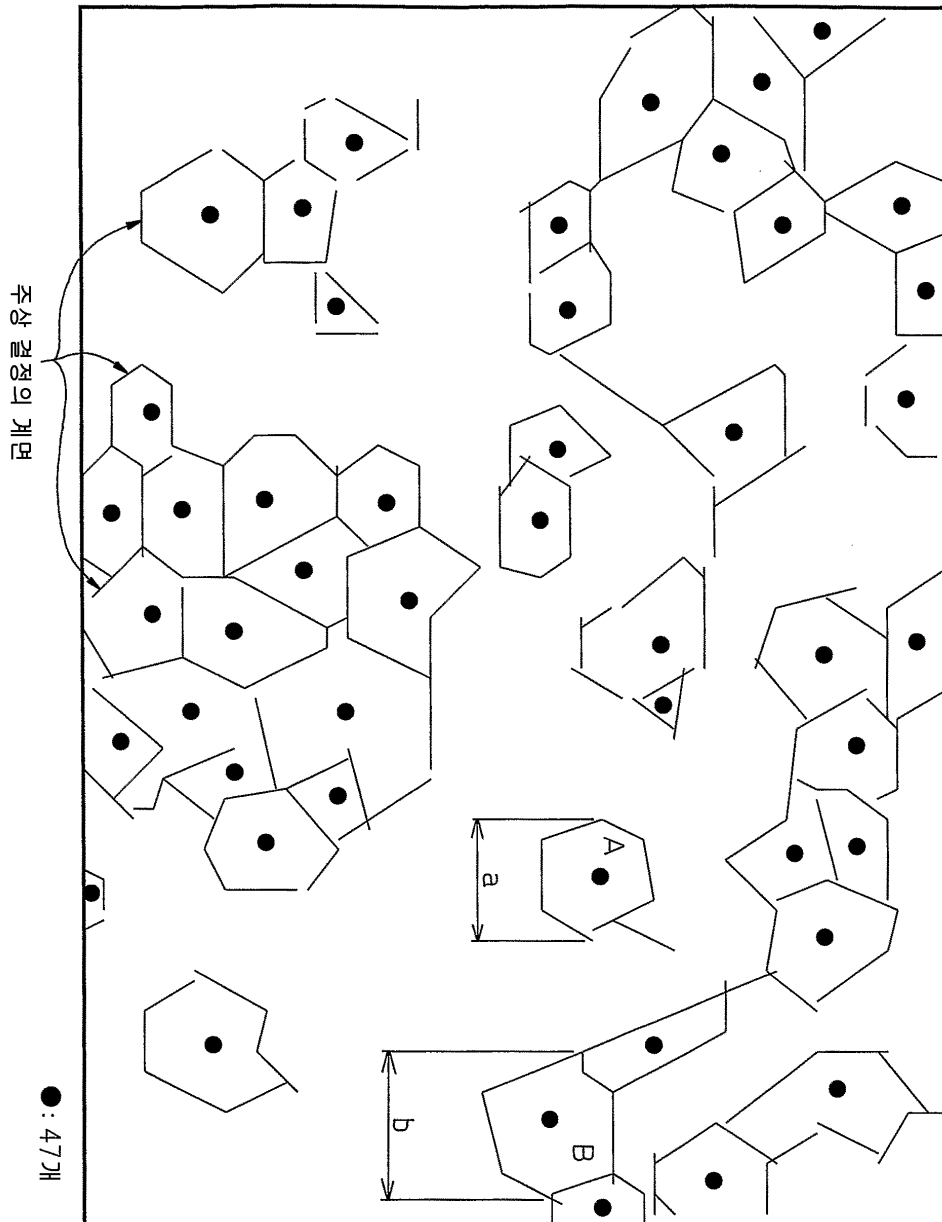
도면2



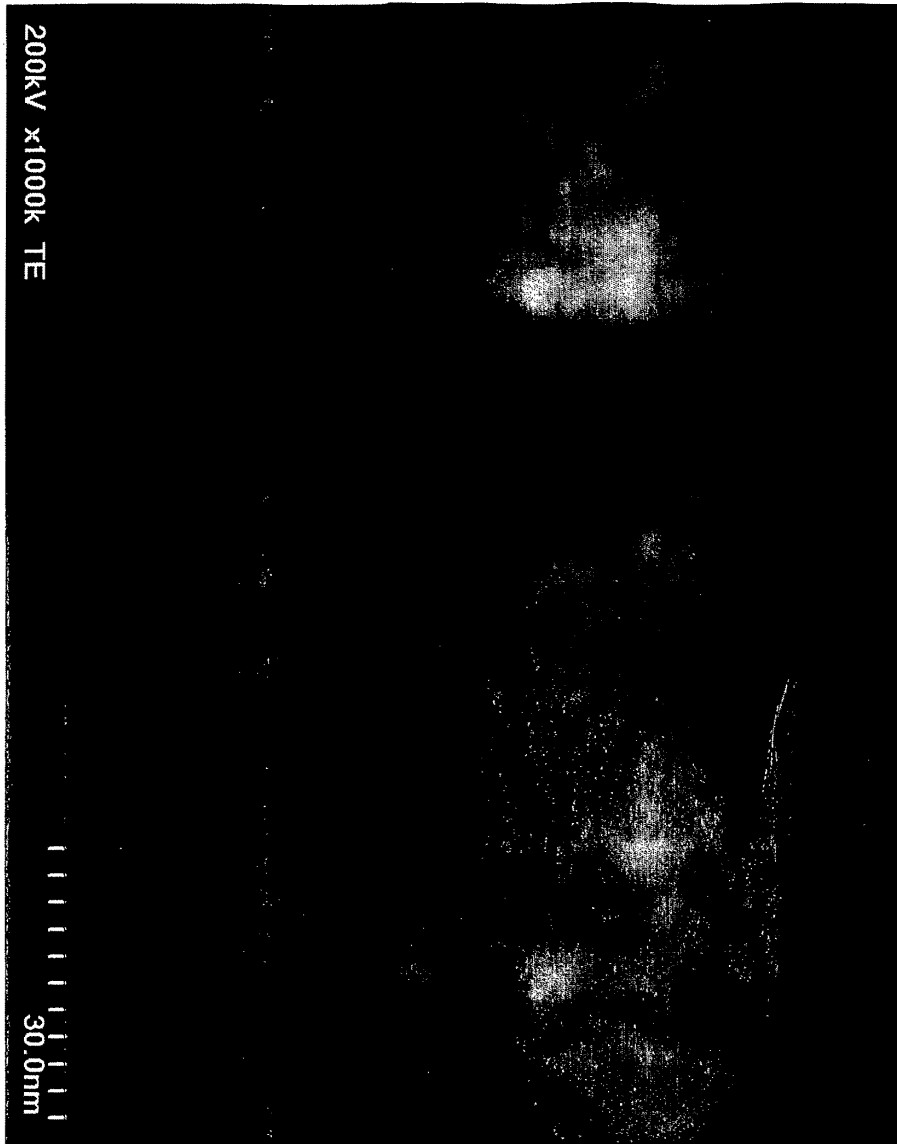
도면3



도면4



도면5

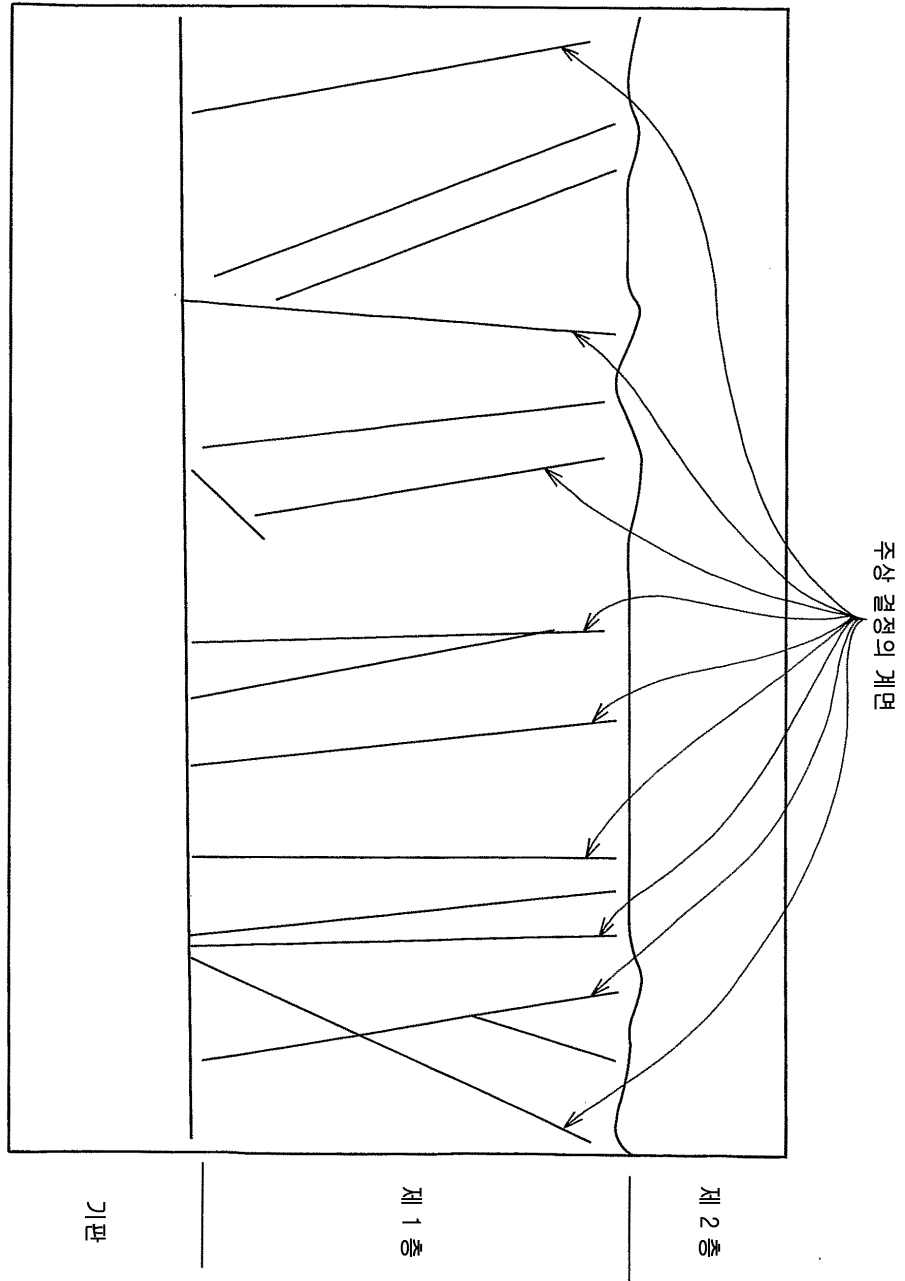


제 2 종

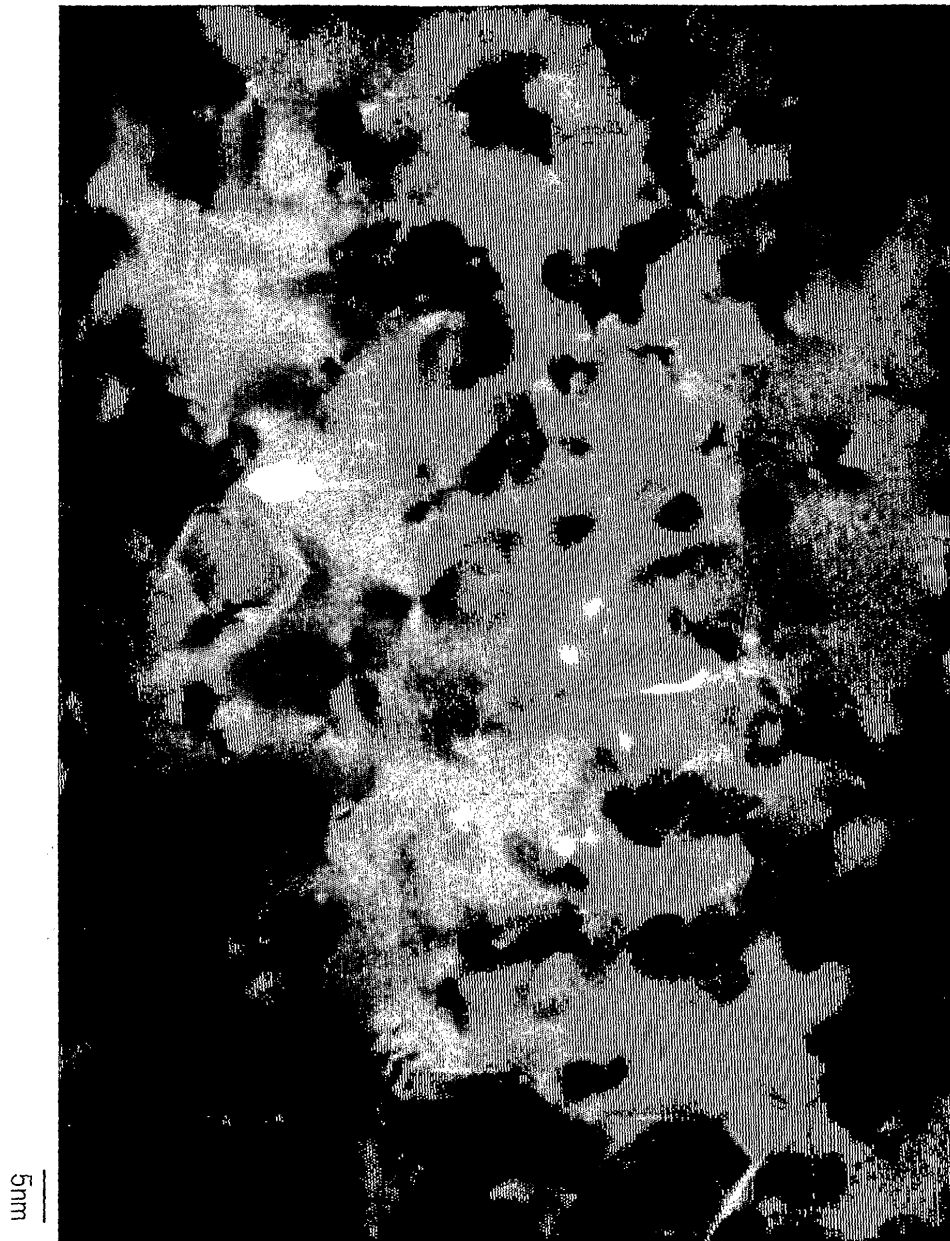
제 1 종

기판

도면6



도면7



도면8

