

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2010-80965
(P2010-80965A)

(43) 公開日 平成22年4月8日(2010. 4. 8)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/285 (2006.01)	HO 1 L 21/285 S	4 K O 2 9
C 2 3 C 14/14 (2006.01)	C 2 3 C 14/14 D	4 M 1 O 4
HO 1 L 21/288 (2006.01)	HO 1 L 21/288 E	5 F O 3 3
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 R	
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 M	
審査請求 有 請求項の数 10 O L 外国語出願 (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2009-218041 (P2009-218041)	(71) 出願人	390040660
(22) 出願日	平成21年9月18日 (2009. 9. 18)		アプライド マテリアルズ インコーポレイテッド
(62) 分割の表示	特願2000-522622 (P2000-522622) の分割		APPLIED MATERIALS, INCORPORATED
原出願日	平成10年10月26日 (1998. 10. 26)		アメリカ合衆国 カリフォルニア州 95054 サンタ クララ パウアーズ アベニュー 3050
(31) 優先権主張番号	08/978, 792	(74) 代理人	100088155
(32) 優先日	平成9年11月26日 (1997. 11. 26)		弁理士 長谷川 芳樹
(33) 優先権主張国	米国 (US)	(74) 代理人	100094318
			弁理士 山田 行一
		(74) 代理人	100123995
			弁理士 野田 雅一
		最終頁に続く	

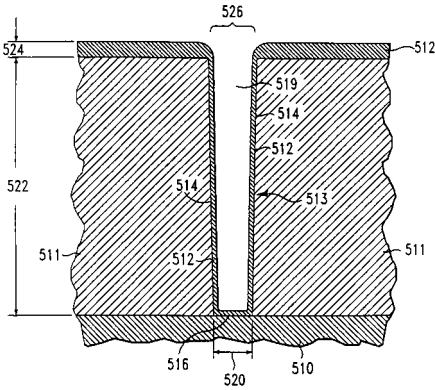
(54) 【発明の名称】 ダメージフリー被覆刻設堆積法

(57) 【要約】 (修正有)

【課題】周辺表面を汚染もしくは乱さずに、スパッタリングした銅シード層を堆積させて、所望の形状に刻設する方法を提供する。

【解決手段】底部516と、側壁514と、上側開口526とを有する複数の凹状のデバイス特徴を含む基板上に銅シード層を堆積させる方法であって、a) 基板表面からのスパッタリングを引き起こす態様において前記凹状のデバイス特徴の基板表面に衝突することなく前記銅シード層の第1の部分を前記基板上にスパッタ堆積するステップと、b) 前記銅シード層の第2の部分を前記基板上にスパッタ堆積すると同時に、銅シード層の前記第1の部分の少なくとも一部を、前記複数の凹状のデバイス特徴のそれぞれの底部から対応する側壁へと再配分するステップと、を備える。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

底部と、側壁と、上側開口とを有する複数の凹状のデバイス特徴を含む基板上に銅シード層を堆積させる方法であって、

a) 基板表面からのスパッタリングを引き起こす態様において前記凹状のデバイス特徴の基板表面に衝突することなく前記銅シード層の第 1 の部分を前記基板上にスパッタ堆積するステップと、

b) 前記銅シード層の第 2 の部分を前記基板上にスパッタ堆積すると同時に、銅シード層の前記第 1 の部分の少なくとも一部を、前記複数の凹状のデバイス特徴のそれぞれの底部から対応する側壁へと再配分するステップと、

を備える方法。

【請求項 2】

銅シード層の第 1 の部分の少なくとも一部の前記再配分は、銅シード層の前記第 2 の部分の前記同時スパッタ堆積と組み合わせて、前記複数のデバイス特徴の前記底部上および前記側壁上にわたって実質的にコンフォーマルな銅シード層を与える、請求項 1 に記載の方法。

【請求項 3】

前記銅シード層上にわたって銅を電気メッキすることにより前記凹状のデバイス特徴を満たすステップを更に備える、請求項 1 または請求項 2 に記載の方法。

【請求項 4】

前記スパッタ堆積が誘導結合 R F プラズマの存在下で起こる、請求項 1 に記載の方法。

【請求項 5】

ステップ a) 中、前記スパッタ堆積は、前記凹状のデバイス特徴の前記底部での銅シード層の堆積を妨げる量の積層を前記開口上で回避するのに適したバイアスを前記基板にかけて行なわれる、請求項 1 に記載の方法。

【請求項 6】

ステップ a) 中、前記スパッタ堆積は、前記凹状のデバイス特徴の前記底部上に既に堆積された前記銅シード層から銅シード層を再スパッタする傾向がないバイアスを前記基板にかけて行なわれる、請求項 5 に記載の方法。

【請求項 7】

厚さを変えることができる連続的なタンタルバリア層を前記デバイス特徴の前記底部上にわたって設けることにより、ステップ a) 中、スパッタ堆積されている銅シード層が、前記凹状のデバイス特徴の前記底部上に存在する下層のタンタル含有バリア層を通じて拡散することが防止されており、前記連続する層は 5 Å の最小厚さを有する、請求項 1 に記載の方法。

【請求項 8】

前記タンタル含有層がタンタルである、請求項 7 に記載の方法。

【請求項 9】

前記タンタル含有層が物理蒸着されたタンタル含有層である、請求項 7 または請求項 8 に記載の方法。

【請求項 10】

前記物理蒸着されたタンタル含有層がスパッタされたタンタル含有層である、請求項 9 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、下地表面へのダメージや汚染の可能性をなくすか、もしくはその可能性をかなり低下させるように、高アスペクト比の半導体特徴 (features) の壁を覆う刻設された被覆 (sculptured coating) をスパッタリングする方法に関する。

10

20

30

40

50

【背景技術】

【0002】

半導体のパターン化された金属特徴の特徴サイズが縮小されるにつれ、当該分野で既知の技術を用いては、多層冶金処理を施すことが特に困難となっている。さらに、現在好適な冶金とされるアルミニウムを、それに比べて抵抗率が低くさらにエレクトロマイグレーション耐性が高いために、いくつかの応用において銅に切り替えることも、将来の技術的要求に含まれている。ブランケットメタルをパターンニングするためによく用いられる標準的な反応性イオンエッチング法では、温度が低い（約200℃を下回る温度）状態では銅が揮発性の分解物を発生しないため、銅を扱う場合には特に困難となる。それに替わる堆積リフトオフ技術は、銅がリフトオフ溶剤によって腐食しやすければ、銅構造における適応可能性において制限される。したがって、銅からなる素子を形成するための主要な処理は、食刻構造であり、埋め込まれた状態のトレンチおよび／またはバイアを充填する必要がある。

10

【0003】

0.5ミクロン（ μ ）以下の範囲にある特徴サイズを有する食刻された多層構造を製造するための通常の工程は、以下の工程からなる。すなわち、誘電体材料を全面堆積する工程、誘電体材料をパターンニングして開口を形成する工程、誘電体材料の表面全体へバリア層を設ける工程、開口を充填するのに十分な厚みをもつ導電材料を基板へ堆積する工程、化学的技術、機械的技術、もしくは化学機械研磨などのようなこれらの技術を組み合わせた技術を用いて基板表面から余分に堆積した導電材料を除去する工程である。特徴サイズがおおよそ0.25 μ より小さいものである場合、通常、化学的気相堆積法（CVD：Chemical Vapor Deposition）、蒸着法、電気めっき法、もしくはイオン堆積スパッタリング法から選択された方法を用いて、バリア層および／または導電充填層が堆積される。化学気相成長法は、本質的に完全にコンフォーマルなものであるが、特に特徴が高アスペクト比の場合、充填された開口の中心にボイドを生じる傾向がある。さらに、蒸着源からの汚染物が堆積された導電材料で見つけられることが多く、これは密着性や他の膜特性に影響を及ぼす場合がある。蒸着法は、特徴の深さが浅いものを被覆するには問題はないが、高アスペクト比の特徴を充填するには、蒸着技術の堆積速度が特に遅く、またステップカバレッジが劣ることもあって、一般に実用的ではない。電気めっき法は、コンタクトバイアを充填する方法として最近有望視されてきたが、適切なシード層が電気めっきを施す前に堆積されなければ、電気めっきを施した銅の結晶方向はエレクトロマイグレーションを減少させるためには最適なものでなくなる。スパッタリングした銅を用いて、電気めっきした銅もしくはCVDを施した銅の充填層が全体に適用されたシード層を設けることにより、結晶構造が改良されてデバイス特性が向上する。

20

30

【0004】

銅を用いた応用にどのような技術を用いようとも、それを適用する前に、銅を隣接する材料に拡散しないようにするバリア層を設けることが必要となる。バリア層は、連続したもので、かつ銅原子を拡散させてしまうような開口をまったく含んでいないものである必要がある。バリア層が、アスペクト比が3：1よりも大きいものであり、かつ特徴のサイズが0.5 μ m以下である特徴の表面を被覆しなければならない場合、このようにバリア層を連続させて形成することは非常に困難である。バリア層を設けるための好適な方法は、プラズマスパッタリングを用いた物理的気相堆積法（PVD：Physical Vapor Deposition）であり、この方法を用いると堆積速度が速くなるため、PVD法の中では好ましい方法のものである。蒸着を実行するのに必要な装置が簡単であるため、可能であれば、従来のプラズマスパッタリングが使用される。特に小さな特徴サイズ、例えば0.25 μ よりも小さな特徴のサイズが含まれる場合、イオン堆積プラズマ（IMP）スパッタリング技術を用いることが必要な場合がある。

40

【0005】

被覆層を刻設するのが困難であるため、高アスペクト比で寸法が小さな特徴に適合する層がバリア層かまたは主に導電層であるかにかかわらず、多くの技術が開発され、適切な

50

形状を有する被覆層を提供する試みがなされてきた。

【0006】

1974年5月17日に発行されたRudolph Eschbachの米国特許第5,312,509号公報には、高純度金属の低温化学気相成長(CVD)用の製造システムが開示されている。さらに詳しく言えば、エッチングされたパターンを含む半導体基板がプラズマ洗浄され、接着層や核生成シード層でスパッタ被覆されて、CVD法を用いて導電層が設けられる。CVD法で堆積された金属は、コンピュータガイドシステムを用いて制御されるリアクタと基板の状態を種々に組み合わせて形成される。このような製造システムは、低温で純銅をCVD堆積する際に用いることが推奨されている。

【0007】

1985年4月30日に発行されたPrem Nathの米国特許第4,514,437号公報には、インジウム錫酸化物などの薄膜を基板に堆積させるための方法および装置が開示されている。この堆積工程は、電子、半導体、光電池デバイスの製造において一つのステップからなる。固体材料源を蒸発させるために電子ビームが用いられ、反応ガスからイオン化可能なプラズマを供給するために電磁エネルギーが用いられる。蒸発させた固体材料をプラズマを介して通過させることで、基板に堆積させる前に活性化される。このようにして、固体材料と反応ガスが励起され、新しく形成された化合物を基板に堆積させる前にそれらを相互作用させることが容易になる。

【0008】

1990年7月31日に発行されたLu等の米国特許第4,944,961号公報には、半導体ウェハなどの基板上に金属もしくは金属合金を部分的にイオン化したビームで堆積するためのプロセスが記載されている。るつぼの出口でるつぼから蒸発した金属が部分的にイオン化され、イオン化された蒸気はバイアスをかけて基板に引きつけられる。基板温度を制御することで、トレンチやバイアなどの階段状の表面が非コンフォーマルなカバレッジになるとされている。さらに高い温度が使用される場合、階段状の表面は平坦化される。ここに挙げられた例は、アルミニウムの堆積であり、非コンフォーマルな堆積法が、約150℃から約200℃の範囲にある基板温度で実行され、さらに平坦化堆積法が約250℃から約350℃の範囲にある基板温度で実行されている。

【0009】

1990年12月11日に発行された米国特許第4,976,839号公報には、不活性ガスや窒素からなる他のガスに対して1容量%から5容量%の割合の酸素を含む混合ガスで反応スパッタリングさせて形成した500Åから2,000Åの厚みを有する窒化チタンバリア層が開示されている。ここでは、窒化チタンバリア層を堆積させる間のシリコン基板の温度は、スパッタリング中約350℃から約500℃の範囲にあり、窒化チタン膜の抵抗率は、「100μΩ-cmよりも小さい」ものであった。

【0010】

1993年9月21日に発行されたBraren等の米国特許第5,246,885号公報では、高アスペクト比の特徴を充填するためにレーザアブレーションシステムの使用が提案されている。合金、グレード層および純金属は、エネルギービームを用いて2以上の材料からなるターゲットをアブレーションして、ある特定の角度でターゲットに衝突させることによって堆積される。アブレーションされた材料は、主にアブレーションされた材料のイオンからなるプラズマを作り出すものとされ、プラズマは材料が堆積される予定の表面の方向に高い指向性をもつようにされる。好適なエネルギービーム源は、UVレーザである。堆積表面の加熱はビームにより堆積される全エネルギーに制限され、これは最小限に抑えるべきであるとされている。

【0011】

J. Vac. Sci. Technol. B. のVol. 12, No. 1, Jan/Feb 1994で発表されたS. M. RossnagelおよびJ. Hopwoodによる「イオン化されたマグネトロンスパッタリング放電からのメタルイオン堆積(Metal ion deposition from ionized magnetron sput

10

20

30

40

50

tering discharge)」と題した1993年の論文において、従来のマグネトロンスパッタリングとスパッタリング陰極と基板間の領域にある高密度の誘電結合RFプラズマを組み合わせる技術が記載されている。ここで挙げられている例のうちの1つは、反応スパッタリングを用いて窒化チタン膜を堆積する例であり、この例ではアルゴンガスおよび窒素ガスを組み合わせて形成したプラズマと組み合わせてチタン陰極が用いられている。生成される膜の抵抗率は、約 $200\mu\Omega\text{-cm}$ から約 $75\mu\Omega\text{-cm}$ の範囲のものであり、より低い抵抗率の膜を発生させるためにはイオンエネルギーをさらに大きくしなければならない。しかしながら、イオンエネルギーを大きくすればするほど、膜にかかる応力もさらに大きくなってしまう。膜の剥離は $700\text{\AA}$ を超える厚みに共通しており、回路外形の特徴での堆積が裂けて層間剥離することになる。

10

【0012】

J. Vac. Sci. Technol. B 14 (3), May/Jun 1996のS. M. RossnagelおよびJ. Hopwoodによる「拡散バリア、接着層およびシード層適用時に原子量の大きい不応性のある薄膜を堆積する方法 (Thin, high atomic weight refractory film deposition for diffusion barrier, adhesion layer, and seeded layer applications)」と題した論文には、拡散バリアを堆積させる際、指向性の程度を制御することが可能な技術が記載されている。さらに詳しく言えば、この論文にはタンタル (Ta) を堆積させる方法が記載されており、この方法によりタンタル原子を相互接続用のバイアおよびトレンチの急勾配の側壁に堆積させることができる。この方法は、堆積する原子の指向性を高めて、低圧で従来のコリメートされていないマグネトロンスパッタリングを用いる。指向性を高めるためには、陰極とワークピース表面との間の距離 (スロー (throw)) を長くし、スパッタリング中のアルゴンの圧力を下げる。商用陰極 (Applied Materials Endura (登録商標) クラス: 直径30cmの円形板陰極) に堆積された膜と回転磁石で規定された浸食経路に対して、25cmのスローは挿間されるコリメータの1.0に近いアスペクト比にほぼ等しいものとされる。本願開示において、従来のコリメートされていない低圧マグネトロンスパッタリングとともにこのような「ロングスロー」技術の使用は、「ガンマスパッタリング」と呼ばれる。ガンマスパッタリングを用いることで、トレンチの特徴が $0.5\mu\text{m}$ 幅のものに対してアスペクト比が2.8:1のトレンチの側壁上にコンフォーマルな薄い被膜を堆積することができる。しかしながら、ガンマスパッタリングされたTa₂N膜が比較的高い膜の残留圧縮応力を示し、これによりTa膜または窒化タンタル (例えば、Ta₂NまたはTa₂N) 膜は下地基板 (通常、酸化シリコン誘電体) から剥離してしまう可能性がある。その代わりに、膜が剥離しなくても、膜応力により基板 (通常、シリコンウェハ) 表面上の特徴が歪んだり、もしくは薄いウェハが変形してしまうこともある。

20

30

【0013】

1994年10月11日に発行されたHo等の米国特許第5,354,712号公報には、集積回路の相互接続構造を形成するための方法が記載されている。スパッタリングされる窒化チタン (TiN) などの導電材料のバリア層が、誘電体層により画定されるトレンチ表面上に配置されることが好ましい。TiNにより次に金属を堆積するためのシード層が設けられる。CVD技術を用いて導電性のバリア層上に銅のコンフォーマル層が選択的に堆積される。

40

【0014】

1996年12月17日に発行されたJoshi等の米国特許第5,585,763号公報には、不応性金属を被せた抵抗率が低い金属導電体のラインおよびバイアが開示されている。さらに詳しく言えば、物理気相成長法 (例えば、蒸着法またはコリメートスパッタ法) を用いて低抵抗率の金属が設けられ、その後、不応性の金属キャップの化学気相成長 (CVD) が施される。推奨されている相互接続金属には、 Al_xCu_y (ここで、xおよびyの合計は1であり、xおよびyは共に0以上である) が含まれている。

【0015】

50

コリメートスパッタ法に必要な装置は、一般に、時間の経過中コリメータ上にスパッタリングされる材料の立ち上がりが一定のものであるため、維持および制御がともに困難なものとなる。コリメートスパッタ法は、1995年12月26日に発行されたActor等の米国特許第5,478,455号公報に記載されている。スパッタリングまたは蒸着にかかわらず、基板に到達するスパッタリングされた流束が減少するため、コリメートは本質的に堆積処理が低速になる。

【0016】

1997年5月13日に出願された本発明の出願人による米国特許出願第08/855,059号には、スパッタリング技術を用いて銅で半導体のワークピース表面上の特徴を充填する方法が記載されている。基板表面の温度は、銅層を形成している間、特定の温度域内に制御される。スパッタリング法は、ガンマスパッタリング法、コヒーレントスパッタリング法、IMP（イオンメタルプラズマ）法や従来のスパッタリング法を含む多数の使用可能なスパッタリング法から選択され、これらすべてが詳細に記載されている。米国特許出願第08/855,059号の内容全体を参照により本願明細書に引用したものと

10

【0017】

本発明の譲受人に譲渡され、その内容全体を参照により本願明細書に引用する1995年8月7日に出願されたXu等の米国特許出願第08/511,825号には、キャリア層として作用する窒化チタンからなるバリヤ層を形成する方法が記載されている。キャリア層により、高アスペクト比のバイア、ホールまたはトレンチなどの孔を充填して、従来技術の方法と比較して低温でキャリア層上に設けられる導電膜が平坦化できる。Xu等の好適な実施形態のキャリア層は、Ti/TiN/Tiからなる3層構造のものであり、これはイオン堆積（またはイオンメタルプラズマ）スパッタリング技術を用いて堆積される。本出願の図1には、Xu等のキャリア層を含むコンタクトバイアの断面の略図を示している。さらに詳しく言えば、図1は、高アスペクト比の孔113に形成された例示的なコンタクト118を示している。具体的に言うと、孔113のアスペクト比は約5:1であり、ここで幅寸法120は約0.25 μ mで、寸法122は約1.2 μ mである。コンタクト118は、少なくとも2つのサブエレメントからなる。すなわち、バリヤ層としても作用するキャリア層100と、キャリア層100上に堆積された導電材料119であり、これらはキャリア層が形成された後に残る孔の容積を充填するためのものである。

20

30

【0018】

キャリア/バリヤ層100を参照すると、この3層からなる構造は、二酸化シリコン層111とシリコン基板110の両表面上に設けられる前に、ターゲットからスパッタされ部分的にイオン化（10%から100%のイオン化）されたチタンからなる第1の副層112から形成される。ターゲットを離れた後基板上に堆積する前にターゲット材料がイオン化される技術は、「イオン堆積スパッタリング法」か、もしくは「イオンメタルプラズマ（IMP）」スパッタリング法と呼ばれる。第2の副層114は、部分的にイオン化され窒素と反応させたスパッタリングされたチタン層であり、第1の副層112上に堆積させる前に窒化チタンを形成する。第3の副層116は、部分的にイオン化された状態で堆積させた、スパッタリングしたチタンと窒化チタンの両方からなる層である。

40

【0019】

キャリア/バリヤ層が一旦堆積されると、およそ800 $\text{\AA}$ の厚みを有するコンフォーマル層が形成され、導電材料119で充填すべき孔の中に内部容積117を残す。コンフォーマルキャリア/バリヤ層100は、部分的にイオン化されスパッタリングされたチタンと窒化チタンを用いて堆積されたもので、部分的にイオン化された材料は、基板の支持プラテン（図示せず）上にある電界により孔の基板110と111の方向へと向けられたものである。部分的にイオン化されスパッタリングされた材料と基板上に電界を設けるために用いる装置は、Xu等の特許出願に詳細に記載されており、以下により一般的な用語で記載される。

【0020】

50

Xu等の図1に記載されたコンフォーマルキャリア／バリア層100は、基板を配置した、十分な電界（バイアス）を支持プラテン（図示せず）にかけて、バイアスを基板自体に与えることだけで達成される。通常、基板のバイアスは約-70Vである。

【発明の概要】

【発明が解決しようとする課題】

【0021】

層112を形成している間に約-70Vの基板バイアスをかけると、下地のシリコン基板110と二酸化シリコン側壁基板111にイオンが強い衝撃を与えることになり、結果としてこれらの表面を同時にスパッタリングすることになることが分かった。シリコン基板110と二酸化シリコン基板111からスパッタリングされた原子は、他の材料の周辺表面と共にバリア層112の組成をも汚染してしまう。本発明は、周辺表面をほとんど汚染もしくは乱さずに、スパッタリングされたキャリア／バリア層100を堆積させて、所望の形状に刻設する方法を提供する。

【課題を解決するための手段】

【0022】

本発明では、堆積層のイオンが衝突することによって浸食および汚染しないように、刻設された層が適用された表面が保護されるイオン堆積スパッタリング法を用いて、刻設された材料層を半導体の特徴表面に適用する方法であって、

a) 従来のスパッタリング法またはイオン堆積スパッタリング法を用いて刻設された層の第1の部分を、前記刻設された層が適用される表面が前記半導体の特徴の性能または寿命に有害な量で浸食または汚染されない程度に基板バイアスを十分低くして適用するステップと、

b) イオン堆積スパッタリングを用いて前記刻設された層の次の部分を、さらなる層材料を堆積させながら、前記第1の部分からの形状を刻設することができる程度に基板バイアスを十分高くして適用するステップとからなる半導体の特徴表面に刻設した材料層を適用する方法が開示されている。

【0023】

この方法は、半導体の特徴表面上にバリア層、ウェットティング層、および導電層を刻設することに特に適している。例えば、導電層がタングステンであり、バリア層がチタンの場合、チタン層を堆積するための方法を用いることで、コンタクトバイアの底面に隣接した表面からスパッタリングオフされる不純物によってチタンが汚染されないため、コンタクトの抵抗率が大きくなることを防ぐ。導電層がアルミニウムであり、下地層がチタンウェットティング層である場合、チタンを堆積するための方法を用いることにより、チタンを堆積中に隣接した二酸化シリコン表面からスパッタリングオフされた酸素によってチタンウェットティング層が汚染されない。汚染されていないチタン層上に引き続き適用されるアルミニウム層が、よりよい状態でチタン層に流れることになる。例えば、導電層が銅であり、下地層がタンタルバリア層である場合、この方法を用いることによって、特徴のサイズが小さくアスペクト比が高くても、汚染されていないコンフォーマルなタンタルバリア層を堆積することができる。

【0024】

下地層が銅の場合、銅を分離するために適切なバリア層が用いられていなければ、銅の表面の拡散特性によって隣接材料に拡散されるため、コンフォーマルなタンタルバリア層が比較的均一な厚みをもつことが非常に重要なこととなる。銅が隣接した材料内に拡散されないようにするために、銅を分離させるために用いるバリア層は連続したものでなければならず、特徴の外形にもよるが、層はコンフォーマルなもので、その最小厚みが少なくとも約5Åのものが好ましい。例えば、トレンチやコンタクトバイアのような特徴のアスペクト比が高く（通常、約3:1より大きい）、特徴サイズが小さい場合（通常、トレンチまたはバイアの底面の最大寸法は約0.5μm以下のものである）、トレンチまたはバイアのベース部付近の壁のバリア層の厚みは薄くなる傾向にあるが、この例に限られたものではない。アスペクト比が大きくなればなるほど、薄膜効果も高くなる。層の堆積がコ

ンフォーマルなものでないため、その薄くなった部分を補うためにさらに材料を堆積させると、特徴の開口部付近の特徴内に大きなオーバハング（肩部）が生じてしまう。このオーバハングにより、導電材料で特徴を充填しにくくなり、バイア／コンタクトまたはライン抵抗が増大してしまうこともある。よりコンフォーマルな層を堆積させるために、イオン堆積プラズマ技術を用いることが必要となる。さらに、特徴表面上にバリア層の刻設された厚みを設けるために、バリア層の堆積中、特徴表面をバイアスする必要がある。

【0025】

堆積中に、周辺表面やバリア層またはウェットティング層自体を汚染しないようにするために、バリア層またはウェットティング層は以下のように堆積される。すなわち、従来のスパッタリング技術を用いるかもしくはイオン堆積プラズマ法のいずれかを用いて第1の材料部分が基板表面に堆積されるが、このときイオン化されたバリア層材料が引きつけられる方向の表面が、デバイス性能または寿命に有害な量でスパッタリングされない程度に十分低くした基板バイアス電圧と組み合わせる。通常、基板バイアス電圧は、約 -20 V よりも低いものでなければならない。基板にバイアスをかけるための基板支持プラテンには電力をまったく印加しない場合に優れた結果が得られる。最初の堆積は、約 10 mT よりも大きい真空チャンバ圧で実行されることが好ましい。バリア層またはウェットティング層は、この分野で一般に使用される温度で堆積することも可能である。

【0026】

バリア層の材料の第1の部分を堆積した後、特徴の表面上にさらにバリア層材料を堆積する間、バイアス電圧は増大される。より高いバイアス電圧を印加することによって、バリア層またはウェットティング層材料の第1の部分（より低い基板バイアス電圧で堆積されたもの）をリスパッタリング（刻設）しながら、新しく堆積する材料のより異方性の堆積を可能にすることができる。トレンチまたはバイアの表面上に低いバイアス電圧で堆積された材料により、より高いバイアス電圧でスパッタリング堆積している間、バリア層材料またはウェットティング層材料の下にある基板表面を保護することができる。これにより、イオン化材料を衝突させることによって基板に生じる基板内の破壊をなくし、デバイスを機能的に破壊しないようにする。また、バリア層またはウェットティング層を適用する間、隣接した表面からスパッタリングされた材料によりバリア層またはウェットティング層に生じる汚染を減少させるか、またはそれを排除する。

【0027】

対象となる特徴の外形を最適にする条件を変化させながら、基板バイアスをかけない堆積ステップと基板バイアスをかける堆積ステップとを複合して組み合わせるか、もしくはバイアス電力をしだいに上げていくことによって、バリア層が刻設されてもよい。

【0028】

導電材料のシード層、特に、特徴に適用される銅のシード層は、バリア層やウェットティング層を参照して上述したものと同一刻設方法で達成されることもある。銅の充填が電気めっき法、化学的気相堆積法（CVD）、PVD（例えば、出願人の同時継続出願第08／855,059号に記載された銅の堆積技術など）か、もしくはこれらの方法を組み合わせる場合に、銅のシード層を刻設することは特に重要なものとなる。すなわち、連続したコンフォーマルなシード層を有する必要がある。銅のシード層を刻設しなければ、通常、コンタクトバイアの頂部にかなりのオーバハングが生じてしまう。このようなオーバハングにより、バイアを完全に充填する前にバイアの開口部を塞いでしまい、コンタクトの内部にボイドが残ってしまう。銅のシード層をスパッタリングしすぎると、バイアの底部にシード層がない部分を作ってしまう。銅のシード層がなくなると、その領域に銅が成長しなくなるため、バイアの底部にボイドが形成されてしまう。（銅の充填物が電気めっき法を用いて堆積される場合、銅のシード層がまったくない領域には電気めっき用の電流がない。）本方法は、連続したコンフォーマルなシード層を提供するものである。基板の温度は、銅のシード層を堆積させ刻設する間、非常に重要なもので、これによりバリア層表面から銅がディウェットティングしないようになる。銅のシード層を堆積および刻設する間の基板の温度は、約 $500\text{ }^{\circ}\text{C}$ より低いものが好ましく、約 $200\text{ }^{\circ}\text{C}$ より

も低いものがさらに好ましい。

【図面の簡単な説明】

【0029】

【図1】金属製の導電層で覆われた多層構造のバリア層を含むコンタクトバイアの断面を示す概略図である。本発明の譲受人に譲渡されたX u等の米国特許出願第08／511, 825号からの従来技術である。

【図2】基板に堆積させてイオン化した材料を基板に引き付ける前に、スパッタリングしたターゲット原子のイオン化を行うために用いることができる種類の装置を概略的に示したものである。X u等の米国特許出願第08／511, 825号からの従来技術である。

【図3】基板バイアスを用いてイオン化した原子を引き付けるコンタクトバイアの断面の概略図である。衝突イオンがコンタクトのベース部を浸食している。

【図4】図3に示した種類の概略図であるが、基板バイアスを用いずにイオン化したターゲット原子を引き付けるものである。バイアの開口部付近で材料の厚めの立ち上がりが生じている。バイアの底面に比較的厚めのターゲット材料層が堆積されているが、底面付近のバイアの壁にある堆積された層の厚みは非常に薄いものである。

【図5】図3および図4に示した種類の概略図であるが、本発明の技術を用いることによって、コンタクトのベース部が浸食かつ汚染されず、またバイアの壁上に堆積されたターゲット材料の刻設された平坦な層が得られるものである。

【発明を実施するための形態】

【0030】

薄膜のバリア層、ウェットティング層および導電材料のシード層を半導体の特徴表面に適用するには、特徴の性能を最適なものにする場合、層を特徴の形状に合わせる必要がある。

【0031】

物理的気相堆積（PVD）技術を用いてこのような薄膜を形状合わせする技術は、PVDを用いると多くの望ましい材料特性が得られるため、近年特に関心を集めてきた。IMPとしても知られるイオン堆積スパッタリング法を用いて、高アスペクト比で小さな特徴サイズを有する特徴に材料層をPVD法で適用することが可能であった。しかしながら、イオン堆積スパッタリング法は、イオン堆積スパッタリングを施した材料と接触する下地層がスパッタリングされて浸食されるという逆効果の副作用も有していた。さらに、下地層から浸食された材料が特徴表面付近を汚染してしまう可能性もあった。

【0032】

半導体の特徴表面上にイオン堆積スパッタリングを施し刻設された材料層を適用する本発明の方法によって、イオン堆積層が堆積される基板がスパッタリングされることがなくなる。この方法は、バイアの底面にバリア層を堆積する際に特に有益であり、バリア層の堆積中に隣接した表面から汚染されると、コンタクトの抵抗率が最終的に高くなってしまう可能性がある。この方法は、導電層として用いられる材料が隣接する誘電体材料内に拡散されないようにするために、コンフォーマルで比較的均一な堆積を行う必要がある場合、バリア層を堆積する際に特に有益である。この方法は、ウェットティング層が汚染されるとウェットティング機能を働かせるための層の性能に影響を及ぼす場合、ウェットティング層を堆積する際に特に有益である。この方法は、導電性のシード層が汚染されると引き続き堆積される導電材料に適切な結晶構造が形成できなくなる場合、導電性のシード層を堆積する際に特に有益である。さらに、特徴サイズが小さくアスペクト比が高く、連続してコンフォーマルな導電材料のシード層を特徴表面上に形成する必要がある場合、コンフォーマル層を刻設することが可能であることは、導電材料が銅である場合など、特に利点となる。

【0033】

銅が隣接した材料内に拡散されないようにするために、銅を分離するために用いるバリア層は連続的なものである必要があり、さらに特徴の形状にもよるが、厚みが少なくとも約5 Åの最小厚みを有する、コンフォーマルかつ実質的に均一なものであることが好まし

10

20

30

40

50

い。特徴サイズが小さくアスペクト比が大きい場合、特徴の底面に向かって、トレンチ表面やコンタクトバイア表面などの特徴に適用されるバリヤ層が薄くなっていく傾向にある。底面付近の特徴壁の上にバリヤ層を所望する最小厚みに仕上げていくために、バリヤ層を堆積するためのイオン堆積プラズマ技術を用いる必要がある。さらに、バリヤ層が適用される表面にバイアスをかけて、刻設された実質的に均一かつコンフォーマルな被覆形状を得るように、バリヤ層の材料を形成する必要がある。バリヤ層を堆積する間、周辺の表面やバリヤ層材料自体が汚染されないようにすることが重要である。バリヤ層上に銅層を堆積させる間の下地層の銅による汚染や銅層自体の汚染に関しても、同じことが当てはまる。下地基板材料がスパッタリングされると、バリヤ層の特性にダメージを与え破壊してしまうか、銅のシード層を害してしまう（例えば、銅などの抵抗率が低い材料は不純物に極端に敏感である）。下地基板材料をスパッタリングしないようにするためには、堆積するイオン化された材料が引きつけられる方向にある表面が、デバイス性能や寿命に有害な量でスタッピングされない程度に十分低い基板バイアス電圧を用いて、特徴の表面上に保護材料層を最初にスタッピングして堆積する必要がある。バリヤ層材料の少なくとも一部を堆積した後、バイアス電圧を上げて以前に堆積されたバリヤ材料と新しく堆積するバリヤ材料の両方を刻設しやすくする。銅のシード層を堆積する間、これと同じ技術を用いて、下地材料層が銅汚染されないようにする。

10

【0034】

しかしながら、本発明の方法は、銅が導電層である応用に限ったものではない。バリヤ層、導電性のシード層および充填層を堆積する間、下地層を浸食しないようにするには、例えば、Ti/TiNバリヤ層を組み合わせて使用するアルミニウム導電層などの他のシステムに応用することも可能である。

20

【0035】

I. 定義

詳細な記載の序文として、本願明細書および添付の請求の範囲に用いている単数形「a」、「an」、「the」は、他に明確な表記がない限り、複数のものも含むことに留意されたい。したがって、例えば、「半導体 (a semiconductor)」という用語は、半導体の性質を示す特性をもつ既知のさまざまな種類の材料を含むものであり、「プラズマ (a plasma)」という表記は、RFもしくはDCグロー放電により活性化されたある種のガスやガス反応物を含み、さらに「銅」、「アルミニウム」「タングステン」という表記は、それらの合金も含んでいる。さらに詳しく言えば、本願明細書では、「TiN」、「Ta₂N」、「MoN」、「WN」、「TiSiN」、「TaSiN」、「MoSiN」、「WSiN」などのような化合物の表記は、ここに挙げた要素の組み合わせを含むすべての化合物を含むものであり、特定の化学量論組成に限定するものではない。

30

【0036】

本発明の記載において特に重要な特別な用語を以下に定義する。

【0037】

「アルミニウム」という用語は、半導体業界で通常用いられる種類のアルミニウム合金を含む。このような合金は、例えば、アルミニウム-銅合金やアルミニウム-銅-シリコン合金を含む。通常このようなアルミニウム合金は、およそ0.5%銅からなる。

40

【0038】

「異方性堆積」という用語は、材料の堆積が同じ速度ですべての方向に進まないことを指す。堆積が一方向にのみ生じれば、堆積プロセスはその方向に完全に異方性であるとされる。

【0039】

「アスペクト比」という用語は、電気コンタクトが配置される特定の開口の幅寸法に対する高さ寸法の比を指す。例えば、通常複数の層を介して筒状に延びるバイア開口は高さと直径をもち、アスペクト比は筒状部分の高さを直径で除算したものである。トレンチのアスペクト比は、トレンチの高さをベース部でのトレンチの最小幅で除算したものである

50

。

【0040】

「銅」という用語は、銅およびその合金を指すもので、合金の銅含有量は少なくとも80原子%である。合金は2つの要素成分よりも多くの成分からなることもある。

【0041】

「特徴」という用語は、基板表面の外形を構成するコンタクト、パイア、トレンチや他の構造を指す。

【0042】

「イオン堆積プラズマスパッタリングされた」という用語と「イオンメタルプラズマ（IMP）」という用語は、スパッタ堆積法、好ましくはマグネトロンスパッタ堆積法を指し、この堆積法では高密度の誘電結合RFプラズマがスパッタリング陰極と基板支持電極との間に作り出され、スパッタリングされた放出の少なくとも一部が基板表面に到達する時にはイオン状態になっている。

10

【0043】

「イオン堆積プラズマスパッタリングされた銅」もしくは「IMPスパッタリングされた銅」もしくは「IMP銅」という用語は、IMPスパッタ堆積プロセスを用いてスパッタリングされた銅堆積物を指す。

【0044】

「反応性イオン堆積プラズマスパッタリング」もしくは「反応性イオンメタルプラズマ（IMP）」という用語は、イオン堆積プラズマスパッタリング法を指し、この方法では反応ガスがスパッタリング中に供給されて、スパッタリングされるイオン化材料と反応し、反応ガス要素を含むイオン堆積スパッタリングされた化合物を発生する。

20

【0045】

「シード層」という用語は、密着性を促進させて核生成を高め、次の堆積（通常は同じ材料）中に所望の結晶指向性を得るために堆積される層を指す。以下に記載する好適な実施形態を参照すると、IMPスパッタリング手段を用いて銅シード層が堆積され、ここに記載した方法を用いて刻設すると、電気めっき法により引き続き銅を適用する間、確実に適切な核生成を行う薄いシード層が得られる。

【0046】

「SEM」という用語は、走査型電子顕微鏡を指す。

30

【0047】

「従来のスパッタリング」もしくは「標準的なスパッタリング」という用語は、基板上に薄膜層を形成する方法を指し、この方法では、ターゲットがスパッタリングされ、ターゲットからスパッタリングされた材料はターゲットと基板との間を通過して、基板上に薄膜層を形成し、ターゲットからスパッタリングされたターゲット材料のほとんどの部分をイオン化するための手段を設けずに、基板に到達させる。従来のスパッタリングを提供するよう構成される1つの装置が、米国特許第5,320,728号公報に記載されており、この開示は参照により本願明細書に引用したものとする。このような従来のスパッタリング構造において、イオン化されるターゲット材料のパーセンテージは、ターゲットからスパッタリングされたうちの10%よりも低く、さらに一般的には1%よりも低いものである。

40

【0048】

II. 本発明を実行するための装置

本発明の刻設方法は、アプライドマテリアルズ社（Applied Materials, Inc.）（カリフォルニア州、サンタクララ）から入手可能なCentura（登録商標）かもしくはEndura（登録商標）Integrated Processing Systemで実行される。Endura（登録商標）のシステムは、米国特許第5,186,718号公報および第5,236,868号公報において示され記載されており、その開示は参照により本願明細書に引用したものとする。

【0049】

50

本発明のバリヤ層構造を形成するために、図2に示した処理要素は、Endura（登録商標）Integrated Processing System内に含まれた低压プロセスチャンバのうちの1つで動作される。図2を参照すると、本発明のバリヤ層を形成するための低压プロセスチャンバは、標準的なスパッタリングマグネット210（スパッタリングプラズマを閉じ込めてスパッタリング速度を上げる）と、直径が約14インチ（35.5cm）のタンタルスパッタリングターゲット陰極とともに、約0.5kWから約8kWの範囲にあるこの陰極に印加するDC電力を用いる。基板は、8インチ（200mm）直径のシリコンウェハのもので、シリコンウェハの上にある二酸化シリコン誘電体の1.2μmの厚みを有する層を有する。誘電体層は、底面直径が0.35μmであり、高さが1.2μmのコンタクトバイアを含むようにパターニングされたものである。基板ウェハは、ターゲット陰極212から約5インチ（13cm）離れた距離に配置されたものである。約100kHzから約60MHzの範囲（好ましくは約2MHzから約13.56MHz）にあるRF電力213を、約0.5kWから約6kWの範囲（好ましくは約1.5kWから約4kWの範囲）にあるワット数で一回転または複数回転の金属コイルストリップに印加することにより、ターゲット陰極212と基板218の間の領域に高密度の誘電結合RFプラズマが発生したものである。ストリップコイルは、3回転から4回転よりも少ないものからなることが好ましい。

【0050】

RF電力を基板が設置されるプラテンに通常印加することによって、基板に0Vから-300V DCの範囲の基板バイアス電圧が印加される。バイアス電圧が印加されるとき、プラズマから基板にイオンを引き付けるDC基板バイアスが作り出される。

【0051】

III. トレンチまたはバイア内でのバリヤ層の形成

実施例1：

図3は、シリコンウェハ基板310と、その上に堆積させた二酸化シリコン誘電体層311のSEM側面図の略図を示すものである。二酸化シリコン層311は、底面寸法320が0.35μmであり、高さ寸法322が1.2μmであるバイア313を含むようにパターニングされたものである。イオン堆積プラズマ処理を用いてバイア313の表面314上にタンタルバリヤ層312が適用されたものである。さらに詳しく言えば、ターゲットへのDC電力は2kWで、コイル（2MHz）へのRF電力は1.5kWであり、基板へのバイアスは、全体を堆積している間、約-70V（約200W）のものである。真空室の圧力は約40mTで、タンタルバリヤ層312の堆積時の基板温度は約75℃である。堆積させたタンタルバリヤ層312は、バイア313の上面の厚み324が約900Åであり、バイア313の内壁の厚みが約150Åであり、バイア313の上側開口部326には余分な立ち上がりはない。バイアの壁の上側部分の層の厚みは良好に制御されるが、基板バイアスを高くするとバイア313の底面316に破壊部分328が生じてしまうため、タンタル層は非常に薄い、もしくは破壊部分328の位置には存在せず、さらに下地シリコン基板310内に入り込んでいる、もしくはそれらのいずれかである。タンタルを堆積させるようにリスパッタリングを行うと、バイア313の底面316の付近に立ち上がり329が生じてしまう。このようにして生じた構造は、通常コンタクト構造の漏洩や低抵抗率などにつながるため、受け入れがたいものである。当業者であれば、含まれる特徴にもよるが、破壊されなければまったく逆の影響をデバイスの機能に及ぼすことは予想できることであろう。

【0052】

実施例2：

図4は、シリコンウェハ基板410と、その上に堆積させた二酸化シリコン誘電体層411のSEM側面図の略図を示すものである。二酸化シリコン層411は、底面寸法420が0.35μmであり、高さ寸法422が1.2μmであるバイア413を含むようにパターニングされたものである。イオン堆積プラズマ処理を用いてバイア413の表面414上にタンタルバリヤ層412が適用されたものである。さらに詳しく言えば、ターゲ

ットへのDC電力は2 kWで、コイル(2 MHz)へのRF電力は1.5 kWである。この場合、基板へのバイアスはない。真空室の圧力は約40 mTで、タンタルバリヤ層412の堆積時の基板温度は約75℃である。タンタルは、約60秒間堆積される。基板バイアスをかけないことにより、バイア413の底面416に大量のタンタルが堆積される。タンタル層412は、基板表面上に約1,200 Åの厚み部分424をもち、開口部426の付近ではバイア413の壁には約400 Åの厚みがあり、さらに底面416の方向に向かうほど薄くなっている。タンタル層412の厚みは、(存在すれば)バイア413の底面416の付近の角415で最小になっている。バイア413の底面416でのタンタル層412の平均的な厚みは、約300 Åである。角415のバリヤ層412が薄いため、引き続き適用する銅の充填物(図示せず)を二酸化シリコン誘電体層411とシリコン基板410内に堆積させてしまう原因となる。

10

【0053】

アルミニウムの充填物と接触する窒化チタンバリヤ層を薄くすることは、アルミニウムが誘電体として半導体産業で通常使用される種類の二酸化シリコン絶縁層との境界面を形成するため、銅の充填物と接触するタンタルバリヤ層が薄くなることほど特に問題となることではない。しかしながら、例えばチタンウェットティング層が、コンタクトバイア内のアルミニウム充填物の下地であるウェットティング層として用いられる。チタンは、周辺の表面からスパッタリングされる材料によって堆積中に汚染されると、アルミニウムの充填中、ウェットティング層として作用する能力が減少することになる。

20

【0054】

導電材料が銅の場合、タンタルバリヤ層もしくは窒化タンタルバリヤ層が適用される下地表面をスパッタリングすることによる汚染問題が生じる可能性があるだけでなく、さらに、バリヤ層が非常に薄くなれば、二酸化シリコン層内に銅が拡散されて、最終的にデバイスの故障へとつながることになる。銅が導電性の充填材料として用いられる場合、孔の表面全体にキャリヤ/バリヤ層の厚みが確実により一定なものとするようにする手段を見付けることが重要である。これにより、コンタクトバイアの頂部にオーバハングを形成することなく、バイアの開口を塞いだり銅の充填物の上にボイドを形成することなくなる。さらに、連続したコンフォーマルなバリヤ層により、バリヤ層によって銅から分離された隣接層内に銅が拡散されないようになる。再度述べるが、連続したコンフォーマルなバリヤ層またはウェットティング層の形成方法を決める際に考慮すべき重要な点は、堆積プロセスの結果として生じる隣接表面の汚染量である。

30

【0055】

実施例3:

図5は、シリコンウェハ基板510と、その上に堆積させた二酸化シリコン誘電体層511のSEM側面図の略図を示すものである。二酸化シリコン層511は、底面寸法520が0.35 μmであり、高さ寸法22が1.2 μmであるバイア513を含むようにパターンニングされたものである。イオン堆積プラズマ処理を用いてバイア513の表面514上にタンタルバリヤ層512が適用されたものである。さらに詳しく言えば、ターゲットへのDC電力は2 kWで、コイル(2 MHz)へのRF電力は1.5 kWで、真空室の圧力は約40 mTで、さらに基板温度は約25℃のものをを用いて最初タンタルが堆積される。タンタルバリヤ層512の材料は、基板のバイアス電力をかけずに約15秒間適用される。

40

【0056】

基板バイアスを、-60 V(約250 W)までかけ、イオン堆積プラズマ法を用いて約45秒間タンタルがさらに適用される。真空室の圧力は約40 mTであり、基板温度は約25℃である。この2度目の堆積期間中、第1の堆積期間からのタンタルがリスパッタリングされ、バイア513の上側開口部526の領域から余分なタンタルが除去されて、バイア513の底部516の付近の領域に再度形作られる。最終的なバイア構造は、図5に示すようなものであり、タンタルバリヤ層は、バイア513の上側基板表面上の厚み部分524は約1,000 Åの比較的均一な厚みであり、開口部526にはオーバハングがな

50

く、さらにバイア513の内壁には約150 Åの均一な厚みを有する。バリア層51を堆積する間、下地のシリコン基板510にも、二酸化シリコン層511にもまったくダメージを及ぼすことがない。

【0057】

このようなイオン堆積プラズマスパッタリング技術は、対象となる特徴の外形に最適となるように条件を変えながら、バイアスなしの堆積ステップとバイアスをかける堆積ステップを複合させて用いられるよう設計される。基板バイアスは、所望の刻設を得るように立ち上げられたり立ち下げられたりすることもある。この技術を、例えば、Ta、Ta₂N、TaSiN、Mo、MoN、MoSiN、TiN、TiSiN、W、WN、WSiNなどのバリア層や、例えば、Ta、Mo、Tiなどのウェットティング層を含むあらゆるイオン堆積プラズマスパッタリングされた層に応用することができる。また、この技術は、例えば、Cu、Ni、Ag、Au、Al、W、Ptのような金属製の導電材料のシード層を適用する際にも用いることができる。特に、本願出願人により、この技術を用いて銅のシード層を堆積させ、銅の堆積がタンタルバリア層を堆積している間に示したものと同じ厚みの側面パターンになることが分かっている。

【0058】

本発明の方法は、上述したように、バイアの開口部の上側の縁部（肩部）に立ち上がりがあることで完全に充填する前に開口部が塞がれてしまう可能性があるため、コンタクトバイア内の銅の堆積物を刻設するために用いる場合特に有益である。さらに、バイアの底面であまりスパッタリングを行いすぎると、底面からすべての銅シード層をリスパッタリングして、タンタルバリア層を剥き出しにしてしまう可能性がある。引き続き銅の充填物を適用しても、シード層がないところには充填物は成長せず、コンタクトの底面にボイドができてしまう。例えば、銅の充填物が電気めっきされる場合、電気めっきされた銅は、この領域に電気めっきするための電流がないため、シード層がないところには成長しない。本発明の刻設方法は、このような問題を解決し、さらに銅のシード層を堆積している間、隣接する表面が汚染されないようにするものである。

【0059】

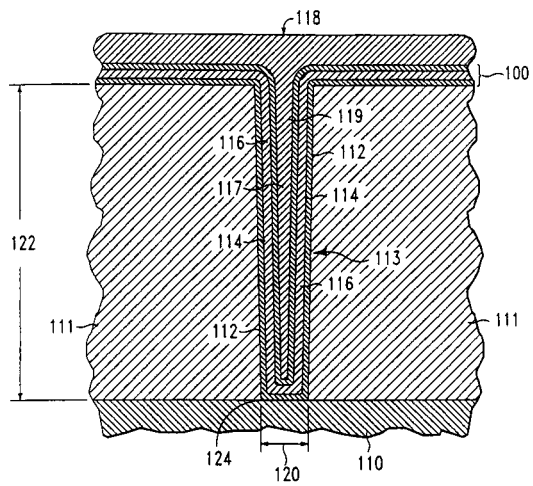
上述した好適な実施形態は、本発明の範囲を制限するものではなく、本発明の開示より当業者がこれらの実施形態を本発明の請求の範囲の主題に対応するように発展させることができるものである。

10

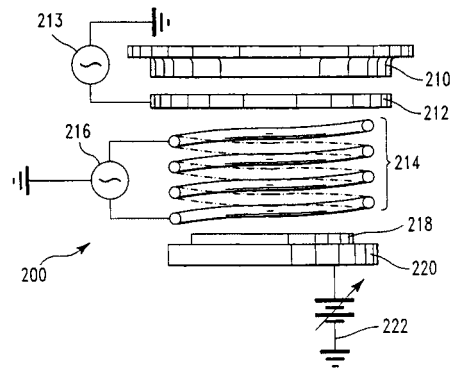
20

30

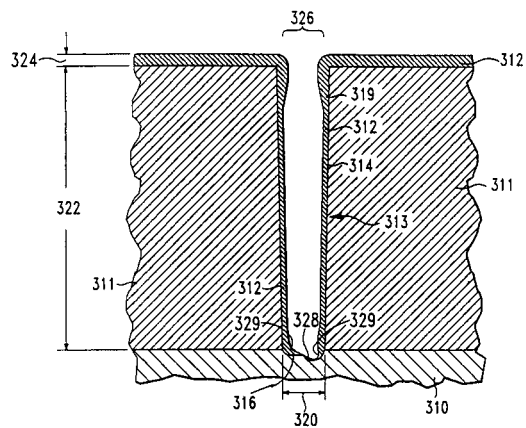
【図 1】



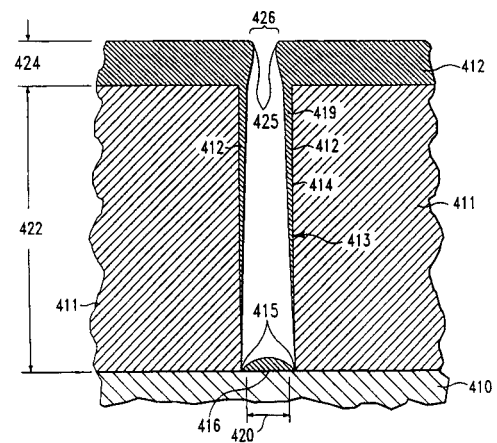
【図 2】



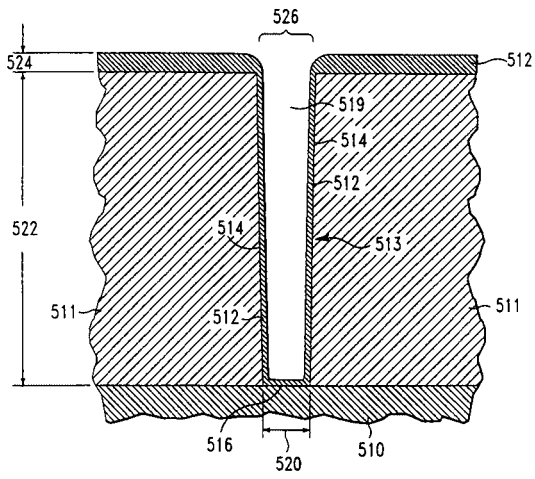
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H 0 1 L 23/52 (2006.01)		H 0 1 L 21/88		R
H 0 1 L 21/768 (2006.01)		H 0 1 L 21/90		C

(74)代理人 100107456

弁理士 池田 成人

(72)発明者 チャン, トニー

アメリカ合衆国, カリフォルニア州, マウンテン ヴュー, エヌ. ウィスマン ロード
1 0 0 ナンバー 1 7

(72)発明者 ヤオ, ゴングダ

アメリカ合衆国, カリフォルニア州, フリーモント, ワインディング レーン 4 4 8 7 5

(72)発明者 ディン, ペイジュン

アメリカ合衆国, カリフォルニア州, サン ノゼ, ダヴリュー, リヴァーサイド ウェイ
1 0 2 0

(72)発明者 チェン, フセン

アメリカ合衆国, カリフォルニア州, クパティノ, ポータル プラザ 1 9 9 1 0

(72)発明者 チン, バリー

アメリカ合衆国, カリフォルニア州, サラトガ, カンバーランド ドライヴ 1 3 1 7 4

(72)発明者 コハラ, ジェネ

アメリカ合衆国, カリフォルニア州, フリーモント, ハスティングス ストリート 3 8 6
8 0 ナンバーエー 2 0 3

(72)発明者 キュー, ツェン

アメリカ合衆国, カリフォルニア州, フォスター シティ, ハドソン ベイ ストリート
2 7 9

(72)発明者 チャン, ホン

アメリカ合衆国, カリフォルニア州, フリーモント, パウニー ドライヴ 4 5 0 2 0

Fターム(参考) 4K029 AA06 AA24 AA29 BA16 BD02 CA05 CA13 DA08 DC03 DC34

FA01 GA00

4M104 AA01 BB02 BB04 BB05 BB06 BB08 BB09 BB14 BB16 BB17

BB18 BB30 BB31 BB32 BB33 BB36 DD16 DD37 DD39 DD52

FF17 FF18 FF22 HH13

5F033 JJ07 JJ08 JJ11 JJ12 JJ13 JJ14 JJ18 JJ19 JJ20 JJ27

JJ28 JJ30 JJ32 JJ33 JJ34 KK01 NN06 NN07 PP15 PP21

PP23 PP27 PP33 QQ09 QQ37 RR04 XX02

【外国語明細書】
2010080965000001.pdf