

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-257209
(P2012-257209A)

(43) 公開日 平成24年12月27日(2012. 12. 27)

(51) Int.Cl.	F 1	テーマコード (参考)
HO 3 K 3/037 (2006.01)	HO 3 K 3/037 B	5 B 0 6 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 Z	5 F 0 3 8
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 7 1 C	5 F 1 1 0
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 6 1	5 J 0 3 4
	審査請求 未請求 請求項の数 3 O L (全 36 頁)	最終頁に続く

(21) 出願番号	特願2012-105341 (P2012-105341)	(71) 出願人	000153878
(22) 出願日	平成24年5月2日 (2012.5.2)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2011-108623 (P2011-108623)		神奈川県厚木市長谷398番地
(32) 優先日	平成23年5月13日 (2011.5.13)	(72) 発明者	小林 英智
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	藤田 雅史 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	王丸 拓郎 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		F ターム (参考)	5B060 AA20 5F038 CD16 DF04 DF05 DF08 DT12 EZ02 EZ13 EZ15 EZ17 EZ20 最終頁に続く

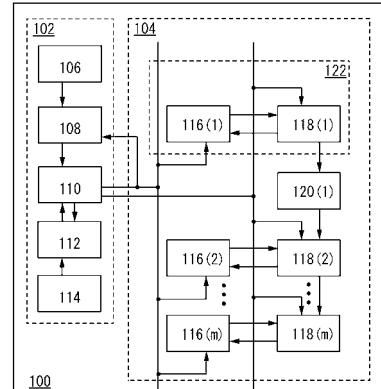
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】ラッチ型メモリが搭載されたCPUを動作させるに際して、処理内容に応じて常時記憶方式と終了時記憶方式のいずれかを選択し、ラッチ型メモリが搭載されたCPUの消費電力を低減する。

【解決手段】ラッチ型メモリが搭載されたCPUを動作させるに際して、電源のオンオフの繰り返し動作が多い場合には常時記憶方式とし、電源のオンオフの繰り返し動作が少ない場合には終了時記憶方式とする。常時記憶方式と終了時記憶方式のどちらを選択するかは、消費電力に応じて決定したしきい値をもとにして決定する。

【選択図】図 1



【特許請求の範囲】

【請求項 1】

少なくとも制御回路と中央演算処理装置を有し、
前記制御回路は、少なくとも、モニター回路と、信号制御回路と、第1の記憶素子と、
を有し、

前記中央演算処理装置は、少なくとも、複数の第2の記憶素子と、複数のフリップフロップ回路と、を有し、

前記モニター回路は、前記信号制御回路のオンまたはオフする回数を検知し、

前記信号制御回路は、前記中央演算処理装置が有する前記複数の第2の記憶素子及び前記複数のフリップフロップ回路に入力する信号を生成し、且つ前記検知した回数がしきい値以上である場合には前記第1の記憶素子に常時記憶方式のデータを記憶し、または前記検知した回数がしきい値未満である場合には前記第1の記憶素子に終了時記憶方式のデータを記憶し、

前記複数の第2の記憶素子には一定の電位に保持された配線に一方の電極が電気的に接続された容量素子と、

前記容量素子の他方の電極にソース及びドレインの一方が電気的に接続されたトランジスタと、を有し、

チャネル幅 $1 \mu m$ あたりの前記トランジスタのオフ電流が $10 \text{ aA} / \mu m$ 以下であることを特徴とする半導体装置。

【請求項 2】

請求項1において、

前記制御回路がタイマー及びインターフェースを有することを特徴とする半導体装置。

【請求項 3】

請求項1または請求項2において、

前記中央演算処理装置が論理回路を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。本明細書において、半導体装置とは、半導体素子自体または半導体素子を含むものをいい、このような半導体素子として、例えば薄膜トランジスタが挙げられる。従って、液晶表示装置及び記憶装置なども半導体装置に含まれるものである。

【背景技術】

【0002】

半導体装置にはその機能に応じて様々な装置（回路）が搭載されている。このような装置（回路）として、情報の処理を行う中央演算処理装置（CPU: Central Processing Unit）が挙げられる。CPUには低消費電力化が求められている。

【0003】

また、CPUには、情報の処理を行うに際して用いる記憶装置が搭載される。このような記憶装置の一例として、ラッチ型メモリが挙げられる。

【0004】

一方で、近年、半導体特性を示す金属酸化物（以下、酸化物半導体と呼ぶ。）が注目されている。酸化物半導体は、トランジスタに適用することができる（特許文献1及び特許文献2）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-096055号公報

10

20

30

40

50

【発明の概要】**【発明が解決しようとする課題】****【0006】**

ラッチ型メモリの記憶素子にデータを記憶させる方法としては、データを記憶素子に処理毎に記憶する方式（以下、常時記憶方式と呼ぶ。）と、データを記憶素子に処理終了時のみ記憶する方式（以下、終了時記憶方式と呼ぶ。）が挙げられる。

【0007】

常時記憶方式では、CPUが演算処理を実行している際にも記憶素子に順次アクセスしてデータを記憶するため、すぐに電源をオフすることができる。しかし、記憶素子に順次アクセスするため、記憶素子への書き込みや消去による消費電力が大きい。

10

【0008】

一方、終了時記憶方式では、CPUが演算処理を実行している際には記憶素子にアクセスしないため、消費電力を小さくすることができる。しかし、処理終了時にのみ記憶素子にすべてのデータを記憶するため、電源をオフするに際して常時記憶方式よりも長い時間を要する。

【0009】

なお、このように電源をオフするに際して要する時間をオーバーヘッドと呼ぶ。なお、常時記憶方式においてもオーバーヘッドは存在するが、非常に短い。

【0010】

本発明の一態様は、ラッチ型メモリが搭載されたCPUを動作させるに際して、処理内容に応じて常時記憶方式と終了時記憶方式のいずれかを選択し、ラッチ型メモリが搭載されたCPUの消費電力を低減することを課題とする。

20

【課題を解決するための手段】**【0011】**

本発明の一態様は、ラッチ型メモリが搭載されたCPUを動作させるに際して、電源のオンオフの繰り返し動作が多い場合には常時記憶方式とし、電源のオンオフの繰り返し動作が少ない場合には終了時記憶方式とするCPUの動作方法である。

【0012】

ここで、電源のオンオフの繰り返し動作が多い場合と少ない場合の選別は、演算処理時におけるデータの記憶と読み出しのトータルの消費電力により行う。すなわち、常時記憶方式においては、処理実行中に、常に記憶素子の充放電による消費電力が存在するが、オーバーヘッド時間は短いため、オーバーヘッドにおける消費電力は小さい。一方で、終了時記憶方式においては、処理実行中に記憶素子の充放電による消費電力が存在しないが、オーバーヘッド時間が長いため、オーバーヘッドにおける消費電力が大きい。そのため、CPUの処理内容に応じて、記憶素子の充放電による消費電力とオーバーヘッドにおける消費電力のトータルの消費電力が小さい方式を選択する。

30

【0013】

ところで、常時記憶方式と終了時記憶方式の選択は、半導体装置の製造者または使用者のいずれかが行えばよい。CPUが行う処理内容が予め決定されている場合には製造者が行えばよいし、CPUが行う処理内容が予め決定されておらずCPUが搭載される半導体装置の構成及び動作に応じて適宜変更の必要がある場合などは使用者が行えばよい。

40

【0014】

または、常時記憶方式と終了時記憶方式の選択は、過去の電源のオンオフの繰り返し動作に応じて、CPUが自動で行う方式としてもよい。

【0015】

すなわち、本発明の一態様は、少なくとも制御回路と中央演算処理装置を有し、前記制御回路は、少なくとも、モニター回路と、信号制御回路と、第1の記憶素子と、を有し、前記中央演算処理装置は、少なくとも、複数の第2の記憶素子と、複数のフリップフロップ回路と、を有し、前記モニター回路は、前記信号制御回路のオンまたはオフする回数を検知し、前記信号制御回路は、前記中央演算処理装置が有する前記複数の第2の記憶素子

50

及び前記複数のフリップフロップ回路に入力する信号を生成し、且つ前記検知した回数がしきい値以上である場合には前記第1の記憶素子に常時記憶方式のデータを記憶し、または前記検知した回数がしきい値未満である場合には前記第1の記憶素子に終了時記憶方式のデータを記憶し、前記複数の第2の記憶素子は一定の電位に保持された配線に一方の電極が電気的に接続された容量素子と、前記容量素子の他方の電極にソース及びドレインの一方が電気的に接続されたトランジスタと、を有し、チャネル幅 $1 \mu m$ あたりの前記トランジスタのオフ電流が $10 aA / \mu m$ 以下であることを特徴とする半導体装置である。

【0016】

また、前記制御回路はタイマー及びインターフェースを有するとよい。また、前記中央演算処理装置が論理回路を有するとよい。

10

【0017】

なお、このような半導体装置において、記憶素子にはオフ電流が極めて小さいトランジスタを用いることができる。すなわち、オフ電流が極めて小さいトランジスタのソース及びドレインの一方と容量素子の一方の電極の間にフローティングとなるノードを設け、該ノードの電位をHレベルまたはLレベルにすることによりデータを保持することができる。オフ電流が極めて小さいトランジスタを用いることで、電源をオフしてもデータを保持することができる。

【0018】

なお、本明細書において、オフ電流が極めて小さいトランジスタとは、チャネル幅 $1 \mu m$ あたりのオフ電流値を室温下において $10 aA / \mu m$ ($1 \times 10^{-17} A / \mu m$) 以下にすること、好ましくは、 $1 aA / \mu m$ ($1 \times 10^{-18} A / \mu m$) 以下、より好ましくは $1 zA / \mu m$ ($1 \times 10^{-21} A / \mu m$) 以下、最も好ましくは $1 yA / \mu m$ ($1 \times 10^{-24} A / \mu m$) 以下にすることが可能なトランジスタをいう。

20

【0019】

なお、オフ電流が極めて小さいトランジスタは、バンドギャップの広い半導体材料 (2.0 eV ~ 3.5 eV) によりチャネル形成領域が設けられたトランジスタであることが好ましく、少数キャリアが実質的に存在しないものとみなせるトランジスタ (少数キャリアが実質的に存在しないトランジスタ) であるとよい。このようなオフ電流が極めて小さいトランジスタに用いられる半導体材料としては、真性キャリア密度がシリコンよりも低い炭化シリコン若しくは窒化ガリウムなどの化合物半導体または酸化亜鉛などの酸化物半導体などが挙げられる。例えば、チャネル形成領域が酸化物半導体により設けられたトランジスタでは、少数キャリア密度が低く、少数キャリアが誘起されにくい。そのため、チャネル形成領域が酸化物半導体により設けられたトランジスタにおいては、リーク電流が発生し難く、オフ電流が小さい。

30

【0020】

なお、本明細書において、「原子」または「分子」は、イオン化されていてもよい。

【発明の効果】

【0021】

本発明の一態様によれば、ラッチ型メモリが搭載されたCPUの消費電力を低減することができる。

40

【図面の簡単な説明】

【0022】

【図1】本発明の一態様である半導体装置の概略を説明する図。

【図2】図1の半導体装置100の部分122を説明する図。

【図3】適用可能なトランジスタの断面概略図。

【図4】図3に示すトランジスタの作製方法を説明する図。

【図5】トランジスタに適用できる酸化物半導体の結晶構造を説明する図。

【図6】トランジスタに適用できる酸化物半導体の結晶構造を説明する図。

【図7】トランジスタに適用できる酸化物半導体の結晶構造を説明する図。

【図8】計算によって得られた移動度のゲート電圧依存性を説明する図。

50

【図9】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図10】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図11】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図12】計算に用いたトランジスタの断面構造を説明する図。

【図13】酸化物半導体膜を用いたトランジスタ特性を説明する図。

【図14】試料1のトランジスタのBT試験後の V_g - I_d 特性を説明する図。

【図15】試料2であるトランジスタのBT試験後の V_g - I_d を説明する図。

【図16】 I_d および電界効果移動度の V_g 依存性を説明する図。

10

【図17】基板温度としきい値電圧の関係及び基板温度と電界効果移動度の関係を説明する図。

【図18】試料Aおよび試料BのXRDスペクトルを説明する図。

【図19】トランジスタのオフ電流と測定時基板温度との関係を説明する図。

【発明を実施するための形態】

【0023】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0024】

まず、本発明の一態様である半導体装置の一構成例について説明する。

【0025】

図1には、本発明の一態様である半導体装置100の概略を示す。半導体装置100は、制御回路102と、CPU104と、を有し、制御回路102は、タイマー106と、モニター回路108と、EN信号制御回路110と、方式記憶用記憶素子112と、インターフェース114と、を有し、CPU104は、データ記憶用記憶素子116と、フリップフロップ回路118と、論理回路120と、を有する。

【0026】

ここで、データ記憶用記憶素子116、フリップフロップ回路118及び論理回路120は、複数設けられている。また、データ記憶用記憶素子116は図1に示すようにm個(mは自然数)設けられており、フリップフロップ回路118もm個設けられている。ただし、フリップフロップ回路118(k)とフリップフロップ回路118(k+1)の間には論理回路120が配されている(kは自然数)が、論理回路120はランダムに配置されており、例えば、フリップフロップ回路118(k)とフリップフロップ回路118(k+1)の間には論理回路120が配され、フリップフロップ回路118(k-1)とフリップフロップ回路118(k)の間には論理回路120が配されていなくてもよい。従って、論理回路120はn個(nは自然数であって、n < m)設けられている。

30

【0027】

CPU104は、演算処理を行う回路である。

40

【0028】

タイマー106は、モニター回路108の計測期間を設定する。

【0029】

モニター回路108は、タイマー106により設定された期間におけるEN信号の変化の回数(H信号がL信号に、L信号がH信号に遷移した回数)を計測する回路である。

【0030】

EN信号制御回路110は、方式記憶用記憶素子112のデータから常時記憶方式と終了時記憶方式のいずれかを選択し、選択された方式に応じてEN信号を生成して出力する回路である(初期)。また、モニター回路108により計測されたEN信号の変化の回数により、常時記憶方式と終了時記憶方式のいずれかを選択する(動作時)。EN信号の変

50

化の回数のしきい値（基準値）は、消費電力に応じて所定の値とする。EN信号の変化の回数がしきい値以上である場合には常時記憶方式とし、EN信号の変化の回数がしきい値未満である場合には終了時記憶方式とする。常時記憶方式とするか、または終了時記憶方式とするかは、方式記憶用記憶素子112に記憶すればよい。

【0031】

なお、EN信号制御回路110が生成するEN信号には、REN(Read ENable)信号とWEN(Write ENable)信号がある。すなわち、EN信号と呼ぶ場合には、REN信号とWEN信号の双方を含む。

【0032】

方式記憶用記憶素子112は、EN信号制御回路110により選択された方式を記憶する素子である。方式記憶用記憶素子112は、常時記憶方式と終了時記憶方式のいずれであるかを記憶すれば足りるため、少なくとも1ビットのデータを記憶できればよい。

10

【0033】

インターフェース114は、半導体装置100の製造者または使用者などが半導体装置100の動作方式を常時記憶方式と終了時記憶方式のいずれにするかを入力するために用いられるものである。CPU104が行う処理内容が予め決定されている場合には製造者がインターフェース114を介して入力すればよいし、CPU104が行う処理内容が予め決定されておらず半導体装置100の構成及び動作に応じて適宜変更の必要がある場合などは使用者がインターフェース114を介して入力すればよい。

20

【0034】

データ記憶用記憶素子116は、演算処理に用いるデータまたは演算処理により算出されたデータを記憶する。すべてのデータ記憶用記憶素子116にはEN信号制御回路110が電気的に接続されており、WEN信号が入力されている。

【0035】

フリップフロップ回路118には、Dフリップフロップ回路を用いればよい。すべてのフリップフロップ回路118にはEN信号制御回路110が電気的に接続されており、REN及び反転したREN信号(RENB)が入力されている。

30

【0036】

論理回路120は、演算処理に用いる回路であり、二のフリップフロップ回路118の間に設けられている。

【0037】

ここで、CPU104の一部である部分122に注目して説明する。なお、部分122には、データ記憶用記憶素子116(1)とフリップフロップ回路118(1)が設けられている。

【0038】

図2(A)には、部分122の具体的な回路構成の一例が示されている。部分122は、データ記憶用記憶素子116(1)とフリップフロップ回路118(1)から構成されている。

40

【0039】

ここで、データ記憶用記憶素子116(1)は、トランジスタ164と容量素子166を有し、容量素子166の一方の電極は低電位側電源線(Vss)に電気的に接続され、容量素子166の他方の電極はトランジスタ164のソース及びドレインの一方電気的に接続され、トランジスタ164のソース及びドレインの他方はフリップフロップ回路118(1)に電気的に接続されている。なお、トランジスタ164のゲートはEN信号制御回路110に電気的に接続されており、トランジスタ164のゲートにはWEN信号が入力される。

【0040】

フリップフロップ回路118(1)は、第1のトランスマッシュゲート152と、第1のクロックドインバータ回路154と、第2のクロックドインバータ回路156と、第2のトランスマッシュゲート158と、インバータ回路160と、第3のクロックドイ

50

ンバータ回路 162 と、を有する。フリップフロップ回路 118 (1) の入力端子は、第 1 のトランスマッシュゲート 152 の第 1 の端子に電気的に接続され、第 1 のトランスマッシュゲート 152 の第 2 の端子は、第 1 のクロックドインバータ回路 154 の第 1 の端子及び第 2 のクロックドインバータ回路 156 の第 2 の端子に電気的に接続され、第 1 のクロックドインバータ回路 154 の第 2 の端子は、第 2 のクロックドインバータ回路 156 の第 1 の端子、第 2 のトランスマッシュゲート 158 の第 1 の端子及びトランジスタ 164 のソース及びドレインの他方に電気的に接続され、第 2 のトランスマッシュゲート 158 の第 2 の端子は、インバータ回路 160 の第 1 の端子と第 3 のクロックドインバータ回路 162 の第 2 の端子に電気的に接続され、インバータ回路 160 の第 2 の端子及び第 3 のクロックドインバータ回路 162 の第 1 の端子は、フリップフロップ回路 18 (1) の出力端子に電気的に接続されている。
10

【0041】

そして、第 1 のトランスマッシュゲート 152 の n チャネル型トランジスタのゲートにはクロック信号 (CLK) が入力され、p チャネル型トランジスタのゲートには反転したクロック信号 (CLKB) が入力されている。第 1 のクロックドインバータ回路 154 には、REN 信号及びREN B 信号が入力されている。第 2 のクロックドインバータ回路 156 の n チャネル型トランジスタのゲートには反転したクロック信号 (CLKB) が入力され、p チャネル型トランジスタのゲートにはクロック信号 (CLK) が入力されている。第 2 のトランスマッシュゲート 158 の n チャネル型トランジスタのゲートには反転したクロック信号 (CLKB) が入力され、p チャネル型トランジスタのゲートにはクロック信号 (CLK) が入力されている。第 3 のクロックドインバータ回路 162 の n チャネル型トランジスタのゲートには反転したクロック信号 (CLKB) が入力され、p チャネル型トランジスタのゲートにはクロック信号 (CLK) が入力されている。
20

【0042】

ここで、念のため、図 2 (A) に示す各回路の具体的な構成の一例を図 2 (B-1)、(B-2)、(C-1) 及び (C-2) に示す。

【0043】

図 2 (B-1) に示すトランスマッシュゲートの具体的な構成を図 2 (B-2) に示す。図 2 (B-1) に示す S1 ~ S4 のそれぞれが図 2 (B-2) に示す S1 ~ S4 のそれぞれに対応する。
30

【0044】

図 2 (C-1) に示すクロックドインバータ回路の具体的な構成を図 2 (C-2) に示す。図 2 (C-1) に示す S1 ~ S4 のそれぞれが図 2 (C-2) に示す S1 ~ S4 のそれぞれに対応する。
40

【0045】

ここで、トランジスタ 164 のオフ電流は極めて小さいため、トランジスタ 164 のソース及びドレインの一方と容量素子 166 の一方の電極の間にデータを保持することができる。このように、電源をオフするに際しても、データを、データ記憶用記憶素子 116 及びフリップフロップ回路 118 の外部の不揮発性記憶素子ではなくデータ記憶用記憶素子 116 に記憶するため、データの記憶に長い時間を要することなく、且つ電源をオフしてもデータを保持することができる。

【0046】

なお、オフ電流が極めて小さいトランジスタとは、チャネル幅 1 μm あたりのオフ電流値を室温下において $10 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには、 $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、さらには $1 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-21} \text{ A} / \mu\text{m}$) 以下、さらには $1 \text{ yA} / \mu\text{m}$ ($1 \times 10^{-24} \text{ A} / \mu\text{m}$) 以下にすることが可能なトランジスタをいう。

【0047】

オフ電流が極めて小さいトランジスタは、バンドギャップの広い半導体材料 (2.0 eV ~ 3.5 eV) によりチャネル形成領域が設けられたトランジスタであることが好まし
50

く、少数キャリアが実質的に存在しないものとみなせるトランジスタ（少数キャリアが実質的に存在しないトランジスタ）であるとよい。このようなオフ電流が極めて小さいトランジスタに用いられる半導体材料としては、真性キャリア密度がシリコンよりも低い炭化シリコン若しくは窒化ガリウムなどの化合物半導体または酸化亜鉛などの酸化物半導体などが挙げられる。例えば、チャネル形成領域が酸化物半導体により設けられたトランジスタでは、少数キャリア密度が低く、少数キャリアが誘起されにくい。そのため、チャネル形成領域が酸化物半導体により設けられたトランジスタにおいては、リーク電流が発生し難く、オフ電流が小さい。

【0048】

以上説明したように、図1及び図2(A)に示す構成とし、オフ電流が極めて小さいトランジスタを用いることで、記憶保持部からの電荷のリークを防止することができると同時に、消費電力を小さくすることができる。

【0049】

ただし、フリップフロップ回路118(1)は、図2(A)に示した形態に限定されず、Dフリップフロップ回路であればよい。

【0050】

上記説明したトランジスタ164としては酸化物半導体トランジスタを用いることが好みしい。

【0051】

ただし、本発明において、トランジスタは特定の構成のものに限定されず、様々な構成のものを用いることができる。従って、トランジスタは、多結晶シリコンにより構成されるトランジスタであってもよいし、SOI(Silicon On Insulator)基板に設けられるトランジスタであってもよい。

【0052】

なお、上記の説明では、トランジスタ164はnチャネル型トランジスタとしたが、これに限定されず、適宜pチャネル型トランジスタを用いてもよい。

【0053】

次に、本発明に適用することのできるオフ電流の小さいトランジスタについて説明する。オフ電流の小さいトランジスタとしては、半導体特性を示す金属酸化物により設けられたトランジスタが挙げられる。オフ電流の小さいトランジスタ以外のトランジスタとしては、半導体基板に設けられたトランジスタが挙げられる。

【0054】

図3は、本発明に適用することのできるトランジスタの断面構造の概略の一例を示す図である。図3においては、半導体基板に設けられたトランジスタ上にオフ電流の小さいトランジスタが形成されている。半導体基板に設けられたトランジスタは、pチャネル型トランジスタとnチャネル型トランジスタの双方を含んでいてもよいし、一方のみが設けられていてもよい。

【0055】

半導体基板に設けられたpチャネル型トランジスタ及びnチャネル型トランジスタは、一般的な方法により形成すればよい。半導体基板に設けられたpチャネル型トランジスタ及び半導体基板に設けられたnチャネル型トランジスタを形成した後に、これらの上にオフ電流の小さいトランジスタを形成する。すなわち、pチャネル型トランジスタ及びnチャネル型トランジスタが設けられた半導体基板200を被形成基板として、該基板上にオフ電流の小さいトランジスタを形成する。オフ電流の小さいトランジスタとしては、酸化物半導体層にチャネル形成領域を有するトランジスタが挙げられる。

【0056】

なお、pチャネル型トランジスタ及びnチャネル型トランジスタが設けられた半導体基板200は、ソース領域及びドレイン領域として機能する高濃度不純物領域201、低濃度不純物領域202、ゲート絶縁膜203、ゲート電極204、層間絶縁膜205を有する(図3)。

10

20

30

40

50

【0057】

酸化物半導体層にチャネル形成領域を有するトランジスタ210は、pチャネル型トランジスタ及びnチャネル型トランジスタが設けられた半導体基板200上に設けられた酸化物半導体層211と、酸化物半導体層211に接して離間して設けられたソース電極212a及びドレイン電極212bと、酸化物半導体層211の少なくともチャネル形成領域上に設けられたゲート絶縁膜213と、酸化物半導体層211に重畠してゲート絶縁膜213上に設けられたゲート電極214bと、を有する(図4(D))。なお、図示していないが電極214aとゲート電極214bは電気的に接続され、ゲート電極204と電極214aは電気的に接続されている。

【0058】

10

層間絶縁膜205は、酸化物半導体層211の下地絶縁膜としても機能する。

【0059】

層間絶縁膜205は、少なくとも表面に酸素を含み、酸素の一部が加熱処理により脱離する絶縁性酸化物により形成するとよい。酸素の一部が加熱処理により脱離する絶縁性酸化物としては、化学量論比よりも多くの酸素を含むものを用いることが好ましい。これは、該加熱処理により、層間絶縁膜205に接する酸化物半導体膜に酸素を供給することができるためである。

【0060】

20

化学量論比よりも多くの酸素を含む絶縁性酸化物として、例えば、 SiO_x において $x > 2$ である酸化シリコンが挙げられる。ただし、これに限定されず、層間絶縁膜205は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化窒化アルミニウム、酸化ガリウム、酸化ハフニウムまたは酸化イットリウムなどで形成してもよい。

【0061】

なお、層間絶縁膜205は、複数の膜が積層されて形成されていてもよい。層間絶縁膜205は、例えば、窒化シリコン膜上に酸化シリコン膜が設けられた積層構造であってもよい。

【0062】

30

ところで、化学量論比よりも多くの酸素を含む絶縁性酸化物では、酸素の一部が加熱処理により脱離しやすい。酸素の一部が加熱処理により脱離しやすいときのTDS分析による酸素の脱離量(酸素原子に換算した値)は、 1.0×10^{18} atoms/cm³以上、好ましくは 1.0×10^{20} atoms/cm³以上、より好ましくは 3.0×10^{20} atoms/cm³以上であるとよい。

【0063】

ここで、TDS分析の方法について説明する。TDS分析における気体の脱離量は、イオン強度の時間積分値に比例する。このため、酸化物におけるイオン強度の時間積分値と標準試料の基準値から、気体の脱離量を計算することができる。標準試料の基準値は、ある特定の原子を含む試料(標準試料)におけるスペクトルの積分値に対する原子密度の割合である。

【0064】

40

例えば、所定の密度の水素を含むシリコンウェハ(標準試料)のイオン強度と酸化物のイオン強度から、酸化物の酸素分子(O_2)の脱離量(N_{O_2})は、 $N_{\text{O}_2} = N_{\text{H}_2} / S_{\text{H}_2} \times S_{\text{O}_2} \times$ の式で求めることができる。

【0065】

N_{H_2} は、標準試料から脱離した水素分子(H_2)を密度に換算した値である。 S_{H_2} は、標準試料の水素分子(H_2)のイオン強度の時間積分値である。すなわち、 $N_{\text{H}_2} / S_{\text{H}_2}$ を標準試料の基準値とする。 S_{O_2} は、絶縁性酸化物の酸素分子(O_2)のイオン強度の時間積分値である。は、イオン強度に影響する係数である。前記式の詳細に関しては、特開平06-275697号公報を参照されたい。

【0066】

50

なお、TDS分析による酸素の脱離量(酸素原子に換算した値)は、電子科学株式会社

製の昇温脱離分析装置 E M D - W A 1 0 0 0 S / W を用い、標準試料として 1×10^{-6} atoms / cm³ の水素原子を含むシリコンウェハを用いて測定した場合の値を示している。

【 0 0 6 7 】

なお、T D S 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、前記係数 α は酸素分子のイオン化率を含んでいるため、酸素分子の放出量を評価することで、酸素原子の放出量についても算出することができる。

【 0 0 6 8 】

なお、 N_{O_2} は酸素分子 (O_2) の脱離量である。そのため、酸素原子で換算した酸素の脱離量は、酸素分子 (O_2) の脱離量の 2 倍である。

【 0 0 6 9 】

層間絶縁膜 205 は、スパッタリング法または C V D 法などにより形成すればよいが、好ましくはスパッタリング法を用いて形成する。層間絶縁膜 205 として、酸化シリコン膜を形成する場合には、ターゲットとして石英（好ましくは合成石英）ターゲット、スパッタリングガスとしてアルゴンガスを用いればよい。または、ターゲットとしてシリコンターゲット、スパッタリングガスとして酸素を含むガスを用いてもよい。なお、酸素を含むガスとしては、アルゴンガスと酸素ガスの混合ガスでもよいし、酸素ガスのみであってもよい。

【 0 0 7 0 】

層間絶縁膜 205 を形成した後、酸化物半導体層 211 となる酸化物半導体膜を形成する前に、第 1 の加熱処理を行う。第 1 の加熱処理は、層間絶縁膜 205 中に含まれる水及び水素を除去するための工程である。第 1 の加熱処理の温度は、層間絶縁膜 205 中に含まれる水及び水素が脱離する温度（脱離量のピークを有する温度）以上 p チャネル型トランジスタ及び n チャネル型トランジスタが設けられた半導体基板 200 の変質または変形する温度未満とするとよく、好ましくは 400 以上 750 以下とし、後に行う第 2 の加熱処理よりも低い温度とすればよい。

【 0 0 7 1 】

そして、酸化物半導体膜を形成した後、第 2 の加熱処理を行う。第 2 の加熱処理は、層間絶縁膜 205 を酸素の供給源として酸化物半導体膜に酸素を供給する工程である。ただし、第 2 の加熱処理を行うタイミングはこれに限定されず、酸化物半導体膜を加工して酸化物半導体層 211 を形成した後に行つてもよい。

【 0 0 7 2 】

なお、第 2 の加熱処理は、窒素ガス、またはヘリウム、ネオン若しくはアルゴンなどの希ガス雰囲気中で行い、該雰囲気中に、水素、水、水酸基または水素化物などが含まれていないことが好ましい。または、加熱処理装置に導入する窒素ガス、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6 N (99.9999%) 以上、好ましくは 7 N (99.99999%) 以上、（即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好ましい。

【 0 0 7 3 】

また、第 2 の加熱処理の条件、または酸化物半導体膜若しくは酸化物半導体層 211 の材料によっては、酸化物半導体膜若しくは酸化物半導体層 211 が結晶化され、微結晶層または多結晶層となる場合もある。例えば、結晶化率が 90% 以上または 80% 以上の微結晶層となる場合もある。また、第 2 の加熱処理の条件、または酸化物半導体膜若しくは酸化物半導体層 211 の材料によっては、結晶成分を含まない非晶質となる場合もある。また、非晶質層中に微結晶（結晶粒径 1 nm 以上 20 nm 以下）が混在することもある。

【 0 0 7 4 】

なお、第 2 の加熱処理に際して層間絶縁膜 205 は、酸素の供給源となる。

【 0 0 7 5 】

なお、酸化物半導体膜の被形成面である層間絶縁膜 205 の平均面粗さ (Ra) は 0.50

1 nm 以上 0 . 5 nm 未満であることが好ましい。酸化物半導体膜が結晶性である場合に結晶方位を実質的に同一な方向に揃えることができるためである。

【 0 0 7 6 】

なお、ここで、平均面粗さ (Ra) とは、JIS B 0601:2001 (ISO 4287:1997) で定義されている中心線平均粗さ (Ra) を、測定面に対して適用できるよう三次元に拡張したものという。平均面粗さ (Ra) は、基準面から指定面までの偏差の絶対値を平均した値で表現される。

【 0 0 7 7 】

ここで、中心線平均粗さ (Ra) は、粗さ曲線からその中心線の方向に測定長さ L の部分を抜き取り、この抜き取り部の中心線の方向を X 軸、縦倍率の方向 (X 軸に垂直な方向) を Y 軸とし、粗さ曲線を $Y = F(X)$ で表すとき、下記の式 (1) で与えられる。

【 0 0 7 8 】

【 数 1 】

$$R_a = \frac{1}{L} \int_0^L |F(X)| dX \quad (1)$$

【 0 0 7 9 】

そして、平均面粗さ (Ra) は、測定データの示す面である測定面を $Z = F(X, Y)$ で表すとき、基準面から指定面までの偏差の絶対値を平均した値で表現され、下記の式 (2) で与えられる。

【 0 0 8 0 】

【 数 2 】

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dX dY \quad (2)$$

【 0 0 8 1 】

ここで、指定面は、粗さ計測の対象となる面であり、座標 (X_1, Y_1) (X_1, Y_2) (X_2, Y_1) (X_2, Y_2) で表される 4 点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積を S_0 とする。

【 0 0 8 2 】

また、基準面は、指定面の平均の高さにおける、XY 平面と平行な面である。つまり、指定面の高さの平均値を Z_0 とするとき、基準面の高さも Z_0 で表される。

【 0 0 8 3 】

このように、層間絶縁膜 205 の平均面粗さを 0 . 1 nm 以上 0 . 5 nm 未満とするためには、化学的機械的研磨 (Chemical Mechanical Polishing: CMP) 処理を行えばよい。CMP 処理は、酸化物半導体膜の形成前に行えばよいが、第 1 の加熱処理の前に行うことが好ましい。

【 0 0 8 4 】

ここで、CMP 処理は、一回以上行えばよい。複数回に分けて CMP 処理を行う場合には、高い研磨レートで一次研磨を行った後、低い研磨レートで仕上げ研磨を行うことが好ましい。

【 0 0 8 5 】

また、層間絶縁膜 205 を平坦化させるためには、CMP 処理に代えてドライエッティングなどを行ってもよい。ここで、エッティングガスとしては、塩素、塩化ボロン、塩化シリコンまたは四塩化炭素などの塩素系ガス、四フッ化炭素、フッ化硫黄またはフッ化窒素などのフッ素系ガスなどを用いればよい。

【 0 0 8 6 】

また、層間絶縁膜 205 を平坦化させるためには、CMP 処理に代えてプラズマ処理な

10

20

30

40

50

どを行ってもよい。ここで、プラズマ処理には希ガスを用いればよい。このプラズマ処理により、被処理面に不活性ガスのイオンが照射され、スパッタリング効果により被処理面の微細な凹凸が平坦化される。このようなプラズマ処理は逆スパッタとも呼ばれる。

【0087】

なお、層間絶縁膜205を平坦化するためには、前記処理のいずれを用いてもよい。例えば、逆スパッタのみを行ってもよいし、CMP処理を行った後にドライエッティングを行ってもよい。ただし、酸化物半導体膜の被形成面である層間絶縁膜205に水などを混入させないためには、ドライエッティングまたは逆スパッタを用いることが好ましい。特に、第1の加熱処理を行った後に平坦化処理を行う場合には、ドライエッティングまたは逆スパッタを用いることが好ましい。

10

【0088】

酸化物半導体層211は、例えば、酸化物半導体膜を形成し、該酸化物半導体膜上にエッティングマスクを形成してエッティングを行うことで選択的に形成すればよい。または、インクジェット法などを用いてもよい。

【0089】

酸化物半導体膜は、少なくともインジウム(Indium)または亜鉛(Zinc)を含むことが好ましい。特に、IndiumとZincの双方を含むことが好ましい。さらには、ガリウム(Gallium)を有することが好ましい。ガリウム(Gallium)を有すると、トランジスタ特性のばらつきを低減することができる。このようなトランジスタ特性のばらつきを低減することができる元素をスタビライザーと呼ぶ。スタビライザーとしては、スズ(Silver)、ハフニウム(Hafnium)またはアルミニウム(Aluminum)が挙げられる。

20

【0090】

また、この他のスタビライザーとしては、ランタノイドである、ランタン(Lanthanum)、セリウム(Cerium)、プラセオジム(Praseodymium)、ネオジム(Neodimium)、サマリウム(Samarium)、ユウロピウム(Europium)、ガドリニウム(Gadolinium)、テルビウム(Terbium)、ジスプロシウム(Dysprosium)、ホルミウム(Holmium)、エルビウム(Erbium)、ツリウム(Triplum)、イッテルビウム(Ytterbium)、ルテチウム(Lutetium)が挙げられる。これらのいずれか一種または複数種を有してもよい。

【0091】

また、酸化物半導体としては、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を例示することができる。

30

【0092】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

40

【0093】

例えば、原子数比In:Ga:Zn=1:1:1(=1/3:1/3:1/3)またはIn:Ga:Zn=2:2:1(=2/5:2/5:1/5)のIn-Ga-Zn系酸化

50

物やその組成の近傍の酸化物を用いることができる。または、原子数比 $In : Sn : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Sn : Zn = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) 若しくは $In : Sn : Zn = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の $In - Sn - Zn$ 系酸化物やその近傍の組成の酸化物を用いるとよい。

【0094】

しかし、本発明の一態様において用いることができる酸化物半導体膜は、これらに限定されるものではなく、必要とする半導体特性（移動度、しきい値、ばらつきなど）に応じて適切な組成のものを用いればよい。必要とするトランジスタ特性（半導体特性）に応じて、キャリア密度、不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離及び密度などを適宜調整すればよい。

10

【0095】

例えば、 $In - Sn - Zn$ 系酸化物では比較的高い移動度が得られる。しかしながら、 $In - Ga - Zn$ 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0096】

酸化物半導体は、単結晶でもよいし、非単結晶でもよい。非単結晶である場合には、非晶質でもよいし、多結晶でもよい。また、非晶質中に結晶性を有する部分を含む構造であってもよい。または、非アモルファスであってもよい。

【0097】

なお、前記金属酸化物には、これらの化学量論比に対し、酸素を過剰に含ませることが好ましい。酸素を過剰に含ませると、形成される酸化物半導体膜の酸素欠損によるキャリアの生成を抑制することができる。

20

【0098】

なお、一例として、酸化物半導体膜を $In - Zn$ 系金属酸化物により形成する場合には、ターゲットの組成を原子数比で、 $In / Zn = 1 \sim 100$ 、好ましくは $In / Zn = 1 \sim 20$ 、さらに好ましくは $In / Zn = 1 \sim 10$ とする。 Zn の原子数比を好ましい前記範囲とすることで、電界効果移動度を向上させることができる。ここで、酸素を過剰に含ませるために、金属酸化物の原子数比 $In : Zn : O = X : Y : Z$ を、 $Z > 1.5X + Y$ とすることが好ましい。

【0099】

なお、ここで、ターゲットの充填率は 90% 以上 100% 以下、好ましくは 95% 以上 99.9% 以下であるとよい。ターゲットの充填率を高くすることで、形成される酸化物半導体膜を緻密なものとすることができる。

30

【0100】

なお、酸化物半導体膜に適用することができる金属酸化物は、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上、更に好ましくは 3 eV 以上であるとよい。このように、バンドギャップの広い金属酸化物を用いると、トランジスタのオフ電流を低減することができる。

【0101】

なお、酸化物半導体膜には、水素が含まれる。この水素は、水素原子の他、水素分子、水、水酸基、またはその他の水素化物として含まれる場合もある。酸化物半導体膜に含まれる水素は、極力少ないことが好ましい。

40

【0102】

なお、酸化物半導体膜のアルカリ金属及びアルカリ土類金属は少なくすることが好ましく、これらの濃度は、好ましくは $1 \times 10^{-8} \text{ atoms/cm}^3$ 以下、更に好ましくは $2 \times 10^{-6} \text{ atoms/cm}^3$ 以下とする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成することができ、トランジスタのオフ電流を増大させる原因となるからである。

【0103】

なお、酸化物半導体膜の形成方法及び厚さは特に限定されず、作製するトランジスタの

50

サイズなどに応じて決めればよい。酸化物半導体膜の形成方法としては、例えば、スパッタリング法、分子線エピタキシー法、塗布法、印刷法またはパルスレーザー蒸着法などが挙げられる。酸化物半導体膜の厚さは、3 nm以上50 nm以下とすればよい。50 nmより厚くするとノーマリーオンとなるおそれがあるためである。また、トランジスタのチャネル長を30 μmとしたときには、酸化物半導体膜の厚さは5 nm以下とすると、短チャネル効果を抑制することができる。

【0104】

ここでは、好ましい一例として、In-Ga-Zn系金属酸化物ターゲットを用いてスパッタリング法により酸化物半導体膜を形成する。ここで、スパッタリングガスとしては、希ガス（例えばアルゴンガス）、酸素ガス、または希ガスと酸素ガスの混合ガスを用いればよい。

10

【0105】

なお、酸化物半導体膜を形成する際に用いるスパッタリングガスとしては、水素、水、水酸基または水素化物などが除去された高純度ガスを用いることが好ましい。スパッタリングガスを高純度ガスとするためには、処理室の内壁などに付着したガスを除去し、酸化物半導体膜を形成する前にpチャネル型トランジスタ及びnチャネル型トランジスタが設けられた半導体基板200を加熱処理すればよい。また、処理室に導入するスパッタリングガスを高純度ガスとしてもよく、このとき、アルゴンガスにおいて、純度は9N（99.999999%）以上、露点は-121以下、水は0.1ppb以下、水素は0.5ppb以下とすればよい。酸素ガスにおいて、純度は8N（99.999999%）以上、露点は-112以下、水は1ppb以下、水素は1ppb以下とすればよい。また、pチャネル型トランジスタ及びnチャネル型トランジスタが設けられた半導体基板200を加熱しつつ高温に保持した状態で酸化物半導体膜を形成すると、酸化物半導体膜に含まれる水などの不純物の濃度を低減することができる。さらには、スパッタリング法を適用したことにより酸化物半導体膜に混入する損傷を少なくすることができる。ここで、pチャネル型トランジスタ及びnチャネル型トランジスタが設けられた半導体基板200の温度は、100以上600以下、好ましくは200以上400以下とすればよい。

20

【0106】

また、酸化物半導体膜に酸素を過剰に含ませるために、イオン注入により酸素を供給してもよい。

30

【0107】

なお、酸化物半導体膜は、非晶質構造であってもよいし、結晶構造を有していてもよい。結晶構造を有している場合の好ましい一態様として、c軸方向に配向した結晶性の（C Axis Aligned Crystalline：CAC）酸化物半導体膜が挙げられる。酸化物半導体膜をCAC酸化物半導体膜とすることで、トランジスタの信頼性を高めることができる。

【0108】

なお、CAC酸化物半導体膜とは、結晶がc軸配向し、且つab面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c軸においては、金属原子が層状に配列し、または金属原子と酸素原子が層状に配列し、ab面（あるいは表面または界面）においては、a軸またはb軸の向きが異なる（c軸を中心に回転した）結晶を含む酸化物半導体膜をいう。

40

【0109】

なお、広義には、CAC酸化物半導体膜とは、非単結晶であって、そのab面に垂直な方向から見て、三角形若しくは六角形、または正三角形若しくは正六角形の原子配列を有し、且つc軸に垂直な方向から見て、金属原子が層状に配列した相、または金属原子と酸素原子が層状に配列した相を含む酸化物半導体膜をいう。

【0110】

なお、CAC酸化物半導体膜は単結晶ではないが、非晶質のみから形成されているも

50

のでもない。また、C A A C 酸化物半導体膜は結晶化した部分（結晶部分）を含むが、一つの結晶部分と他の結晶部分の境界を明確に判別できなくてもよい。

【0111】

また、C A A C 酸化物半導体膜を構成する酸素の一部が窒素で置換されていてもよい。また、C A A C 酸化物半導体膜を構成する個々の結晶部分のc軸は一定の方向（例えば、C A A C 酸化物半導体膜を支持する基板面またはC A A C 酸化物半導体膜の表面若しくは界面などに垂直な方向）に揃えられていてもよい。または、C A A C 酸化物半導体膜を構成する個々の結晶部分のa b面の法線は一定の方向（例えば、基板面、表面若しくは界面などに垂直な方向）であってもよい。

【0112】

なお、C A A C 酸化物半導体膜は、その組成などに応じて、導体であってもよいし、半導体であってもよいし、絶縁体であってもよい。また、C A A C 酸化物半導体膜は、その組成などに応じて、可視光に対して透明であってもよいし、不透明であってもよい。

【0113】

このようなC A A C 酸化物半導体膜の例として、膜状に形成され、膜表面、基板面、または界面に垂直な方向から観察すると三角形または六角形の原子配列が確認され、且つその膜の断面に金属原子または金属原子と酸素原子（あるいは窒素原子）の層状配列が観察される材料などを挙げることができる。

【0114】

このようなC A A C 酸化物半導体膜に含まれる結晶構造の一例について図5乃至図7を用いて詳細に説明する。なお、原則として、図5乃至図7は上方向をc軸方向とし、c軸方向と垂直な面をa b面とする。なお、単に上半分または下半分という場合、a b面を境界とする。また、図5において、丸で囲まれたOは4配位のOを示し、二重丸で囲まれたOは3配位のOを示す。

【0115】

図5(A)には、1個の6配位のインジウム（以下In）と、Inに近接の6個の4配位の酸素（以下4配位のO）と、を有する構造を示す。Inが1個に対して、近接の酸素のみ示した構造を、ここではサブユニットと呼ぶ。図5(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図5(A)の上半分及び下半分にはそれぞれ3個ずつ4配位のOがある。図5(A)に示すサブユニットは電荷が0である。

【0116】

図5(B)には、1個の5配位のガリウム（以下Ga）と、Gaに近接の3個の3配位の酸素（以下3配位のO）と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもa b面に存在する。図5(B)の上半分及び下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図5(B)に示す構造をとりうる。図5(B)に示すサブユニットは電荷が0である。

【0117】

図5(C)には、1個の4配位の亜鉛（以下Zn）と、Znに近接の4個の4配位のOと、を有する構造を示す。図5(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図10(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。図5(C)に示すサブユニットは電荷が0である。

【0118】

図5(D)には、1個の6配位のスズ（以下Sn）と、Snに近接の6個の4配位のOと、を有する構造を示す。図5(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図5(D)に示すサブユニットは電荷が+1となる。

【0119】

図5(E)には、2個のZnを含むサブユニットを示す。図5(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図5(E)に示すサブユニットは電荷が-1となる。

10

20

30

40

50

【0120】

ここでは、サブユニットのいくつかの集合体を1グループと呼び、複数のグループからなる1周期分を1ユニットと呼ぶ。

【0121】

ここで、これらのサブユニット同士の結合する規則について説明する。図5(A)に示す6配位のInの上半分の3個のOは下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Inを有する。図5(B)に示す5配位のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。図5(C)に示す4配位のZnの上半分の1個のOは下方向に1個の近接Znを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Znを有する。このように、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種のサブユニット同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)、4配位の金属原子(Zn)のいずれかと結合することになる。

10

【0122】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるようにサブユニット同士が結合して1グループを構成する。

20

【0123】

図6(A)には、In-Sn-Zn系の層構造を構成する1グループのモデル図を示す。図6(B)には、3のグループで構成されるユニットを示す。なお、図6(C)は、図6(B)の層構造をc軸方向から観察した場合の配列を示す。

30

【0124】

図6(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠3として示している。同様に、図6(A)において、Inの上半分及び下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠1として示している。また、同様に、図6(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnと、を示している。

30

【0125】

図6(A)において、In-Sn-Zn系の層構造を構成するグループは、上から順に4配位のOが3個ずつ上半分及び下半分にあるSnが、4配位のOが1個ずつ上半分及び下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなるサブユニットと結合し、このサブユニットの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にあるSnと結合している構成である。このグループを複数結合して1周期分であるユニットを構成する。

40

【0126】

ここで、3配位のO及び4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含むサブユニットは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図

50

5 (E) に示すように、2 個の Z_n を含むサブユニットが挙げられる。例えば、 S_n を含むサブユニットが1 個に対し、2 個の Z_n を含むサブユニットが1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を0 とすることができます。

【0127】

また、 In は5 配位および6 配位のいずれもとることができる。具体的には、図6 (B) に示したユニットとすることで、 $In - Sn - Zn$ 系の結晶 ($In_2SnZn_3O_8$) を得ることができる。なお、得られる $In - Sn - Zn$ 系の結晶の層構造は、 $In_2SnZn_2O_7 (ZnO)_m$ (m は0 または自然数。) の組成式で表すことができる。

【0128】

また、このほかの金属酸化物を用いた場合も同様である。例えば、図7 (A) には、 $In - Ga - Zn$ 系の結晶の層構造を構成する1 グループのモデル図を示す。

【0129】

図7 (A) において、 $In - Ga - Zn$ 系の層構造を構成するグループは、上から順に4 配位のO が3 個ずつ上半分および下半分にある In が、 Zn の上半分にある1 個の4 配位のO と結合し、その Zn の下半分の3 個の4 配位のO を介して、4 配位のO が1 個ずつ上半分および下半分にある Ga と結合し、その Ga の下半分の1 個の4 配位のO を介して、4 配位のO が3 個ずつ上半分および下半分にある In と結合している構成である。このグループを複数結合して1 周期分であるユニットを構成する。

【0130】

図7 (B) には、3 のグループで構成されるユニットを示す。なお、図7 (C) は、図7 (B) の層構造をc 軸方向から観察した場合の配列を示す。

【0131】

ここで、 In (6 配位または5 配位) 、 Zn (4 配位) 及び Ga (5 配位) の電荷は、それぞれ+3、+2、+3 であるため、 In 、 Zn 及び Ga のいずれかを含むサブユニットでは、電荷が0 となる。そのため、これらのサブユニットの組み合わせであればグループの合計の電荷は常に0 となる。

【0132】

なお、 $In - Ga - Zn$ 系の結晶の層構造を構成するグループは、図7 (A) に示したグループに限定されない。

【0133】

ここで、CAC 酸化物半導体膜の形成方法について説明する。

【0134】

まず、酸化物半導体膜をスパッタリング法などによって形成する。なお、p チャネル型トランジスタ及びn チャネル型トランジスタが設けられた半導体基板200 を高温に保持しつつ酸化物半導体膜の形成を行うことで、非晶質部分よりも結晶部分の占める割合を大きくすることができる。このとき、p チャネル型トランジスタ及びn チャネル型トランジスタが設けられた半導体基板200 の温度は、例えば、150 以上450 以下とすればよく、好ましくは200 以上350 以下とする。

【0135】

ここで、形成された酸化物半導体膜に対して加熱処理を行ってもよい。この加熱処理によって、非晶質部分よりも結晶部分の占める割合を大きくすることができる。この加熱処理時のp チャネル型トランジスタ及びn チャネル型トランジスタが設けられた半導体基板200 の温度は、例えば、200 以上p チャネル型トランジスタ及びn チャネル型トランジスタが設けられた半導体基板200 自体が変質または変形しない程度の温度未満とすればよく、好ましくは250 以上450 以下とすればよい。この加熱処理の時間は3 分以上とすればよく、24 時間以下とすることが好ましい。この加熱処理の時間を長くすると非晶質部分よりも結晶部分の占める割合を大きくすることができるが、生産性の低下を招くことになるからである。なお、この加熱処理は、酸化性雰囲気または不活性雰囲気で行えばよいが、これらに限定されるものではない。また、この加熱処理は減圧下で行われてもよい。

10

20

30

40

50

【0136】

酸化性雰囲気は、酸化性ガスを含む雰囲気である。酸化性ガスとしては、例えば、酸素、オゾンまたは亜酸化窒素などを例示することができる。酸化性雰囲気からは、酸化物半導体膜に含まれないことが好ましい成分（例えば、水及び水素）が極力除去されていることが好ましい。例えば、酸素、オゾン、亜酸化窒素の純度を、8N（99.99999%）以上、好ましくは9N（99.9999999%）以上とすればよい。

【0137】

なお、酸化性雰囲気には、希ガスなどの不活性ガスが含まれていてもよい。ただし、酸化性雰囲気には、10ppm以上 の酸化性ガスが含まれているものとする。不活性雰囲気には、不活性ガス（窒素ガスまたは希ガスなど）が含まれ、酸化性ガスなどの反応性ガスが10ppm未満で含まれているものとする。

10

【0138】

なお、すべての加熱処理は、RTA（Rapid Thermal Anneal）装置を用いて行えばよい。RTA装置を用いることで、短時間であれば、高い温度で熱処理を行うこともできる。そのため、非晶質部分よりも結晶部分の占める割合の大きい酸化物半導体膜を形成することができ、生産性の低下を抑制することができる。

【0139】

ただし、すべての加熱処理に用いられる装置はRTA装置に限定されず、例えば、抵抗発熱体などからの熱伝導または熱輻射によって、被処理物を加熱する機構が備えられた装置を用いればよい。すべての加熱処理に用いられる加熱処理装置として、例えば、電気炉や、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置などのRTA（Rapid Thermal Anneal）装置などを挙げることができる。なお、LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどのランプから発せられる光（電磁波）の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを熱媒体として用いて被処理物を加熱する装置である。ここで、高温のガスは、被処理物の加熱温度よりも高いことが好ましい。

20

【0140】

なお、窒素の濃度が 1×10^{17} atoms/cm³以上 5×10^{19} atoms/cm³以下であるIn-Ga-Zn系金属酸化物を用いると、c軸配向した六方晶の結晶構造を含む金属酸化物膜が形成され、一または複数のGa及びZnを有する層が、二層のIn-Oの結晶面（インジウムと酸素を含む結晶面）の間に配される。

30

【0141】

また、In-Sn-Zn系金属酸化物の形成には、例えば、In:Sn:Znが原子数比で、1:2:2、2:1:3、1:1:1、または20:45:35のターゲットを用いればよい。

【0142】

以上説明したようにCAAC酸化物半導体膜を形成することができる。

40

【0143】

CAAC酸化物半導体膜は、非晶質構造の酸化物半導体膜と比較して、金属と酸素の結合の秩序性が高い。すなわち、酸化物半導体膜が非晶質構造の場合には、隣接する金属によって金属原子に配位している酸素原子の数が異なるが、CAAC酸化物半導体膜では金属原子に配位している酸素原子の数はほぼ一定となる。そのため、微視的なレベルにおいても酸素欠損がほぼ見られず、水素原子（水素イオンを含む）やアルカリ金属原子などによる電荷の移動や電気伝導性の不安定さを抑制することができる。

【0144】

従って、CAAC酸化物半導体膜をチャネル形成領域に用いてトランジスタを作製すると、トランジスタへの光照射またはバイアス-熱ストレス（BT）の付加を行った後に生じる、トランジスタのしきい値電圧の変化を抑制することができ、安定した電気的特性を

50

有するトランジスタを作製することができる。

【0145】

次に、酸化物半導体膜上にエッティングマスクを形成してエッティングを行うことにより、酸化物半導体層211を形成する(図4(A))。

【0146】

そして、酸化物半導体層211に接して離間して設けられたソース電極212a及びドレイン電極212bを形成する(図4(B))。

【0147】

ソース電極212a及びドレイン電極212bは、例えば、スパッタリング法を用いて導電膜(例えば金属膜、または一導電型の不純物元素が添加されたシリコン膜など)を形成し、該導電膜上にエッティングマスクを形成してエッティングを行うことで選択的に形成すればよい。または、インクジェット法などを用いててもよい。なお、ソース電極212a及びドレイン電極212bとなる導電膜は、単層で形成してもよいし、複数の層を積層して形成してもよい。例えば、Ti層によりAl層を挟持した3層の積層構造とすればよい。なお、ソース電極212a及びドレイン電極212bとなる層は、信号線としても機能する。

10

【0148】

次に、酸化物半導体層211の少なくともチャネル形成領域上にゲート絶縁膜213を形成し、ゲート絶縁膜213の形成後に開口部を形成する(図4(C))。該開口部はゲート電極204と重畳する部分に形成する。

20

【0149】

ゲート絶縁膜213としては、例えば、スパッタリング法を用いて絶縁性材料(例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンまたは酸化シリコンなど)膜を形成すればよい。なお、ゲート絶縁膜213は、単層で形成してもよいし、複数の層を積層して形成してもよい。ここでは、例えば、窒化シリコン層上に酸化窒化シリコン層が積層された2層の積層構造とする。なお、ゲート絶縁膜213をスパッタリング法により形成すると、酸化物半導体層211に水素及び水分が混入することを防ぐことができる。また、ゲート絶縁膜213を絶縁性酸化物膜とすると、酸素を供給して酸素欠損を埋めることができるために好ましい。

30

【0150】

なお、「窒化酸化シリコン」とは、その組成として、酸素よりも窒素の含有量が多いものをいう。なお、「酸化窒化シリコン」とは、その組成として、窒素よりも酸素の含有量が多いものをいう。

【0151】

ここで、酸化物半導体膜の加工は、ドライエッティングにより行えばよい。ドライエッティングに用いるエッティングガスとしては、例えば塩素ガス、または三塩化ホウ素ガスと塩素ガスの混合ガスを用いればよい。ただし、これに限定されず、ウエットエッティングを用いてもよいし、酸化物半導体膜を加工することができる他の手段を用いてもよい。

【0152】

ゲート絶縁膜213は、少なくとも酸化物半導体層211に接する部分に酸素を含み、酸素の一部が加熱により脱離する絶縁性酸化物により形成することが好ましい。すなわち、層間絶縁膜205の材料として例示例挙したものを用いることが好ましい。ゲート絶縁膜213の酸化物半導体層211と接する部分を酸化シリコンにより形成すると、酸化物半導体層211に酸素を拡散させることができ、トランジスタの低抵抗化を防止することができる。

40

【0153】

なお、ゲート絶縁膜213として、ハフニウムシリケート(HfSiO_x)、窒素が添加されたハフニウムシリケート(HfSi_xO_yN_z)、窒素が添加されたハフニウムアルミニート(HfAl_xO_yN_z)、酸化ハフニウム、酸化イットリウムまたは酸化ランタンなどのhig h-k材料を用いると、ゲートリーク電流を低減することができる。こ

50

こで、ゲートリーク電流とは、ゲート電極とソース電極またはドレイン電極の間に流れるリーク電流をいう。さらには、前記 h i g h - k 材料により形成される層と、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム及び酸化ガリウムにより形成される層が積層されていてもよい。ただし、ゲート絶縁膜 213 を積層構造とする場合であっても、酸化物半導体層 211 に接する部分は、絶縁性酸化物であることが好ましい。

【0154】

ゲート絶縁膜 213 は、スパッタリング法により形成すればよい。また、ゲート絶縁膜 213 の厚さは、1 nm 以上 300 nm 以下、好ましくは 5 nm 以上 50 nm 以下とすればよい。ゲート絶縁膜 213 の厚さを 5 nm 以上とすると、ゲートリーク電流を特に小さくすることができる。10

【0155】

ここで、更に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第3の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行ってもよい。第3の加熱処理により、酸化物半導体層 211 中に残留する水素若しくは水分をゲート絶縁膜に拡散させることができる。さらには、第3の加熱処理を行うことで、ゲート絶縁膜 213 を供給源として酸化物半導体層 211 に酸素を供給することができる。

【0156】

また、ここで第3の加熱処理は、酸化物半導体層 211 上にゲート絶縁膜 213 を形成した後に行ったが、タイミングはこれに限定されない。電極 214a 及びゲート電極 214b、または電極 214a 及びゲート電極 214b となる導電膜を形成した後に行ってもよい。20

【0157】

なお、ここで酸化物半導体層 211 の水素濃度は 5.0×10^{19} atoms / cm³ 以下、好ましくは 5.0×10^{18} atoms / cm³ 以下とするとよい。このように水素濃度を低くすることで、トランジスタのしきい値電圧がマイナスにシフトすることを防止することができる。

【0158】

なお、酸化物半導体層 211 のキャリア濃度は 1.0×10^{14} / cm³ 未満まで小さくすることが好ましい。キャリア濃度を小さくするとオフ電流を低く抑えることができる。30

【0159】

次に、ゲート絶縁膜 213 上に導電膜を形成し、該導電膜上にエッティングマスクを形成してエッティングを行うことにより、電極 214a 及びゲート電極 214b を形成する（図 4 (D)）。

【0160】

電極 214a 及びゲート電極 214b は、ソース電極 212a 及びドレイン電極 212b と同様の材料及び方法により形成すればよい。

【0161】

なお、図示していないが、酸化物半導体層 211 にドーパントを添加して、酸化物半導体層 211 にソース領域及びドレイン領域を形成することが好ましい。40

【0162】

ここで、ドーパントの添加は、イオンインプランテーション法またはイオンドーピング法により行えばよい。または、ドーパントを含むガス雰囲気中でプラズマ処理を行うことでドーパントの添加を行ってもよい。また、添加するドーパントとしては、窒素、リンまたはホウ素などを用いればよい。

【0163】

以上説明したように、図 3 に示す、半導体基板に設けられたトランジスタ上に酸化物半導体トランジスタを作製することができる。

【0164】

10

20

30

40

50

上記説明したように、酸化物半導体トランジスタには酸化物半導体を用いることが好ましい。酸化物半導体を用いたトランジスタでは、電界効果移動度も高くすることができる。

【0165】

ただし、実際の酸化物半導体を用いたトランジスタの電界効果移動度は、本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥がある。Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0166】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界など）が存在すると仮定すると、下記の式（3）で表現できる。

【0167】

【数3】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (3)$$

【0168】

ここで、Eはポテンシャル障壁の高さ、kはボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、ポテンシャル障壁は下記の式（4）で表される。

【0169】

【数4】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (4)$$

【0170】

ここで、eは電気素量、Nはチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、nは単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、tはチャネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。

【0171】

また、線形領域におけるドレイン電流 I_d は、下記の式（5）で表される。

【0172】

【数5】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (5)$$

【0173】

ここで、Lはチャネル長、Wはチャネル幅であり、 $L = W = 10 \mu m$ としている。また、 V_d はドレイン電圧である。式（5）の両辺を V_g で割り、更に両辺の対数をとると、下記の式（6）が得られる。

【0174】

10

20

30

40

【数6】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (6)$$

【0175】

式(6)の右辺は V_g の関数である。式(6)からわかるように、縦軸を $\ln(I_d/V_g)$ 、横軸を $1/V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、 $In : Sn : Zn = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / \text{cm}^2$ 程度である。10

【0176】

このようにして求めた欠陥密度などをもとに式(3)及び式(4)より $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$ が導出される。欠陥のある $In - Sn - Zn$ 酸化物で測定される移動度は $40 \text{ cm}^2 / \text{Vs}$ 程度である。しかし、上記導出された結果より、半導体内部及び半導体と絶縁膜の界面に欠陥がない場合の酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となる。20

【0177】

ただし、半導体内部に欠陥がなくても、トランジスタの輸送特性はチャネルとゲート絶縁膜との界面での散乱による影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、下記の式(7)で表される。20

【0178】

【数7】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (7)$$

【0179】

ここで、 D はゲート方向の電界、 B 、 l は定数である。 B 及び l は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $l = 10 \text{ nm}$ (界面散乱が及ぶ深さ)である。 D が増加する(すなわち、ゲート電圧が高くなる)と数7の第2項が増加するため、移動度 μ_1 は低下することがわかる。30

【0180】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図8に示す。なお、計算にはデバイスシミュレーションソフトSenteaurus Device(シノプシス社製)を使用し、酸化物半導体のバンドギャップを 2.8 eV 、電子親和力を 4.7 eV 、比誘電率を 15 、厚さを 15 nm とした。さらに、ゲートの仕事関数を 5.5 eV 、ソースの仕事関数を 4.6 eV 、ドレインの仕事関数を 4.6 eV とした。また、ゲート絶縁膜の厚さは 100 nm 、比誘電率は 4.1 とした。チャネル長及びチャネル幅はともに $10 \mu\text{m}$ 、ドレイン電圧 V_d は 0.1 V とした。40

【0181】

図8で示されるように、ゲート電圧 1 V 強で移動度 $100 \text{ cm}^2 / \text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、上記式(1)などを示して説明したように、半導体層表面を原子レベルで平坦にすること(Atomic Layer Flatness)が好ましい。

【0182】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の50

特性の計算結果を図9乃至図11に示す。ここで、計算に用いたトランジスタの断面構造を図12に示す。図12に示すトランジスタは、酸化物半導体層に n^+ の導電型を呈する半導体領域303a及び半導体領域303cを有する。計算において、半導体領域303a及び半導体領域303cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とした。

【0183】

図12(A)に示すトランジスタは、下地絶縁膜301と、下地絶縁膜301に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁膜302の上に形成されており、半導体領域303a及び半導体領域303cと、それらに挟まれてありチャネル形成領域となる真性の半導体領域303bと、ゲート305と、を有する。計算において、ゲート305の幅は33nmとした。

10

【0184】

ゲート305と半導体領域303bの間には、ゲート絶縁膜304を有し、また、ゲート305の両側面には側壁絶縁物306aおよび側壁絶縁物306b、ゲート305の上部には、ゲート305と他の配線との短絡を防止するための絶縁膜307を有する。側壁絶縁物の幅は5nmとした。また、半導体領域303aおよび半導体領域303cに接して、ソース308aおよびドレイン308bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。

【0185】

図12(B)に示すトランジスタは、下地絶縁膜301と、酸化アルミニウムよりなる埋め込み絶縁膜302の上に形成されており、半導体領域303a及び半導体領域303cと、それらに挟まれてありチャネル形成領域となる真性の半導体領域303bと、ゲート絶縁膜304と、ゲート305と、側壁絶縁物306a及び側壁絶縁物306bと、絶縁膜307と、ソース308a及びドレイン308bと、を有する。

20

【0186】

図12(A)に示すトランジスタと図12(B)に示すトランジスタは、側壁絶縁物306a及び側壁絶縁物306b直下の半導体領域の導電型が異なる。側壁絶縁物306a及び側壁絶縁物306b直下の半導体領域は、図12(A)に示すトランジスタでは n^+ の導電型を呈する領域であるが、図12(B)に示すトランジスタでは真性の半導体領域である。すなわち、半導体領域303a(半導体領域303c)とゲート305がLooffだけ重ならない領域ができている。この領域をオフセット領域といい、その幅Looffをオフセット長という。オフセット長は、側壁絶縁物306a(側壁絶縁物306b)の幅と同じである。

30

【0187】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図9は、図12(A)に示される構造のトランジスタのドレイン電流(I_d 、実線)及び移動度(μ 、点線)のゲート電圧(V_g :ソースを基準としたゲートとの電位差)依存性を示す。ドレイン電流 I_d は、ドレイン電圧(V_d :ソースを基準としたドレインとの電位差)を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。

40

【0188】

ゲート絶縁膜の厚さは、図9(A)では15nmとしており、図9(B)では10nmとしており、図9(C)は5nmとしている。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化が無い。

【0189】

図10は、図12(B)に示すトランジスタで、オフセット長Looffを5nmとしたときのドレイン電流 I_d (実線)及び移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。ゲート絶縁膜の厚さは、図10(A)では15nmとしており、図10(B)では10nmとしており、図10(C)は5nmとしている。

50

【0190】

図11は、図12(B)に示すトランジスタで、オフセット長 L_{off} を15nmとしたもののドレン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。ドレン電流 I_d は、ドレン電圧を+1Vとし、移動度 μ はドレン電圧を+0.1Vとして計算したものである。ゲート絶縁膜の厚さは、図11(A)では15nmとしており、図11(B)では10nmとしており、図11(C)は5nmとしている。

【0191】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0192】

なお、移動度 μ のピークは、図9では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図10では $60\text{ cm}^2/\text{Vs}$ 程度、図11では $40\text{ cm}^2/\text{Vs}$ 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。

10

【0193】

以上説明したように、酸化物半導体を用いた酸化物半導体トランジスタは非常に高い移動度とすることができる。

【0194】

なお、ここで、酸化物半導体トランジスタとして説明したトランジスタは一例であり、酸化物半導体トランジスタはこれに限定されず、様々な形態とすることができる。

20

【0195】

In 、 Sn 、 Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5atomic%以上含まれる元素をいう。

【0196】

In 、 Sn 、 Zn を主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることができるとなる。

30

【0197】

例えば、図13(A)～(C)は、 In 、 Sn 、 Zn を主成分とし、チャネル長 L が3 μm 、チャネル幅 W が10 μm である酸化物半導体膜と、厚さ100nmのゲート絶縁膜を用いたトランジスタの特性である。なお、 V_d は10Vとした。

【0198】

図13(A)は基板を意図的に加熱せずにスパッタリング法で In 、 Sn 、 Zn を主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は $18.8\text{ cm}^2/\text{Vs sec}$ が得られている。一方、基板を意図的に加熱して In 、 Sn 、 Zn を主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることができるとなる。図13(B)は基板を200℃に加熱して In 、 Sn 、 Zn を主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2\text{ cm}^2/\text{Vs sec}$ が得られている。

40

【0199】

電界効果移動度は、 In 、 Sn 、 Zn を主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図13(C)は、 In 、 Sn 、 Zn を主成分とする酸化物半導体膜を200℃でスパッタリング成膜した後、650℃で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5\text{ cm}^2/\text{Vs sec}$ が得られている。

【0200】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り

50

込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100 \text{ cm}^2 / \text{V sec}$ を超える電界効果移動度を実現することも可能になると推定される。

【0201】

I_n、S_n、Z_nを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0202】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたI_n、S_n、Z_nを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図13(A)と図13(B)の対比からも確認することができる。

【0203】

なお、しきい値電圧はI_n、S_n及びZ_nの比率を変えることによっても制御することが可能であり、組成比としてI_n : S_n : Z_n = 2 : 1 : 3とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比をI_n : S_n : Z_n = 2 : 1 : 3とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0204】

意図的な基板加熱温度若しくは熱処理温度は、150以上、好ましくは200以上、より好ましくは400以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0205】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ±1.5V未満、好ましくは1.0V未満を得ることができる。

【0206】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

【0207】

まず基板温度を25とし、V_dを10Vとし、トランジスタのV_g-I_d特性の測定を行った。次に、基板温度を150とし、V_dを0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が2MV/cmとなるようにV_gに20Vを印加し、そのまま1時間保持した。次に、V_gを0Vとした。次に、基板温度25とし、V_dを10Vとし、トランジスタのV_g-I_d測定を行った。これをプラスBT試験と呼ぶ。

【0208】

同様に、まず基板温度を25とし、V_dを10Vとし、トランジスタのV_g-I_d特性の測定を行った。次に、基板温度を150とし、V_dを0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が-2MV/cmとなるようにV_gに-20Vを印加し、そのまま1時間保持した。次に、V_gを0Vとした。次に、基板温度25とし、V_dを

10

20

30

40

50

10Vとし、トランジスタのV_g - I_d測定を行った。これをマイナスBT試験と呼ぶ。

【0209】

試料1のプラスBT試験の結果を図14(A)に、マイナスBT試験の結果を図14(B)に示す。また、試料2のプラスBT試験の結果を図15(A)に、マイナスBT試験の結果を図15(B)に示す。

【0210】

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ1.80Vおよび-0.42Vであった。また、試料2のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ0.79Vおよび0.76Vであった。

試料1および試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0211】

熱処理は酸素を含む雰囲気中で行うことができるが、まず窒素若しくは不活性ガスを含む雰囲気中、または減圧下での熱処理による脱水化・脱水素化を行ってから酸素を含む雰囲気中で熱処理を行い酸化物半導体に酸素を加えても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、熱処理後に酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0212】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【0213】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比In:Sn:Zn=1:1:1のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD: X-ray Diffraction)でハロー-パタンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0214】

実際に、In-Sn-Zn-O膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

【0215】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0216】

脱水素化処理済みの石英基板上にIn-Sn-Zn-O膜を100nmの厚さで成膜した。

【0217】

In-Sn-Zn-O膜は、スパッタリング装置を用い、酸素雰囲気で電力を100W(DC)として成膜した。ターゲットは、In:Sn:Zn=1:1:1[原子数比]のIn-Sn-Zn-Oターゲットを用いた。なお、成膜時の基板加熱温度は200とした。このようにして作製した試料を試料Aとした。

【0218】

10

20

30

40

50

次に、試料 A と同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気で 1 時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに 1 時間の加熱処理を行っている。このようにして作製した試料を試料 B とした。

【0219】

図 18 に試料 A および試料 B の XRD スペクトルを示す。試料 A では、結晶由来のピークが観測されなかつたが、試料 B では、2 が 35 deg 近傍および 37 deg ~ 38 deg に結晶由来のピークが観測された。

【0220】

このように、In、Sn、Zn を主成分とする酸化物半導体は成膜時に意図的に加熱すること及び / 又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

10

【0221】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を 1 aA / μm 以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅 1 μmあたりの電流値を示す。

【0222】

図 19 に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に 1000 を掛けた数値（1000 / T）を横軸としている。

20

【0223】

具体的には、図 19 に示すように、基板温度が 125 の場合には 0.1 aA / μm ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下、85 の場合には 10 zA / μm ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) 以下であった。電流値の対数が温度の逆数に比例することから、室温 (27) の場合には 0.1 zA / μm ($1 \times 10^{-22} \text{ A} / \mu\text{m}$) 以下であると予想される。従って、オフ電流を 125 において 1 aA / μm ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下に、85 において 100 zA / μm ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下に、室温において 1 zA / μm ($1 \times 10^{-21} \text{ A} / \mu\text{m}$) 以下にすることができる。

30

【0224】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 -70 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。In、Sn、Zn を主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Zn を主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

40

【0225】

また、酸化物半導体膜成膜後に 650 の加熱処理を行った試料のトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0226】

測定に用いたトランジスタは、チャネル長 L が 3 μm、チャネル幅 W が 10 μm、LoV が 0 μm、dW が 0 μm である。なお、Vd は 10 V とした。なお、基板温度は -40 、 -25 、 25 、 75 、 125 および 150 で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極とチャネル長方向に重畳する幅を LoV と呼び、酸化物半導体膜に対する一対の電極のチャネル幅方向へのみ出しを dW と呼ぶ。

【0227】

図 16 に、Id (実線) および電界効果移動度 (点線) の Vg 依存性を示す。また、図

50

図 17 (A) に基板温度としきい値電圧の関係を、図 17 (B) に基板温度と電界効果移動度の関係を示す。

【0228】

図 17 (A) より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は -40 ~ 150 で 1.09V ~ -0.23V であった。

【0229】

また、図 17 (B) より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は -40 ~ 150 で $36 \text{ cm}^2/\text{Vs}$ ~ $32 \text{ cm}^2/\text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0230】

上記のような In、Sn、Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA}/\mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2/\text{Vs sec}$ 以上、好ましくは $40 \text{ cm}^2/\text{Vs sec}$ 以上、より好ましくは $60 \text{ cm}^2/\text{Vs sec}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm}/40 \text{ nm}$ の FET で、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。

10

【符号の説明】

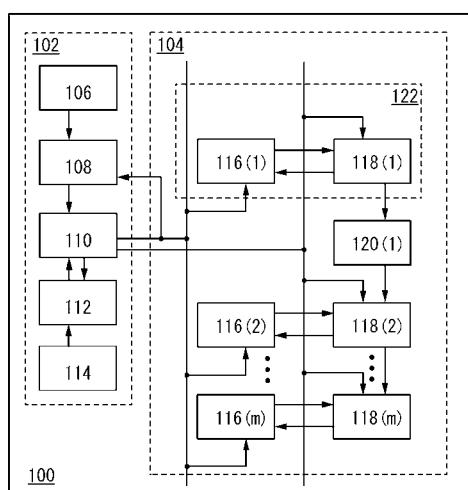
【0231】

100	半導体装置	20
102	制御回路	
104	CPU	
106	タイマー	
108	モニター回路	
110	EN 信号制御回路	
112	方式記憶用記憶素子	
114	インターフェース	
116	データ記憶用記憶素子	
118	フリップフロップ回路	
120	論理回路	30
122	部分	
152	第1のトランスマッショングート	
154	第1のクロックドインバータ回路	
156	第2のクロックドインバータ回路	
158	第2のトランスマッショングート	
160	インバータ回路	
162	第3のクロックドインバータ回路	
164	トランジスタ	
166	容量素子	
200	pチャネル型トランジスタ及びnチャネル型トランジスタが設けられた半導体基板	40
201	高濃度不純物領域	
202	低濃度不純物領域	
203	ゲート絶縁膜	
204	ゲート電極	
205	層間絶縁膜	
210	酸化物半導体層にチャネル形成領域を有するトランジスタ	
211	酸化物半導体層	
212a	ソース電極	
212b	ドレイン電極	50

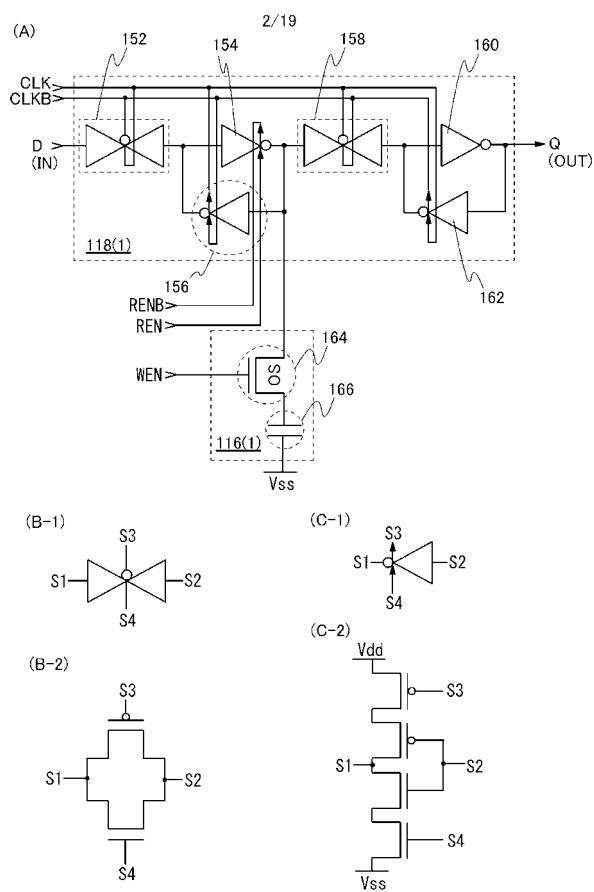
2 1 3 ゲート絶縁膜
 2 1 4 a 電極
 2 1 4 b ゲート電極
 3 0 1 下地絶縁膜
 3 0 2 埋め込み絶縁膜
 3 0 3 a 半導体領域
 3 0 3 b 半導体領域
 3 0 3 c 半導体領域
 3 0 4 ゲート絶縁膜
 3 0 5 ゲート
 3 0 6 a 側壁絶縁物
 3 0 6 b 側壁絶縁物
 3 0 7 絶縁膜
 3 0 8 a ソース
 3 0 8 b ドレイン

10

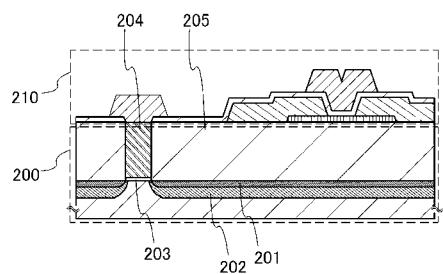
【図1】



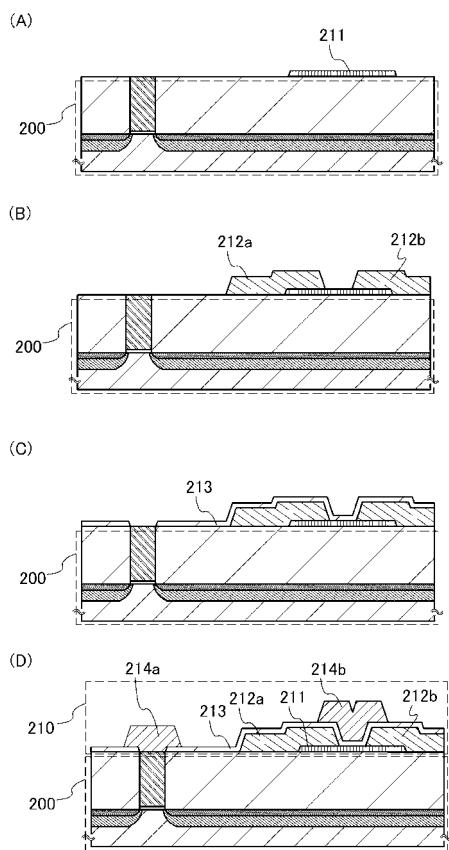
【図2】



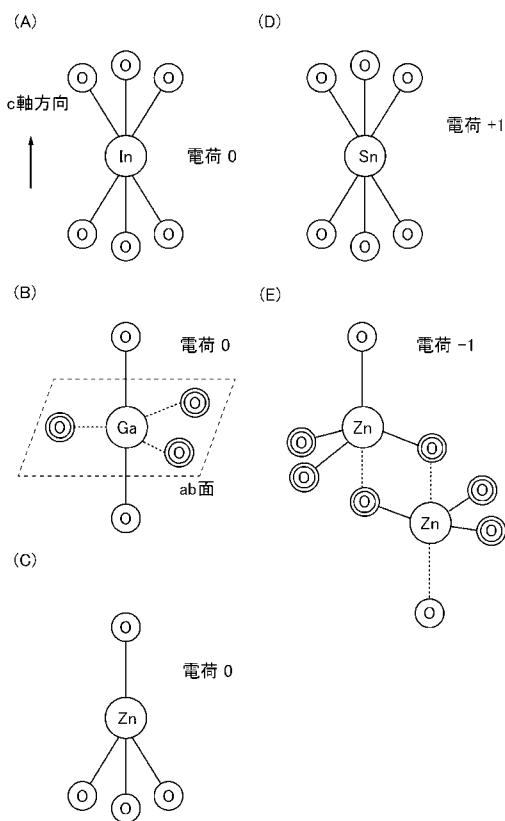
【図3】



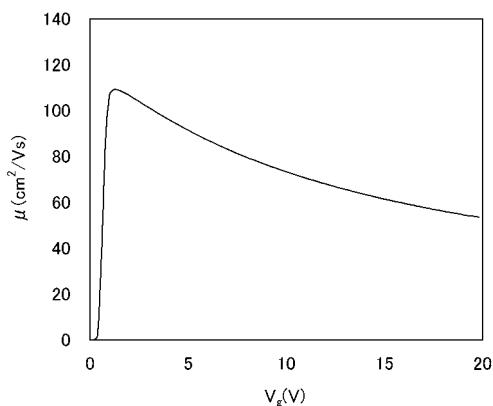
【図4】



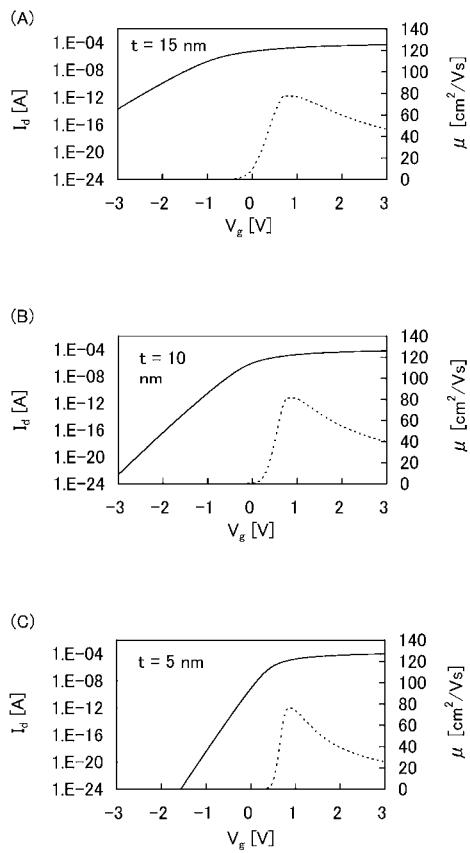
【図5】



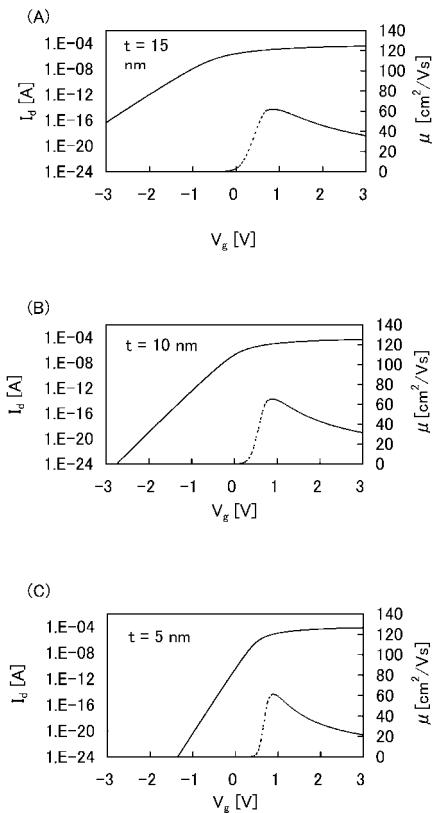
【図8】



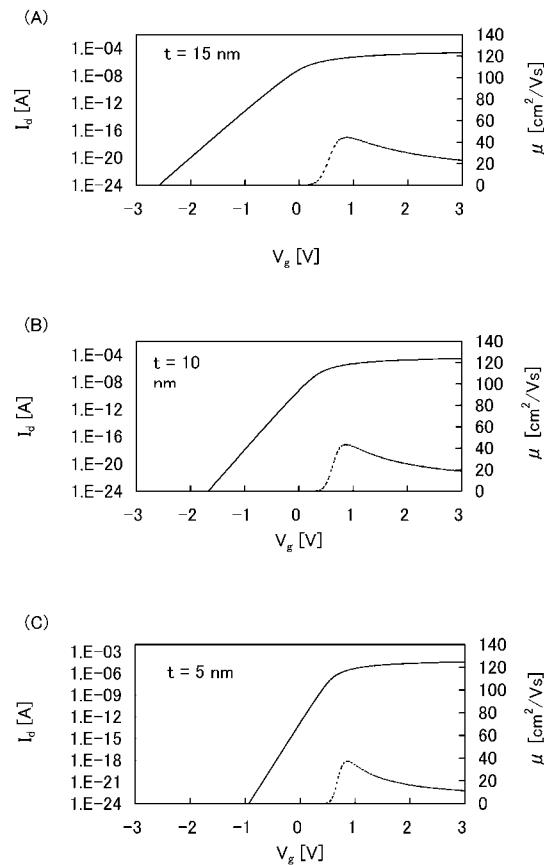
【図9】



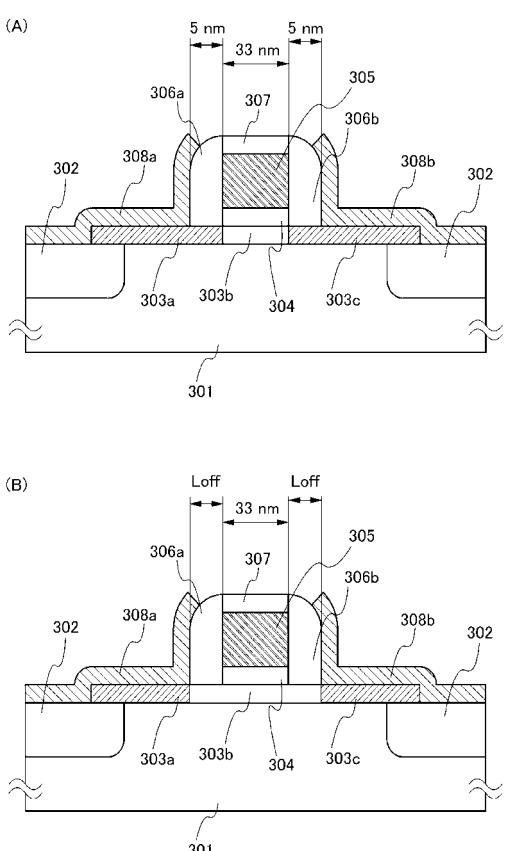
【図10】



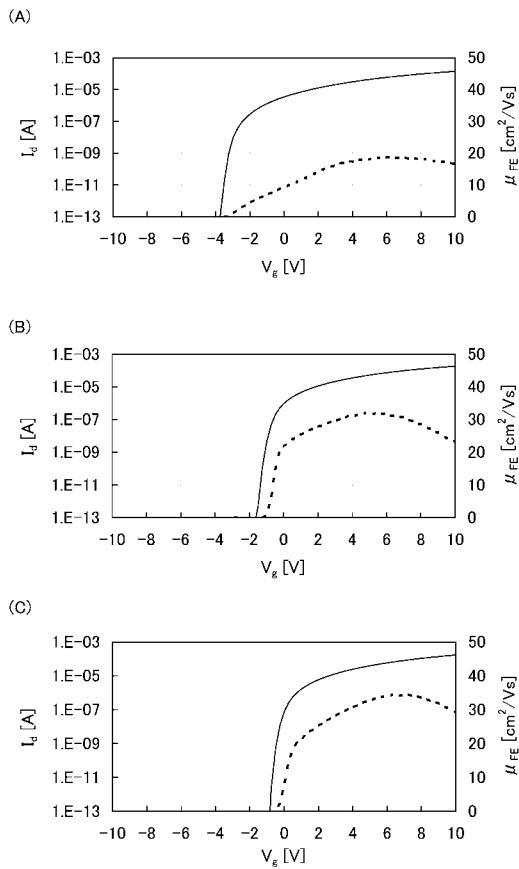
【図11】



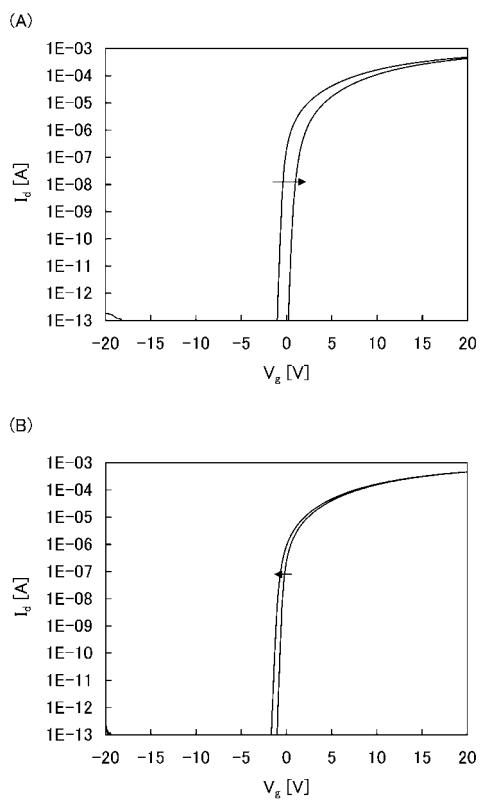
【図12】



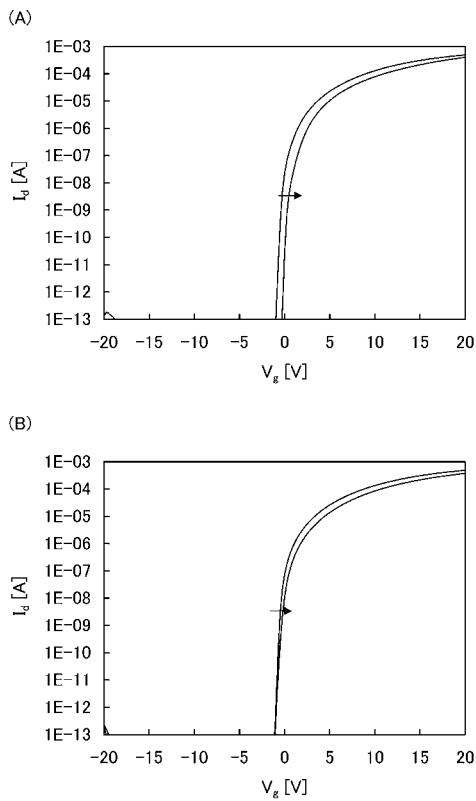
【図 1 3】



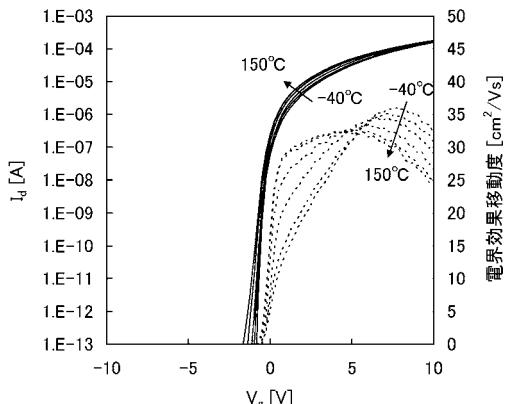
【図 1 4】



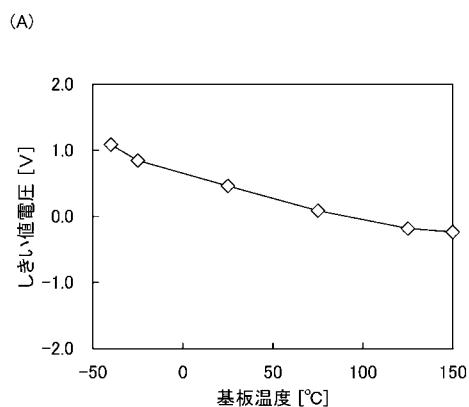
【図 1 5】



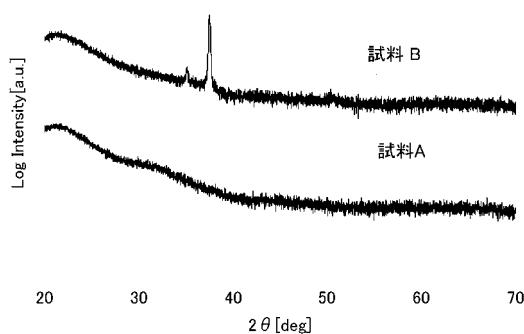
【図 1 6】



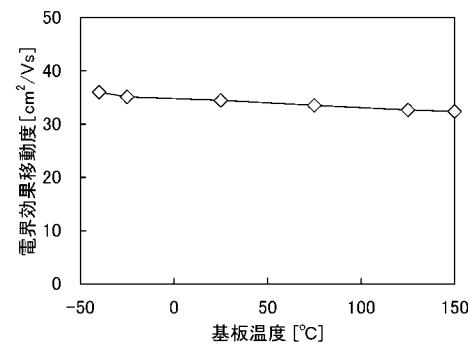
【図17】



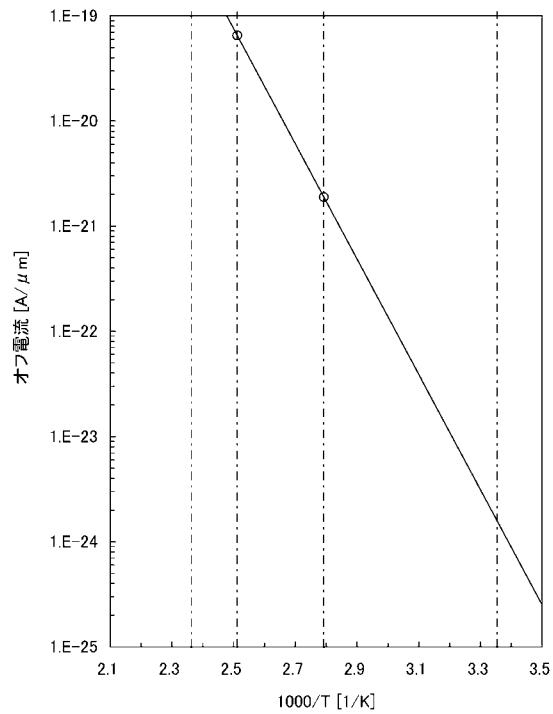
【図18】



(B)

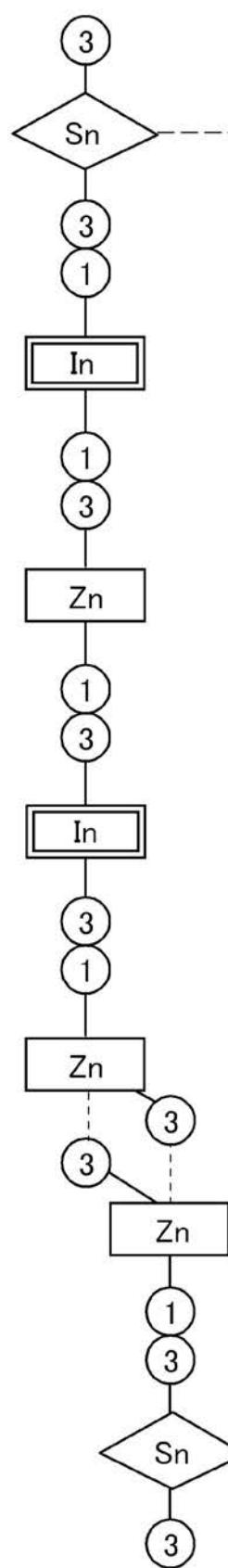


【図19】

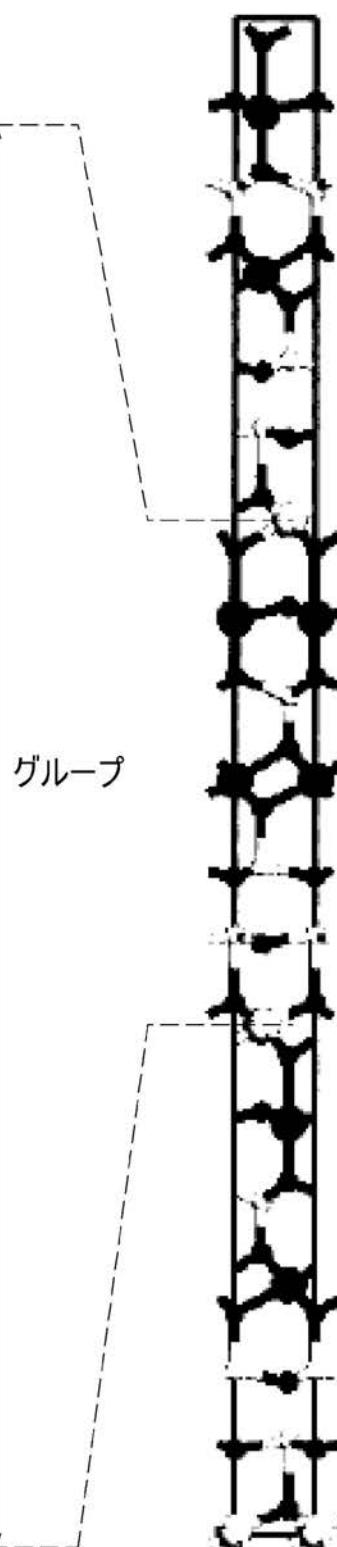


【図 6】

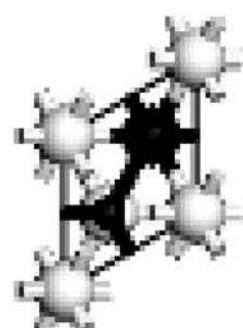
(A)



(B)

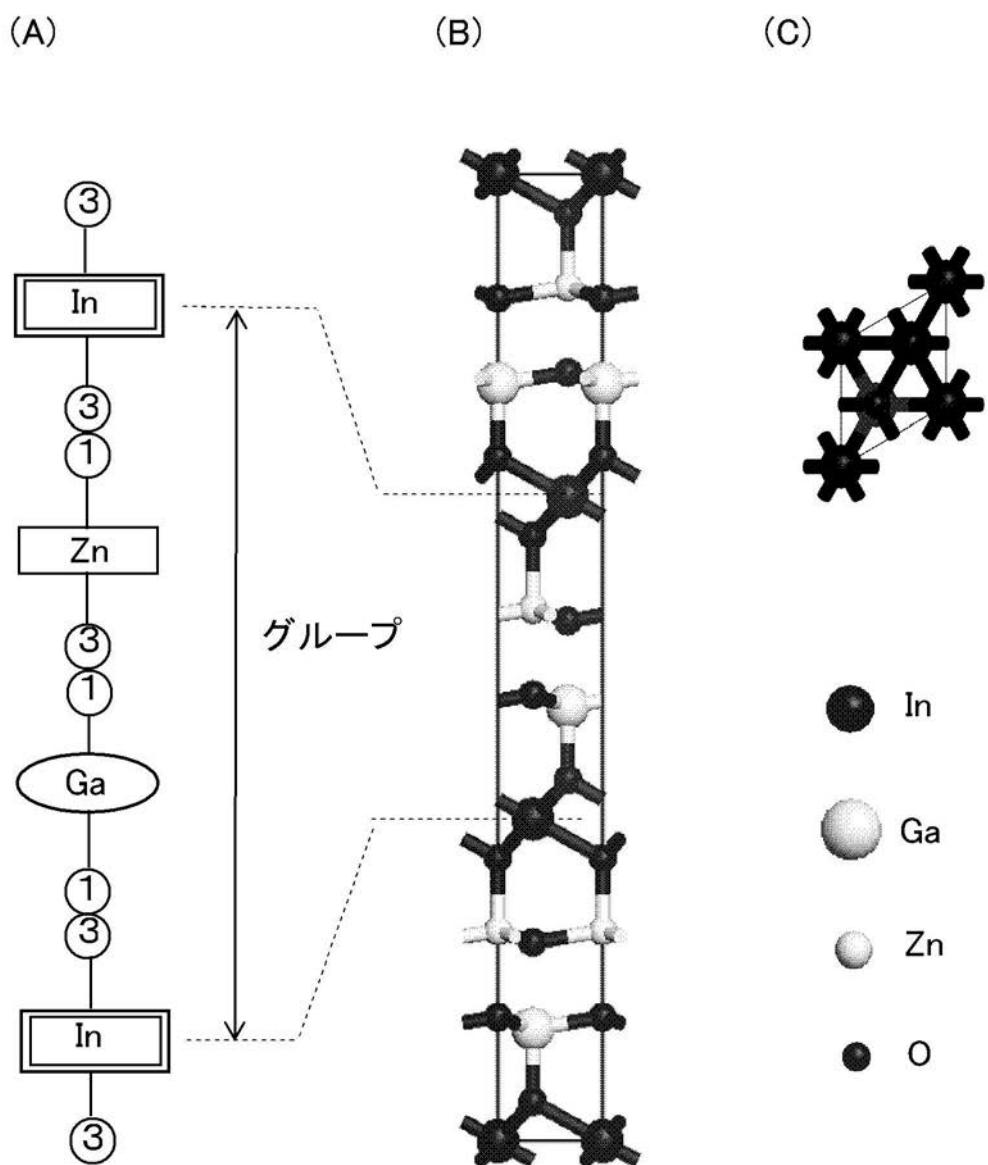


(C)



● In
 ○ Sn
 ◯ Zn
 ● O

【図7】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/00 5 5 0 E	5 J 0 4 3
H 0 1 L 21/822 (2006.01)	H 0 1 L 27/04	A
H 0 1 L 27/04 (2006.01)	H 0 3 K 3/356	C
H 0 3 K 3/3562 (2006.01)		

F ターム(参考)	5F083	AD02	AD21	GA05	GA06	GA11	HA02	JA02	JA03	JA04	JA05
	JA12	JA19	JA36	JA39	JA56	JA60	MA06	MA16	PR33	PR34	
	PR40	ZA01	ZA12	ZA13							
5F110	AA01	AA06	AA08	AA14	BB03	BB04	BB05	BB11	CC01	CC02	
	DD06	DD12	DD13	DD14	DD15	DD17	DD21	DD25	EE31	FF01	
	FF02	FF03	FF04	FF09	FF28	FF36	GG01	GG06	GG12	GG13	
	GG14	GG15	GG17	GG25	GG28	GG29	GG33	GG34	GG42	GG43	
	GG52	GG58	HJ01	HJ12	HJ13	HK03	HK04	HK22	HK33	HM17	
	NN74	NN77	PP01	PP02	PP10	PP13	PP35	QQ01	QQ06	QQ19	
5J034	AB03	AB15	CB01	DB03							
5J043	AA03	AA13	EE01	HH01	JJ04	KK06	KK07				