(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 110291616 B
(45)授权公告日 2023.05.30

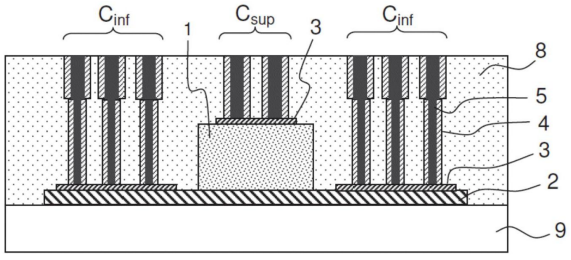
(21)申请号 201780085813.7
(22)申请日 2017.12.22
(65)同一申请的已公布的文献号
申请公布号 CN 110291616 A
(43)申请公布日 2019.09.27
(30)优先权数据
1663133 2016.12.22 FR
(85)PCT国际申请进入国家阶段日
2019.08.06
(86)PCT国际申请的申请数据
PCT/EP2017/084529 2017.12.22
(87)PCT国际申请的公布数据
WO2018/115510 FR 2018.06.28
(73)专利权人 原子能和能源替代品委员会
地址 法国巴黎
(72)发明人 E·盖金 C·亚尼 F·内姆齐
P·罗德里格斯 B·塞拉格
(74)专利代理机构 北京戈程知识产权代理有限公司 11314
专利代理师 程伟 王锦阳
(51)Int.Cl.
H01L 21/285(2006.01)
H01L 27/144(2006.01)
H01L 21/768(2006.01)
H01L 23/485(2006.01)
H01L 29/45(2006.01)
(56)对比文件
US 2016087160 A1,2016.03.24
US 6812141 B1,2004.11.02
US 8941218 B1,2015.01.27
US 2010133660 A1,2010.06.03
SHIGERU KURODA.A new fabrication technology for algaas/gaas hemt lsi″s using ingaas nonalloyed ohmic contacts.《IEEE TRANSACTIONS ON ELECTRON DEVICES》.1989,第36卷(第10期),第2196-2203页.
审查员 陈子威
权利要求书4页 说明书30页 附图30页

(54)发明名称

制备包括III-V族材料和与硅工艺流程相容的接触的元件的方法

(57)摘要

本发明涉及一种用于制备元件的方法,所述元件包括在衬底的表面上由III-V族材料制得的结构,所述结构包括至少一个在第一III-V族材料(1)表面上限定的上接触水平面(N_{sup})和在第二III-V族材料(2)表面上限定的下接触水平面(N_{inf}),所述方法包括:用至少一种电介质(8)封装所述结构的连续操作;在电介质中制备用于两个接触的主孔(0_{sp};0_{ip});在电介质中制备用于两个接触的次孔(0_{ss};0_{is});用至少一种金属至少部分地填充所述孔从而制备上接触底部金属化和至少一个使每个所述接触与所述金属化相接触的上接触垫。本发明的另一主题为使用所述方法制得的元件。所述元件可以为激光二极管。



CN 110291616 B

1.一种用于制备元件的方法,所述元件包括在衬底表面上的III-V族材料的结构,所述结构包括至少一个在第一III-V族材料(1)表面上限定的上接触水平面(N_{sup})以及在第二III-V族材料(2)表面上限定的下接触水平面(N_{inf}),所述方法包括:

- 用至少一种电介质封装的连续操作,包括用至少一种电介质(8)封装所述结构;

- 在所述电介质(8)中,在所述第一III-V族材料(1)的表面上制造至少一个上孔(0_s)并且在所述第二III-V族材料(2)的表面上制造至少一个下孔(0_i),从而在所述第一III-V族材料上和所述第二III-V族材料上限定接触底部区域;

- 在所述至少一个上孔(0_s)中和所述至少一个下孔(0_i)中进行接触底部金属化(3);

- 用至少一种金属材料(5)至少部分地填充所述至少一个上孔(0_s)并且至少部分地填充所述至少一个下孔(0_i),从而产生至少一个上接触垫和至少一个下接触垫;

- 接触底部金属化并且接触垫限定与所述上接触水平面(N_{sup})相接触的所述第一III-V族材料的至少一个上接触以及与所述下接触水平面(N_{inf})相接触的所述第二III-V族材料的至少一个下接触;

- 至少所述上接触和至少所述下接触在电介质中集成并且具有在同一平面中限定的上表面,

所述方法的特征在于其包括以下步骤:

- 用第一电介质封装所述结构;

- 制造至少一个在所述第二III-V族材料(2)上开口的主下孔(0_{ip});

- 在所述第一电介质的表面上和所述第二III-V族材料(2)的表面上沉积金属化,限定下接触底部金属化和第一组件(E1);

- 用第二电介质封装所述第一组件(E1);

- 平面化经封装的所述第一组件;

- 制造在所述下接触底部金属化上开口的至少一个次下孔(0_{isl});

- 用至少一种金属材料填充所述至少一个次下孔,限定所述下接触的至少一个接触垫和第二组件(E2)。

2.根据权利要求1所述的用于制备元件的方法,其中,所述结构具有第二III-V族材料(2)的下基底以及位于所述基底上方的第一III-V族材料(1)的台面。

3.根据权利要求1或2中一项所述的用于制备元件的方法,其特征在于,所述方法包括连续地制造至少一个下孔,然后制造至少一个上孔。

4.根据权利要求3所述的用于制备元件的方法,其中,至少所述下孔以数个步骤制成,限定彼此叠加的第一下孔(0_{i1})和第二下孔(0_{i2})。

5.根据权利要求3所述的用于制备元件的方法,其中,所述下孔以叠加的方式包括接触底部金属化(3)、金属填充物、与接触底部金属化(3)相同的金属界面。

6.根据权利要求1或2中一项所述的用于制备元件的方法,其特征在于,所述方法包括连续地制造至少一个上孔,然后制造至少一个下孔。

7.根据权利要求1或2所述的用于制备元件的方法,其特征在于,所述方法包括同时制造至少一个上孔和至少一个下孔。

8. 根据权利要求1或2所述的用于制备元件的方法,其中,至少所述上孔和/或至少所述下孔的宽度(D2)在0.5 μm 至10 μm之间。

9.根据权利要求1所述的用于制备元件的方法,所述方法包括:

- 在所述第一III-V族材料(1)的表面上制造至少一个主上孔(0_{sp})并且在所述第二III-V族材料(2)的表面上制造至少一个主下孔(0_{ip});

- 在所述至少一个主上孔中和所述至少一个主下孔中进行接触底部金属化(3);

- 用至少一种电介质(8)封装所述至少一个主上孔(0_{sp})和所述至少一个主下孔(0_{ip});

- 在位于所述至少一个主上孔(0_{sp})中的电介质中制造至少一个次上孔(0_{ss}),并且在位于所述主下孔(0_{ip})中的电介质中制造至少一个次下孔(0_{is});

- 用至少一种金属材料(5)填充所述至少一个次上孔(0_{ss})和所述至少一个次下孔(0_{is}),从而产生至少一个上接触垫和至少一个下接触垫。

10.根据权利要求9所述的用于制备元件的方法,其特征在于,所述方法包括连续地制造至少一个主上孔,然后制造至少一个主下孔。

11.根据权利要求9所述的用于制备元件的方法,其特征在于,所述方法包括同时制造至少一个次上孔和至少一个次下孔。

12.根据权利要求9至11中任一项所述的用于制备元件的方法,其特征在于,所述方法包括:

- 用电介质封装组件,所述组件包括覆盖有接触底部金属化(3)的第一III-V族材料(1)和覆盖有接触底部金属化(3)的第二III-V族材料(2);

- 制造至少一个与第二III-V族材料(2)相对的次下孔(0_{isl});

- 在所述第一III-V族材料(1)上方制造至少一个次上孔(0_{ss}),并且在至少所述次下孔(0_{isl})上方制造至少一个附加的次上孔(0_{is2});

- 填充至少所述次上孔(0_{ss})、至少一个附加的次上孔(0_{is2})和至少所述次下孔(0_{isl})。

13.根据权利要求9或10所述的用于制备元件的方法,其特征在于,所述结构包括至少一个上III-V族材料(10)、中间III-V族材料(21)、第二下III-V族材料(22),所述方法包括:

- 制造至少一个主上孔、至少一个主中间孔、至少一个主下孔;

- 制造至少一个次上孔、至少一个次中间孔和至少一个次下孔;

- 填充所述孔。

14.根据权利要求13所述的用于制备元件的方法,其中:

- 至少所述次下孔包括具有不同尺寸的三个部分;

- 至少所述次中间孔包括具有不同尺寸的两个部分(0_{tsl}、0_{ts2});

- 至少所述次上孔包括一个部分(0_{ss})。

15.根据权利要求1所述的用于制备元件的方法,其特征在于,所述方法包括以下步骤:

- 用第三电介质封装所述第二组件(E2);

- 在所述第一III-V族材料(1)上方制造至少一个主上孔;

- 在所述第三电介质和所述上孔的表面上沉积金属化,限定上接触底部金属化和第三组件(E3);

- 用第四电介质封装所述第三组件;

- 平面化所述第三组件;

- 在所述上接触底部金属化上方制造至少一个次上孔(0_{ss})并且在所述下接触的至少所述接触垫上方制造至少一个附加的次上孔(0_{is2});

- 用至少一种金属材料填充所述上接触底部金属化上方的所述至少一个次上孔以及所述下接触的至少所述接触垫上方的所述至少一个附加的次上孔,限定至少一个用于上接触的上垫以及下接触垫的至少一个延长部分,所述上接触(C_{sup})和至少所述下接触(C_{inf})具有限定在同一平面内的表面。

16.根据权利要求9所述的用于制备元件的方法,其特征在于,所述方法包括:

- 同时制造至少一个主上孔和至少一个主下孔;

- 同时制造至少一个次上孔和至少一个次下孔。

17.根据权利要求1或2所述的用于制备元件的方法,其特征在于,所述方法包括在所述至少一个上接触和所述至少一个下接触的表面上制造附加的接触水平面,包括:

- 电介质(8)的附加沉积;

- 制造至少一个下附加孔和至少一个上附加孔;

- 用至少一种金属材料填充所述附加孔,以限定至少一个下附加接触($C_{inf/supl}$)和至少一个上附加接触($C_{sup/supl}$)。

18.根据权利要求9至11中一项所述的用于制备元件的方法,其中:

- 主下孔具有的宽度(D2)在20 μm至50 μm之间;

- 次下孔具有的宽度(D6)在0.5 μm至5 μm之间。

19. 根据权利要求1或2所述的用于制备元件的方法,其特征在于,所述第一III-V族材料和/或所述第二III-V族材料选自:InP、$In_{1-x}Ga_xAs$、GaAs、InAs、GaSb、$In_{1-x}Ga_xSb$、$In_xGa_{1-x}As_{1-y}P_y$、$Ga_{1-x}In_xP$、$In_xGa_{1-x}As_{1-y}N_y$、$B_xIn_yGa_{1-x-y}As$,其中在$In_{1-x}Ga_xAs$中$0 \leqslant x \leqslant 1$。

20.根据权利要求1或2所述的用于制备元件的方法,其特征在于,所述衬底为硅。

21.根据权利要求1或2所述的用于制备元件的方法,其中,一种或多种电介质选自:SiN、SiO_2、Al_2O_3、能够基于苯并环丁烯(BCB)或SOG的平面聚合物。

22.根据权利要求9所述的用于制备元件的方法,其中,将金属沉积在所述主上孔和所述主下孔中,所述金属为Ni_2P、Ni_3P、NiGe、TiP或TiGe。

23.根据权利要求9所述的用于制备元件的方法,其中,将金属沉积在所述主上孔和所述主下孔中,所述金属为Ni、Ti、NiPt、NiTi或NiCo。

24.根据权利要求1或2所述的用于制备元件的方法,其中,在金属化沉积之后进行热处理以形成一种或多种金属间化合物。

25.根据权利要求1或2所述的用于制备元件的方法,其特征在于,填充操作包括:

- 沉积扩散阻挡层,其能够由材料的一层或多层组成,所述材料选自:TiN、Ti/TiN、TaN、Ta/TaN、W;

- 沉积选自以下的填充金属:W、Cu、Al、AlCu、AlSi。

26.根据权利要求1或2所述的用于制备元件的方法,其中,所述元件为激光器,并且所述方法包括在介电衬底(90)中用于制造半导体材料的导向件(91)的操作,所述半导体材料能够为Si,所述介电衬底(90)能够为SiO_2。

27.根据权利要求1或2所述的用于制备元件的方法,其中,所述元件为激光器,并且所述方法包括制造圆形上接触,以允许在所述上接触的中心处垂直发射激光辐射。

28.一种用于制备元件的方法,所述元件包括在衬底表面上的III-V族材料的结构,所述结构包括至少一个在第一III-V族材料(1)表面上限定的上接触水平面(N_{sup})以及在第二

III-V族材料(2)表面上限定的下接触水平面(N_{inf}),所述方法包括:

- 用至少一种电介质封装的连续操作,包括用至少一种电介质(8)封装所述结构;

- 在所述电介质(8)中,在所述第一III-V族材料(1)的表面上制造至少一个上孔(0_s)并且在所述第二III-V族材料(2)的表面上制造至少一个下孔(0_i),从而在所述第一III-V族材料上和所述第二III-V族材料上限定接触底部区域;

- 在所述至少一个上孔(0_s)中和所述至少一个下孔(0_i)中进行接触底部金属化(3);

- 用至少一种金属材料(5)至少部分地填充所述至少一个上孔(0_s)并且至少部分地填充所述至少一个下孔(0_i),从而产生至少一个上接触垫和至少一个下接触垫;

- 接触底部金属化并且接触垫限定与所述上接触水平面(N_{sup})相接触的所述第一III-V族材料的至少一个上接触以及与所述下接触水平面(N_{inf})相接触的所述第二III-V族材料的至少一个下接触;

- 至少所述上接触和至少所述下接触在电介质中集成并且具有在同一平面中限定的上表面,

所述方法的特征在于其包括以下步骤:

- 用第一电介质封装所述结构;

- 制造至少一个在所述第一III-V族材料(1)上开口的主上孔(0_{sp});

- 在所述第一电介质的表面上和所述第一III-V族材料(1)的表面上沉积金属化,限定上接触底部金属化和第一组件;

- 用第二电介质封装所述第一组件;

- 平面化经封装的所述第一组件;

- 制造在所述上接触底部金属化上开口的至少一个次上孔(0_{ss});

- 用至少一种金属材料填充所述至少一个次上孔,限定所述上接触的至少一个接触垫和第二组件;

- 在所述第二III-V族材料(2)的上方制造至少一个主下孔(0_{ip});

- 在所述第一电介质和所述主下孔的表面上沉积金属化,限定下接触底部金属化和第三组件;

- 用第四电介质封装所述第三组件;

- 平面化所述第三组件;

- 在所述下接触底部金属化的上方制造至少一个次下孔(0_{is});

- 填充所述至少一个次下孔,限定至少一个下接触垫,所述上接触(C_{sup})和至少所述下接触(C_{inf})具有在同一平面内限定的表面。

29.根据权利要求1至28中一项所述的方法获得的元件。

制备包括III-V族材料和与硅工艺流程相容的接触的元件的方法

技术领域

[0001] 本发明的领域为III-V族材料在诸如硅的标准衬底上的共同集成，其可以在能够接收最小直径为100mm的晶圆的硅平台上生产。所提出的共同集成在集成框架内，具有与100mm或更大的硅工艺流程相容的平面化“后端”。

背景技术

[0002] 目前在III-V族材料上集成的接触采用诸如“剥离”的方法(金属在树脂和感兴趣的区域上沉积，然后溶解树脂，去除树脂上方存在的金属，留下感兴趣的区域上的金属)以及许多非常昂贵的金属或禁止硅洁净室的金属，如以下文章所描述的：A.Baca、F.Ren、J.Zolper、R.Briggs和S.Pearton，"A survey of ohmic contacts to III-V compound semiconductors"，Thin Solid Films，第308-309卷，第599-606页，1997年，或者在G.Stareev、H.Kunzel和G.Dortmann，"A controllable mechanism of forming extremely low-resistance nonalloyed ohmic contacts to group III-V compound semiconductors"，Journal of Applied Physics，第74卷，第12号，第7344页，1993年的文章中。

[0003] 这种非平面集成并没有为数个更高水平面的制备或其它物体的共同集成开辟道路。因此限制了元件的小型化和致密化。

[0004] 最后，现有接触中存在的层数(在3至5之间)的倍增使得集成复杂且不是最佳的。以下参考文献中给出了接触非平面集成的典型示例：B.Ben Bakir、C.Sciancalepore、A.Descos、H.Duprez、D.Bordel、L.Sanchez、C.Jany、K.Hassan、P.Brianceau、V.Carron和S.Menezo，"Heterogeneously integrated III-V on silicon lasers"，Meeting Abstracts，第MA2014-02卷，第34号，第1724页，2014年和H.Duprez、A.Descos、T.Ferrotti、J.Harduin、C.Jany、T.Card、A.Myko、L.Sanchez、C.Sciancalepore、S.Menezo和B.Ben Bakir，"Heterogeneously integrated III-V on silicon distributed feedback lasers at 1310nm"，在Optical Fiber Communications Conference and Exhibition (OFC)，中2015年，第1-3页，2015年3月。

[0005] 图1显示了用于激光应用的这种构造，其中非平面连接由贵金属组成，用于在III-V族材料上直接再加工。在n掺杂的InP衬底上，制备具有基于多量子阱MQW的有源区的结构，在其上堆叠p掺杂的InP层和p掺杂的InGaAs层。经由用于连接n掺杂衬底的n-Pad接触垫而产生的连接使得可以限定下接触，而经由用于连接InGaAs的P掺杂层的p-Pad接触垫的连接使得限定上接触。

[0006] 在这种情况下，本发明提出了一种在III-V族材料上制造与硅工艺流程特别相容的接触的方法，从而使得III-V族材料/硅在处理最小直径为100mm晶圆的平台上共同集成。

发明内容

[0007] 因此,本发明开辟了一种在处理100mm或更大晶圆的硅相容洁净室中集成成品的方法,所述成品紧凑并且具有同时或顺序产生的平面接触的至少两个水平面。

[0008] 更确切地,本发明涉及一种用于制备元件的方法,所述元件包括在衬底表面上的III-V族材料的结构,所述结构包括至少一个在第一III-V族材料表面上限定的上接触水平面以及在第二III-V族材料表面上限定的下接触水平面,所述下接触水平面低于所述上接触水平面,所述方法包括:

[0009] -用至少一种电介质进行封装的连续操作,包括用至少一种电介质封装所述结构;

[0010] -在所述电介质中,在所述第一III-V族材料的表面上制造至少一个上孔并且在所述第二III-V族材料的表面上制造至少一个下孔,从而在所述第一III-V族材料和所述第二III-V族材料上限定接触底部区域;

[0011] -在所述至少上孔和所述至少下孔中进行接触底部金属化;

[0012] -用至少一种金属材料至少部分地填充所述至少上孔并且至少部分地填充所述至少下孔,从而产生至少一个上接触垫和至少一个下接触垫;

[0013] -接触底部金属化并且接触垫限定与所述上接触水平面相接触的所述第一III-V族材料的至少一个上接触以及与所述下接触水平面相接触的所述第二III-V族材料的至少一个下接触;

[0014] -至少所述上接触和至少所述下接触在电介质中集成并且具有在同一平面内限定的上表面。

[0015] 平面特性被定义为在同一平面上出现的一组接触。

[0016] 因此,在本专利申请中定义了以下内容:

[0017] -上接触,从上孔开始并包括接触底部金属化和接触垫;

[0018] -下接触,从下孔开始并包括接触底部金属化和接触垫。

[0019] 为了得到该结果,可以在一个或多个步骤中制备下接触(用于填充部分)。

[0020] 为此,可以在限定第一下孔和第二上孔的两个连续操作中制造下孔,如将在本发明的详细描述中详细介绍的。

[0021] 金属材料定义为:

[0022] -纯金属、金属合金、金属+非金属元素的合金;

[0023] -金属间化合物或类金属(在其晶体结构方面不同于合金)。

[0024] 平面型的集成通过混合或直接键合(例如光子/电子)或通过凸块的芯片传输开辟了3D集成的途径。

[0025] 在III-V族/Si共同集成的情况下,平面化后端的生产(对应于通过金属键构成互连的一组步骤)也使得可以设想在较低水平面的器件上形成接触(例如后端正面或金属间化合物)。

[0026] 根据本发明的变体,该结构具有第二III-V族材料的下基底以及位于所述基底上方的第一III-V族材料的台面。

[0027] 根据本发明,可以设想根据至少两种替代方案在两种III-V族材料上制备接触:

[0028] -或者通过制造孔,其中在孔的底部进行接触底部金属化,然后填充所述孔以制造与所述接触底部金属化相接触的接触垫;

[0029] -或者通过制造所谓的主孔，其中接触底部金属化将在孔的底部进行，然后在填充电介质之后限定次孔，用于制造接触垫，因此数个接触垫接触先前在主孔中限定的同一接触底部金属化。

[0030] 在第一种替代方案的情况下：

[0031] 根据本发明的变体，该方法包括连续地制造至少一个下孔，然后制造至少一个上孔。

[0032] 根据本发明的变体，至少下孔以数个步骤制成，限定彼此叠加的第一下孔和第二下孔。

[0033] 根据本发明的变体，所述下孔以叠加的方式包括接触底部金属化、金属填充物、与接触底部金属化相同的金属界面、金属填充物。

[0034] 根据本发明的变体，该方法包括连续地制造至少一个上孔，然后制造至少一个下孔。

[0035] 根据本发明的变体，该方法包括同时制造至少一个上孔和至少一个下孔。

[0036] 根据本发明的变体，至少一个上孔和/或至少一个下孔的宽度在0.5μm至10μm之间，优选在1μm至5μm之间。

[0037] 在第二种替代方案的情况下：

[0038] 根据本发明的变体，用于制备元件的方法，所述元件包括在衬底表面上的III-V族材料的结构，所述结构包括至少一个在第一III-V族材料表面上限定的上接触水平面以及在第二III-V族材料表面上限定的下接触水平面，所述方法包括：

[0039] -用至少一种电介质封装所述结构的连续操作；

[0040] -在电介质中制造至少一个主上孔和至少一个主下孔，从而在所述第一III-V族材料和所述第二III-V族材料上限定接触底部区域；

[0041] -在电介质中制造至少一个次上孔和至少一个次下孔，从而在所述接触底部区域上限定接触垫的区域；

[0042] -用至少一种金属材料至少部分地填充所述至少主上孔、所述至少主下孔、所述至少次上孔和所述至少次下孔，从而产生：

[0043] o至少一个所述第一III-V族材料的上接触，其与上接触水平面相接触并包括至少一个上接触底部金属化和至少一个与所述金属化接触的上接触垫；

[0044] o至少一个所述第二III-V族材料的下接触，其与所述下接触水平面相接触并包括至少一个下接触底部金属化以及至少一个与所述金属化接触的下接触垫；

[0045] -至少所述上接触和至少所述下接触在电介质中集成并且具有在同一平面内限定的表面。

[0046] 根据本发明的变体，该方法包括连续地制造至少一个主上孔和至少一个主下孔。

[0047] 在III-V族组分中存在的每种材料上独立地优化接触金属化可能是有利的，以便最小化相关的接触电阻。

[0048] 根据本发明的变体，该方法包括同时制造至少一个次上孔和至少一个次下孔。

[0049] 根据本发明的变体，该方法包括：

[0050] -用电解质封装组件，所述组件包括覆盖有金属化的第一III-V族材料以及覆盖有金属化的第二III-V族材料；

[0051] -制造至少一个与第二III-V族材料相对的次下孔；

[0052] -在所述第一III-V族材料上方制造至少一个次上孔，并在至少所述次下孔上方制造至少一个附加的次下孔；

[0053] -填充至少所述次上孔、至少一个附加的次下孔和至少所述次下孔。

[0054] 根据本发明的变体，该结构包括至少一种所谓的上III-V族材料、所谓的中间III-V族材料、所谓的下III-V族材料，该方法包括：

[0055] -制造至少一个主上孔、至少一个主中间孔、至少一个主下孔；

[0056] -制造至少一个次上孔、至少一个次中间孔和至少一个次下孔；

[0057] -填充所述孔。

[0058] 根据本发明的变体：

[0059] -至少所述次下孔包括具有不同尺寸的三个部分；

[0060] -至少所述次中间孔包括具有不同尺寸的两个部分；

[0061] -至少所述次上孔包括一个部分。

[0062] 根据本发明的变体，该方法包括以下步骤：

[0063] -用第一电介质封装所述结构；

[0064] -制造至少一个在所述第二III-V族材料上开口的主下口；

[0065] -在所述第一电介质的表面上和所述第二半导体材料的表面上沉积金属化，限定下接触金属化和第一组件；

[0066] -用第二电介质封装所述第一组件；

[0067] -平面化所述经封装的第一组件；

[0068] -制造至少一个在所述下接触底部金属化上开口的次下孔；

[0069] -用至少一种金属材料填充所述至少次下孔，限定所述下接触的至少一个接触垫和第二组件；

[0070] -用第三电介质封装所述第二组件；

[0071] -在所述第一III-V族材料上方制造至少一个主上孔；

[0072] -在所述第三介电材料和所述上孔的表面上沉积金属化，限定上接触底部金属化和第三组件；

[0073] -用第四电介质封装所述第三组件；

[0074] -平面化所述第三组件；

[0075] -在所述上接触底部金属化上方制造至少一个次上孔并在所述下接触的至少所述接触垫上方制造至少一个上孔；

[0076] -用至少一种金属材料填充所述上接触底部金属化上方的所述至少次上孔和所述下接触的至少所述接触垫上方的所述至少上孔，限定至少一个用于上接触的上垫和下接触垫的至少一个延长部分，所述上接触和至少所述下接触具有在同一平面内限定的表面。

[0077] 根据变体，该方法包括以下步骤：

[0078] -用第一电介质封装所述结构；

[0079] -制造至少一个在所述第一III-V族材料上开口的主上孔；

[0080] -在所述第一电介质的表面上以及所述第一半导体材料的表面上沉积金属化，限定上接触金属化和第一组件；

[0081] -用第二电介质封装所述第一组件；

[0082] -平面化所述经封装的第一组件；

[0083] -制造至少一个在所述上接触底部金属化上开口的次上孔；

[0084] -用至少一种金属材料填充所述至少次上孔，限定所述上接触的至少一个接触垫和第二组件；

[0085] -制造至少一个在所述第二III-V族材料上方的主下口；

[0086] -在所述第一介电材料和所述主下孔的表面上沉积金属化，限定下接触金属化和第三组件；

[0087] -用第四电介质封装所述第三组件；

[0088] -平面化所述第三个；

[0089] -在所述下接触底部层的上方制造至少一个次下孔；

[0090] -用至少一种金属材料填充所述至少次下孔，限定至少一个下接触垫，所述上接触和至少所述下接触具有在同一平面内限定的表面。

[0091] 根据变体，该方法包括：

[0092] -同时制造至少一个主上孔和至少一个主下孔；

[0093] -同时制造至少一个次上孔和至少一个次下孔；

[0094] 根据本发明的变体，该方法包括在所述平面接触的表面上制造附加的接触水平面，包括：

[0095] -电介质的附加沉积；

[0096] -制造至少一个下附加孔和至少一个上附加孔；

[0097] -用至少一种金属材料填充所述附加孔，以限定至少一个下附加接触和至少一个上附加接触。

[0098] 根据本发明的变体，该方法包括制造宽度在20μm至50μm之间的主下孔以及制造宽度在0.5μm至5μm之间，优选在1μm至3μm之间的次下孔。

[0099] 根据本发明的变体，第一III-V族材料和第二III-V族材料选自：

[0100] 第一III-V族材料可以由诸如以下的III-V族材料组成：InP、$In_{1-x}Ga_xAs$(其中0≤x≤1)、GaAs、InAs、GaSb、$In_{1-x}Ga_xSb$、$In_xGa_{1-x}As_{1-y}P_y$、$Ga_{1-x}In_xP$、$In_xGa_{1-x}As_{1-y}N_y$、$B_xIn_yGa_{1-x-y}As$。

[0101] 第二III-V族材料也可以由诸如以下的III-V族材料组成：InP、$In_{1-x}Ga_xAs$(其中0≤x≤1)、GaAs、InAs、GaSb、$In_{1-x}Ga_xSb$、$In_xGa_{1-x}As_{1-y}P_y$、$Ga_{1-x}In_xP$、$In_xGa_{1-x}As_{1-y}N_y$、$B_xIn_yGa_{1-x-y}As$等。

[0102] 根据本发明的变体，衬底为硅。

[0103] 根据本发明的变体，一种或多种电介质选自：SiN、SiO_2、Al_2O_3、可以基于苯并环丁烯(BCB)或SOG的平面聚合物。

[0104] 根据本发明的变体，将诸如Ni_2P、Ni_3P、NiGe、TiP、TiGe的金属沉积在所述主孔中。

[0105] 根据本发明的变体，将诸如Ni、Ti的金属和诸如NiPt、NiTi、NiCo的合金沉积在所述主孔中。

[0106] 根据本发明的变体，填充操作包括：

[0107] -沉积扩散阻挡层，其可以由材料的一层或多层组成，所述材料选自：TiN、Ti/TiN、

TaN、Ta/TaN、W(无氟)；

[0108] -沉积选自以下的填充金属:W、Cu、Al、AlCu、AlSi。

[0109] 关于扩散阻挡层,W为无氟的,因为通过CVD(化学方法)沉积阻挡层,其前体不含F,与用于填充的W相反。使用阻挡层是因为F对器件有害。该阻挡层还可用于促进填充金属(W、Cu、Al等)的成核。

[0110] 元素W在本发明的情况下是特别有利的,因为它具有非常低的电阻并且易于使用,因此它可以有利地用于填充次孔。

[0111] 根据本发明的变体,金属化沉积之后进行热处理,其目的是形成一种或多种金属间化合物。

[0112] 根据本发明的变体,所述元件为激光器,并且本发明的方法包括在介电衬底(其可以为SiO_2)中用于制造半导体材料(可以为Si)的导向件的操作。

[0113] 根据本发明的变体,所述元件为激光器,并且本发明的方法包括制造圆形上接触以允许激光辐射的垂直发射。

[0114] 本发明还涉及通过本发明的方法获得的元件。

[0115] 所述元件可以为边发射激光器或垂直发射激光器。有利地,其还可以为包含一系列具有不同吸收波长(用于加宽元件的吸收带)的不同III-V族材料的元件。

[0116] 本发明可应用于许多初始构造,例如:

[0117] -III-V在任何类型的衬底上(例如在Si芯片上)传输至晶圆;

[0118] -从晶圆至晶圆;

[0119] -III-V在允许III/V晶体生长的Si衬底、III-V、或任何永久或临时衬底上的外延。应注意的是,应存在至少一个晶体结构的晶核与需要生长的III/V材料的晶核相同并且晶格参数接近生长层。晶格参数之间的差异大于5%,则晶体是有缺陷的(位错、反相晶界或甚至多晶)。这在玻璃类型的非晶态衬底上是不可能的。

[0120] 起始衬底可以具有100mm或更大的直径。

附图说明

[0121] 通过阅读下面给出的非限制性描述和附图,将更好地理解本发明并且其它优点将变得更加清楚,其中:

[0122] -图1示出了现有技术的基于III-V族材料的元件的示例;

[0123] -图2示出了在本发明方法的实施例中III-V族材料在所用衬底上的结构的示例;

[0124] -图3示出了在本发明第一替代方案的情况下制得的元件的第一示例;

[0125] -图4a至图4i示出了根据第一替代方案的本发明方法的第一实施例的各个步骤,包括制备下接触,然后在各个接触底部金属化上制造上接触;

[0126] -图5a至图5h示出了根据第一替代方案的本发明方法的第二实施例的各个步骤,包括制备上接触,然后在各个接触底部金属化上制造下接触;

[0127] -图6a至图6e示出了根据第一替代方案的本发明方法的第三实施例的各个步骤,包括制备下接触同时在各个接触底部金属化上制造上接触;

[0128] -图7f至图7k示出了用于制备图4a至图4i中所示的下接触垫的步骤的变体,使得不必在所述下接触垫中具有金属界面层;

[0129] -图8b至图8e示出了构成通过双镶嵌工艺制造接触垫的步骤的变体的工艺步骤；

[0130] -图9示出了可以在本发明方法的变体中使用的附加接触水平面的集成步骤；

[0131] -图10示出了通过本发明的方法制得的激光器元件的第一示例：

[0132] -图11示出了通过本发明的方法制得的激光器元件的第二示例：

[0133] -图12示出了在本发明第二替代方案的情况下制得的元件的第一示例，所述组件包括在若干垫之间共享的接触底部金属化；

[0134] -图13a至图13o示出了在本发明第二替代方案的情况下进行的方法的第一实施例的各个步骤，包括制备下接触然后制备上接触并包括次上孔和次下孔；

[0135] -图14a至图14n示出了在本发明第二替代方案的情况下进行的本发明方法的第二实施例的各个步骤，包括制备上接触然后制备下接触；

[0136] -图15a至图15h示出了在本发明第二替代方案的情况下进行的方法的第三实施例的各个步骤，包括同时制备下接触和上接触

[0137] -图16a至图16d示出了在本发明第二替代方案的情况下，本发明方法的第四实施例的各个步骤，包括同时制备双层次上孔和次下孔；

[0138] -图17示出了可以在本发明方法的变体中使用的附加接触水平面的集成步骤；

[0139] -图18示出了通过本发明的方法制得的激光器元件的第一示例：

[0140] -图19示出了通过本发明的方法制得的激光器元件的第二示例：

[0141] -图20示出了在光子集成的情况下通过本发明的方法获得的元件的示例；

[0142] -图21示出了由于使用至少三种不同III-V族材料的水平面而在不同波长区域中吸收并且通过本发明的方法制得的元件的示例；

[0143] -图22示出了在太阳能电池上形成接触的元件的示例，其中III-V族材料的倍增和多样化使得能够进入更宽的吸收带；

[0144] -图23a和图23b示出了接触和电场线的两个示意图，用于说明传输长度；

[0145] -图24示出了TLM结构的示意图；

[0146] -图25示出了在TLM结构的情况下随着接触之间空间的变化测得的总电阻的变化。

具体实施方式

[0147] 在下面给出的详细描述中描述了本发明的各种实施方案。

[0148] 接触的集成呈现在两个水平面处，但适用于在III-V族材料水平面处具有不同接触水平面的形貌的许多水平面。

[0149] 下面在以下情况下描述本发明，在衬底9上制备包括III-V族基底材料2和III-V族上部材料1的结构，如图2所示，其中可以制备表面低于III-V族基底材料表面的台面。

[0150] 在整个说明书中使用以下附图标记：

[0151] -第一III-V族材料：1；

[0152] -第二III-V族材料：2；

[0153] -衬底：9；

[0154] -一种或多种介电材料：8；

[0155] -金属化：3；

[0156] -扩散阻挡层：4；

[0157] -金属填料:5;

[0158] -与第一材料1相接触的上孔O_s;

[0159] -与第二材料2相接触的下孔O_i。

[0160] 从至少一个上孔O_S开始或从至少一个主上孔O_{sp}开始并且从至少一个次上孔O_{ss}开始限定上接触C_{sup}。

[0161] 从至少一个下孔O_I开始或从至少一个主下孔O_{ip}开始并且从至少一个次下孔O_{is}开始限定下接触C_{inf}。

[0162] 从至少一个主中间孔O_{tp}开始并且从至少一个次中间孔O_{ts}开始限定中间接触C_{int}。

[0163] 图3示出了通过属于本发明第一替代方案的方法获得的元件的示例,并且在衬底9上示出了III-V族材料1和2,用作接触底部金属化的金属化3,在金属化3上制得包括扩散阻挡层4的接触垫;次孔填充有填充金属5。组件封装在电介质8中。图3显示了接触水平面:较低水平面N_{inf},较高水平面N_{sup}。根据该示例,可以设想附加的水平面$N_{sup/supl}$,在该水平面上可以制备填充有扩散阻挡层7和填充金属6的接触垫。

[0164] 第一III-V族材料可以由诸如以下的III-V族材料组成:InP、$In_{1-x}Ga_xAs$(其中$0\leqslant x\leqslant 1$)、GaAs、InAs、GaSb、$In_{1-x}Ga_xSb$、$In_xGa_{1-x}As_{1-y}P_y$、$Ga_{1-x}In_xP$、$In_xGa_{1-x}As_{1-y}N_y$、$B_xIn_yGa_{1-x-y}As$。

[0165] 第二III-V族材料也可以由诸如以下的III-V族材料组成:InP、$In_{1-x}Ga_xAs$(其中$0\leqslant x\leqslant 1$)、GaAs、InAs、GaSb、$In_{1-x}Ga_xSb$、$In_xGa_{1-x}As_{1-y}P_y$、$Ga_{1-x}In_xP$、$In_xGa_{1-x}As_{1-y}N_y$、$B_xIn_yGa_{1-x-y}A$。其可以与第一材料相同或不同。

[0166] 衬底可以为硅衬底,其可以例如具有大约几百毫米(例如200mm)的厚度。

[0167] 根据本发明,上接触和下接触的上水平面位于同一平面内。

[0168] 附图均示出了可以为圆形或线形的接触的截面图。

[0169] I)本发明的第一替代方案包括制备一种用于接收接触底部金属化的孔和与所述接触底部金属化相接触的接触垫。

[0170] 根据本发明方法的第一实施例,包括根据本发明第一替代方案制备下接触然后制备上接触

[0171] 第一步骤:

[0172] 这涉及封装先前制得的结构,所述结构包括在衬底9上的III-V族材料2的基底表面上的第一III-V族材料1的台面。

[0173] 所用的电介质8可以为:SiN、SiO_2、Al_2O_3、平面型聚合物(例如基于苯并环丁烷(BCB)),或SOG“旋涂玻璃”型聚合物:通过离心分离来沉积非晶态电介质。

[0174] 沉积物可以为单层或多层。

[0175] 通过PVD(物理气相沉积)、CVD(化学气相沉积)和/或ALD(原子层沉积)来沉积电介质。沉积温度通常可以≤550℃,优选≤450℃。

[0176] 所制得的层的应力可有利地≤200MPa,优选≤100MPa。

[0177] 该封装步骤在图4a中示出。

[0178] 第二步骤:

[0179] 这涉及在平面聚合物的情况下通过CMP操作(“化学机械平面化”或“化学机械抛光”)或通过干法蚀刻(“回蚀”)部分去除来平面化电介质。

[0180] 某些聚合物具有自流平性。即，它们将在填充上部之前首先填充下部。然而，为了确保完全填充空腔，沉积物比空腔的深度厚。则有必要减少过剩沉积物的厚度。这可以通过在整个晶圆上进行干法蚀刻(称为“回蚀”)来完成。

[0181] 在CMP之前还可以在形貌上使用局部版刻/蚀刻的操作。

[0182] 该平面化步骤在图4b中示出。

[0183] 第三步骤：

[0184] 这涉及制造用于下接触的第一下孔O_{i1}。

[0185] 尺寸D1和D2通常可以如下：

[0186] 尺寸D1(III-V族材料1的台面两侧的电介质的宽度)为至少200nm，优选在2至3μm之间。

[0187] 尺寸D2(下孔的宽度)可以在0.5至10μm之间，并且优选在1至5μm之间。

[0188] 尺寸D3(电介质的厚度)在0.5μm至5μm之间，优选在5和3μm之间。

[0189] 这些孔可以通过干法蚀刻制得。在这种情况下，蚀刻停止层的存在是任选的。

[0190] 也可以采用顺序蚀刻：

[0191] 第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在材料2上开口。

[0192] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0193] 第四步骤：

[0194] 这涉及沉积与硅工艺流程相容的金属化以限定下接触，使得可以避免使用贵金属，即硅工艺流程不使用的金属。

[0195] 可以根据以下两个选项进行与硅工艺流程相容的金属化：

[0196] -选项1：

[0197] (a)进行与硅工艺流程相容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积；

[0198] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化；

[0199] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积；

[0200] -选项2：进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积；然后进行热处理，目的是在金属和III-V族材料之间进行固态反应，导致形成一种或多种金属间化合物。

[0201] 沉积温度优选≤450℃。

[0202] 退火温度优选≤450℃。

[0203] 根据选项1，沉积金属或金属间化合物并利用金属间化合物的功函数。在这种情况下，退火用于愈合界面缺陷并使金属或化合物结晶。

[0204] 根据选项2，沉积金属，并使其反应以形成具有所需功函数的金属间化合物。在这种情况下，退火用于固态反应。

[0205] 可以在热处理之后进行未反应金属的选择性去除。

[0206] 所有这些步骤都在图4d中示出。

[0207] 第五步骤：

[0208] 这涉及填充第一下孔和CMP操作以制造连接垫。下孔填充两次：

[0209] -进行扩散阻挡层/键控层或成核层4的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0210] -通过CVD、ECD或PVD沉积进行填充金属5(W、Cu、AlCu、AlSi)的沉积。

[0211] 最后进行CMP操作以使垫去除接触。由于金属存在于两个垫之间的空腔顶部，因此短路是不可避免的。CMP操作使得可以仅从垫上去除金属并因此使它们去除接触。

[0212] 所有这些步骤都在图4e中示出。

[0213] 第六步骤：

[0214] 这涉及上面用电介质8限定的组件的封装步骤。材料1上方的电介质的厚度D5通常可以在200nm至1μm之间，并且优选在200nm至500nm之间。所用的电介质可以为：SiN、SiO_2、Al_2O_3、平面型聚合物(例如BCB、SOG)。沉积物可以为单层或多层。它们通过PVD、CVD和/或ALD沉积。

[0215] 沉积温度≤450℃，优选≤300℃。

[0216] 该步骤在图4f中示出。

[0217] 如果尚未进行相稳定化或热处理的操作以形成一种或多种金属间化合物，则可以在该步骤结束时进行。

[0218] 第七步骤：

[0219] 这涉及制造用于下接触的第二下孔O_{i2}和用于上接触的孔O_s。

[0220] 这些孔可以通过干法蚀刻制得。在这种情况下，蚀刻停止层的存在是任选的。

[0221] 也可以采用顺序蚀刻：第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在材料1上开口。

[0222] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0223] 尺寸D2(上孔的宽度)可以在0.5至10μm之间，并且优选在1至5μm之间。

[0224] 该步骤在图4g中示出。

[0225] 第八步骤：

[0226] 这涉及沉积与硅工艺流程相容的金属化以限定下接触和上接触，使得可以避免使用贵金属，即硅工艺流程不使用的金属。

[0227] 可以根据以下两个选项进行与硅工艺流程相容的金属化：

[0228] -选项1：

[0229] (a)进行与硅工艺流程相容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积；

[0230] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化；

[0231] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积；

[0232] -选项2：进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积；然后进行热处理，目的是在金属和III-V族材料之间进行固态反应，导致形成一种或多种金属间化合物。

[0233] 沉积温度优选≤450℃。

[0234] 退火温度优选≤450℃。

[0235] 根据选项1，沉积金属或金属间化合物并利用金属间化合物的功函数。在这种情况

下,退火用于愈合界面缺陷并使金属或化合物结晶。

[0236] 该步骤在图4h中示出。

[0237] 第九步骤:

[0238] 这涉及填充下孔和上孔和CMP操作以制造连接垫。下孔和上孔的填充进行两次:

[0239] -进行扩散阻挡层/键控层或成核层4的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成;

[0240] -通过CVD、ECD或PVD沉积进行填充金属5(W、Cu、AlCu、AlSi)的沉积。

[0241] 最后进行CMP操作以使垫去除接触。由于金属存在于两个垫之间的空腔顶部,因此短路是不可避免的。CMP操作使得可以仅从垫上去除金属并因此使它们去除接触。

[0242] 所有这些步骤在图4i中示出,图4i示出了上接触C_{sup}和在下接触C_{inf}中两个金属化3的水平面。

[0243] 在该第一实施例中描述的实施方案的替代方案包括顺序地限定图4c-图4d中,然后在图4g-图4h中描述的接触的空腔,但是以单个步骤限定在图4e和图4i中描述的垫空腔。

[0244] 根据本发明方法的第二实施例,包括根据本发明第一替代方案制备上接触然后制备下接触

[0245] 第一步骤:

[0246] 这涉及封装先前制得的结构,所述结构包括在衬底9上的III-V族材料2的基底表面上的第一III-V族材料1的台面。

[0247] 所用的电介质8可以为:SiN、SiO_2、Al_2O_3、平面型聚合物(例如基于苯并环丁烷(BCB)),或SOG“旋涂玻璃”型聚合物:通过离心分离来沉积非晶态电介质。

[0248] 沉积物可以为单层或多层。

[0249] 通过PVD(物理气相沉积)、CVD(化学气相沉积)和/或ALD(原子层沉积)来沉积电介质。沉积温度通常可以≤550℃,优选≤450℃。

[0250] 所制备的层的应力可有利地≤200MPa,优选≤100MPa。

[0251] 该封装步骤在图5a中示出。

[0252] 第二步骤:

[0253] 这涉及在平面聚合物的情况下通过CMP操作(“化学机械平面化”或“化学机械抛光”)或通过干法蚀刻(“回蚀”)部分去除来平面化电介质。

[0254] 某些聚合物具有自流平性。即,它们将在填充上部之前首先填充下部。然而,为了确保完全填充空腔,沉积物比空腔的深度厚。则有必要减少过剩沉积物的厚度。这可以通过在整个晶圆上进行干法蚀刻(称为“回蚀”)来完成。

[0255] 在CMP之前还可以在形貌上使用局部版刻/蚀刻的操作。

[0256] 该平面化步骤在图5b中示出。

[0257] 第三步骤:

[0258] 这涉及制造用于上接触的上孔O_s。

[0259] 这些孔可以通过干法蚀刻制得。在这种情况下,蚀刻停止层的存在是任选的。

[0260] 也可以采用顺序蚀刻:

[0261] 第一干法蚀刻,用于蚀刻介质堆叠的部分,在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止,然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层,在材料1上开口。

[0262] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0263] 制造孔的该步骤在图5c中示出。

[0264] 第四步骤：

[0265] 这涉及沉积与硅工艺流程相容的金属化以限定上接触，使得可以避免使用贵金属，即硅工艺流程不使用的金属。

[0266] 可以根据以下两个选项进行与硅工艺流程相容的金属化：

[0267] -选项1：

[0268] (a)进行与硅工艺流程相容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积；

[0269] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化；

[0270] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积；

[0271] -选项2：进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积；然后进行热处理，目的是在金属和III-V族材料之间进行固态反应，导致形成一种或多种金属间化合物。

[0272] 沉积温度优选≤450℃。

[0273] 退火温度优选≤450℃。

[0274] 根据选项1，沉积金属或金属间化合物并利用金属间化合物的功函数。在这种情况下，退火用于愈合界面缺陷并使金属或化合物结晶。

[0275] 该步骤在图5d中示出。

[0276] 第五步骤：

[0277] 这涉及填充上孔和CMP操作以制造连接垫。上孔的填充进行两次：

[0278] -进行扩散阻挡层/键控层或成核层4的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0279] -通过CVD、ECD或PVD沉积进行填充金属5(W、Cu、AlCu、AlSi)的沉积。

[0280] 最后进行CMP操作以使垫去除接触。由于金属存在于两个垫之间的空腔顶部，因此短路是不可避免的。CMP操作使得可以仅从垫上去除金属并因此使它们去除接触。

[0281] 所有这些步骤在图5e中示出，图5e示出了上接触中两个金属化3的水平面。

[0282] 第六步骤：

[0283] 这涉及制造用于下接触的下孔O_i。

[0284] 这些孔可以通过干法蚀刻制得。在这种情况下，蚀刻停止层的存在是任选的。

[0285] 也可以采用顺序蚀刻：

[0286] 第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在材料2上开口。

[0287] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0288] 制造孔的该步骤在图5f中示出。

[0289] 第七步骤:

[0290] 这涉及沉积与硅工艺流程相容的金属化以限定下接触，使得可以避免使用贵金属，即硅工艺流程不使用的金属。

[0291] 可以根据以下两个选项进行与硅工艺流程相容的金属化：

[0292] -选项1：

[0293] (a)进行与硅工艺流程相容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积；

[0294] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化；

[0295] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积；

[0296] -选项2:进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积;然后进行热处理,目的是在金属和III-V族材料之间进行固态反应,导致形成一种或多种金属间化合物。

[0297] 沉积温度优选≤450℃。

[0298] 退火温度优选≤450℃。

[0299] 根据选项1,沉积金属或金属间化合物并利用金属间化合物的功函数。在这种情况下,退火用于愈合界面缺陷并使金属或化合物结晶。

[0300] 该步骤在图5g中示出。

[0301] 第八步骤：

[0302] 这涉及填充下孔和CMP操作以制造连接垫。下孔填充两次：

[0303] -进行扩散阻挡层/键控层或成核层4的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0304] -通过CVD、ECD或PVD沉积进行填充金属5(W、Cu、AlCu、AlSi)的沉积。

[0305] 最后进行CMP操作以使垫去除接触。由于金属存在于两个垫之间的空腔顶部,因此短路是不可避免的。CMP操作使得可以仅从垫上去除金属并因此使它们去除接触。

[0306] 所有这些操作在图5h中示出,图5h示出了下接触中两个金属化3的水平面。

[0307] 在该第二实施例中描述的实施方案的替代方案包括顺序地开口在图5c-图5d中、然后在图5f-图5g中描述的接触的空腔,但是以单个步骤开口在图5e和图5h中描述的垫空腔。

[0308] 根据本发明方法的第三实施例,包括根据本发明第一替代方案同时制备上接触和下接触：

[0309] 第一步骤：

[0310] 这涉及封装先前制得的结构,所述结构包括在衬底9上的III-V族材料2的基底表面上的第一III-V族材料1的台面。

[0311] 所用的电介质8可以为:SiN、SiO_2、Al_2O_3、平面型聚合物(例如基于苯并环丁烷(BCB)),或SOG“旋涂玻璃”型聚合物:通过离心分离来沉积非晶态电介质。

[0312] 沉积物可以为单层或多层。

[0313] 通过PVD(物理气相沉积)、CVD(化学气相沉积)和/或ALD(原子层沉积)来沉积电介质。沉积温度通常可以≤550℃,优选≤450℃。

[0314] 所制备的层的应力可有利地≤200MPa,优选≤100MPa。

[0315] 该封装步骤在图6a中示出。

[0316] 第二步骤：

[0317] 这涉及在平面聚合物的情况下通过CMP操作(“化学机械平面化”或“化学机械抛光”)或通过干法蚀刻(“回蚀”)部分去除来平面化电介质。

[0318] 某些聚合物具有自流平性。即，它们将在填充上部之前首先填充下部。然而，为了确保完全填充空腔，沉积物比空腔的深度厚。则有必要减少过剩沉积物的厚度。这可以通过在整个晶圆上进行干法蚀刻(称为“回蚀”)来完成。

[0319] 在CMP之前还可以在形貌上使用局部版刻/蚀刻的操作。

[0320] 该平面化步骤在图6b中示出。

[0321] 第三步骤：

[0322] 这涉及制造用于上接触的上孔O_s和用于下接触的下孔O_i。

[0323] 这些孔可以通过干法蚀刻制得。在这种情况下，蚀刻停止层的存在是任选的。

[0324] 也可以采用顺序蚀刻：

[0325] 第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在材料1和材料2上开口。

[0326] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0327] 制造孔的该步骤在图6c中示出。

[0328] 第四步骤：

[0329] 这涉及沉积与硅工艺流程相容的金属化以限定上接触和下接触，使得可以避免使用贵金属，即硅工艺流程不使用的金属。

[0330] 可以根据以下两个选项进行与硅工艺流程相容的金属化：

[0331] -选项1：

[0332] (a)进行与硅工艺流程相容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积；

[0333] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化；

[0334] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积；

[0335] -选项2：进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积；然后进行热处理，目的是在金属和III-V族材料之间进行固态反应，导致形成一种或多种金属间化合物。

[0336] 沉积温度优选≤450℃。

[0337] 退火温度优选≤450℃。

[0338] 根据选项1，沉积金属或金属间化合物并利用金属间化合物的功函数。在这种情况下，退火用于愈合界面缺陷并使金属或化合物结晶。

[0339] 该步骤在图6d中示出。

[0340] 第五步骤：

[0341] 这涉及填充上孔和下孔和CMP操作以制造连接垫。上孔和下孔的同时填充进行两次：

[0342] -进行扩散阻挡层/键控层或成核层4的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0343] -通过CVD、ECD或PVD沉积进行填充金属5(W、Cu、AlCu、AlSi)的沉积。

[0344] 最后进行CMP操作以使垫去除接触。由于金属存在于两个垫之间的空腔顶部，因此短路是不可避免的。CMP操作使得可以仅从垫上去除金属并因此使它们去除接触。

[0345] 该步骤在图6e中示出。

[0346] 根据本发明方法的第一实施例的变体包括根据本发明第一替代方案制备下接触然后制备上接触，包括添加版刻步骤以去除存在于低水平面垫(外部)中的金属化层3。该金属化层3增加了界面，因此从电角度来看可能是有害的。

[0347] 该变体在下面描述，并且包括与图4a至图4f中描述的步骤相同的步骤，并且在图7f至图7i中示出，为了更好地理解，附图标记保持相同。

[0348] 制备组件，其中预先制造下接触的垫，封装在电介质8中，如图7f所示。

[0349] 然后在第一材料1的水平面处制造孔O_s，用于上接触，如图7g所示。这些孔可以通过干法蚀刻制得。在这种情况下，蚀刻停止层的存在是任选的。

[0350] 也可以进行顺序蚀刻：

[0351] 第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在材料1上开口。

[0352] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0353] 然后沉积与硅工艺流程相容的金属化以限定上接触和下接触，使得可以避免使用贵金属，即硅工艺流程不使用的金属。

[0354] 可以根据以下两个选项进行与硅工艺流程相容的金属化：

[0355] -选项1：

[0356] (a)进行与硅工艺流程相容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积；

[0357] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化；

[0358] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积；

[0359] -选项2：进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积；然后进行热处理，目的是在金属和III-V族材料之间进行固态反应，导致形成一种或多种金属间化合物。

[0360] 沉积温度优选≤450℃。

[0361] 退火温度优选≤450℃。

[0362] 根据选项1，沉积金属或金属间化合物并利用金属间化合物的功函数。在这种情况下，退火用于愈合界面缺陷并使金属或化合物结晶。

[0363] 该步骤在图7h中示出。

[0364] 然后进行CMP类型的操作以去除介质堆叠顶部的多余金属，如图7i所示，仅留下存在于孔O_s的水平面处的层3。

[0365] 然后制造用于下接触的第二下孔O_{i2}，如图7j所示。这些孔可以通过干法蚀刻制得。在这种情况下，蚀刻停止层的存在是任选的。

[0366] 也可以使用顺序蚀刻：

[0367] 用于打开在材料上的下接触的外部垫的介质堆叠蚀刻：

[0368] • 进行一次蚀刻直至低水平面垫的填充材料：干法蚀刻。在这种情况下，蚀刻停止层的存在是任选的。

[0369] • 顺序蚀刻：第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在

下水平面垫的填充材料上开口。

[0370] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0371] 然后，在先前制得的下垫的第一部分的顶部上制备上垫和下垫的上部。通过填充所有孔O_s和O_{i2}来进行该操作。

[0372] 上孔O_s和下孔O_{i2}的同时填充进行两次：

[0373] -进行扩散阻挡层/键控层或成核层4的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0374] -通过CVD、ECD或PVD沉积进行填充金属5(W、Cu、AlCu、AlSi)的沉积。

[0375] 最后进行CMP操作以使垫去除接触。由于金属存在于两个垫之间的空腔顶部，因此短路是不可避免的。CMP操作使得可以仅从垫上去除金属并因此使它们去除接触。

[0376] 该填充操作在图7k中示出。

[0377] 在上述三个实施例中描述的垫的孔的替代方案包括通过双镶嵌工艺集成接触垫。双镶嵌是两步蚀刻工艺，其中在单个步骤中连续进行金属填充和之后用于去除多余金属(一个或两个阻挡层+填充)的CMP。这通常使得可以制备通孔和通向该通孔的线路：连接和路径。

[0378] 根据图8b至图8e中所示的实施方案示意性地示出了该替代方案。如图8b所示的封装和平滑组件以与上述类似的方式制备。

[0379] 被称为第二下孔O_{i2}的下孔的顶部是通过部分蚀刻电介质制得的。可以使用干法蚀刻。在这种情况下，蚀刻停止层的存在是任选的。

[0380] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者使用例如由SiN组成的硬掩模进行。

[0381] 该步骤在图8c中示出。

[0382] 进行蚀刻电介质的第二操作以制造上孔O_s和被称为第一下孔O_{i1}的下孔的下部。

[0383] 这些孔可以通过干法蚀刻制得。在这种情况下，蚀刻停止层的存在是任选的。

[0384] 也可以使用顺序蚀刻：

[0385] 用于打开在材料上的下接触的外部垫的介质堆叠蚀刻：

[0386] • 进行一次蚀刻直至低水平面垫的填充材料：干法蚀刻。在这种情况下，蚀刻停止层的存在是任选的。

[0387] • 顺序蚀刻：第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在下水平面垫的填充材料上开口。

[0388] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0389] 该步骤在图8d中示出。

[0390] 然后通过填充制备上接触和下接触的垫。上孔O_s和下孔O_{i2}和O_{i2}的同时填充进行两次：

[0391] -进行扩散阻挡层/键控层或成核层4的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0392] -通过CVD、ECD或PVD沉积进行填充金属5(W、Cu、AlCu、AlSi)的沉积。

[0393] 最后进行CMP操作以使垫去除接触。由于金属存在于两个垫之间的空腔顶部,因此短路是不可避免的。CMP操作使得可以仅从垫上去除金属并因此使它们去除接触。

[0394] 该填充操作在图8e中示出。

[0395] 前述实施例中描述的所有实施方案可以用附加的集成水平面补充。

[0396] 因此,可以通过进行电介质8的附加沉积来进行附加步骤,然后通过蚀刻来制造附加的上孔和下孔并填充这些孔以限定接触$C_{inf/supl}$和$C_{sup/supl}$,如图9所示。

[0397] 为此,在附加的上孔和下孔中,沉积阻挡层7,其可以为TiN、Ti/TiN、TaN、Ta/TaN、W并且填充有可以为W、Cu或Al、AlCu、AlSi的金属6。

[0398] 通过本发明的方法制备的激光器元件的示例:

[0399] 本发明的方法有利地使得可以制备基于III-V族材料的激光器:

[0400] SiO_2的衬底90包括硅导向件91,在其顶部制备以下物质:

[0401] -第二III-V族材料2的基底,所述材料2可以为n掺杂的InP,和包括多量子阱结构的台面1,所述多量子阱结构可以由具有不同掺杂的InGaAsP和p掺杂的InGaAs层制得,III-V族材料的性质决定发射波长;

[0402] -电介质8可以为SiN、SiO_2,或例如基于BCB的平面型聚合物;

[0403] -接触底部金属化3可以为例如Ni、Ti或其合金(Ni_2P、Ni_3P、NiGe、TiP、TiGe等);

[0404] -F扩散阻挡层和/或W键控层4可以为TiN、Ti/TiN、TaN、Ta/TaN、W,

[0405] 填充金属5可以为Cu或Al、AlCu、AlSi。

[0406] 该激光器的示例在图10中示出。

[0407] VCSEL型垂直发射激光器元件的示例:

[0408] 回想一下,通常,垂直腔表面发射激光二极管或VCSEL是一种半导体激光二极管,其垂直于表面发射激光束,这与常规的边发射半导体激光器不同。

[0409] 该激光器的示例主要包括与前述示例中描述的结构相同类型的结构。

[0410] 然而,为了允许在结构的顶部发射激光辐射,上接触被制成圆形。

[0411] 该元件的示例包括硅衬底9,在其顶部上制备以下物质:第二III-V族材料2的基底,所述材料2可以为n掺杂的InP,和包括多量子阱结构的台面1,所述多量子阱结构可以基于InGaAsP、AlGaAs、GaAs、InGaAsN和p掺杂的InGaAs层,III-V族材料的性质决定发射波长。

[0412] 电介质8可以为SiN、SiO_2,或例如基于BCB的平面型聚合物。

[0413] 接触底部金属化3可以为例如Ni、Ti或其合金(Ni_2P、Ni_3P、NiGe、TiP、TiGe等)。

[0414] F扩散阻挡层和/或W键控层4可以为TiN、Ti/TiN、TaN、Ta/TaN、W。

[0415] 填充金属5可以为Cu或Al、AlCu、AlSi。

[0416] 金属化3和元件4和5构成接触C_{sup}和C_{inf}。

[0417] 由于圆形上接触C_{sup},激光束可以从元件的上表面提取。

[0418] 该激光器的示例在图11中示出。

[0419] II)本发明的第二替代方案包括制造主孔和次孔

[0420] 根据上述该第二替代方案,限定了主孔底部金属化和次孔中的接触垫。因此,接触至少包括孔底部金属化和与所述金属化接触的接触垫。

[0421] 图12示出了通过属于本发明第一替代方案的方法获得的组件的示例,并且在衬底

9上示出了III-V族材料1和2，用作接触底部金属化的金属化3，在金属化3上制得的包括扩散阻挡层4的接触垫；次孔填充有填充金属5。全部封装在电介质8中。图12显示了接触水平面：较低水平面N_{inf}，较高水平面N_{sup}。根据该示例，可以设想附加的水平面$N_{sup/supl}$，在该水平面上可以制备填充有扩散阻挡层7和填充金属6的接触垫。

[0422] 第一III-V族材料可以由诸如以下的III-V族材料组成：InP、$In_{1-x}Ga_xAs$(其中$0\leqslant x\leqslant 1$)、GaAs、InAs、GaSb、$In_{1-x}Ga_xSb$、$In_xGa_{1-x}As_{1-y}P_y$、$Ga_{1-x}In_xP$、$In_xGa_{1-x}As_{1-y}N_y$、$B_xIn_yGa_{1-x-y}As$。

[0423] 第二III-V族材料也可以由诸如以下的III-V族材料组成：InP、$In_{1-x}Ga_xAs$(其中$0\leqslant x\leqslant 1$)、GaAs、InAs、GaSb、$In_{1-x}Ga_xSb$、$In_xGa_{1-x}As_{1-y}P_y$、$Ga_{1-x}In_xP$、$In_xGa_{1-x}As_{1-y}N_y$、$B_xIn_yGa_{1-x-y}A$。其可以与第一材料相同或不同。

[0424] 衬底可以为硅衬底，其可以例如具有大约几百毫米(例如200mm)的厚度。

[0425] 根据本发明方法的第一实施例，包括根据本发明第二替代方案制备下接触然后制备上接触

[0426] 第一步骤：

[0427] 这涉及封装先前制得的结构，所述结构包括在衬底9上的III-V族材料2的基底表面上的第一III-V族材料1的台面。

[0428] 所用的电介质8可以为：SiN、SiO_2、Al_2O_3、平面型聚合物(例如基于苯并环丁烷(BCB))，或SOG“旋涂玻璃”型聚合物：通过离心分离来沉积非晶态电介质。

[0429] 沉积物可以为单层或多层。

[0430] 通过PVD(物理气相沉积)、CVD(化学气相沉积)和/或ALD(原子层沉积)来沉积电介质。沉积温度通常可以≤550℃，优选≤450℃。

[0431] 所制备的层的应力可有利地≤200MPa，优选≤100MPa。

[0432] 该封装步骤在图13a中示出。

[0433] 第二步骤：

[0434] 这涉及在平面聚合物的情况下通过CMP操作(“化学机械平面化”或“化学机械抛光”)或通过干法蚀刻(“回蚀”)部分去除来平面化电介质。

[0435] 某些聚合物具有自流平性。即，它们将在填充上部之前首先填充下部。然而，为了确保完全填充空腔，沉积物比空腔的深度厚。则有必要减少过剩沉积物的厚度。这可以通过在整个晶圆上进行干法蚀刻(称为“回蚀”)来完成。

[0436] 在CMP之前还可以在形貌上使用局部版刻/蚀刻的操作。

[0437] 该平面化步骤在图13b中示出。

[0438] 第三步骤：

[0439] 这涉及制造用于下接触的主下孔O_{ip}。

[0440] 尺寸D1、D2、D3和D4通常可以如下：

[0441] 尺寸D1(III-V族材料1的台面两侧的电介质的宽度)为至少200nm，优选在2至3μm之间。

[0442] 尺寸D2(主下孔的宽度)可以在20至50μm之间。

[0443] 尺寸D3(电介质的厚度)在0.5μm至5μm之间，优选在5和3μm之间。

[0444] 尺寸D4(两个主下孔之间的中间宽度)可以在0.5μm至10μm之间，优选在1至5μm之

间。

[0445] 为此,进行电介质的局部蚀刻(在数层的情况下)以在III-V族材料2上开口。可以通过干法蚀刻操作进行一次蚀刻直至III-V族材料2。在这种情况下,蚀刻停止层的存在是任选的。

[0446] 也可以进行顺序蚀刻操作:第一干法蚀刻,用于蚀刻介质堆叠的部分,在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止,然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层,在III-V族材料2上开口。

[0447] 所述蚀刻操作可以直接通过用于光刻的树脂进行,或者优选使用例如由SiN组成的硬掩模进行。

[0448] 制造孔的该步骤在图13c中示出。

[0449] 第四步骤:

[0450] 这涉及沉积与硅工艺流程相容的金属化以限定下接触,使得可以避免使用贵金属,即硅工艺流程不使用的金属。

[0451] 可以根据以下两个选项进行与硅工艺流程相容的金属化:

[0452] -选项1:

[0453] (a)进行与硅工艺流程相容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积;

[0454] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化;

[0455] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积;

[0456] -选项2:进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积;然后进行热处理,目的是在金属和III-V族材料之间进行固态反应,导致形成一种或多种金属间化合物。

[0457] 沉积温度优选≤450℃。

[0458] 退火温度优选≤450℃。

[0459] 根据选项1,沉积金属或金属间化合物并利用金属间化合物的功函数。在这种情况下,退火用于愈合界面缺陷并使金属或化合物结晶。

[0460] 根据选项2,沉积金属,并使其反应以形成具有所需功函数的金属间化合物。在这种情况下,退火用于固态反应。

[0461] 可以在热处理之后进行未反应金属的选择性去除。

[0462] 然后获得图13d中所示的组件E1。

[0463] 第五步骤:

[0464] 这涉及具有电介质8的组件E1的封装步骤。所使用的电介质可以为:SiN、SiO_2、Al_2O_3,平面型聚合物(例如BCB、SOG)。沉积物可以为单层或多层。它们通过PVD、CVD和/或ALD沉积;

[0465] 沉积温度≤450℃,优选≤300℃。

[0466] 该步骤在图13e中示出。

[0467] 如果在第四步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物,则可以在该步骤结束时进行。

[0468] 第六步骤:

[0469] 这涉及在平面聚合物的情况下通过CMP操作或“回蚀”型操作来平面化电介质。

[0470] 可以进行CMP或“回蚀”平面化：

[0471] -如果在第四步骤中没进行选择性去除，则直至去除金属；

[0472] -如果在第四步骤中没进行选择性去除，并且如果不能进行金属的CMP或“回蚀”型操作，则在金属上停止。然后可以进行选择性去除金属的步骤，以获得如图13f所示的结构；

[0473] -如果在第四步骤中进行选择性去除，则直至获得如图13f所示的结构。

[0474] 通常，所示的高度D5(III-V族材料1顶部上的电介质的厚度)可以在200nm至1μm之间。

[0475] 如果在第四步骤结束时或在第五步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物，则可以在该步骤结束时进行。

[0476] 第七步骤:

[0477] 这涉及用于连接垫的上次下孔O_{isl}的操作。为此，进行介质堆叠的蚀刻，以在较低水平面处的金属化3上开口。

[0478] 进行一次蚀刻，直至金属化：干法蚀刻。在这种情况下，蚀刻停止层的存在是任选的。

[0479] 可以采用顺序蚀刻：第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在金属化3上开口。

[0480] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者使用例如由SiN组成的硬掩模进行。通常，所示电介质的尺寸D6(次下孔的宽度)可以在0.5μm至5μm之间，并且优选在1μm至3μm之间。该步骤在图13g中示出。

[0481] 第八步骤：

[0482] 这涉及填充次下孔和CMP操作以制造连接垫。次下孔的填充进行两次：

[0483] -进行扩散阻挡层/键控层或成核层4的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0484] -通过CVD、ECD或PVD沉积进行填充金属5(W、Cu、AlCu、AlSi)的沉积。

[0485] 最后进行CMP操作以使垫去除接触。由于金属存在于两个垫之间的空腔顶部，因此短路是不可避免的。CMP操作使得可以仅从垫上去除金属并因此使它们去除接触。

[0486] 制得新的组件E2。所有这些步骤都在图13h中示出。

[0487] 第九步骤：

[0488] 这涉及用电介质8封装的操作。所使用的电介质可以为：SiN、SiO_2、Al_2O_3、平面型聚合物(例如BCB、SOG)。沉积物可以为单层或多层。通过PVD、CVD和/或ALD沉积电介质。沉积温度≤450℃，优选≤300℃。通常地，所示电介质的高度D7可以在200nm至1μm之间，并且优选在200nm至500nm之间。该步骤在图13i中示出。

[0489] 第十步骤：

[0490] 这涉及制造用于形成上接触的主上孔O_{sp}。

[0491] 这涉及蚀刻介质堆叠以在III-V族材料1上开口。可以通过干法蚀刻进行一次蚀刻直至III-V族材料1。在这种情况下，蚀刻停止层的存在是任选的。

[0492] 可以采用顺序蚀刻：第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下

层,在III-V族材料1上开口。

[0493] 所述蚀刻操作可以直接通过用于光刻的树脂进行,或者优选使用例如由SiN组成的硬掩模进行。

[0494] 该步骤在图13j中示出。

[0495] 第十一步骤:

[0496] 这涉及用于上接触的与硅工艺流程相容的金属化3的沉积。可以通过两种方式进行与硅工艺流程相容的金属化:

[0497] -选项1:

[0498] (a)进行与硅工艺流程相容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积;

[0499] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化;

[0500] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积;

[0501] -选项2:进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积;然后进行热处理,目的是在金属和III-V族材料之间进行固态反应,导致形成一种或多种金属间化合物。

[0502] 退火温度优选≤450℃。

[0503] 可以在热处理之后进行未反应金属的选择性去除。获得第三组件E3。

[0504] 该步骤在图13k中示出。

[0505] 第十二步骤:

[0506] 这涉及封装第三组件E3。所用的电介质可以为:SiN、SiO_2、Al_2O_3、平面型聚合物(例如BCB)、SOG。沉积物可以为单层或多层。它们通过PVD、CVD和/或ALD沉积。沉积温度≤450℃,优选≤300℃。

[0507] 该步骤在图13l中示出。

[0508] 如果在第十一步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物,则可以在该步骤结束时进行。

[0509] 第十三步骤:

[0510] 这涉及平面化操作。

[0511] 可以进行平面化或回蚀:

[0512] -如果在第十一步骤中没进行选择性去除,则直至去除金属;

[0513] -如果在第十一步骤中没进行选择性去除,并且如果不能进行金属的CMP或“回蚀”型操作,则在金属上停止。然后可以进行选择性去除金属的步骤,以获得如图13m所示的结构;

[0514] -如果在第十一步骤中进行选择性去除,则直至获得如图13m所示的结构。

[0515] 如果在第十一步骤结束时或在第十二步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物,则可以在该步骤结束时进行。

[0516] 第十四步骤:

[0517] 这涉及制造次上孔O_{ss}以及在下接触的至少接触垫的顶部制造附加的上孔O_{is2}。

[0518] 这涉及蚀刻介质堆叠以在上接触水平面的金属化和下接触的接触垫上开口。

[0519] 通过干法蚀刻进行一次蚀刻,直至金属化3并直至下水平面的垫。在这种情况下,蚀刻停止层的存在是任选的。

[0520] 可以进行顺序蚀刻的操作:第一干法蚀刻用于蚀刻介质堆叠的部分,在上接触底部金属化上和下接触的垫上的阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC,优选SiN)上停止。

[0521] 可以使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层,从而在金属化3上开口。

[0522] 所述蚀刻操作可以直接通过用于光刻的树脂进行,或者使用例如由SiN组成的硬掩模进行。

[0523] 该步骤在图13n中示出。

[0524] 第十五步骤:

[0525] 这涉及填充前一步骤中限定的孔。

[0526] 孔的填充进行两次:

[0527] -进行扩散阻挡层/键控层或成核层的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成;

[0528] -通过CVD、ECD或PVD沉积进行填充金属(W、Cu、AlCu、AlSi等)的沉积。

[0529] 最后进行CMP操作以使垫去除接触。

[0530] 该步骤在图13o中示出,并且使得制备上接触C_{sup}和下接触C_{inf}。

[0531] 第一方法实施例的替代方案可以包括顺序制备主孔,其联接至同时制备的次孔。

[0532] 根据本发明方法的第二实施例,包括根据本发明第二替代方案制备上接触然后制备下接触

[0533] 第一步骤:

[0534] 这涉及封装先前制得的结构,所述结构包括在衬底9上的III-V族材料2的基底表面上的第一III-V族材料1的台面。

[0535] 所用的电介质8可以为:SiN、SiO_2、Al_2O_3、平面型聚合物(例如BCB、SOG)。

[0536] 沉积物可以为单层或多层。

[0537] 通过PVD、CVD和/或ALD沉积电介质。沉积温度通常可以≤450℃,优选≤300℃。

[0538] 所制备的层的应力可以≤200MPa,优选≤100MPa。该封装步骤在图14a中示出。

[0539] 第二步骤:

[0540] 这涉及在平面聚合物的情况下通过CMP型操作或“回蚀”型操作来平面化电介质。在CMP之前还可以在形貌上使用局部版刻/蚀刻的操作。该平面化步骤在图14b中示出。

[0541] 第三步骤:

[0542] 这涉及制造用于上接触的主上孔O_{sp}。

[0543] 为此,进行电介质的局部蚀刻(在数层的情况下)以在III-V族材料1上开口。可以通过干法蚀刻操作进行一次蚀刻直至III-V族材料1。在这种情况下,蚀刻停止层的存在是任选的。

[0544] 也可以进行顺序蚀刻操作:第一干法蚀刻,用于蚀刻介质堆叠的部分,在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止,然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层,在III-V族材料1上开口。

[0545] 所述蚀刻操作可以直接通过用于光刻的树脂进行,或者优选使用例如由SiN组成的硬掩模进行。

[0546] 制造孔的该步骤在图14c中示出。

[0547] 第四步骤:

[0548] 这涉及在III-V族材料1上沉积与硅工艺流程相容的金属化3。

[0549] 金属化可以根据两种选项进行：

[0550] -选项1：

[0551] (a)进行与硅工艺流程兼容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积；

[0552] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化；

[0553] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积；

[0554] -选项2：进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积；然后进行热处理，目的是在金属和III-V族材料之间进行固态反应，导致形成一种或多种金属间化合物。

[0555] 退火温度优选≤450℃。

[0556] 可以在热处理之后进行未反应金属的选择性去除。

[0557] 然后获得图14d中所示的组件E1'。

[0558] 第五步骤：

[0559] 这涉及用电介质8封装组件E1'的步骤。所使用的电介质可以为：SiN、SiO_2、Al_2O_3、平面型聚合物(例如BCB、SOG)。沉积物可以为单层或多层。它们通过PVD、CVD和/或ALD沉积。

[0560] 沉积温度≤450℃，优选≤300℃。

[0561] 该步骤在图14e中示出。

[0562] 如果在第四步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物，则可以在该步骤结束时进行。

[0563] 第六步骤：

[0564] 这涉及在平面聚合物的情况下通过CMP型操作或“回蚀”型操作来平面化电介质。可以进行这些操作：

[0565] -如果在第四步骤中没进行选择性去除，则直至去除金属；

[0566] -如果在第四步骤中没进行选择性去除，并且如果不能进行金属的CMP型或“回蚀”型操作，则在金属上停止。然后可以进行选择性去除金属的步骤，以获得如图14f所示的结构；

[0567] -如果在第四步骤中进行选择性去除，则直至获得如图14f所示的结构。

[0568] 如果在第四步骤结束时或在第五步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物，则可以在该步骤结束时进行。

[0569] 第七步骤：

[0570] 这涉及用于连接垫的次上孔O_{ss}的操作。为此，进行介质堆叠的蚀刻，以在上水平面处的金属化3上开口。

[0571] 进行一次蚀刻，直至金属化，所述蚀刻可以通过干法蚀刻。在这种情况下，蚀刻停止层的存在是任选的。

[0572] 可以采用顺序蚀刻：第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在金属化3上开口。

[0573] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者使用例如由SiN组成的硬掩模进行。

[0574] 该步骤在图14g中示出。

[0575] 第八步骤：

[0576] 这涉及填充孔O_{ss}和CMP操作以制造连接垫。

[0577] 孔O_{ss}的填充进行两次：

[0578] -进行扩散阻挡层/键控层或成核层的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0579] -通过CVD、ECD或PVD沉积进行填充金属(W、Cu、AlCu、AlSi等)的沉积。

[0580] 最后进行CMP以使垫去除接触。制得新的组件E2'。所有这些步骤都在图14h中示出。

[0581] 第九步骤：

[0582] 这涉及制造用于制备下接触的主下孔O_{ip}。

[0583] 这涉及蚀刻介质堆叠以在III-V族材料2上开口。可以通过干法蚀刻进行一次蚀刻直至III-V族材料2。在这种情况下，蚀刻停止层的存在是任选的。

[0584] 可以采用顺序蚀刻：第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在III-V族材料2上开口。

[0585] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0586] 该步骤在图14i中示出。

[0587] 第十步骤：

[0588] 这涉及用于下接触的与硅工艺流程相容的金属化3的沉积。CMOS相容金属化可以通过两种方式进行：

[0589] 其涉及用于上接触的与硅工艺流程相容的金属化3的沉积。可以通过两种方式进行金属化：

[0590] -选项1：

[0591] (a)进行与硅工艺流程相容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积；

[0592] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化；

[0593] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积；

[0594] -选项2：进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积；然后进行热处理，目的是在金属和III-V族材料之间进行固态反应，导致形成一种或多种金属间化合物。

[0595] 沉积温度优选≤450℃。

[0596] 退火温度优选≤450℃。

[0597] 可以在热处理之后进行未反应金属的选择性去除。获得第三组件E3'。

[0598] 该步骤在图14j中示出。

[0599] 第十一步骤：

[0600] 这涉及用电介质8封装组件E3'的步骤。所使用的电介质可以为：SiN、SiO_2、Al_2O_3、平面型聚合物(例如BCB)、SOG。沉积物可以为单层或多层。它们通过PVD、CVD和/或ALD沉积。

[0601] 沉积温度≤450℃，优选≤300℃。

[0602] 该步骤在图14k中示出。

[0603] 如果在第十步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物，则可以在该步骤结束时进行。

[0604] 第十二步骤：

[0605] 这涉及在平面聚合物的情况下通过CMP型操作或“回蚀”型操作来平面化电介质。

[0606] 该步骤在图14l中示出。

[0607] 如果在第十步骤结束时或在第十二步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物，则可以在该步骤结束时进行。

[0608] 第十三步骤：

[0609] 这涉及用于连接垫的次下孔O_{is}的操作。为此，进行介质堆叠的刻蚀，以在较低水平面处的金属化3上开口。

[0610] 通过干法蚀刻进行一次蚀刻，直至金属化。在这种情况下，蚀刻停止层的存在是任选的。

[0611] 可以采用顺序蚀刻：第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在金属化3上开口。

[0612] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者使用例如由SiN组成的硬掩模进行。通常，所示电介质的高度D6可以在0.5μm至5μm之间，并且优选在1μm至3μm之间。

[0613] 该步骤在图14m中示出。

[0614] 第十四步骤：

[0615] 这涉及填充前一步骤中限定的孔。

[0616] 孔的填充进行两次：

[0617] -进行扩散阻挡层/键控层或成核层的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0618] -通过CVD、ECD或PVD沉积来进行填充金属(W、Cu)的沉积。

[0619] 最后进行CMP操作以使垫去除接触。

[0620] 该步骤在图14n中示出，并且使得制备上接触C_{sup}和下接触C_{inf}。

[0621] 第二方法实施例的替代方案可以包括顺序制备主孔，其联接到同时制备的次孔。

[0622] 根据本发明方法的第三实施例，包括根据本发明第二替代方案同时制备上接触和下接触：

[0623] 第一步骤：

[0624] 这涉及封装先前制得的结构，所述结构包括在衬底9上的III-V族材料2的基底表面上的第一III-V族材料1的台面。

[0625] 所用的电介质8可以为：SiN、SiO_2、Al_2O_3、平面型聚合物(例如BCB、SOG)。

[0626] 沉积物可以为单层或多层。

[0627] 通过PVD、CVD和/或ALD沉积电介质。沉积温度通常可以≤450℃，优选≤300℃。

[0628] 所制备的层的应力可以≤200MPa，优选≤100MPa。该封装步骤在图15a中示出。

[0629] 第二步骤：

[0630] 这涉及在平面聚合物的情况下通过CMP型操作或“回蚀”型操作来平面化电介质。

在CMP之前还可以在形貌上使用局部版刻/蚀刻的操作。该平面化步骤在图15b中示出。

[0631] 第三步骤：

[0632] 这涉及制造用于下接触的主下孔O_{ip}和用于上接触的主上孔O_{sp}。

[0633] 为此，进行电介质的局部蚀刻(在数层的情况下)以在III-V族材料2上开口并且在III-V族材料1上开口。

[0634] 通过干法蚀刻操作可以进行一次蚀刻直至III-V族材料2并且直至材料1。在这种情况下，蚀刻停止层的存在是任选的。

[0635] 也可以进行顺序蚀刻操作：第一干法刻蚀，用于刻蚀介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法刻蚀来刻蚀阻挡层和任选的下层，在III-V族材料2和III-V族材料1上开口。

[0636] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者优选使用例如由SiN组成的硬掩模进行。

[0637] 制造孔的该步骤在图15c中示出。

[0638] 第四步骤：

[0639] 这涉及在III-V族材料1和III-V族材料2上沉积与硅工艺流程相容的金属化3。

[0640] 这涉及用于上接触的与硅工艺流程相容的金属化3的沉积。可以通过两种方式进行金属化：

[0641] -选项1：

[0642] (a)进行与硅工艺流程兼容的金属3(例如Ni_2P、Ni_3P、NiGe、TiP、TiGe等)的沉积；

[0643] 可以通过在金属沉积之后进行的任选的热处理来进行相稳定化；

[0644] (b)进行与硅工艺流程相容的金属3(例如Ni、Ti和诸如NiPt、NiTi、NiCo的合金等)的沉积；

[0645] -选项2：进行与硅工艺流程相容的金属(Ni、Ti及其合金)的沉积；然后进行热处理，目的是在金属和III-V族材料之间进行固态反应，导致形成一种或多种金属间化合物。

[0646] 退火温度优选≤450℃。

[0647] 可以在热处理之后进行未反应金属的选择性去除。

[0648] 然后获得图15d中所示的组件E1”。

[0649] 第五步骤：

[0650] 这涉及用电介质8封装组件E1”的步骤。所使用的电介质可以为：SiN、SiO_2、Al_2O_3、平面型聚合物(例如BCB、SOG)。沉积物可以为单层或多层。它们通过PVD、CVD和/或ALD沉积。

[0651] 沉积温度≤450℃，优选≤300℃。

[0652] 该步骤在图15e中示出。

[0653] 如果在第四步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物，则可以在该步骤结束时进行。

[0654] 第六步骤：

[0655] 这涉及在平面聚合物的情况下通过CMP型操作或“回蚀”型操作来平面化电介质。可以进行这些操作：

[0656] -如果在第四步骤中没进行选择性去除，则直至去除金属；

[0657] -如果在第四步骤中没进行选择性去除，并且如果不能进行金属的CMP型或“回蚀”

型操作，则在金属上停止。然后可以进行选择性去除金属的步骤，以获得如图15f所示的结构；

[0658] -如果在第四步骤中进行选择性去除，则直至获得如图15f所示的结构。

[0659] 如果在第四步骤结束时或在第五步骤结束时没进行相稳定化或热处理的操作以形成一种或多种金属间化合物，则可以在该步骤结束时进行。

[0660] 第七步骤:

[0661] 这涉及用于连接垫的次上孔O_{ss}和次下孔O_{is}的操作。为此，进行介质堆叠的蚀刻，以在上水平面处和下水平面处的金属化3上开口。

[0662] 通过干法蚀刻进行一次蚀刻，直至金属化。在这种情况下，蚀刻停止层的存在是任选的。

[0663] 可以采用顺序蚀刻：第一干法蚀刻，用于蚀刻介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC优选SiN)上停止，然后使用干法或湿法蚀刻来蚀刻阻挡层和任选的下层，在金属化3上开口。

[0664] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者使用例如由SiN组成的硬掩模进行。

[0665] 该步骤在图15g中示出。

[0666] 第八步骤：

[0667] 这涉及填充前一步骤中限定的孔。

[0668] 孔的填充进行两次：

[0669] -进行扩散阻挡层/键控层或成核层的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0670] -通过CVD、ECD或PVD沉积来进行填充金属(W、Cu)的沉积。

[0671] 最后进行CMP操作以使垫去除接触。

[0672] 该步骤在图15h中示出，并且使得制备上接触C_{sup}和下接触C_{inf}。

[0673] 上述三个方法实施例的替代方案包括制造用于下接触的具有几个部分的接触垫。

[0674] 根据本发明第二替代方案的第四方法实施例

[0675] 第一步骤：

[0676] 根据与上述相同的子步骤，制备组件包括：

[0677] -衬底9；

[0678] -III-V族材料1；

[0679] -III-V族材料2；

[0680] -金属化3。

[0681] 该组件封装在电介质8中，在图16a中示出。

[0682] 第二步骤：

[0683] 这涉及通过部分蚀刻先前构成的组件或通过部分蚀刻电介质8来制造次下孔O_{isl}。可以使用干法蚀刻。在这种情况下，蚀刻停止层的存在是任选的。

[0684] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者使用例如由SiN组成的硬掩模进行。

[0685] 该步骤在图16b中示出。

[0686] 第三步骤：

[0687] 第二次进行操作第二蚀刻操作，通过使孔O_{is2}在先前制得的孔O_{is1}的延长部分中以延长次下孔，并制造次上孔O_{ss}从而在金属化3上开口。

[0688] 通过干法蚀刻可以进行一次蚀刻操作，直至金属化。在这种情况下，蚀刻停止层的存在是任选的。

[0689] 优选地，可以进行顺序蚀刻操作：第一干法刻蚀，用于刻蚀介质堆叠的部分，在阻挡层(SiN、Al_2O_3、SiO_2、BCB、SOC，优选SiN)上停止，然后使用干法或湿法刻蚀来刻蚀阻挡层和任选的下层，在金属化上开口。

[0690] 所述蚀刻操作可以直接通过用于光刻的树脂进行，或者使用例如由SiN组成的硬掩模进行。

[0691] 该步骤在图16c中示出。

[0692] 第四步骤：

[0693] 这涉及填充前一步骤中限定的孔。

[0694] 孔的填充进行两次：

[0695] -进行扩散阻挡层/键控层或成核层的沉积。其可以由通过CVD、PVD或ALD沉积的TiN、Ti/TiN、TaN、Ta/TaN或W组成；

[0696] -通过CVD、ECD或PVD沉积来进行填充金属(W、Cu、AlCu、AlSi)的沉积。

[0697] 最后进行CMP操作以使垫去除接触。

[0698] 该步骤在图16d中示出，并且使得制备上接触C_{sup}和下接触C_{inf}。

[0699] 通常，可以在先前制造的并且在根据本发明的方法的前述实施例中特别描述的平面接触的表面上制备附加的接触水平面。

[0700] 因此，可以通过电介质8的附加沉积来进行附加步骤，然后通过蚀刻来制造附加的上孔和下孔并填充这些孔以限定接触$C_{inf/supl}$和$C_{sup/supl}$，如图17所示。

[0701] 为此，在附加的上孔和下孔中，沉积阻挡层7，其可以为TiN、Ti/TiN、TaN、Ta/TaN、W并且填充有可以为W、Cu或Al、AlCu、AlSi的金属6。

[0702] 应注意，还可以通过蚀刻预先通过树脂或硬掩模制造的金属堆叠来制备附加的接触水平面。

[0703] 通过本发明的方法制备的激光器元件的示例：

[0704] 可以使用本发明的方法有利地制造基于III-V族材料的激光器：

[0705] SiO_2的衬底90包括硅导向件91，在其顶部制备以下物质：

[0706] -第二III-V族材料2的基底，所述材料2可以为n掺杂的InP，和包括多量子阱结构的台面1，所述多量子阱结构可以由具有不同掺杂的InGaAsP和p掺杂的InGaAs层制得，III-V族材料的性质确定发射波长；

[0707] -电介质8可以为SiN、SiO_2，或例如基于BCB的平面型聚合物；

[0708] -接触底部金属化3可以为例如Ni、Ti或其合金(Ni_2P、Ni_3P、NiGe、TiP、TiGe等)；

[0709] -F扩散阻挡层和/或W键控层4可以为TiN、Ti/TiN、TaN、Ta/TaN、W；

[0710] 填充金属5可以为Cu或Al、AlCu、AlSi。

[0711] 该激光器的示例在图18中示出。

[0712] VCSEL型垂直发射激光器元件的示例：

[0713] 可以回想一下,通常,垂直腔表面发射激光二极管或VCSEL是一种半导体激光二极管,其垂直于表面发射激光束,这与常规的边发射半导体激光器不同。

[0714] 该激光器的示例主要包括与前述示例中描述的结构相同类型的结构。

[0715] 然而,为了允许在结构的顶部发射激光辐射,上接触被制成圆形。

[0716] 该元件的示例包括硅衬底9,在其顶部制备以下物质:第二III-V族材料2的基底,所述材料2可以为n掺杂的InP,和包括多量子阱结构的台面1,所述多量子阱结构可以基于InGaAsP、AlGaAs、GaAs、InGaAsN和p掺杂的InGaAs层,III-V族材料的性质决定发射波长。

[0717] 电介质8可以为SiN、SiO_2,或例如基于BCB的平面型聚合物。

[0718] 接触底部金属化3可以为例如Ni、Ti或其合金(Ni_2P、Ni_3P、NiGe、TiP、TiGe等)。

[0719] F扩散阻挡层和/或W键控层4可以为TiN、Ti/TiN、TaN、Ta/TaN、W。

[0720] 填充金属5可以为Cu或Al、AlCu、AlSi。

[0721] 金属化3和元件4和5构成接触C_{sup}和C_{inf}。

[0722] 由于圆形上接触C_{sup},激光束可以从元件的上表面提取。

[0723] 该激光器的示例在图19中示出。

[0724] 对于上述激光器元件,平面接触的集成通常通过混合或直接键合(例如光子/电子)或通过凸块的芯片传输开辟了3D集成的途径。

[0725] 在III-V族/Si共同集成的情况下,平面化后端的制备还允许在较低水平面(例如后端前侧或金属间化合物)的器件上设想连接。

[0726] 在图20中给出了实施例,在光子集成的背景下,在III-V元件(激光器)上和在硅部件的后端上制备上述C_{sup}和C_{inf}的接触组件。附加接触由垫P_{Mi}提供,所述垫P_{Mi}连接金属水平面Mi,集成在电介质8中。通常,衬底91可以为硅,电介质90可以为SiO_2。

[0727] 在太阳能电池类型的应用中使用的元件的示例,其中堆叠了一系列不同的III-V族材料,使得可以使发射波长多样化

[0728] 该元件的示例包括硅衬底9,在其顶部堆叠以下物质,如图21所示:

[0729] -位于所谓的较低水平面的III-V族材料22;

[0730] -位于所谓的中间水平面的III-V族材料21;

[0731] -位于所谓的较高水平面的III-V族材料10。

[0732] 元件包括:

[0733] -材料22的接触C_{inf};

[0734] -材料21的接触C_{int};

[0735] -材料10的接触C_{sup}。

[0736] 接触C_{inf}通过填充连续制得的孔:O_{is1}、O_{is2}和O_{is3}的堆叠而产生。

[0737] 接触C_{int}通过填充连续制得的孔:O_{ts1}、O_{ts2}的堆叠而产生。

[0738] 接触C_{sup}通过填充孔O_{ss}而产生。

[0739] 通常,使用的III-V族材料可以特别地为:InGaAsN、BInGaAs、InGaN、GaInP、GaInAsP、GaAs。

[0740] 在图22中示出了图21中所示的实施例的变体,并且示出了上述两种替代方案的混合解决方案:在两种III-V族材料10和22上具有单一类型的孔,在另一种III-V族材料21上具有主孔和次孔。

[0741] 接触在两种不同性质具有不同类型掺杂的III-V族材料(InP和InGaAs)上制备。无论制得的接触如何,通过固态反应或仅通过电极的沉积,界面电阻率Rc是不同的。

[0742] 当界面电阻率Rc低并且传输长度小于次孔时,可以仅制造用于接触III-V族材料的单个孔。

[0743] 否则需要制造双孔。可以在两个III-V层上具有两种条件,因此在某些情况下可以采用混合两种替代方案的解决方案。

[0744] 当其被调整时,制造单一类型孔的解决方案仍然是有利的解决方案,因为其最小化步骤的数量并且有单一组操作(光刻/版刻/蚀刻)。

[0745] 申请人在下面解释了在用于制造接触的两种替代方案之间进行选择的条件:

[0746] -用于进行接触底部金属化和填充的单一类型的孔;

[0747] -两种类型的孔:用于金属化的非常大的主孔以及然后用于制造接触和填充的次孔。

[0748] 选择的标准是传输长度。该长度是必要的长度,因此通过电场线传输以从III/V半导体中的金属接触穿过。

[0749] 图23a和图23b示出了具有参考金属和电场线的两个接触,所述电场线从一个电极穿至另一个电极,穿过半导体衬底。

[0750] 传输长度Lt由金属垫边缘之间的载流子注入距离(以及面积)限定,用于将电流注入半导体:

[0751] $$L_T = \sqrt{\frac{\rho_C}{R_{SK}}}$$

[0752] 该距离主要取决于两个参数:接触电阻率ρ_C和接触的下层衬底的薄层电阻。

[0753] 有了这些元素,可以理解:

[0754] -如果长度L_t小于次孔的尺寸(Lt<a),则可以单独使用这种类型的孔进行集成:接触底部金属化和填充;

[0755] -如果长度L_t大于次孔的尺寸(Lt>a),则在这种情况下应采用两种类型的孔,更大表面(这在本专利申请的情况下大于尺寸Lt)的金属化,以及较小的用于填充的次孔。

[0756] 通过制造简单结构(TLM)来实验测量传输长度,该结构可直接获得该数量。在掺杂半导体上制造垫并测量这些垫每一个之间的电流就足够了。

[0757] 图24示意性地示出了具有相同接触的这种类型的TLM结构,所述接触具有表面区域尺寸W.a,通过增加的距离li分开,W是接触的宽度,其限定为垂直于电场线。

[0758] 通过绘制电阻随着距离的变化,如果接触具有低电阻,则获得直线,并且在该直线与纵坐标的交点处获得以下:2x接触电阻,与横坐标的交点处为:2x传输长度,如图25所示,假设R_{sh}=R_{sk}(垫下的电阻),总电阻对应于接触电阻、薄层电阻和衬底的电阻。

[0759] 尽管与通过固态反应获得的接触的情况下是近似的,但是该方法足够准确以区分两个感兴趣的情况并且进行最佳的集成选择。

[0760] 应注意的是,如果Lt>a,只要总电阻对于所述器件的操作仍然是可接受的(在所讨论的器件的寿命期间所需的性能和可接受的加热),则可以通过对器件的总电阻进行折衷来选择最简单和最便宜的集成。

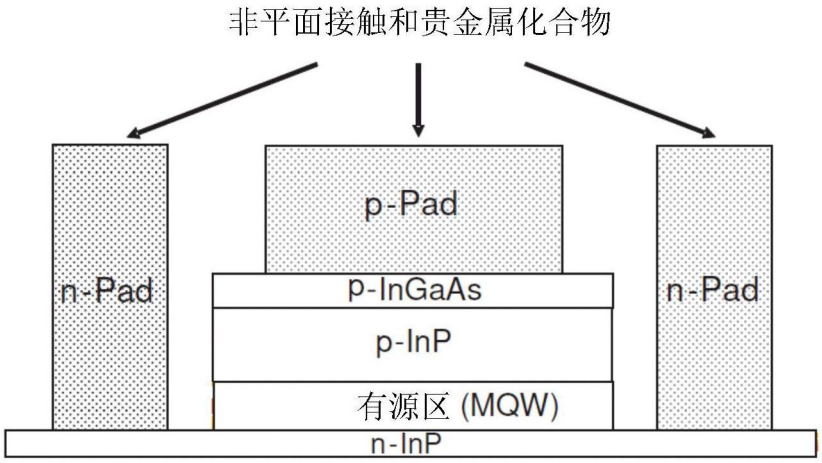

非平面接触和贵金属化合物
n-Pad
p-Pad
p-InGaAs
p-InP
有源区 (MQW)
n-InP
n-Pad

图1

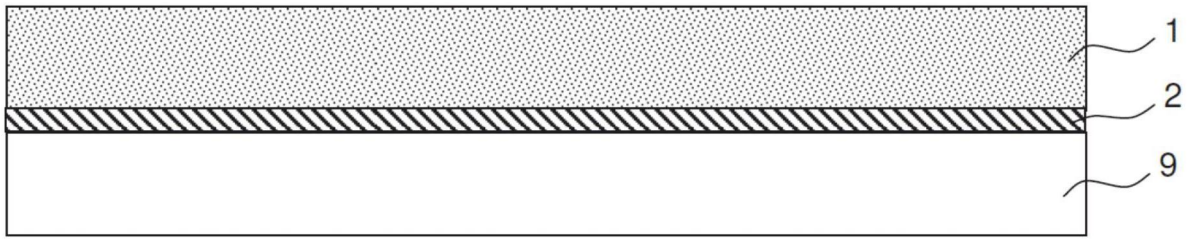

1
2
9

图2

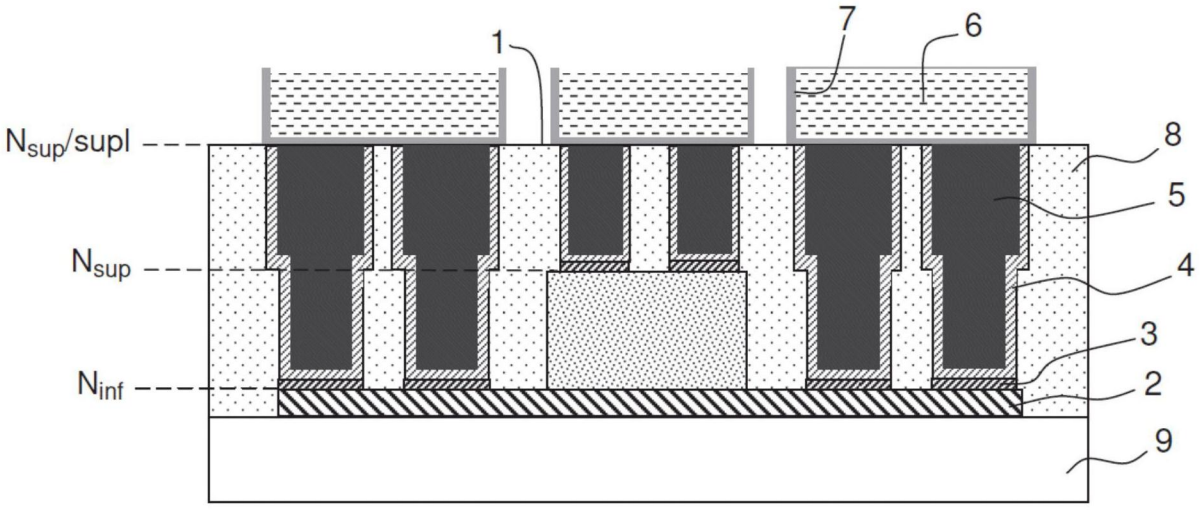

1
7
6
Nsup/supl
Nsup
Ninf
8
5
4
3
2
9

图3

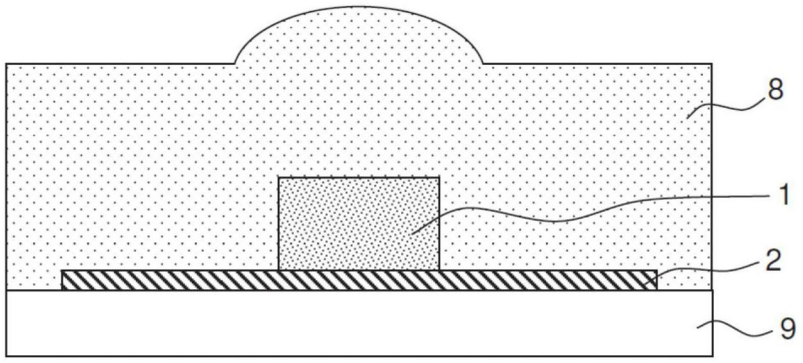


图4a

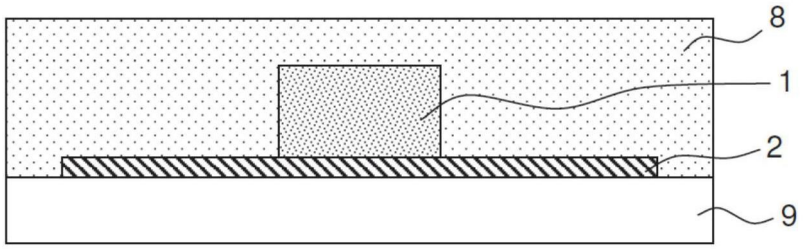


图4b

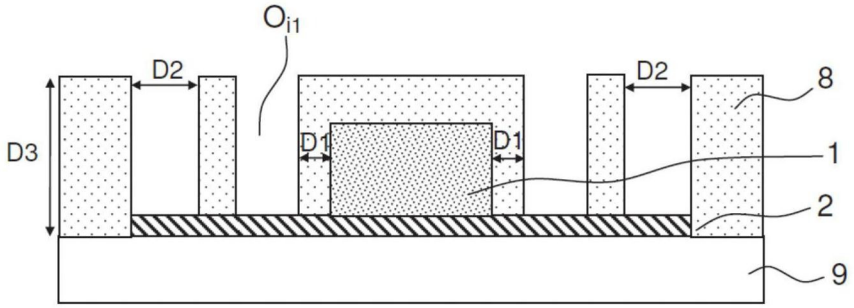


图4c

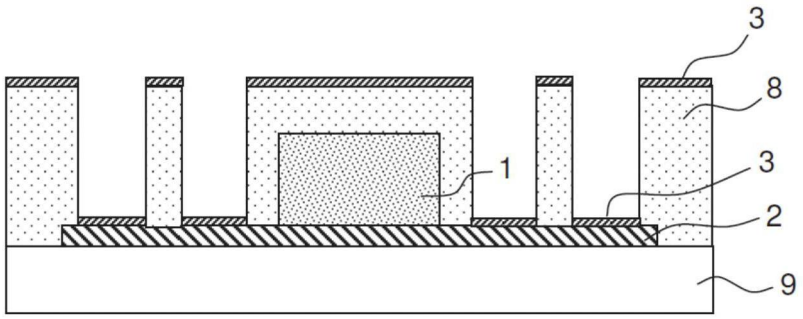


图4d

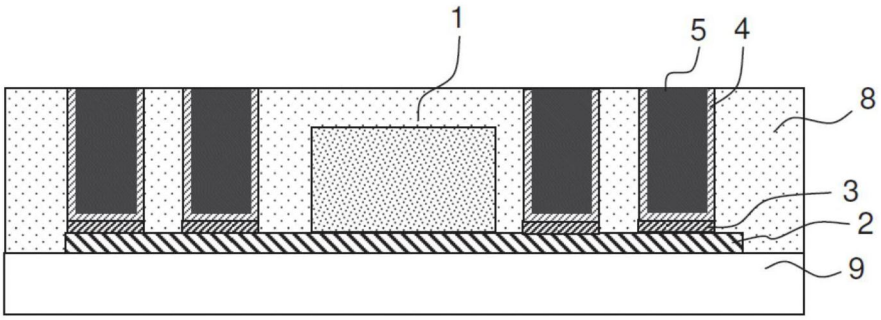


图4e

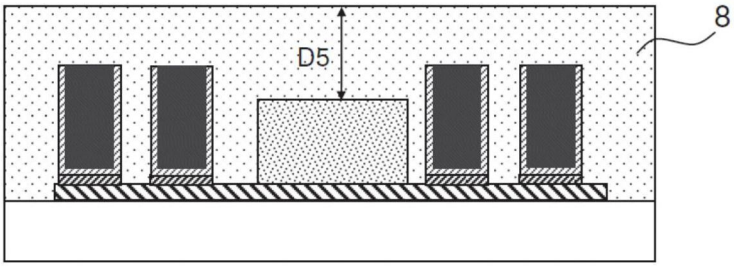


图4f

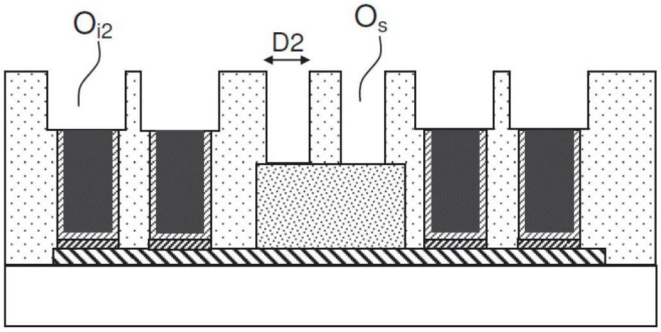


图4g

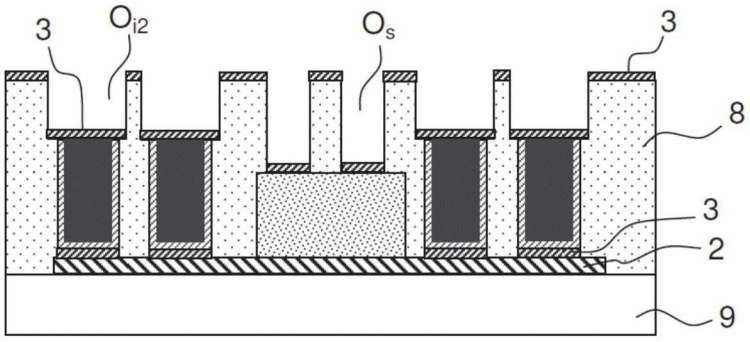


图4h

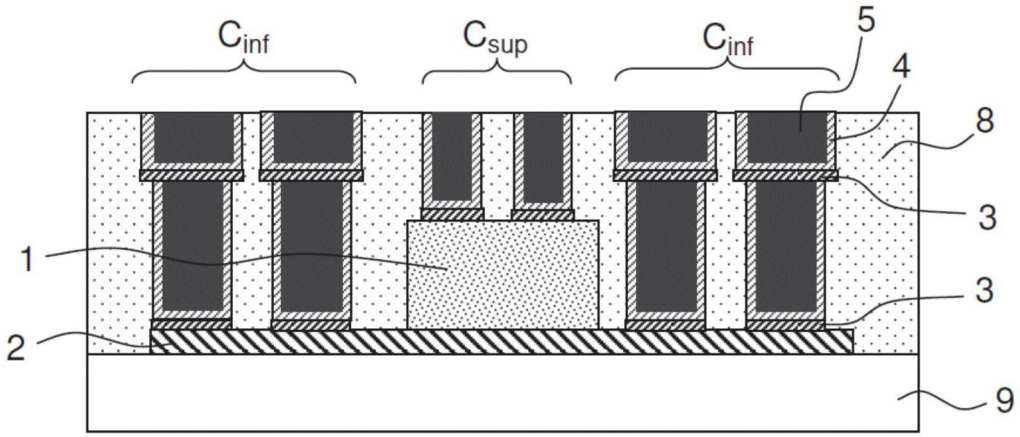


图4i

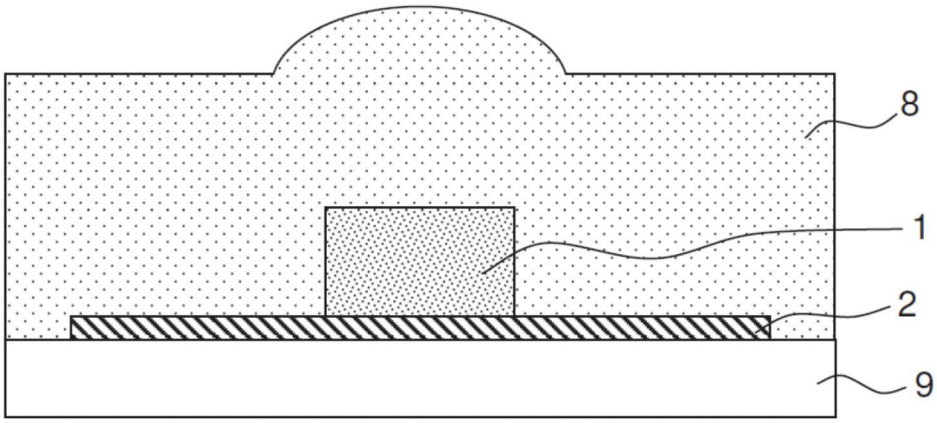


图5a

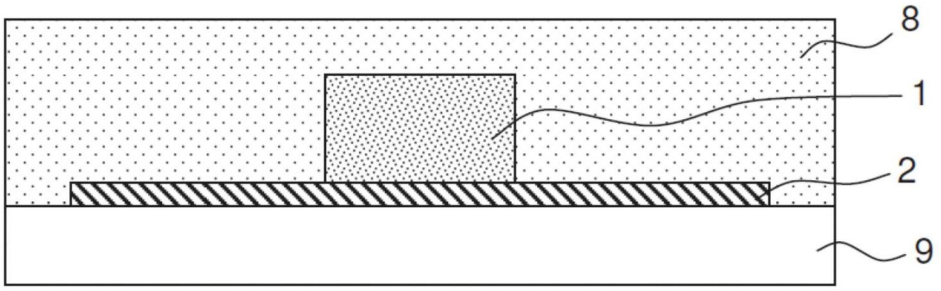


图5b

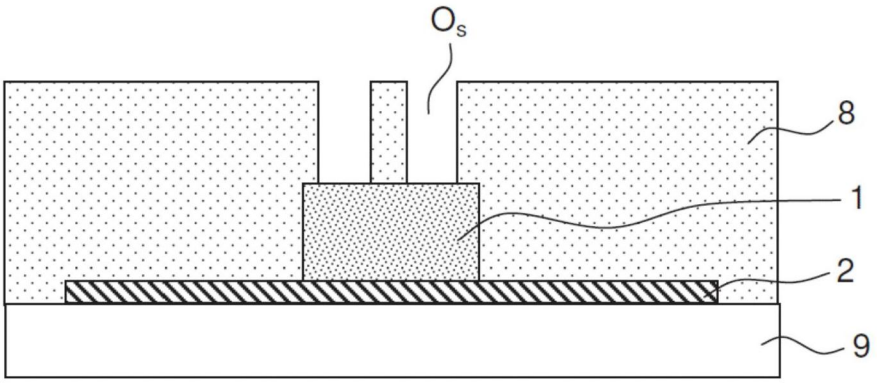


图5c

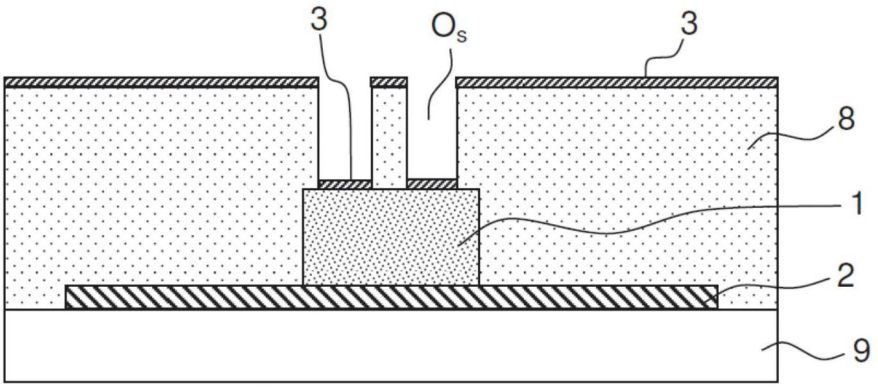


图5d

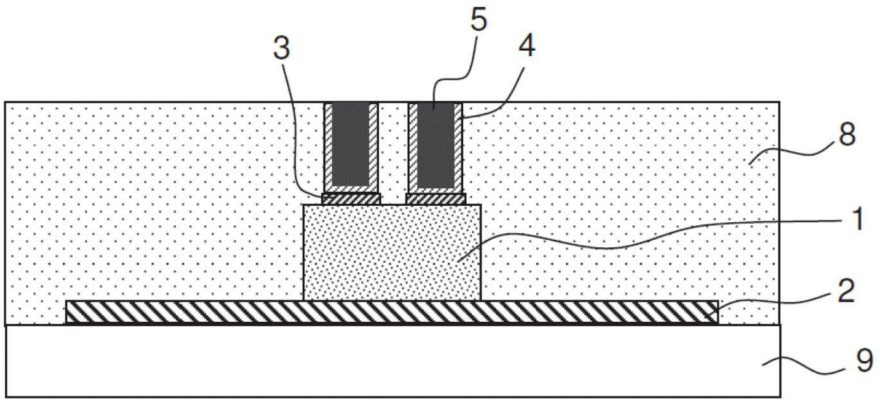


图5e

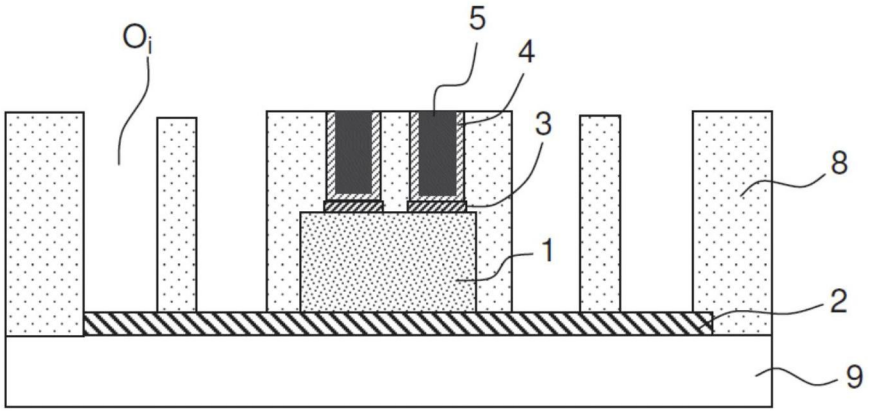


图5f

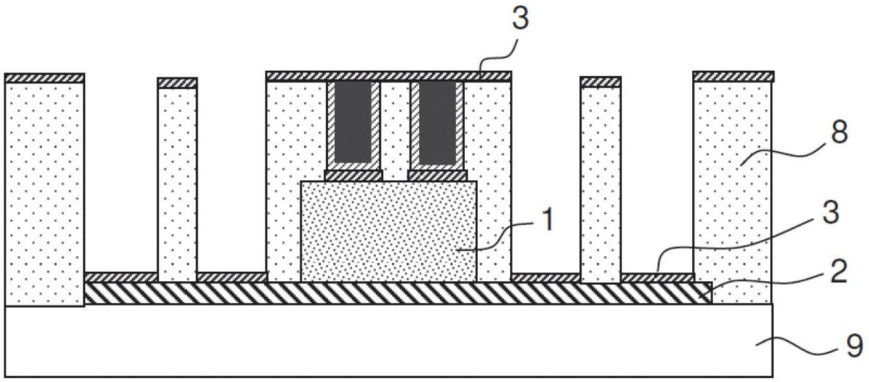


图5g

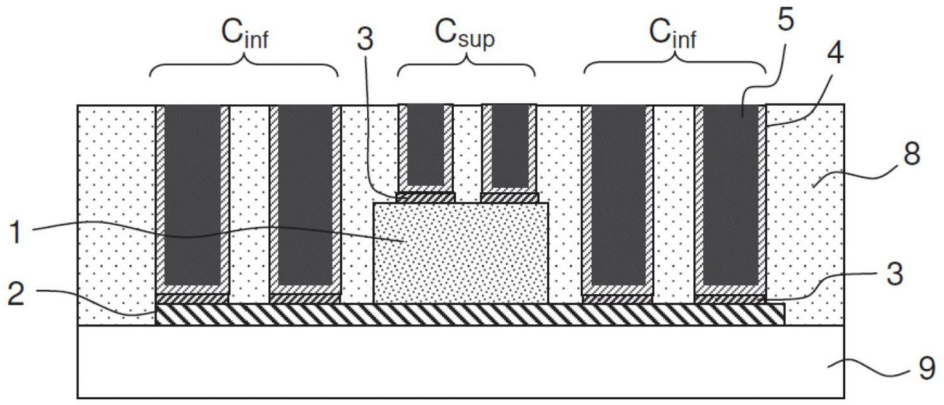


图5h

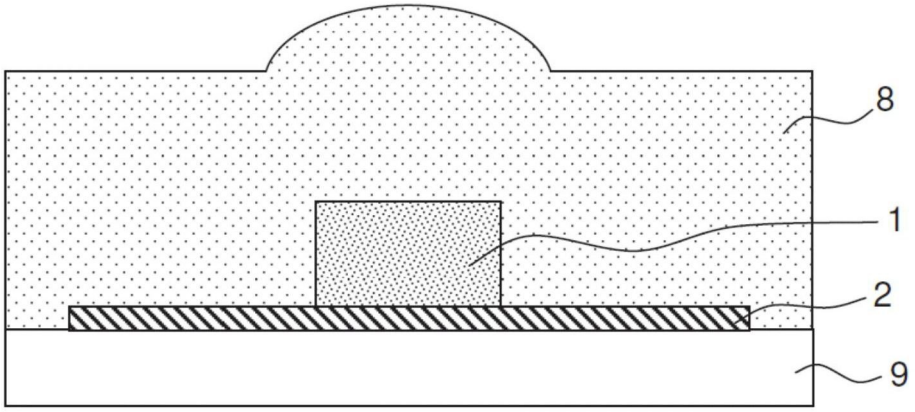


图6a

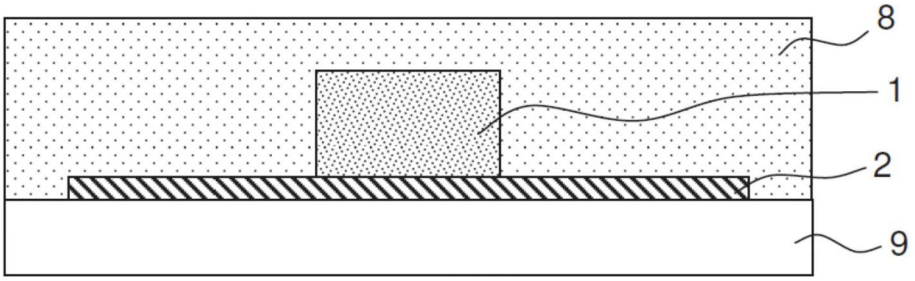


图6b

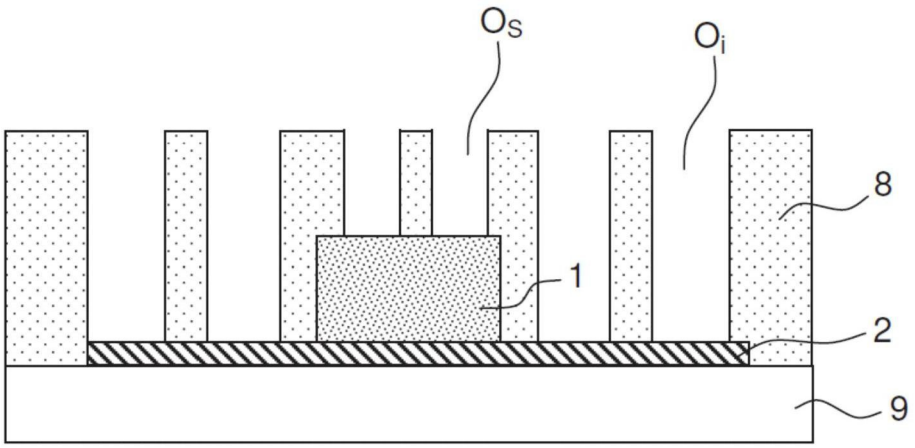


图6c

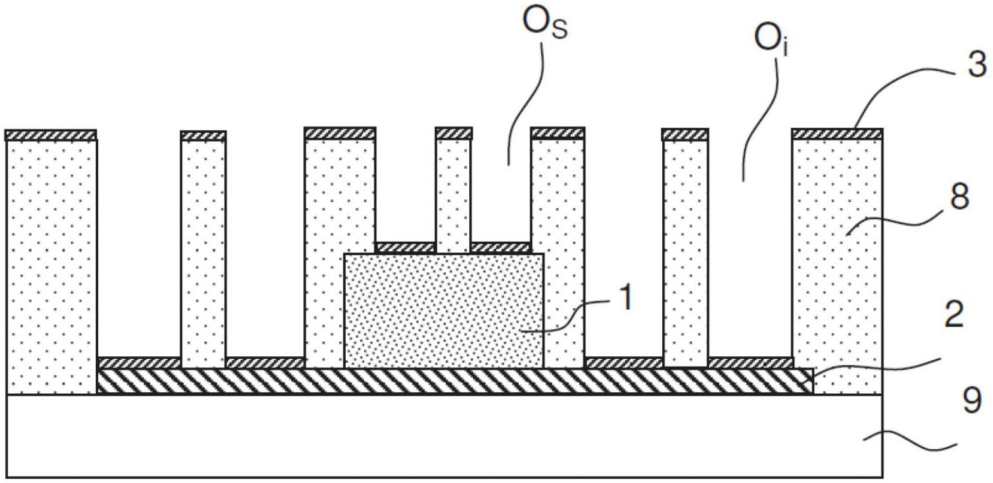


图6d

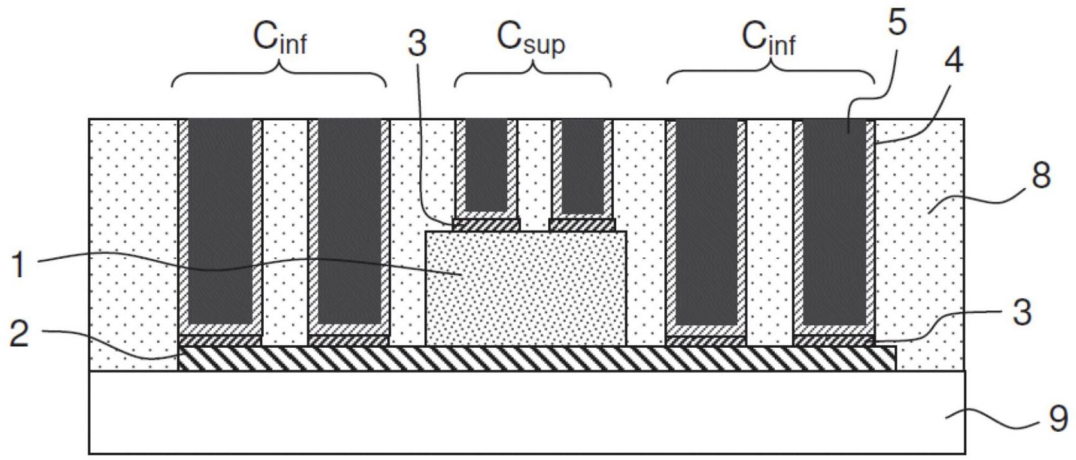


图6e

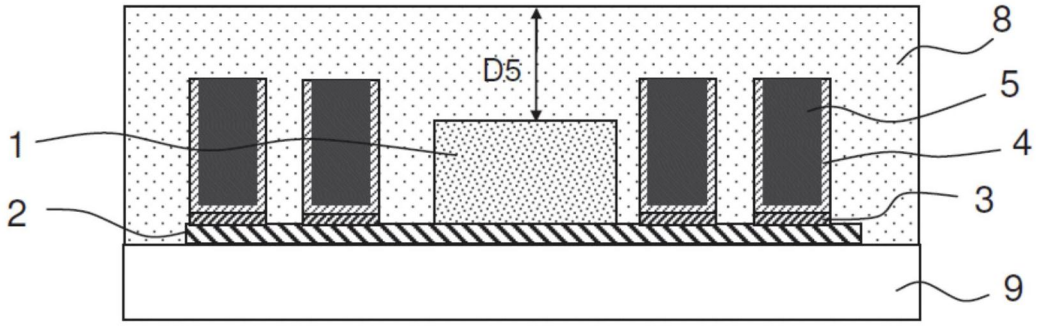


图7f

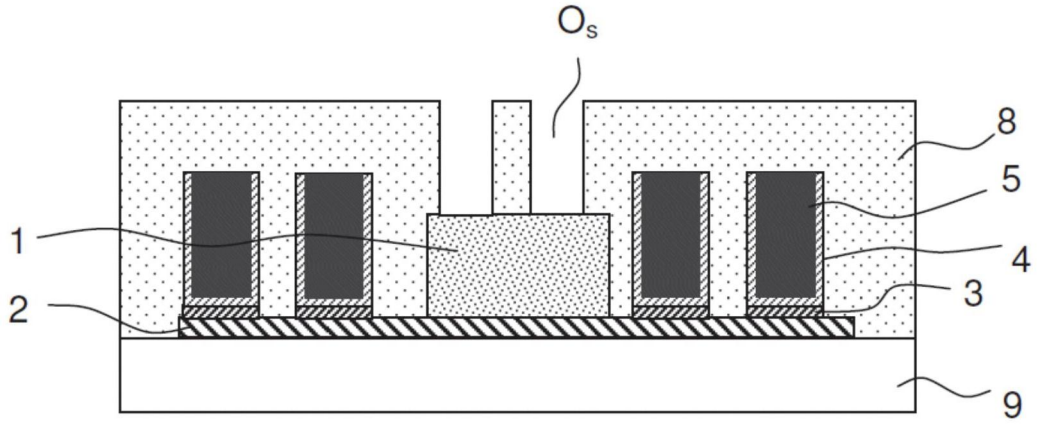


图7g

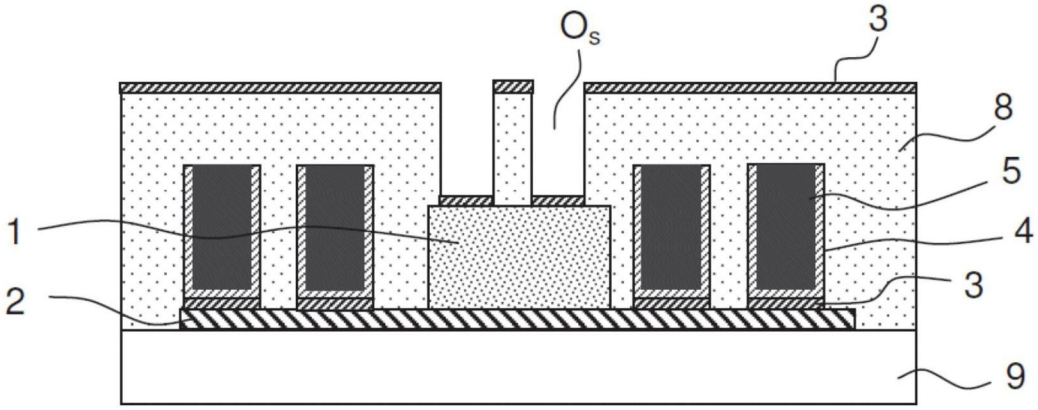


图7h

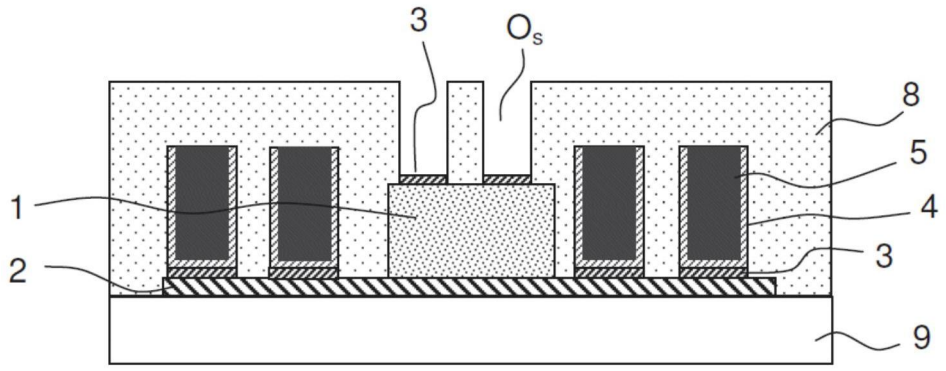


图7i

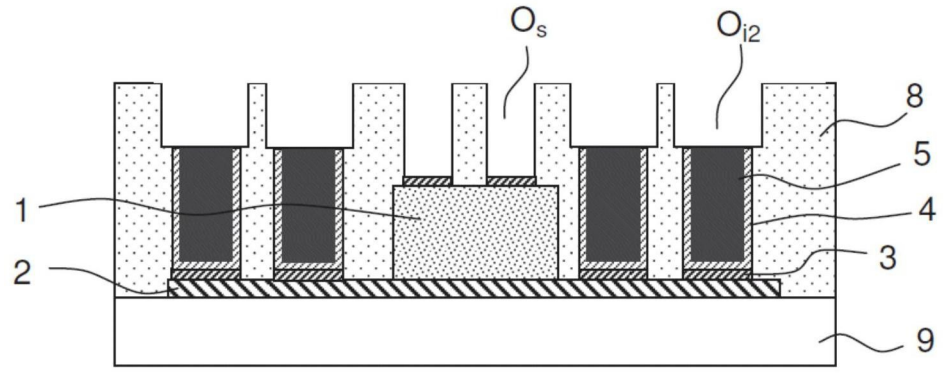


图7j

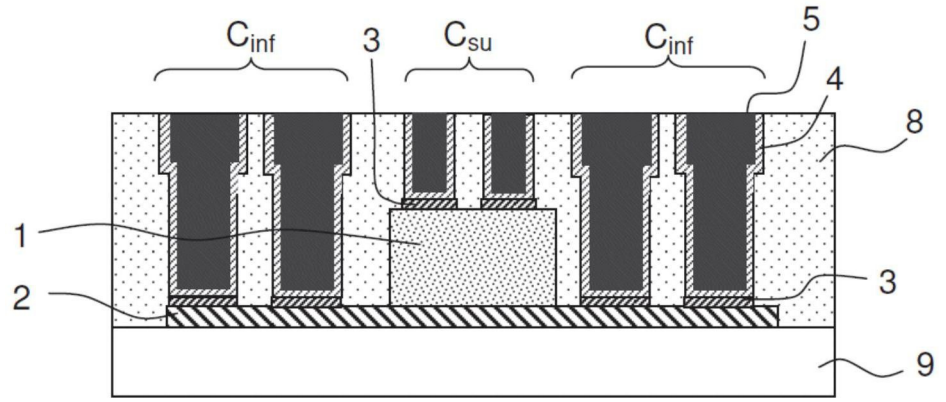


图7k

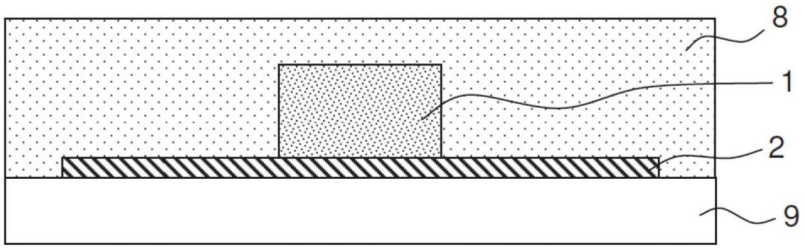


图8b

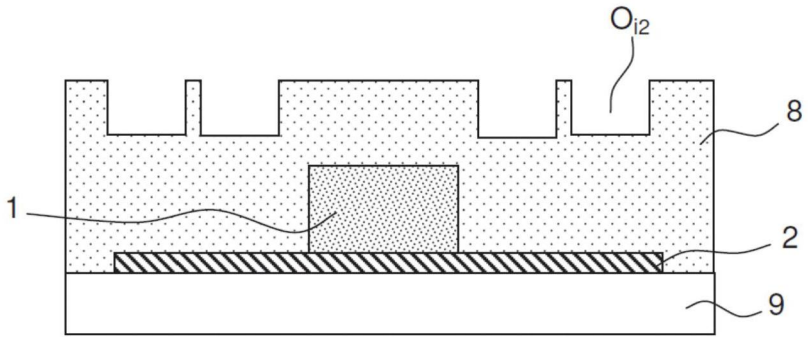


图8c

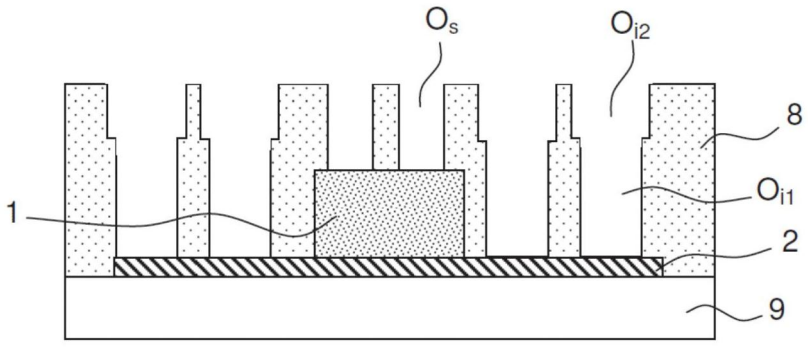


图8d

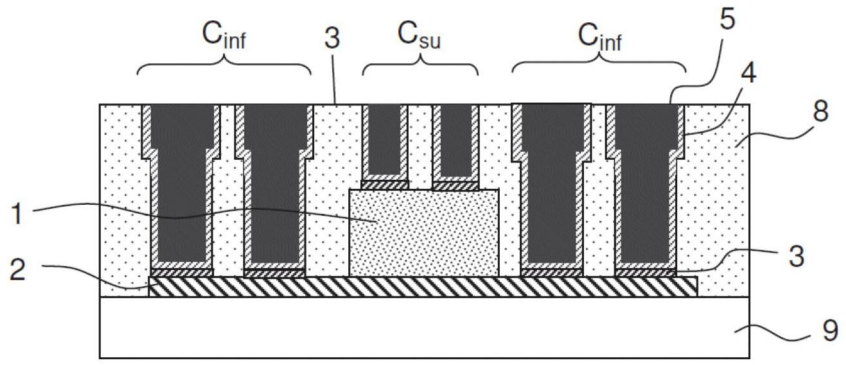

Cinf
3
Csu
Cinf
5
4
8
1
2
3
9

图8e

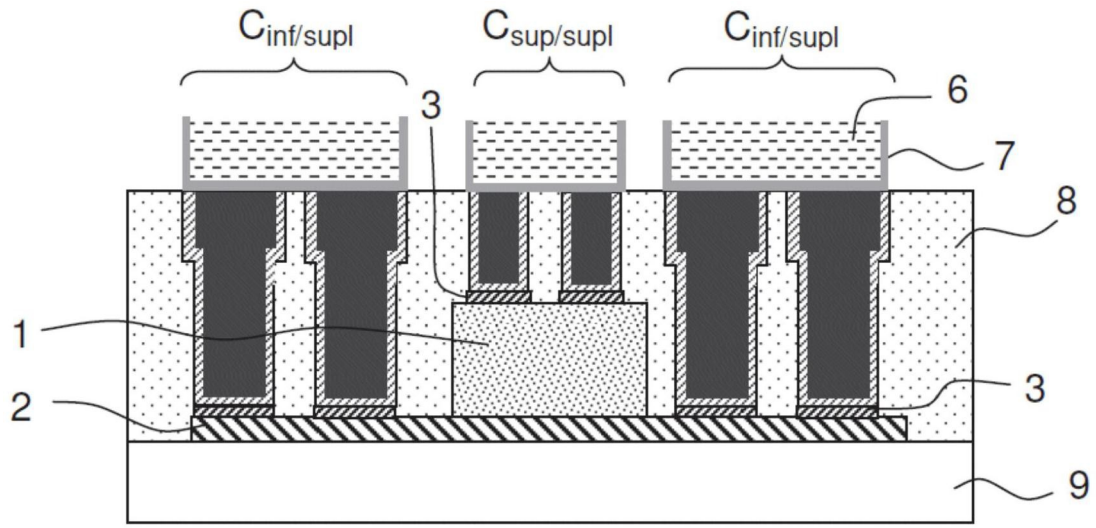

Cinf/supl
Csup/supl
Cinf/supl
3
6
7
8
1
2
3
9

图9

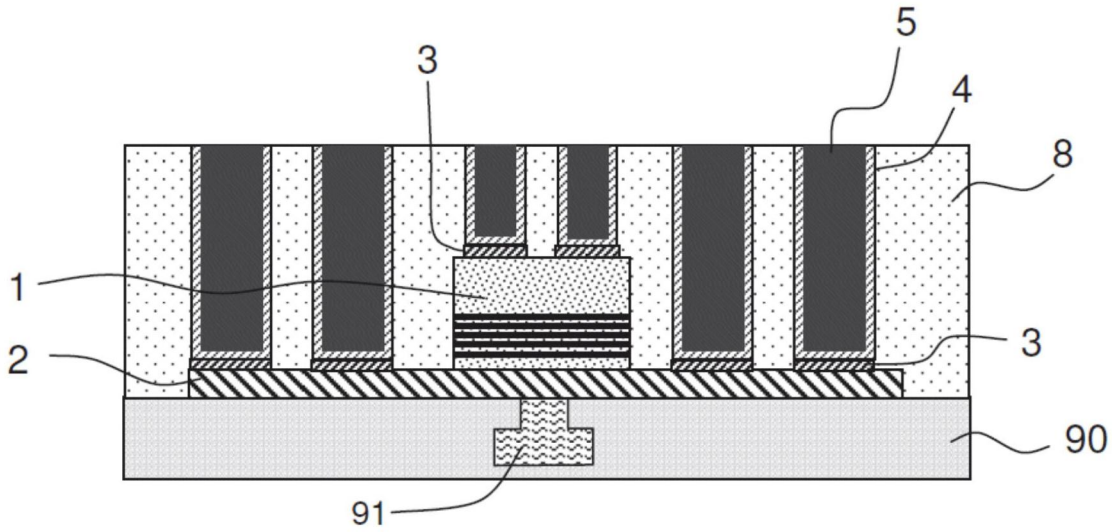

5
3
4
8
1
2
3
90
91

图10

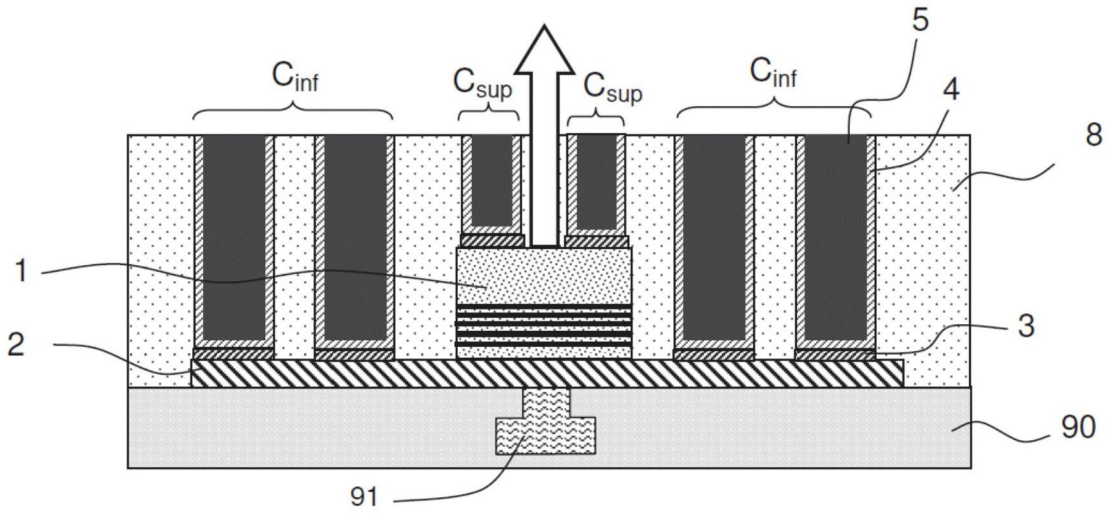

Cinf
Csup
Csup
Cinf
5
4
8
1
2
3
90
91

图11

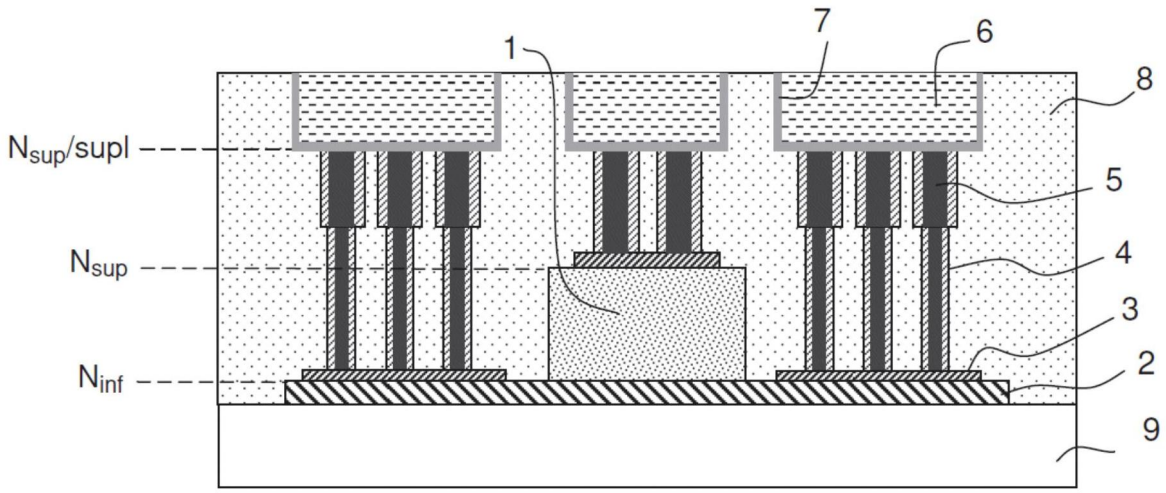

7
6
1
8
Nsup/supl
5
Nsup
4
3
Ninf
2
9

图12

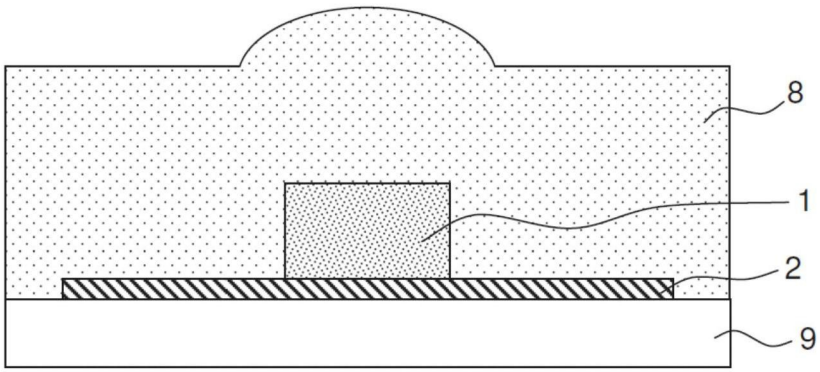

8
1
2
9

图13a

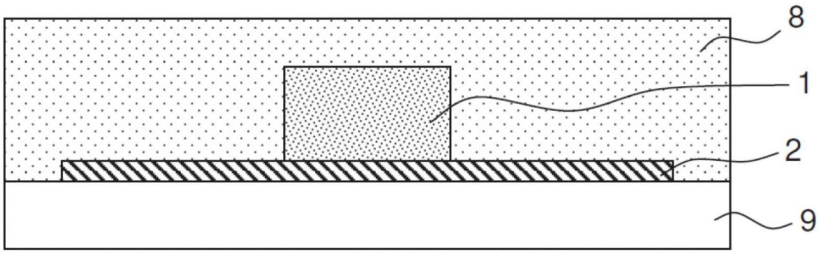


图13b

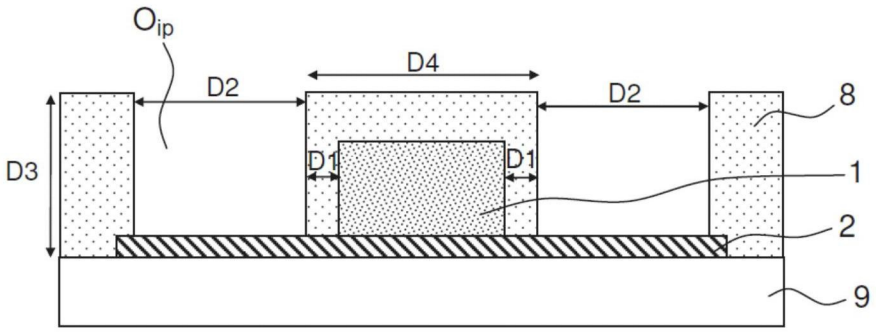


图13c

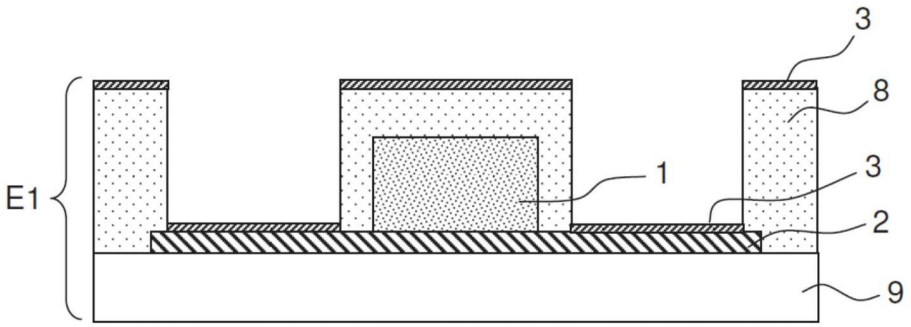


图13d

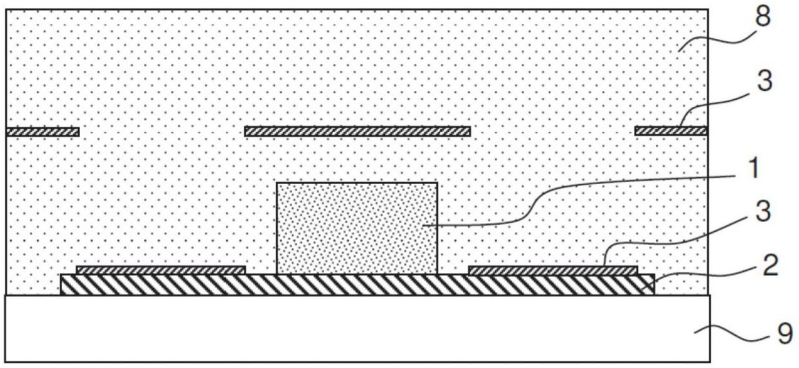


图13e

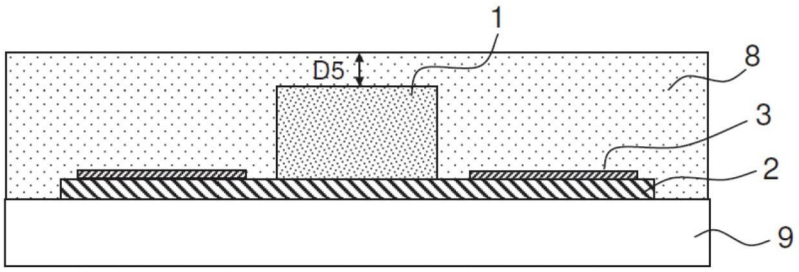


图13f

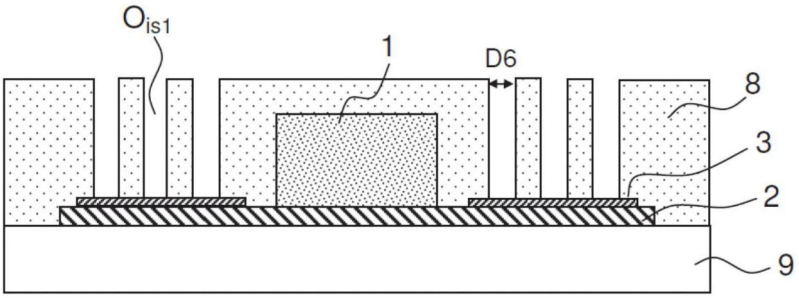


图13g

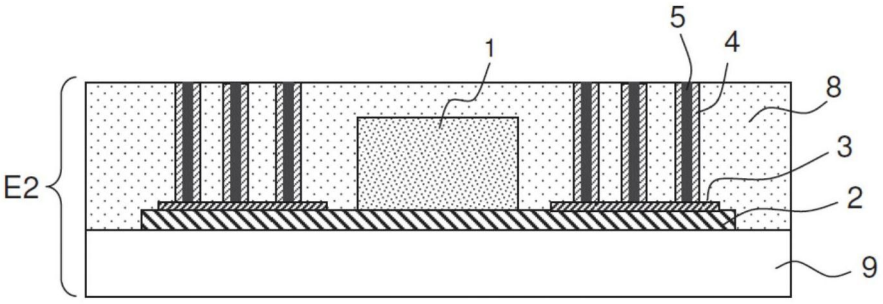


图13h

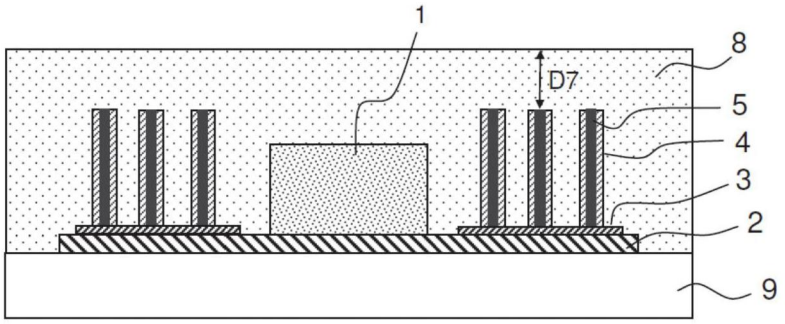


图13i

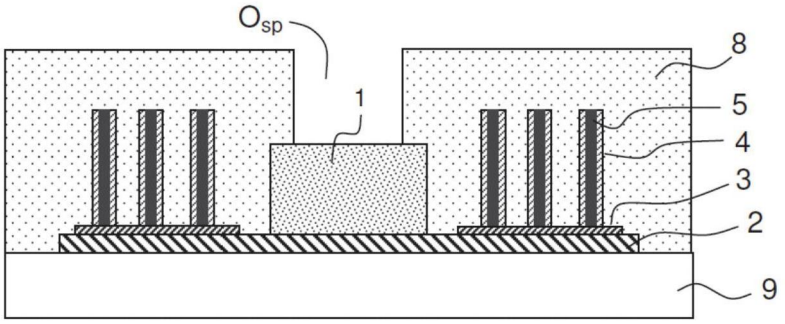


图13j

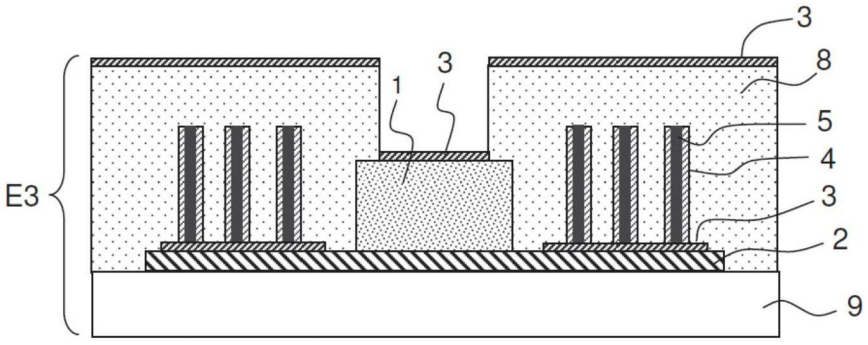


图13k

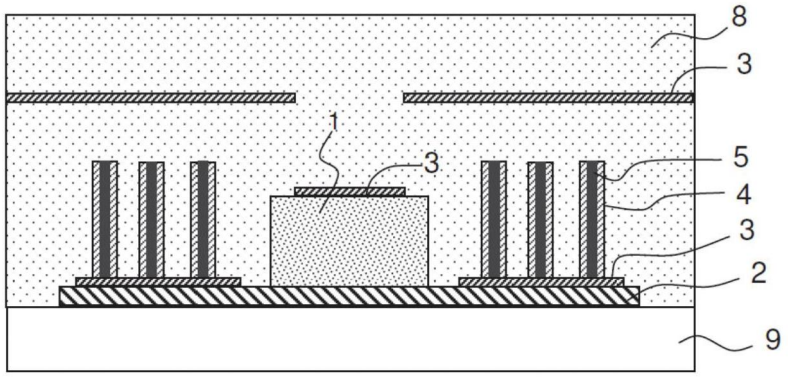


图131

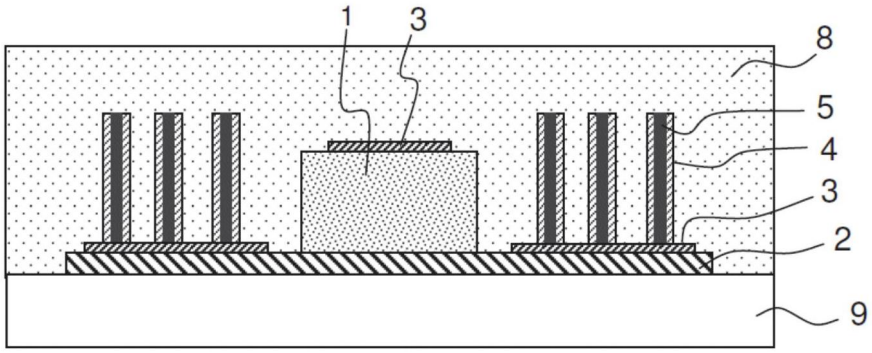


图13m

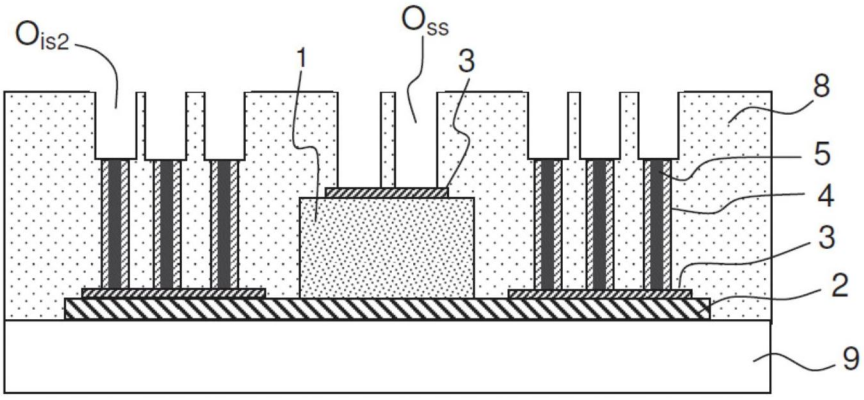


图13n

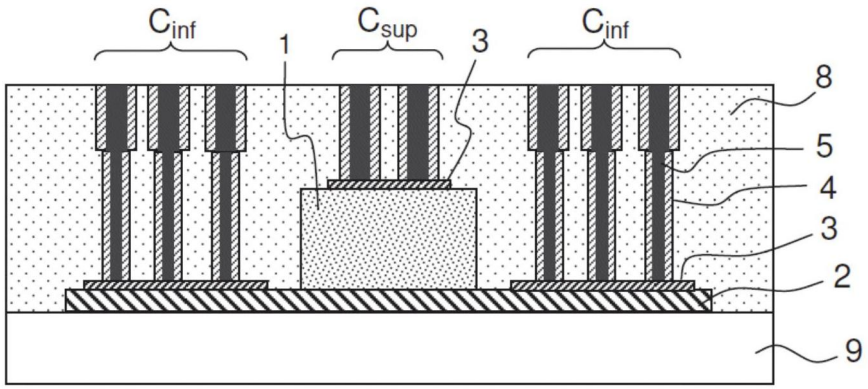


图13o

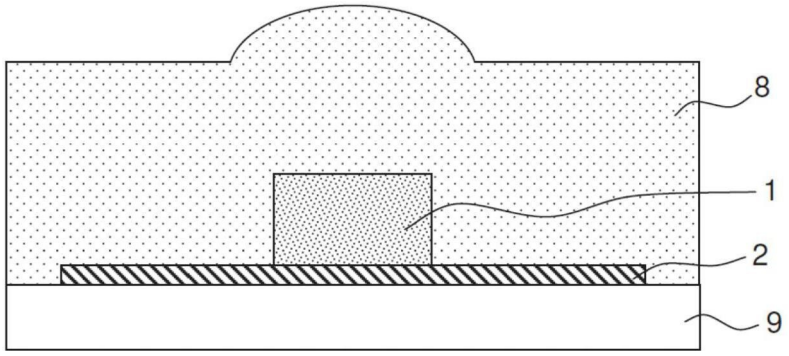


图14a

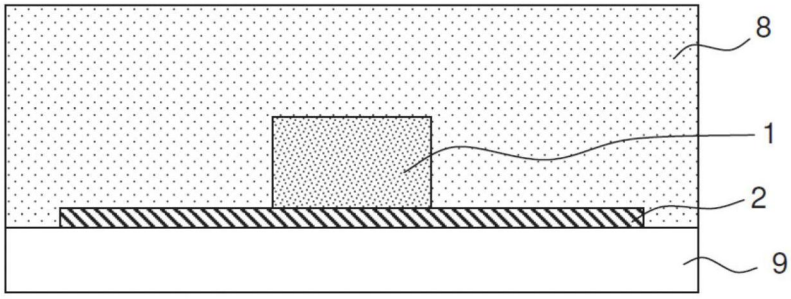


图14b

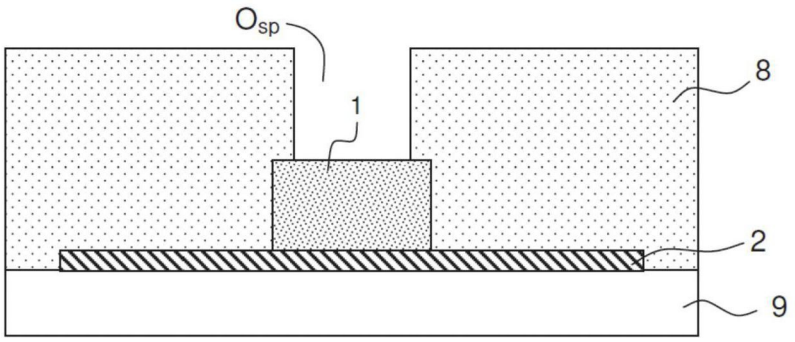


图14c

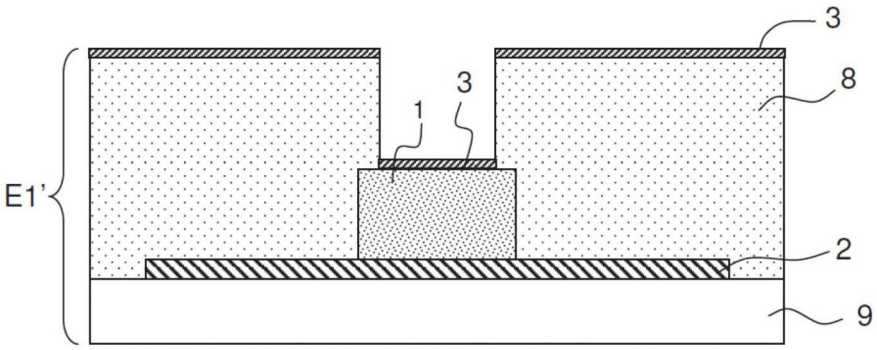


图14d

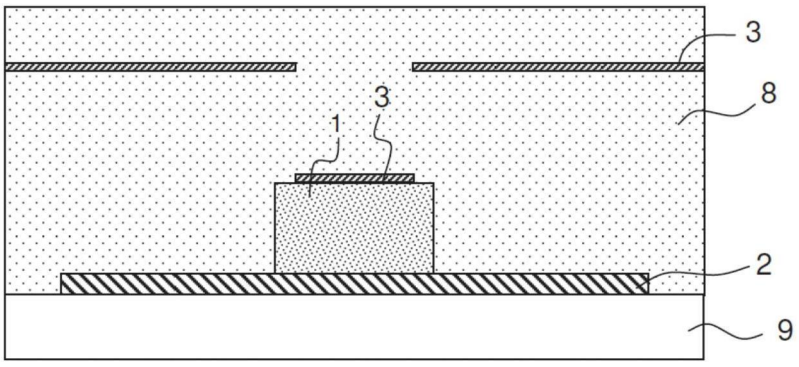


图14e

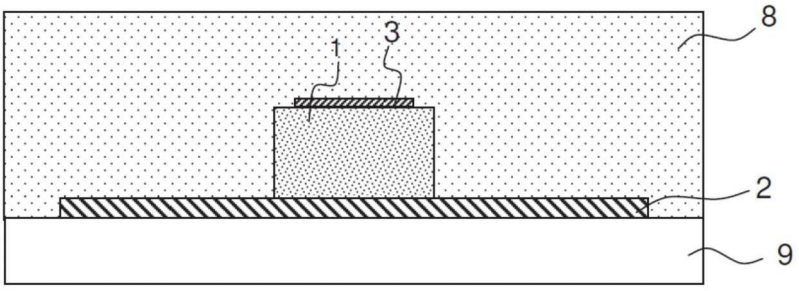


图14f

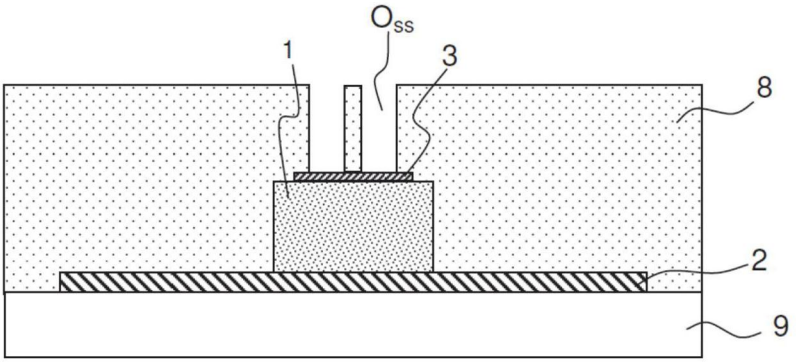


图14g

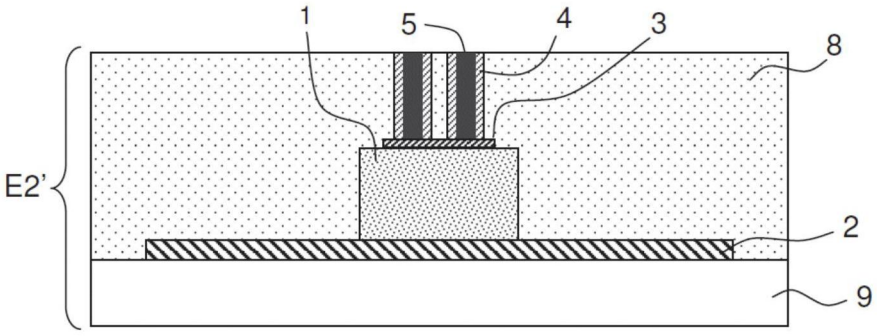


图14h

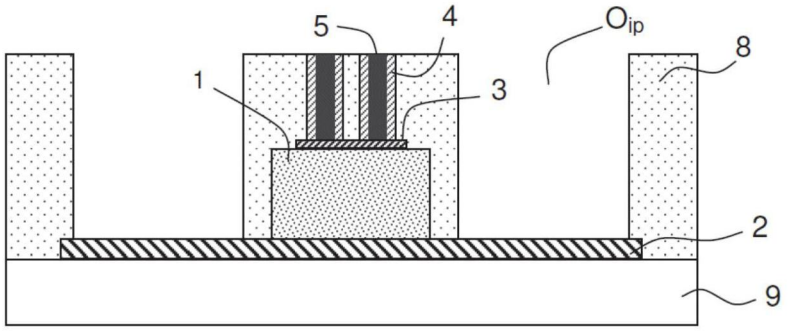


图14i

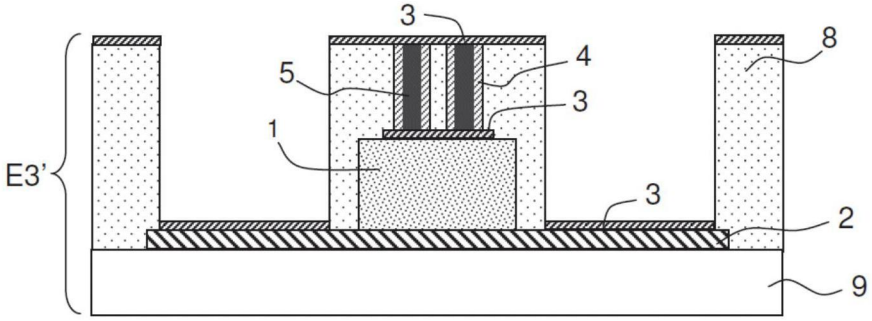


图14j

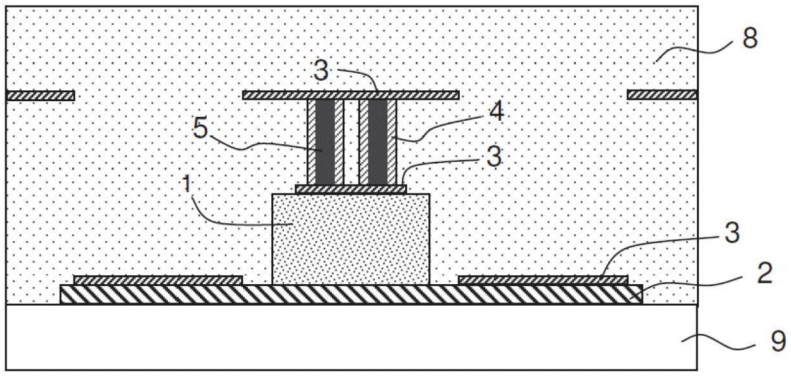


图14k

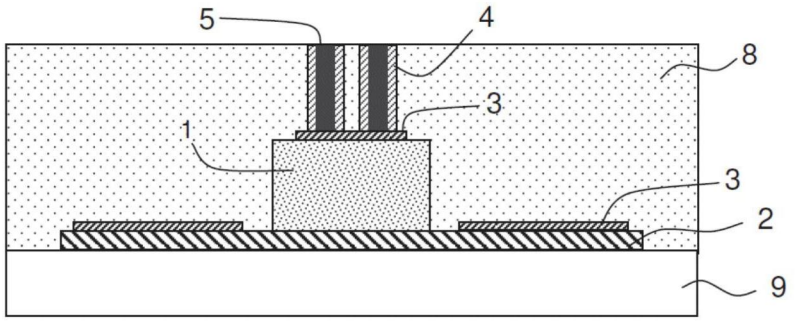


图141

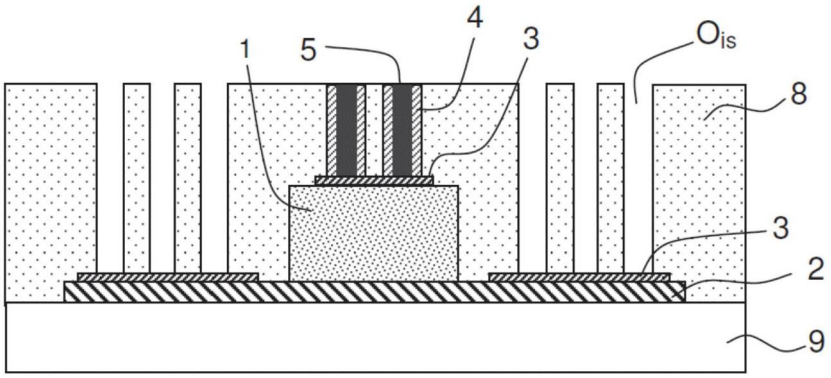


图14m

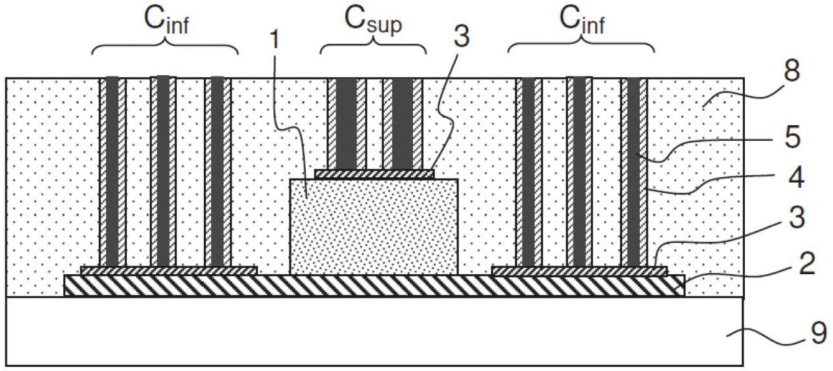


图14n

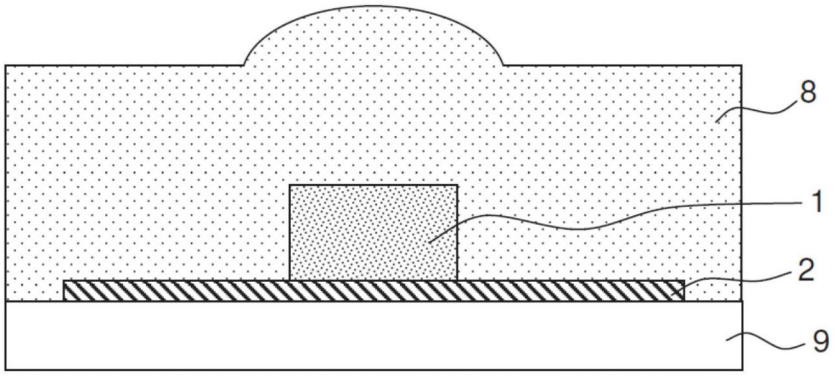


图15a

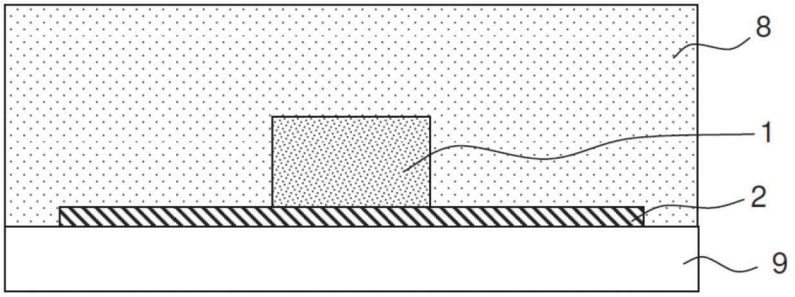


图15b

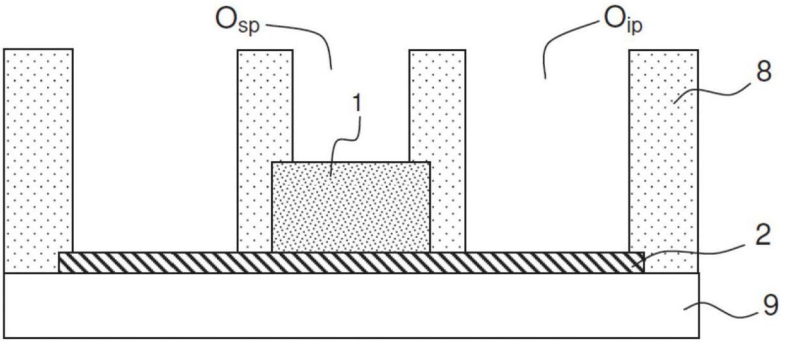


图15c

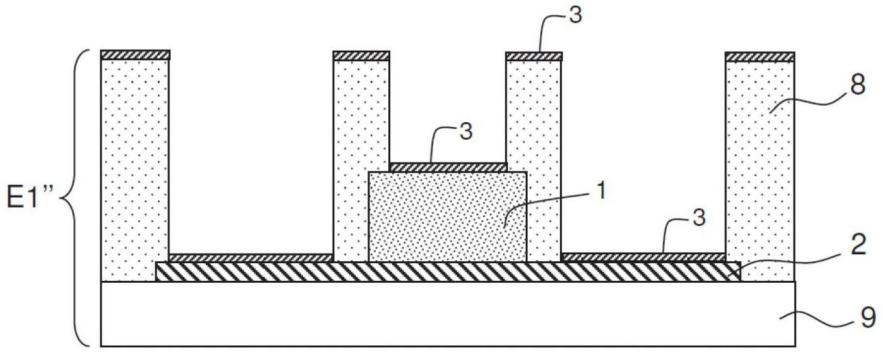


图15d

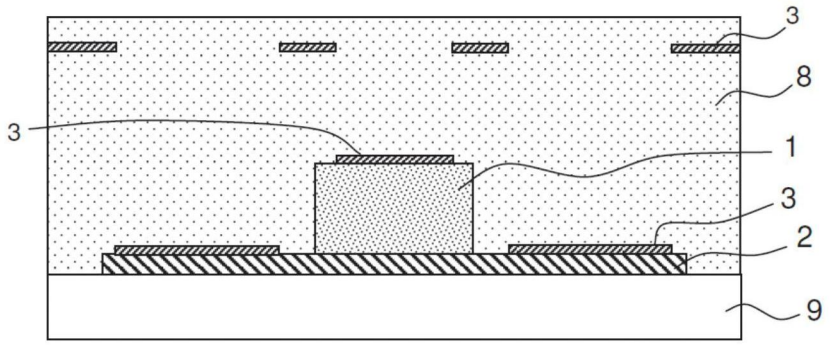


图15e

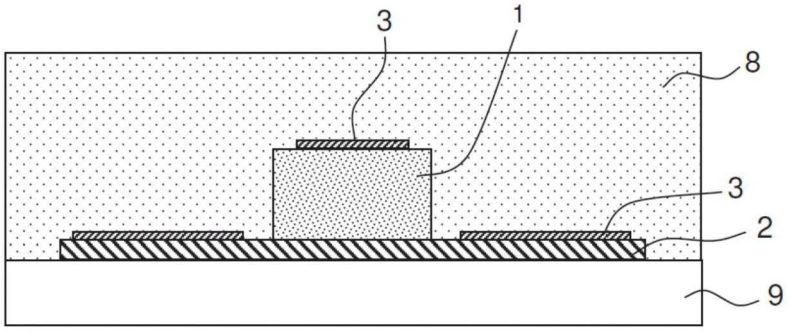


图15f

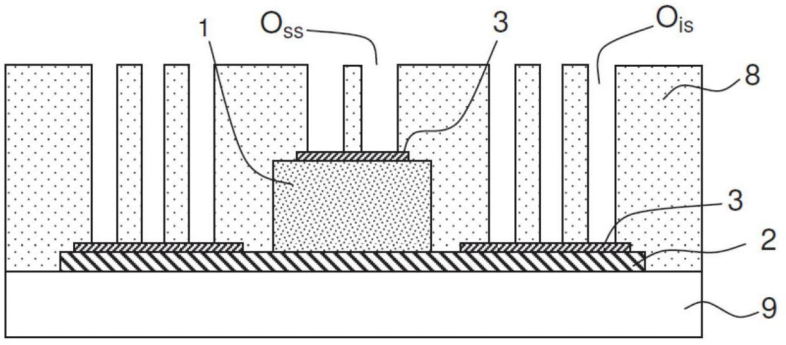


图15g

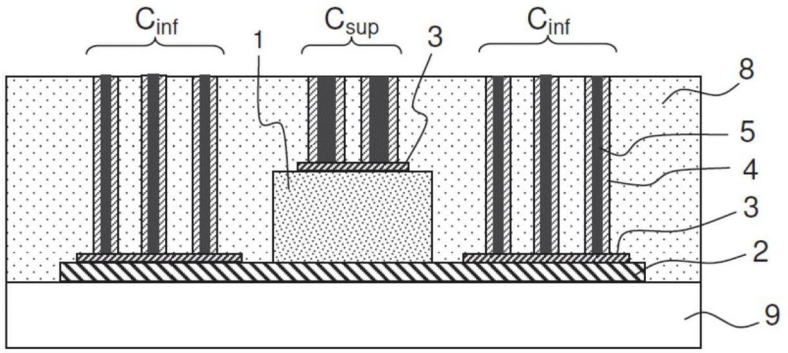


图15h

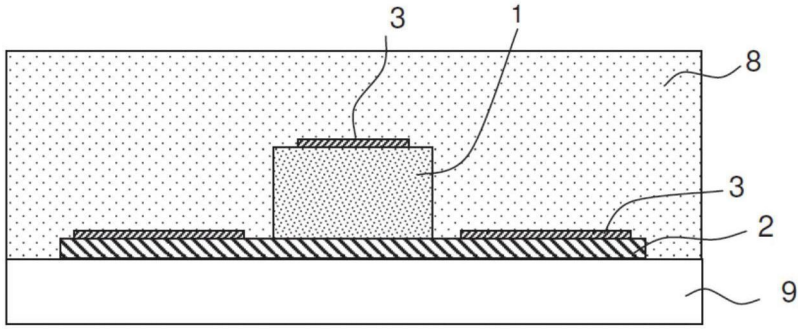


图16a

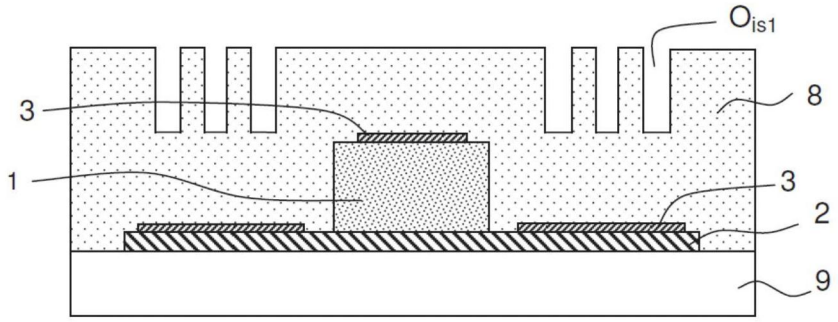


图16b

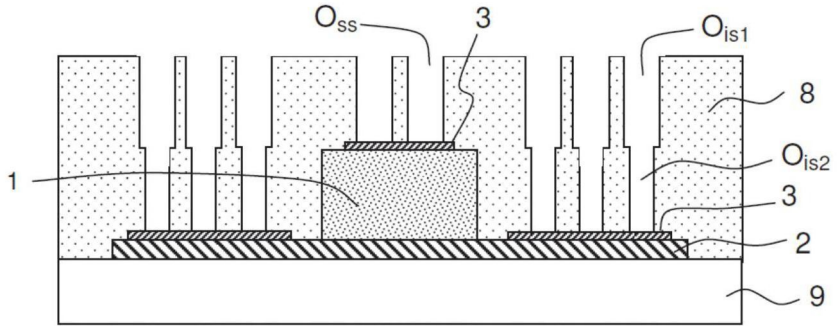


图16c

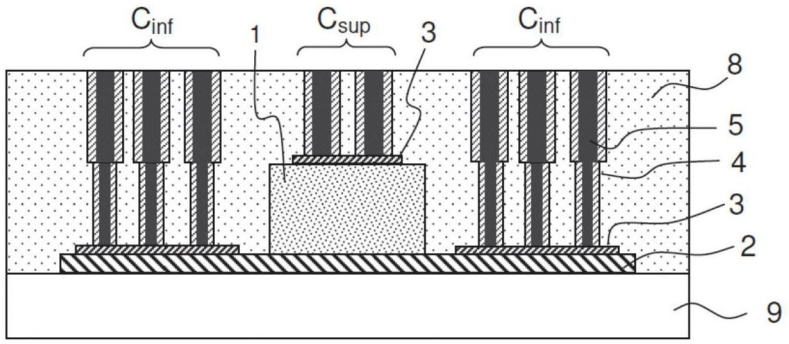


图16d

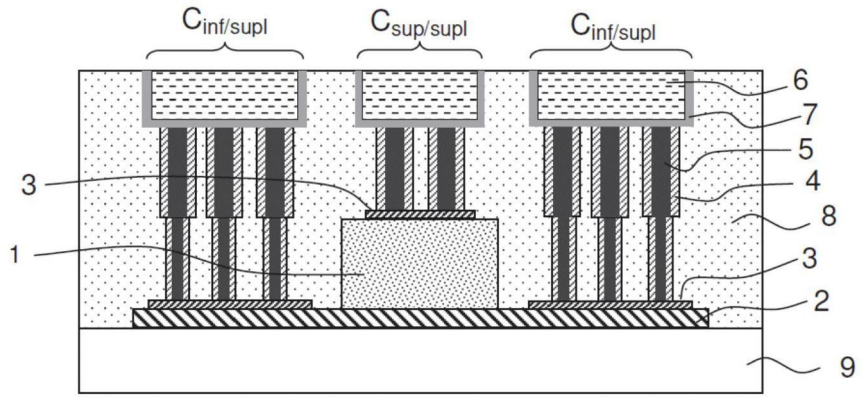

Cinf/supl
Csup/supl
Cinf/supl
6
7
5
4
8
3
2
9
3
1

图17

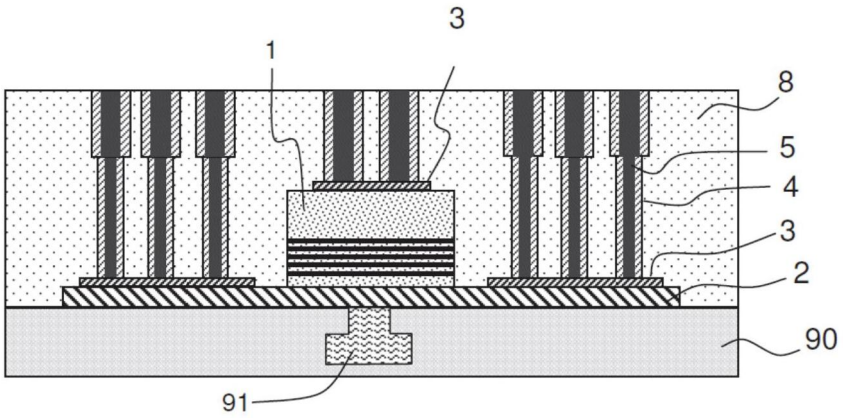

3
1
8
5
4
3
2
90
91

图18

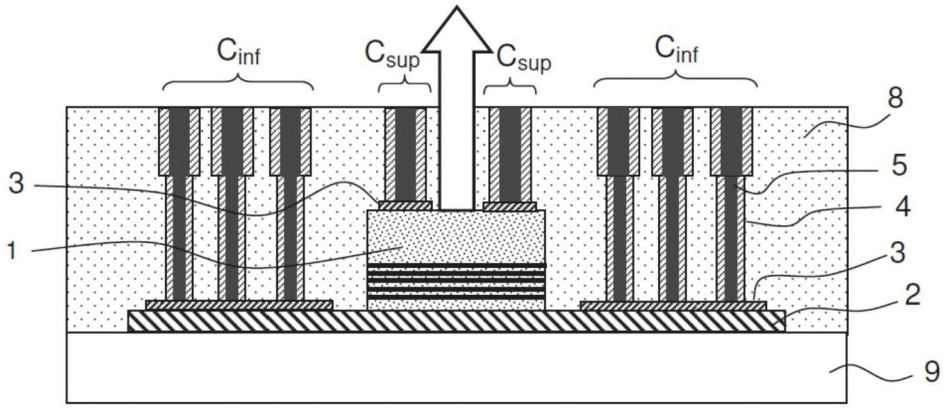

Cinf
Csup
Csup
Cinf
8
5
4
3
2
9
3
1

图19

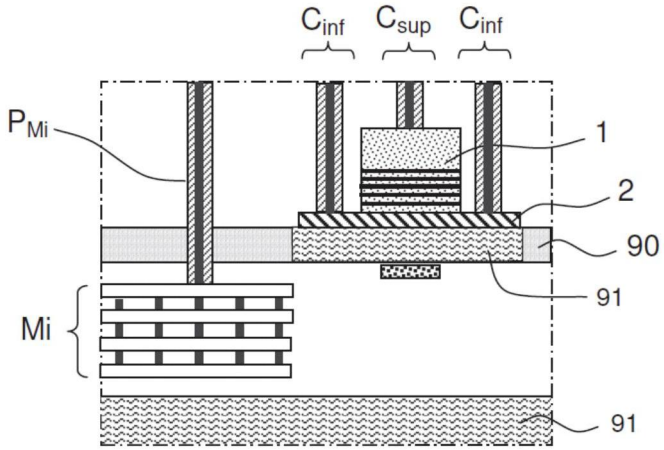

Cinf
Csup
Cinf
PMi
1
2
90
91
Mi
91

图20

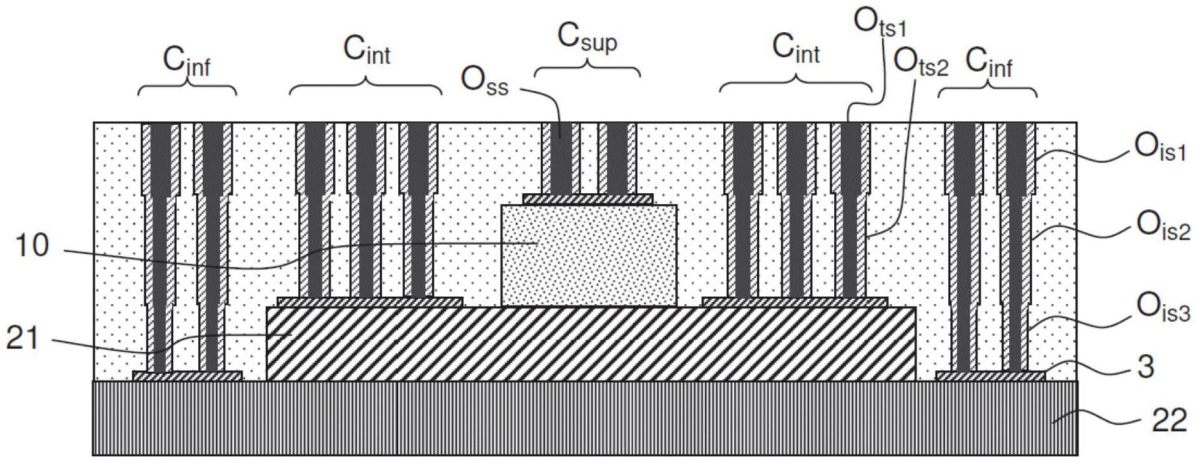

Cinf
Cint
Oss
Csup
Cint
Ots1
Ots2
Cinf
Ois1
Ois2
Ois3
10
21
3
22

图21

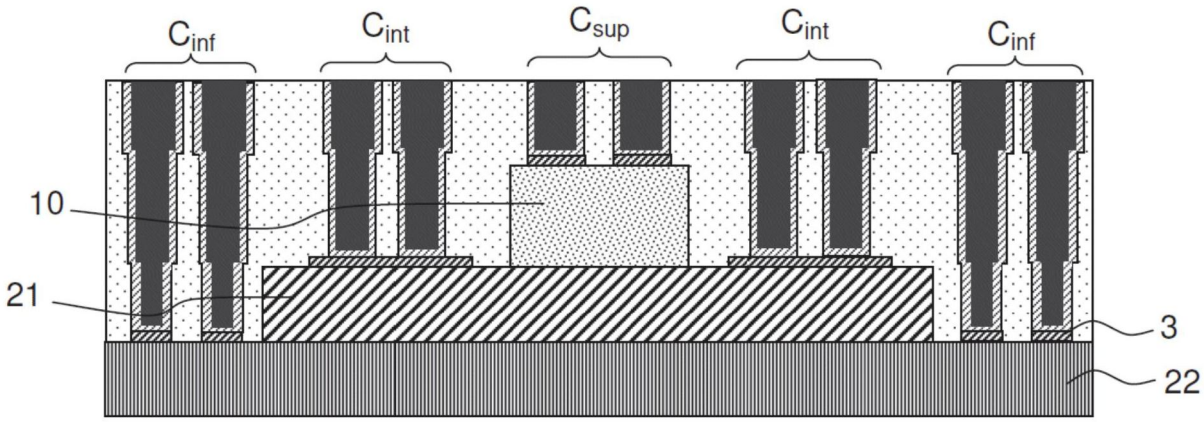

Cinf
Cint
Csup
Cint
Cinf
10
21
3
22

图22

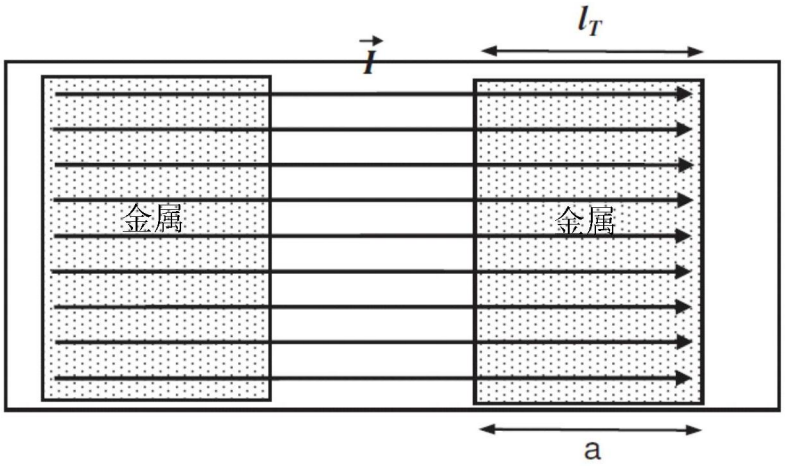


图23a

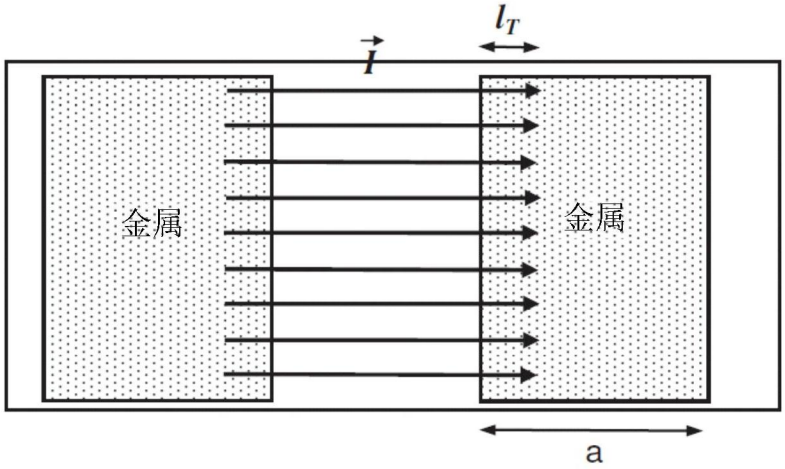


图23b

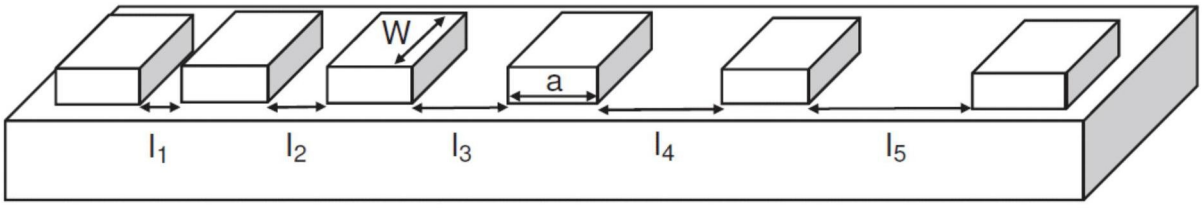


图24

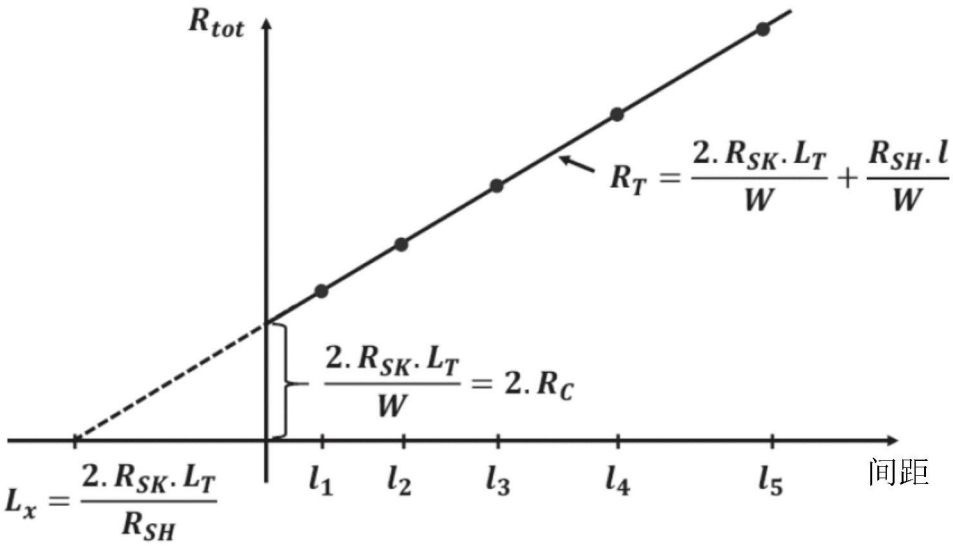

R_{tot}
$R_T = \frac{2.R_{SK}.L_T}{W} + \frac{R_{SH}.l}{W}$
$\frac{2.R_{SK}.L_T}{W} = 2.R_C$
$L_x = \frac{2.R_{SK}.L_T}{R_{SH}}$
l_1
l_2
l_3
l_4
l_5
间距

图25