

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：**97 112 010**

※申請日期：**97.4.2**

※IPC 分類：**H01L**

21/8247 **29/1192** **27/115**
(2006.01)

一、發明名稱：(中文/英文)

半導體記憶裝置

二、申請人：(共 1 人)

姓名或名稱：**(中文/英文)**

日商東芝股份有限公司
KABUSHIKI KAISHA TOSHIBA

代表人：**(中文/英文)**

西田 厚聰
NISHIDA, ATSUTOSHI

住居所或營業所地址：**(中文/英文)**

日本國東京都港區芝浦1丁目1番1號
1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO 105-8001, JAPAN

國籍：**(中文/英文)**

日本 JAPAN

三、發明人：(共 2 人)

姓名：**(中文/英文)**

1. 水上 誠
MIZUKAMI, MAKOTO
2. 西原 清仁
NISHIHARA, KIYOHITO

國籍：**(中文/英文)**

1. 日本 JAPAN
2. 日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年04月11日；特願2007-104072

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體記憶裝置，尤其係關於一種具備積層於垂直方向之複數個記憶胞之半導體記憶裝置。

本申請案係基於並主張2007年4月11日所申請之先前之日本專利申請案第2007-104072號之優先權，該申請案之全文以引用之方式併入本文中

【先前技術】

隨著半導體元件之高密度化，半導體元件不斷微細化。然而，伴隨半導體元件之製造步驟中之曝光極限以及加工極限，難以於平面方向上高密度化，業者正嘗試於垂直方向上積層記憶胞而謀求高密度化。

然而，即便可於垂直方向上積層記憶胞，亦存在如下問題：如何形成電性連接周邊電路與記憶胞之觸點。作為其一個解決手段，考慮有如下方法：對於積層於垂直方向之複數個記憶胞，逐個形成通孔，於該通孔中形成觸點。

該方法於每次形成觸點時，由於必須重複曝光步驟、顯影步驟以及加工步驟，故而會引起良率降低以及製造成本增加。再者，若記憶胞之積層數增加，則觸點數增加，並且通孔之深度亦變深。其結果，配線會因觸點之對準偏差而短路。

又，作為此種關聯技術(日本專利特開2005-85938號公報)，揭示有如下之技術：於具備積層於垂直方向之複數個記憶胞之非揮發性半導體記憶裝置中，防止對非選擇記

憶胞之誤寫入。

【實施方式】

以下，參照圖式，對本發明之實施形態加以說明。再者，於以下之說明中，對具有相同功能及構成之要素附上相同符號，且僅於必要時進行重複說明。

(第1實施形態)

[1. NAND型快閃記憶體10之基本構成]

首先，對NAND型快閃記憶體10之基本構成加以說明。圖1係本發明之第1實施形態之NAND型快閃記憶體10之平面圖。圖2係沿圖1所示之II-II線之NAND型快閃記憶體10之剖面圖。圖3係沿圖1所示之III-III線之NAND型快閃記憶體10之剖面圖。

NAND型快閃記憶體10具備記憶胞陣列區域以及周邊電路區域。於記憶胞陣列區域中，設置有包含複數個記憶胞電晶體CT之記憶胞陣列部11。於與記憶胞陣列部11之周圍相對應之周邊電路區域中，設置有將寫入電壓等供給至記憶胞電晶體CT之周邊電路12-1及12-2。

於基板13中之與記憶胞陣列區域相對應之表面區域中，設置有 N^+ 型擴散區域14。作為基板13，可使用例如單結晶之矽(Si)。 N^+ 型擴散區域14係將高濃度之 N^+ 型雜質(磷(P)、砷(As)等)導入至基板13而形成。 N^+ 型擴散區域14成為記憶胞陣列之共用源極線。

於 N^+ 型擴散區域14上設置有複數個閘極配線積層體15，該等複數個閘極配線積層體15形成有細長圖案並排列

於X方向上。各閘極配線積層體15具備因層間絕緣層16而彼此電性分離之複數個閘極配線層17。層間絕緣層16可使用例如氧化矽。閘極配線層17可使用多結晶矽、金屬(例如鎢(W)、鋁(Al)、或銅(Cu))、或者該等金屬之矽化物。

所積層之複數個閘極配線層17之最下部及最上部分別為NAND單元組之選擇閘極電晶體之閘極配線即選擇閘極線SGS及SGD，配置於該等選擇閘極線之間之閘極配線層構成記憶胞電晶體CT之控制閘極配線CG。又，該控制閘極配線CG對應於字元線WL。再者，本實施形態中例示了1個NAND單元組具有3根控制閘極配線之構成，但並不限定於此，控制閘極配線之數量可為1根以上，進而，亦可配置3根以上之數量較多之控制閘極配線。

將成為選擇閘極線SGS、SGD之閘極配線層17之膜厚(對應於閘極長度)，設定得大於由上述選擇閘極線SGS、SGD所夾持之記憶胞電晶體CT之控制閘極配線CG之長度。其原因在於，可使選擇閘極電晶體之截止特性良好。

於閘極配線積層體15之Y方向之兩側面，分別設置有於內部具有絕緣性之電荷儲存層之閘極絕緣膜18。於閘極配線積層體15之一方之側面，經由閘極絕緣膜18而設置有成為記憶胞電晶體CT之活性層之複數個半導體支柱22。同樣地，於閘極配線積層體15之他方之側面，經由閘極絕緣膜18而設置有複數個半導體支柱22。夾持閘極配線積層體15之2個半導體支柱22配置成於Y方向上相對向。本實施形態中，例如，於閘極配線積層體15之一個側面設置有3個半

導體支柱22。該3個半導體支柱22以特定間距而配置於X方向上。各半導體支柱22具有與閘極配線積層體15相同程度之高度。

進而，半導體支柱22自下而上依序包括 N^+ 型半導體層22A、 P^- 型半導體層22B、 N^- 型半導體層22C、 P^- 型半導體層22D、以及 N^+ 型半導體層22E。 P^- 型半導體層係將低濃度之 P^- 型雜質(硼(B)等)導入至半導體支柱22而形成。 N^- 型半導體層係將低濃度之 N^- 型雜質導入至半導體支柱22而形成。 N^+ 型半導體層係將高濃度之 N^+ 型雜質導入至半導體支柱22而形成。

P^- 型半導體層22B形成於半導體支柱22中之與選擇閘極線SGS相對向之部分，且作為選擇閘極電晶體ST2之通道區域而發揮功能。 P^- 型半導體層22D形成於與選擇閘極線SGD相對向之部分，且作為選擇閘極電晶體ST1之通道區域而發揮功能。 N^+ 型半導體層22A形成於 N^+ 型擴散區域14與 P^- 型半導體層22B之間，且作為選擇閘極電晶體ST2之源極區域而發揮功能。 N^+ 型半導體層22E形成於 P^- 型半導體層22D上，且作為選擇閘極電晶體ST1之汲極區域而發揮功能。

此處， P^- 型半導體層22B及22D形成於選擇閘極電晶體ST1及ST2之通道長度(圖中之縱向)之內側。其原因在於，使得選擇閘極電晶體ST1及ST2不會成為偏置電晶體。

N^- 型半導體層22C形成於 P^- 型半導體層22B與22D之間，且形成於與記憶胞電晶體CT之控制閘極配線CG相對向之

部分。N⁻型半導體層 22C 作為記憶胞電晶體 CT 之活性層而發揮功能。

於圖 3 所示之 NAND 型快閃記憶體 10 中，一個控制閘極配線 CG 與 N⁻型半導體層 22C 成為一個電可覆寫之非揮發性記憶胞，其中該 N⁻型半導體層 22C 經由閘極絕緣膜 18 而與上述控制閘極配線 CG 相對向。亦即，記憶胞成為將控制閘極配線 CG 之膜厚設為閘極長度(通道長度)之縱型單元，縱向堆積複數個該記憶胞而構成 NAND 單元組。

圖 4 係表示一個記憶胞電晶體 CT 之構成之剖面圖。閘極絕緣膜 18 係具備捕獲(trap)並儲存電荷之電荷儲存層 20 之積層絕緣膜，積層絕緣膜之中間層對應於電荷儲存層 20。電荷儲存層 20 可使用例如氮化矽。

當將電荷自 N⁻半導體層 22C 儲存至電荷儲存層 20 時，或者當儲存於電荷儲存層 20 之電荷朝 N⁻半導體層 22C 擴散時，絕緣膜 21 成為電位障壁。該絕緣膜 21 可以使用例如氧化矽。絕緣膜 19 配置於電荷儲存層 20 與控制閘極配線 CG 之間，防止儲存於電荷儲存層 20 之電荷朝閘極配線擴散。絕緣膜 19 可使用例如氧化矽。

如此，閘極絕緣膜 18 可使用例如 ONO 膜(氧化膜、氮化膜、氧化膜之積層絕緣膜)。其中，電荷儲存層 20 亦可使用氮化矽以外之絕緣膜，絕緣膜 19 及 21 亦可使用介電常數高於氧化矽之絕緣膜。

本實施形態之記憶胞係於閘極絕緣膜 18 內具備由氮化矽膜形成之電荷儲存層 20 之 MONOS(Metal Oxide Nitride

Oxide Semiconductor, 金屬氮氧化物半導體)型記憶胞。於該記憶胞中, 由於包含電荷儲存層20之閘極絕緣膜整體上為絕緣體, 故而如浮動閘極型記憶胞般, 無需針對每個單元分離浮動閘極之製程。亦即, 閘極絕緣膜18只要形成於閘極配線積層體15之整個側面即可, 而無需圖案化。藉此, 可容易地實現縱向堆積有複數個縱型記憶胞之NAND單元組。

MONOS型記憶胞捕獲電荷(電子), 並將該電荷(電子)儲存於電荷儲存層20。捕獲電荷之能力可由電荷陷阱密度而表現, 若電荷陷阱密度變大, 則可捕獲更多之電荷。

電子自通道區域注入至電荷儲存層20。注入至電荷儲存層20之電子被該電荷儲存層20之陷阱捕獲。捕獲至陷阱中之電子不容易自陷阱逃脫, 會就此變得穩定。繼而, 由於記憶胞之臨限值電壓根據電荷儲存層20之電荷量而產生變化, 故而利用該臨限值電壓之位準來判別資料"0"、資料"1", 藉此將資料記憶至記憶胞。

NAND單元組之上部由絕緣層(未圖示)所覆蓋, 於該絕緣層上設置有於Y方向上延伸之位元線BL。繼而, 位元線BL經由觸點而電性連接於半導體支柱22(具體而言為N⁺型半導體層22E)之上部。又, 位元線BL連接於周邊電路12-2。再者, 本實施形態中, 於一個閘極配線積層體15之兩側面設置有半導體支柱22, 一個閘極配線積層體15由鄰接於Y方向之兩個NAND單元組所共用。因此, 位元線BL1與位元線BL2交替連接於排列於Y方向之複數個NAND單元

組。

圖 5A 係圖 3 所示之 NAND 型快閃記憶體 10 之電路圖。一個 NAND 單元組由記憶胞行與一對選擇閘極電晶體 ST1、ST2 所構成，其中上述記憶胞行由串連連接之複數個記憶胞電晶體 CT (本實施形態中為 3 個記憶胞電晶體 CT) 構成。選擇閘極電晶體 ST1 串連連接於記憶胞行之一端 (汲極側)。選擇閘極電晶體 ST2 串連連接於記憶胞行之他端 (源極側)。

記憶胞電晶體 CT 之控制閘極配線作為於列方向上延伸之字元線 WL 而發揮功能。於列方向上延伸之共用源極線 SL 連接於選擇閘極電晶體 ST2 之源極端子。為對選擇閘極電晶體 ST1、ST2 之接通/斷開進行控制而設置有選擇閘極線 SGD、SGS。選擇閘極電晶體 ST1、ST2 作為如下的閘極而發揮功能，該閘極於資料寫入及資料讀出時，用以將特定之電位供給至 NAND 單元組內之記憶胞電晶體 CT。將複數個該 NAND 單元組配置為矩陣狀而構成記憶胞陣列。

然而，如圖 2 所示，朝下挖掘基板 13 之記憶胞陣列區域而形成開口部 23，記憶胞陣列部 11 形成於該開口部 23 內。亦即，基板 13 於記憶胞陣列區域與周邊電路區域之間具有階差。周邊電路 12-1 及 12-2 配置於與周邊電路區域相對應之基板 13 之上表面。換言之，配置有周邊電路 12-1 及 12-2 之周邊電路區域之基板 13 上表面對應於周邊電路 12-1 及 12-2 之底面。或者，亦可將半導體層僅積層於與周邊電路區域相對應之基板，藉此，於基板上形成由半導體層包圍之

記憶胞陣列用之開口部。於該情形時，於半導體層上配置有周邊電路，於開口部內配置有記憶胞陣列部11。

因此，記憶胞陣列部11之底面設定得低於周邊電路12-1及12-2之底面。又，與周邊電路區域相對應之基板13之上表面，設定於與閘極配線積層體15之上表面大致相同之位置。

閘極配線積層體15中所含之複數個閘極配線層17分別由第1配線部分17A與第2配線部分17B構成，第1配線部分17A於水平方向上延伸，該第2配線部分17B於與基板13之主平面垂直之方向上延伸，且自上述第1配線部分17A之一端延伸至基板13之上表面為止。又，第1配線部分17A與第2配線部分17B由相同之層所構成。亦即，第1配線部分17A及第2配線部分17B之Y方向之長度分別與閘極配線積層體15之寬度(Y方向之長度)相同。

於閘極配線積層體15之上表面(對應於第2配線部分17B之上端)設置有數量與閘極配線層17相對應之觸點34。觸點34經由配線35而電性連接於周邊電路12-1。

如此，閘極配線層17之上端使用相同之層構造而引出至基板13之上表面為止。又，形成有周邊電路之基板13之上表面，配置於與閘極配線積層體15之上表面大致相同之位置。因此，無需先前之觸點，該觸點係於閘極配線積層體中開出通孔，並將導電體埋入至該通孔中而形成者。其結果，易於連接閘極配線層17與周邊電路12-1。

又，如圖5B所示，亦可使第2配線部分17B之寬度寬於

第1配線部分17A之寬度。藉由該構造，可使觸點34之間隔較寬。

[2. NAND型快閃記憶體10之動作]

其次，對以上述方式構成之NAND型快閃記憶體10之資料寫入動作、資料讀出動作、以及資料刪除動作加以說明。

於資料寫入時，對所選擇之記憶胞(選擇記憶胞)之字元線WL施加正之寫入電壓 V_{pgm} ，對非選擇記憶胞之字元線WL施加正之中間電壓 $V_{pass}(<V_{pgm})$ 。繼而，對汲極側之選擇閘極線SGD施加電源電壓VCC而使選擇閘極電晶體ST1成為接通狀態，對源極側之選擇閘極線SGS施加接地電壓VSS(0 V)而使選擇閘極電晶體ST2成為截止狀態。繼而，根據將要寫入之資料，對選擇位元線BL施加0 V或者VCC(例如3 V)。

藉此，選擇閘極電晶體ST1以及NAND單元組內之非選擇記憶胞成為導通狀態，位元線電壓傳遞至選擇記憶胞之通道區域，記憶胞之臨限值電壓產生偏移。

例如當寫入資料"0"時，對位元線BL施加0 V。繼而，於記憶胞之通道區域與控制閘極配線CG之間產生高電場，因此，電子注入至電荷儲存層20，臨限值電壓朝正方向偏移。

另一方面，當寫入資料"1"時，記憶胞之臨限值電壓不會變化而處於維持(維持刪除狀態)之狀態，即便對記憶胞之控制閘極配線CG施加正之高電壓 V_{pgm} ，電子亦不會注

入至電荷儲存層 20。因此，對位元線 BL 施加電源電壓 VCC。繼而，於寫入之初期，利用電源電壓 VCC 而對記憶胞之通道區域進行充電之後，對選擇字元線 WL 施加寫入電壓 V_{pgm} ，對非選擇字元線 WL 施加中間電壓 V_{pass} 。

繼而，通道電位因控制閘極配線 CG 與通道區域之電容耦合而上升，但汲極側之選擇閘極線 SGD 與位元線 BL 均為電源電壓 VCC，因此，選擇閘極電晶體 ST1 成為截止狀態。亦即，選擇記憶胞之通道區域成為浮動狀態。藉此，電子幾乎不會注入至記憶胞，臨限值電壓不會產生變化。

於資料讀出時，對選擇閘極線 SGD、SGS 施加使選擇閘極電晶體 ST1、ST2 成為接通狀態之正電壓，對選擇字元線 WL 施加例如 0 V，對非選擇字元線 WL 施加使選擇記憶胞成為接通狀態之讀出電壓 V_{read} 。源極線 SL 為 0 V。例如預先將位元線 BL 充電至特定之電壓 V_{BL} 之後，該位元線 BL 保持為浮動狀態。

藉此，選擇閘極電晶體 ST1、ST2 以及非選擇記憶胞成為導通狀態，因此，由位元線 BL 之電壓來決定選擇記憶胞之臨限值電壓為正還是為負，可藉由對該電壓進行檢測而讀出資料。

以由複數個 NAND 單元組構成之區塊為單位，對資料進行刪除。刪除資料時，使選擇閘極線 SGD、SGS 以及位元線 BL 處於浮動狀態，對所選擇之區塊內之所有字元線 WL 施加 0 V，對 N 半導體層 22C 施加正之刪除電壓 V_{era} 。藉此，選擇區塊內之由電荷儲存層 20 保持之電子釋放至通道

區域。其結果，該等記憶胞之臨限值電壓朝負方向偏移。

另一方面，使非選擇區塊內之所有字元線WL、選擇閘極線SGD、SGS、以及位元線BL處於浮動狀態。藉此，於非選擇區塊中，字元線WL之電壓因與通道區域之電容耦合而上升至刪除電壓Vera附近，因此無法進行刪除動作。

[3. NAND型快閃記憶體10之製造方法]

其次，對NAND型快閃記憶體10之製造方法之一例加以說明。首先，如圖6所示，使用微影步驟以及RIE(Reactive Ion Etching，反應式離子蝕刻)法，於與記憶胞陣列區域相對應之基板13內，形成具有與閘極配線積層體15之高度相同程度之深度之開口部23。繼而，將N⁺型雜質導入至與記憶胞陣列區域相對應之基板13內，形成N⁺型擴散區域14。

繼而，如圖7所示，於基板13之整個面上堆積阻擋層31，形成階梯狀之阻擋層31。該阻擋層31可使用例如氮化矽。阻擋層31作為除去堆積於周邊電路區域之閘極配線積層體時之阻擋物而發揮功能，並且作為將N⁺型擴散區域14與閘極配線層17電性分離之層間絕緣層16而發揮功能。

繼而，如圖8所示，於阻擋層31上依序堆積有閘極配線層17以及層間絕緣層16。同樣地，重複該堆積步驟，藉由層間絕緣層16而形成彼此電性分離之複數個閘極配線層17。藉此，形成階梯狀之閘極配線積層體。

繼而，如圖9所示，於最上層之層間絕緣層16上堆積阻擋層32，形成階梯狀之阻擋層32。該阻擋層32可以使用例

如氮化矽。繼而，如圖 10 所示，使用微影步驟以及 RIE 法，選擇性地對阻擋層 32 進行蝕刻，除去周邊電路區域之阻擋層 32、與層間絕緣層 16 之側面之阻擋層 32。

繼而，如圖 11 所示，例如藉由 CMP (Chemical Mechanical Polishing, 化學機械研磨) 法，將阻擋層 31 及 32 作為阻擋物而使裝置之整個面平坦化。藉此，除去位置高於基板 13 之上表面之閘極配線積層體，從而周邊電路區域之上表面與記憶胞陣列區域之上表面處於相同位置。

繼而，如圖 12 所示，使用微影步驟以及 RIE 法，垂直地對閘極配線積層體進行蝕刻加工，於 N^+ 型擴散區域 14 上形成複數個閘極配線積層體 15，該等複數個閘極配線積層體 15 形成有細長圖案並排列於 X 方向上。再者，圖 12 中僅表示有一個閘極配線積層體 15。

再者，當欲形成圖 5B 之構造時，於微影步驟中，亦可形成蝕刻遮罩，使得第 2 配線部分 17B 之寬度寬於第 1 配線部分 17A 之寬度。

繼而，如圖 13 所示，於閘極配線積層體 15 之 Y 方向之兩側面分別形成閘極絕緣膜 18。該閘極絕緣膜 18 由 ONO 膜 (氧化膜、氮化膜、氧化膜之積層絕緣膜) 構成。

繼而，如圖 14 所示，使用磊晶成長法，於基板 13 上，以埋入閘極配線積層體 15 間之方式而形成半導體層 (N^+ 型半導體層 22A、 P^- 型半導體層 22B、 N^- 型半導體層 22C、 P^- 型半導體層 22D、 N^+ 型半導體層 22E)。具體而言，重複地堆積非晶矽並重複地導入雜質，藉此，形成 N^+ 型半導體層

22A、P⁻型半導體層 22B、N⁻型半導體層 22C、P⁻型半導體 22D、以及N⁺型半導體層 22E。藉此，於基板 13上形成晶軸與基板 13一致之半導體層。

繼而，使用微影步驟以及RIE法，選擇性地對半導體層進行蝕刻，針對每個NAND單元組分離半導體層。藉此，於閘極配線積層體 75之兩側面，經由閘極絕緣膜 18而形成與Y方向相對向之複數個半導體支柱 22之對。

其後，形成連接於閘極配線層 17以及半導體支柱 22之配線。如此，形成圖 1至圖 3所示之NAND型快閃記憶體 10。該NAND型快閃記憶體 10係積層有陣列之三維構造，因此，與二維排列者相比較，可實現更高密度化。

[4. 觸點 34之配置例]

其次，對電性連接閘極配線積層體 15中所包含之閘極配線層 17與周邊電路 12-1之觸點 34之配置例加以說明。閘極配線層 17之上端連接於周邊電路 12-1。因此，於閘極配線積層體 15之上表面設置有觸點 34，該觸點 34將連接於周邊電路 12-1之配線 35與閘極配線層 17電性連接。

圖 15係用以說明觸點 34之配置例之閘極配線積層體 15之平面圖。本實施形態中，例如，閘極配線層 17之寬度為 30 nm，層間絕緣層 16之寬度為 70 nm，觸點直徑為 100 nm。

如圖 15所示，連接於複數個閘極配線層 17之複數個觸點 34配置為鋸齒形。又，連接於觸點 34之配線 35自觸點 34於Y方向上被引出之後，於X方向上延伸而連接至周邊電路 12-1。以上述方式將觸點 34配置為鋸齒形，藉此，可減小

閘極配線積層體75之寬度 W (Y 方向之長度)。

圖16係用以說明觸點34之其他配置例之閘極配線積層體15之平面圖。複數個觸點34配置為隨著於 Y 方向上前進而逐步接近周邊電路12-1。亦即，配置為相對於 X 方向傾斜。繼而，連接於觸點34之配線35自觸點34於 X 方向上延伸而連接至周邊電路12-1。於該配置例之情形時，由於配線35為直線，故而易於形成配線。

圖17係用以說明配線35之其他配置例之閘極配線積層體75之平面圖。複數個觸點34與圖15同樣地配置為鋸齒形。繼而，連接於觸點34之配線35自觸點34於 Y 方向上延伸而連接至周邊電路12-1。再者，於該配置例之情形時，周邊電路12-1配置為相對於閘極配線積層體15而鄰接於 Y 方向。

於該配置例中，由於配線35為直線，故而易於形成配線。又，藉由將觸點34配置為鋸齒形，可減小閘極配線積層體15之寬度 W (Y 方向之長度)。

為實現記憶胞之高密度化，當然，有利的是使閘極配線層17以及層間絕緣層16薄膜化。即便當使用本實施形態之構造來使層間絕緣層16變薄時，亦可抑制因配置觸點34時，由與閘極配線層17之對準偏差引起之短路。又，藉由減小觸點直徑，亦可期待同樣之效果。

[5. 半導體支柱22之其他構成例]

其次，對半導體支柱22之其他構成例加以說明。圖18係用以說明半導體支柱22之其他構成例之沿III-III線之

NAND型快閃記憶體10的剖面圖。

圖18之NAND型快閃記憶體10係閘極配線積層體15與半導體支柱22為1:1之關係之構成例。於閘極配線積層體15之一側面設置有閘極絕緣膜18。以經由該閘極絕緣膜18而與閘極配線積層體15之一側面相對向之方式，設置有半導體支柱22。如此，使用閘極配線積層體15、閘極絕緣膜18、以及半導體支柱22各一個，構成一個NAND單元組。

鄰接於Y方向之NAND單元組係經由絕緣層33而配置。於圖18之構成例之情形時，鄰接於Y方向之NAND單元組連接於相同之位元線BL。

圖19之NAND型快閃記憶體10係半導體支柱22與閘極絕緣膜18為1:1之關係之構成例。於閘極配線積層體15之Y方向之兩側面分別設置有閘極絕緣膜18。以經由該等閘極絕緣膜18而分別與閘極配線積層體15之兩側面相對向之方式，設置有半導體支柱22。進而，鄰接於Y方向之半導體支柱22經由絕緣層33而配置。藉由該構成，可提高NAND單元組之積體度。

於圖18以及圖19所示之NAND型快閃記憶體10中，沿II-II線之剖面圖與圖2相同。因此，即便於使用圖18以及圖19所示之NAND型快閃記憶體10之情形時，亦可獲得與上述基本構成同樣之效果。

[6. 選擇閘極電晶體之其他構成例]

其次，對選擇閘極電晶體ST1、ST2之其他構成例加以說明。圖20係用以說明選擇閘極電晶體ST1、ST2之其他

構成例之沿 III-III 線之 NAND 型快閃記憶體 10 的剖面圖。

於圖 3 所示之選擇閘極電晶體 ST1、ST2 中，將 P⁻ 型半導體層 22B、22D 用作通道區域。亦即，圖 3 所示之選擇閘極電晶體 ST1、ST2 係增強型 FET (field effect transistor, 場效電晶體)。該選擇閘極電晶體於未施加偏壓時處於斷開狀態，若施加正偏壓，則與 P⁻ 型半導體層之閘極絕緣膜 18 之界面反轉為 N 型而成為接通狀態。

另一方面，於圖 20 所示之選擇閘極電晶體 ST1、ST2 中，將 N⁻ 型半導體層用作通道區域。亦即，圖 20 所示之半導體支柱 22 之整體由 N⁻ 半導體層所構成。因此，圖 20 所示之選擇閘極電晶體 ST1、ST2 係低降型 FET。該選擇閘極電晶體 ST1、ST2 於未施加偏壓時處於接通狀態，若施加負偏壓，則通道區域因空乏化而夾斷，從而成為斷開狀態。

由此，即便於使用圖 20 所示之選擇閘極電晶體 ST1、ST2 之情形時，藉由接通或斷開電壓，亦可進行與圖 3 所示之 NAND 型快閃記憶體 10 相同之動作。

圖 21 係用以說明選擇閘極電晶體 ST1、ST2 之其他構成例之沿 III-III 線之 NAND 型快閃記憶體 10 的剖面圖。

於控制閘極配線 CG 之側面設置有由 ONO 膜形成之閘極絕緣膜 18。另一方面，於選擇閘極線 SGD 及 SGS 之側面設置有單層之閘極絕緣膜 21 (氧化矽膜)。

於圖 21 之構成例中，可使選擇閘極電晶體 ST1、ST2 之閘極絕緣膜變薄。進而，由於該閘極絕緣膜設為不含氮化膜 20 之膜，故而於氮化膜中無電荷陷阱，從而可抑制臨限

值變動。藉此，可提高選擇閘極電晶體ST1、ST2之動作特性。

於圖20及圖21所示之NAND型快閃記憶體10中，沿II-II線之剖面圖亦與圖2相同。因此，即便於使用圖20及圖21所示之NAND型快閃記憶體10之情形時，亦可獲得與上述基本構成同樣之效果。

如以上之詳述，根據本實施形態，NAND型快閃記憶體10由於具有積層有記憶胞之三維構造，故而與二維地排列記憶胞者相比較，可實現更高密度化。

又，由於可使與周邊電路區域相對應之基板13之上表面之位置、與閘極配線層17之上端之位置大致相同，故而無需用以將閘極配線引出至記憶胞陣列之上表面之觸點。藉此，易於形成連接周邊電路12-1與閘極配線層17之配線。亦即，不依賴於縱向堆積之記憶胞之積層數，即可藉由一次之加工而於閘極配線積層體15上形成所有之觸點。其結果，可抑制良率之降低，且可減少製造成本。

又，由於用以連接周邊電路12-1與閘極配線層17之觸點形成於閘極配線積層體15之上表面，故而藉由一次之加工便可自由地配置該觸點。因此，例如，藉由將觸點配置為鋸齒形，可減小閘極配線積層體15之寬度。藉此，可縮小NAND型快閃記憶體10之Y方向之尺寸。

(第2實施形態)

第2實施形態中，以閘極配線積層體15之寬度(X方向之長度)朝上變大之方式，使閘極配線積層體15之周邊電路

12-1側之側面傾斜。藉此，增大閘極配線層17之上表面之面積。

圖22係本發明之第2實施形態之NAND型快閃記憶體10之剖面圖。再者，圖22係沿圖1所示之II-II線切斷所得之剖面圖。

閘極配線積層體15之周邊電路12-1側之側面，以閘極配線積層體15之X方向之長度朝上變大之方式，相對於基板13之主平面之垂直方向傾斜。亦即，構成閘極配線層17之第1配線部分17A及第2配線部分17B中，第1配線部分17A於水平方向上延伸，第2配線部分17B以自第1配線部分17A之一端接近周邊電路12-1之方式而於傾斜方向上延伸。

使閘極配線積層體15之剖面形狀如圖22所示，藉此可增大閘極配線層17之上表面之面積。藉此，與形成於閘極配線層17之上端之觸點34之接觸面積變大，因此，觸點形成步驟變得更為容易。具體而言，可增大觸點直徑，又，可增大相對於觸點形成步驟中之對準偏差之餘裕。

(第3實施形態)

第3實施形態中，將鄰接之兩個閘極配線積層體連接，該兩個閘極配線積層體共用一根配線，藉此可減少配線之數量。

圖23係本發明之第3實施形態之NAND型快閃記憶體10之平面圖。圖24係沿圖23所示之II-II線之NAND型快閃記憶體10之剖面圖。圖25係沿圖23所示之III-III線之NAND型

快閃記憶體10之剖面圖。

P型半導體基板13上設置有閘極配線積層體15。閘極配線積層體15之平面形狀呈U字形。亦即，閘極配線積層體15由分別於X方向上延伸之第1積層體15-1及第2積層體15-2、以及於Y方向上延伸且連接第1積層體15-1與第2積層體15-2之第3積層體15-3所構成。

於第1積層體15-1之Y方向之兩側面分別設置有閘極絕緣膜18。於閘極配線積層體15-1之一方之側面，經由閘極絕緣膜18而設置有成為記憶胞電晶體CT之活性層之複數個半導體支柱22。又，於閘極配線積層體15-1之他方之側面，經由閘極絕緣膜18而設置有複數個半導體支柱22。夾持閘極配線積層體15-1之兩個半導體支柱22配置成於Y方向上相對向。鄰接於Y方向之半導體支柱22經由絕緣層33而配置。

同樣地，於第2積層體15-2之Y方向之兩側面分別設置有閘極絕緣膜18。於閘極配線積層體15-2之一方之側面，經由閘極絕緣膜18而設置有複數個半導體支柱22。又，於閘極配線積層體15-2之他方之側面，經由閘極絕緣膜18而設置有複數個半導體支柱22。夾持閘極配線積層體15-2之兩個半導體支柱22配置成於Y方向上相對向。鄰接於Y方向之半導體支柱22經由絕緣層33而配置。

本實施形態之NAND型快閃記憶體10中，於半導體支柱22之上部設置有一個選擇閘極電晶體ST。亦即，一個NAND單元組由三個記憶胞電晶體CT與一個選擇閘極電晶

體ST所構成。當於記憶胞行之兩端配置有選擇閘極電晶體ST1及ST2時，選擇閘極電晶體ST1及ST2同時處於接通狀態或者斷開狀態。因此，如本實施形態所述，即便當相對於記憶胞行而配置一個選擇閘極電晶體ST時，亦不存在動作上之問題。

再者，如圖23所示，第1積層體15-1中所含之選擇閘極線SG、與第2積層體15-2中所含之選擇閘極線SG電性分離。亦即，第3積層體15-3中不含有選擇閘極線SG。

圖23至圖25中例示有於選擇閘極線SG之下方設置單層之閘極絕緣膜21之情形，但設置於選擇閘極線SG之下方之閘極絕緣膜亦可為由積層膜(ONO膜)形成之閘極絕緣膜18。

其次，對NAND型快閃記憶體10之製造方法之一例加以說明。首先，如圖26所示，使用微影步驟以及RIE法，於與記憶胞陣列區域相對應之基板13內，形成具有與閘極配線積層體15之高度相同程度之深度之開口部23。

繼而，交替地堆積複數層層間絕緣層16與閘極配線層17。此時，與第1實施形態同樣地，於最下層與最上層堆積其後之平坦化步驟時將要使用之阻擋層(未圖示)。繼而，例如藉由CMP法，除去位置高於基板13之上表面之閘極配線積層體。藉此，周邊電路區域之上表面與記憶胞陣列區域之上表面處於相同位置。

繼而，如圖27所示，使用微影步驟以及RIE法，垂直地對閘極配線積層體進行蝕刻加工，形成呈U字形之閘極配

線積層體 15，再者，為使第 1 積層體 15-1 與第 2 積層體 15-2 分別包含已電性分離之選擇閘極線 SG，以將閘極配線層 17(SG)分離為兩個之方式而進行上述蝕刻加工。亦即，藉由該蝕刻加工，於積層體 15-3 之側面露出閘極配線層 17(SG)之下方之層間絕緣層 16。

繼而，如圖 28 所示，於第 1 積層體 15-1 之 Y 方向之兩側面分別形成閘極絕緣膜 18。同樣地，於第 2 積層體 15-2 之 Y 方向之兩側面分別形成閘極絕緣膜 18。該閘極絕緣膜 18 之整個側面可為 ONO 膜，控制閘極配線 CG 之側面可為由 ONO 膜形成之閘極絕緣膜 18，且選擇閘極線 SG 之側面可為單層之閘極絕緣膜 21。

繼而，如圖 29 所示，使用磊晶成長法，於 P 型半導體基板 13 上，以埋入至積層體之間之方式而形成半導體層 (N⁻ 半導體層 22C、P⁻ 型半導體層 22D、N⁺ 型半導體層 22E)。具體而言，重複地堆積非晶矽並重複地導入雜質，藉此形成 N⁻ 型半導體層 22C、P⁻ 型半導體層 22D、以及 N⁺ 型半導體層 22E。藉此，於基板 13 上形成晶軸與基板 13 一致之半導體層。

繼而，使用微影步驟以及 RIE 法，選擇性地對半導體層進行蝕刻，針對每個 NAND 單元組分離半導體層。藉此，於第 1 積層體 15-1 之兩側面，經由閘極絕緣膜 18 而形成複數個半導體支柱 22。又，於第 2 積層體 15-2 之兩側面，經由閘極絕緣膜 18 而形成複數個半導體支柱 22。

繼而，將絕緣體埋入至半導體支柱 22 間，形成絕緣層

33(未圖示)。其後，形成連接於閘極配線層17以及半導體支柱22之配線。由此，形成圖23至圖25所示之NAND型快閃記憶體10。

如以上之詳述，根據本實施形態，相鄰接之兩個閘極配線積層體15-1及15-2可共用連接於閘極配線層17之配線。藉此，可減少用以連接閘極配線積層體與周邊電路之觸點以及配線之數量。

(第4實施形態)

第4實施形態係第3實施形態之變形例，且係藉由使作為活性層之半導體層呈U字形，而於記憶胞行之兩端連接有選擇閘極電晶體ST1、ST2之NAND單元組之構成例。

圖30係本發明之第4實施形態之NAND型快閃記憶體10之平面圖。圖31A係沿圖30所示之III-III線之NAND型快閃記憶體10之剖面圖。再者，圖30所示之沿II-II線之NAND型快閃記憶體10之剖面圖與圖24相同。

成為記憶胞電晶體CT及選擇閘極電晶體ST1、ST2之活性層之半導體層42呈U字形。換言之，形成於第1積層體15-1與第2積層體15-2之間之複數個半導體支柱中，鄰接於Y方向之兩個半導體支柱之下部彼此連接，形成U字形之半導體層42。

進而，半導體層42包括U字形之N⁻半導體層42C、分別設置於該N⁻半導體層42C之上端之兩個P⁻型半導體層42B、42D、以及分別設置於P⁻型半導體層42B、42D上之N⁺型半導體層42A、42E。

N⁻半導體層42C形成於與記憶胞電晶體CT之控制閘極配線CG相對向之部分，且作為記憶胞電晶體CT之活性層而發揮功能。P⁻型半導體層42B形成於與選擇閘極線SGD相對向之部分，且作為選擇閘極電晶體ST1之通道區域而發揮功能。P⁻型半導體層42D形成於與選擇閘極線SGS相對向之部分，且作為選擇閘極電晶體ST2之通道區域而發揮功能。N⁺型半導體層42A作為選擇閘極電晶體ST1之汲極區域而發揮功能。N⁺型半導體層42E作為選擇閘極電晶體ST2之源極區域而發揮功能。

於P型半導體基板13內之半導體層42之下方設置有N⁺型擴散區域41。又，N⁺型擴散區域41對應於半導體層42而設置。亦即，鄰接於X方向之兩個半導體層42電性分離。又，於U字形之半導體層42之內側設置有絕緣層44。

於N⁺型半導體層42A上設置有位元線BL。於N⁺型半導體層42E上設置有源極線SL。由此，構成一個NAND單元組。

又，如圖31B所示，於相鄰接之U字通道中切斷積層構造之上部之位元線BL，藉此，可防止於連接於非選擇之記憶胞行之N⁺型擴散區域41與P型半導體基板13之間產生界面漏電，其中上述非選擇之記憶胞行鄰接於進行寫入或讀出之選擇記憶胞行。亦即，若接通選擇記憶胞行之選擇閘極線SGD，則非選擇記憶胞行之選擇閘極線SGD亦接通，於非選擇記憶胞行之N⁺型擴散區域41與P型半導體基板13之間產生之漏電流入至位元線BL，從而引起引線干擾。

因此，藉由於相鄰接之U字通道中切斷積層構造之上部之位元線BL，而切斷選擇記憶胞行與非選擇記憶胞行之位元線BL。藉此，可防止於非選擇記憶胞行中產生之漏電流流入至選擇記憶胞行之位元線BL。

其次，對NAND型快閃記憶體10之製造方法之一例加以說明。首先，與第3實施形態同樣地，於P型半導體基板13上形成U字形之閘極配線積層體15。

繼而，如圖32所示，於第1積層體15-1之Y方向之兩側面分別形成氧化矽膜19以及氮化矽膜20。同樣地，於第2積層體15-2之Y方向之兩側面分別形成氧化矽膜19以及氮化矽膜20。

繼而，如圖33所示，對氧化矽膜19以及氮化矽膜20進行回蝕，使得氧化矽膜19以及氮化矽膜20之上表面之位置與最上層之控制閘極配線CG之上表面大致相同。

繼而，如圖34所示，於氮化矽膜20之側面以及選擇閘極線SGD、SGS之側面形成氧化矽膜21。藉此，於控制閘極配線CG之側面形成由ONO膜形成之閘極絕緣膜18。另一方面，於選擇閘極線SGD及SGS之側面形成單層之閘極絕緣膜21。

繼而，如圖35所示，於P型半導體基板13上形成使半導體層42形成區域露出之遮罩層(未圖示)，將該遮罩層作為遮罩而將N⁺型雜質導入至P型半導體基板13內。藉此，於P型半導體基板13內，形成數量與半導體層42之數量相對應之複數個N⁺型擴散區域41。其後除去遮罩層。

繼而，如圖36所示，使用磊晶成長法，於P型半導體基板13上，以埋入至第1積層體15-1與第2積層體15-2之間之方式，依序形成N⁻型半導體層42-1、P⁻型半導體層42-2、以及N⁺型半導體層42-3。具體而言，重複地堆積非晶矽並重複地導入雜質，藉此形成N⁻型半導體層42-1、P⁻型半導體層42-2、以及N⁺型半導體層42-3。

繼而，如圖37所示，使用微影步驟以及RIE法，選擇性地對半導體層42(由N⁻型半導體層42-1、P⁻型半導體層42-2、以及N⁺型半導體層42-3構成)進行蝕刻，針對每個NAND單元組分離半導體層42。繼而，將絕緣體埋入至相鄰接之半導體層42間，由此，於P型半導體基板13上之半導體層42間形成絕緣層。

繼而，如圖38所示，使用微影步驟以及RIE法，於各半導體層42內形成開口部43。藉此，形成呈U字形之半導體層42。繼而，如圖39所示，將絕緣體埋入至開口部43內，由此，於U字形之半導體層42之內側形成絕緣層44。其後，形成連接於閘極配線層17以及半導體層42之配線。藉此，形成圖30以及圖31A所示之NAND型快閃記憶體10。

如以上之詳述，根據本實施形態，可構成於記憶胞行之兩端連接有選擇閘極電晶體ST1、ST2之NAND單元組。進而，可減少用以連接閘極配線積層體與周邊電路之觸點以及配線之數量。

再者，上述各實施形態所示之閘極配線積層體15當然亦可用於NAND型快閃記憶體以外之記憶體。具體而言，可

將圖4所示之記憶胞電晶體CT替換為圖40所示之PRAM(phase change RAM, 相變化隨機存取記憶體)或者圖41所示之ReRAM(resistance RAM, 電阻式隨機存取記憶體)等。又, 除了記憶體以外, 亦可使用於積層構造之邏輯元件。

熟習此項技術者將易於瞭解額外優勢及修改。因此, 本發明之較廣泛形態不限於本文所展示且描述之特定細節及代表性實施例。因此, 於不脫離如附加申請專利範圍及其等效物所界定之一般發明性概念之精神或範疇之情況下, 可進行各種修改。

【圖式簡單說明】

圖1係本發明之第1實施形態之NAND型快閃記憶體10之平面圖。

圖2係沿圖1所示之II-II線之NAND型快閃記憶體10之剖面圖。

圖3係沿圖1所示之III-III線之NAND型快閃記憶體10之剖面圖。

圖4係表示記憶胞電晶體CT之構成之剖面圖。

圖5A係圖3所示之NAND型快閃記憶體10之電路圖。

圖5B係表示第1實施形態之NAND型快閃記憶體70之其他構成例之平面圖。

圖6係表示第1實施形態之NAND型快閃記憶體10之製造步驟之沿II-II線之剖面圖。

圖7係表示接續圖6之NAND型快閃記憶體10之製造步驟

之沿II-II線的剖面圖。

圖8係表示接續圖7之NAND型快閃記憶體10之製造步驟之沿II-II線的剖面圖。

圖9係表示接續圖8之NAND型快閃記憶體10之製造步驟沿II-II線的剖面圖。

圖10係表示接續圖9之NAND型快閃記憶體10之製造步驟之沿II-II線的剖面圖。

圖11係表示接續圖10之NAND型快閃記憶體10之製造步驟之沿II-II線的剖面圖。

圖12係表示接續圖11之NAND型快閃記憶體10之製造步驟之立體圖。

圖13係表示接續圖12之NAND型快閃記憶體10之製造步驟之立體圖。

圖14係表示接續圖13之NAND型快閃記憶體10之製造步驟之立體圖。

圖15係用以說明觸點34之配置例之閘極配線積層體15之平面圖。

圖16係用以說明觸點34之其他配置例之閘極配線積層體15之平面圖。

圖17係用以說明觸點34之其他配置例之閘極配線積層體15之平面圖。

圖18係用以說明半導體支柱22之其他構成例之沿III-III線之NAND型快閃記憶體10的剖面圖。

圖19係用以說明半導體支柱22之其他構成例之沿III-III線之NAND型快閃記憶體10的剖面圖。

圖 20 係用以說明選擇閘極電晶體 ST1、ST2 之其他構成例之沿 III-III 線之 NAND 型快閃記憶體 10 的剖面圖。

圖 21 係用以說明選擇閘極電晶體 ST1、ST2 之其他構成例之沿 III-III 線之 NAND 型快閃記憶體 10 的剖面圖。

圖 22 係本發明之第 2 實施形態之 NAND 型快閃記憶體 10 之沿 II-II 線之剖面圖。

圖 23 係本發明之第 3 實施形態之 NAND 型快閃記憶體 10 之平面圖。

圖 24 係沿圖 23 所示之 II-II 線之 NAND 型快閃記憶體 10 之剖面圖。

圖 25 係沿圖 23 所示之 III-III 線之 NAND 型快閃記憶體 10 之剖面圖。

圖 26 係表示第 3 實施形態之 NAND 型快閃記憶體 10 之製造步驟之立體圖。

圖 27 係表示接續圖 26 之 NAND 型快閃記憶體 10 之製造步驟之立體圖。

圖 28 係表示接續圖 27 之 NAND 型快閃記憶體 10 之製造步驟之立體圖。

圖 29 係表示接續圖 28 之 NAND 型快閃記憶體 10 之製造步驟之立體圖。

圖 30 係本發明之第 4 實施形態之 NAND 型快閃記憶體 10 之平面圖。

圖 31A 係沿圖 30 所示之 III-III 線之 NAND 型快閃記憶體 10 之剖面圖。

圖 31B 係表示第 4 實施形態之 NAND 型快閃記憶體 10 之其他構成例之剖面圖。

圖 32 係表示第 4 實施形態之 NAND 型快閃記憶體 10 之製造步驟之沿 III-III 線的剖面圖。

圖 33 係表示接續圖 32 之 NAND 型快閃記憶體 10 之製造步驟之沿 III-III 線的剖面圖。

圖 34 係表示接續圖 33 之 NAND 型快閃記憶體 10 之製造步驟之沿 III-III 線的剖面圖。

圖 35 係表示接續圖 34 之 NAND 型快閃記憶體 10 之製造步驟之沿 III-III 線的剖面圖。

圖 36 係表示接續圖 35 之 NAND 型快閃記憶體 10 之製造步驟之沿 III-III 線的剖面圖。

圖 37 係表示接續圖 36 之 NAND 型快閃記憶體 10 之製造步驟之平面圖。

圖 38 係表示接續圖 37 之 NAND 型快閃記憶體 10 之製造步驟之沿 III-III 線的剖面圖。

圖 39 係表示接續圖 38 之 NAND 型快閃記憶體 10 之製造步驟之沿 III-III 線的剖面圖。

圖 40 係表示 PRAM 之記憶體元件之圖。

圖 41 係表示 ReRAM 之記憶體元件之圖。

【主要元件符號說明】

10	NAND 型快閃記憶體
11	記憶體陣列部
12-1、12-2	周邊電路

13	基板
14、41	N ⁺ 型擴散區域
15	閘極配線積層體
15-1	第1積層體
15-2	第2積層體
15-3	第3積層體
16	層間絕緣層
17	閘極配線層
17A	第1配線部分
17B	第2配線部分
18	閘極絕緣膜
19、21	絕緣膜
20	電荷儲存層
22	半導體支柱
22A、22E、42-3、42A、42E	N ⁺ 型半導體層
22B、22D、42-2、42B、42D	P ⁻ 型半導體層
22C、42-1、42C	N ⁻ 型半導體層
23	開口部
31、32	阻擋層
34	觸點
35	配線
42	半導體層
BL1、BL2	位元線
CT	記憶胞電晶體

CG

控制閘極配線

ST1、ST2

選擇閘極電晶體

SL

源極線

SGD、SGS、SG

選擇閘極線

W

寬度

WL1~WL3

字元線

五、中文發明摘要：

本發明之半導體記憶裝置包括：基板，其係具有階差，該階差包含第1上表面、與高於上述第1上表面之第2上表面；記憶胞陣列，其係設置於上述第1上表面；及周邊電路，其係設置於上述第2上表面，且將電氣信號供給至上述記憶胞陣列；且上述記憶胞陣列包含積層體，該積層體係具有複數個第1配線層與分別連接於上述第1配線層之複數個第2配線層，上述第1配線層經由絕緣膜而積層於上述第1上表面且於第1方向上延伸，上述第2配線層於上方向上延伸且各自由絕緣膜所分離。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體記憶裝置，其包括：

基板，其係具有階差，該階差包含第1上表面、與高於上述第1上表面之第2上表面；

記憶胞陣列，其係設置於上述第1上表面；及

周邊電路，其係設置於上述第2上表面，且將電氣信號供給至上述記憶胞陣列；

上述記憶胞陣列包含積層體，該積層體係具有複數個第1配線層與分別連接於上述第1配線層之複數個第2配線層，上述第1配線層經由絕緣膜而積層於上述第1上表面且於第1方向上延伸，上述第2配線層於上方向上延伸且各自由絕緣膜所分離。

2. 如請求項1之半導體記憶裝置，其中

上述第1配線層與上述第2配線層分別由相同之層所構成。

3. 如請求項2之半導體記憶裝置，其中

上述第2配線層之寬度與上述第1配線之寬度相同。

4. 如請求項1之半導體記憶裝置，其中

上述積層體之上表面係與上述第2上表面相同之位置。

5. 如請求項1之半導體記憶裝置，其中更包括：

分別設置於上述第2配線層上端之複數個觸點。

6. 如請求項5之半導體記憶裝置，其中

上述觸點配置為鋸齒形。

7. 如請求項5之半導體記憶裝置，其中

上述觸點係對於上述第1方向傾斜而配置。

8. 如請求項1之半導體記憶裝置，其中

上述第2配線層以上述積層體之上述第1方向之長度朝上變長之方式，於傾斜方向上延伸。

9. 如請求項1之半導體記憶裝置，其中更包括：

第1絕緣膜，其係以與上述第1配線層接觸之方式設置於上述積層體之側面；

電荷儲存層，其係設置於上述第1絕緣膜之側面；

第2絕緣膜，其係設置於上述電荷儲存層之側面；及

活性層，其係設置於上述第2絕緣膜之側面；

上述第1配線層為控制閘電極。

10. 如請求項1之半導體記憶裝置，其中更包括：

第1絕緣膜，其係以與上述第1配線層接觸之方式，設置於上述積層體之面向與上述第1方向垂直側之一方之側面；

第1電荷儲存層，其係設置於上述第1絕緣膜之側面；

第2絕緣膜，其係設置於上述第1電荷儲存層之側面；

第1活性層，其係設置於上述第2絕緣膜之側面；

第3絕緣膜，其係以與上述第1配線層接觸之方式，設置於上述積層體之面向與上述第1方向垂直側之另一方之側面；

第2電荷儲存層，其係設置於上述第3絕緣膜之側面；

第4絕緣膜，其係設置於上述第2電荷儲存層之側面；

及

第2活性層，其係設置於上述第4絕緣膜之側面；

上述第1配線層為控制閘電極。

11. 一種半導體記憶裝置，其包括：

基板，其係具有階差，該階差包含第1上表面、與高於上述第1上表面之第2上表面；

記憶胞陣列，其係設置於上述第1上表面；及

周邊電路，其係設置於上述第2上表面，且將電氣信號供給至上述記憶胞陣列；

上述記憶胞陣列包括：

第1積層體，其係包含複數個第1配線層，上述複數個第1配線層係經由絕緣膜而積層於上述第1上表面且於第1方向上延伸；

第2積層體，其係包含複數個第2配線層，上述複數個第2配線層係鄰接於與上述第1積層體之上述第1方向正交之第2方向，且經由絕緣膜而積層於上述第1上表面，且於上述第1方向上延伸；及

複數個第3配線層，其係連接上述第1配線層與上述第2配線層，且於上方向上延伸，且各自由絕緣膜所分離。

12. 如請求項11之半導體記憶裝置，其中

上述第1配線層、上述第2配線層以及上述第3配線層分別由相同之層所構成。

13. 如請求項12之半導體記憶裝置，其中

上述第3配線層之上述第2方向之長度係與上述第2方向上之自上述第1積層體之端至上述第2積層體之端為止之長度相同。

14. 如請求項11之半導體記憶裝置，其中

上述第3配線層之上端係與上述第2上表面相同之位置。

15. 如請求項11之半導體記憶裝置，其中更包括：

分別設置於上述第3配線層上端之複數個觸點。

16. 如請求項15之半導體記憶裝置，其中

上述觸點配置為鋸齒形。

17. 如請求項15之半導體記憶裝置，其中

上述觸點係對於上述第1方向傾斜而配置。

18. 如請求項11之半導體記憶裝置，其中

上述第3配線層以朝上離開上述第1積層體之方式於傾斜方向上延伸。

19. 如請求項11之半導體記憶裝置，其中更包括：

第1絕緣膜，其係以與上述第1配線層接觸之方式設置於上述第1積層體之側面；

第1電荷儲存層，其係設置於上述第1絕緣膜之側面；

第2絕緣膜，其係設置於上述第1電荷儲存層之側面；

第1活性層，其係設置於上述第2絕緣膜之側面；

第3絕緣膜，其係以與上述第2配線層接觸之方式設置於上述第2積層體之側面；

第2電荷儲存層，其係設置於上述第3絕緣膜之側面；

第4絕緣膜，其係設置於上述第2電荷儲存層之側面；及
第2活性層，其係設置於上述第4絕緣膜之側面；
上述第1配線層以及上述第2配線層為控制閘電極。

20. 如請求項11之半導體記憶裝置，其中更包括：

第1絕緣膜，其係以與上述第1配線層接觸之方式設置於上述第1積層體之上述第2積層體側之側面；

第1電荷儲存層，其係設置於上述第1絕緣膜之側面；

第2絕緣膜，其係設置於上述第1電荷儲存層之側面；

第3絕緣膜，其係以與上述第2配線層接觸之方式設置於上述第2積層體之上述第1積層體側之側面；

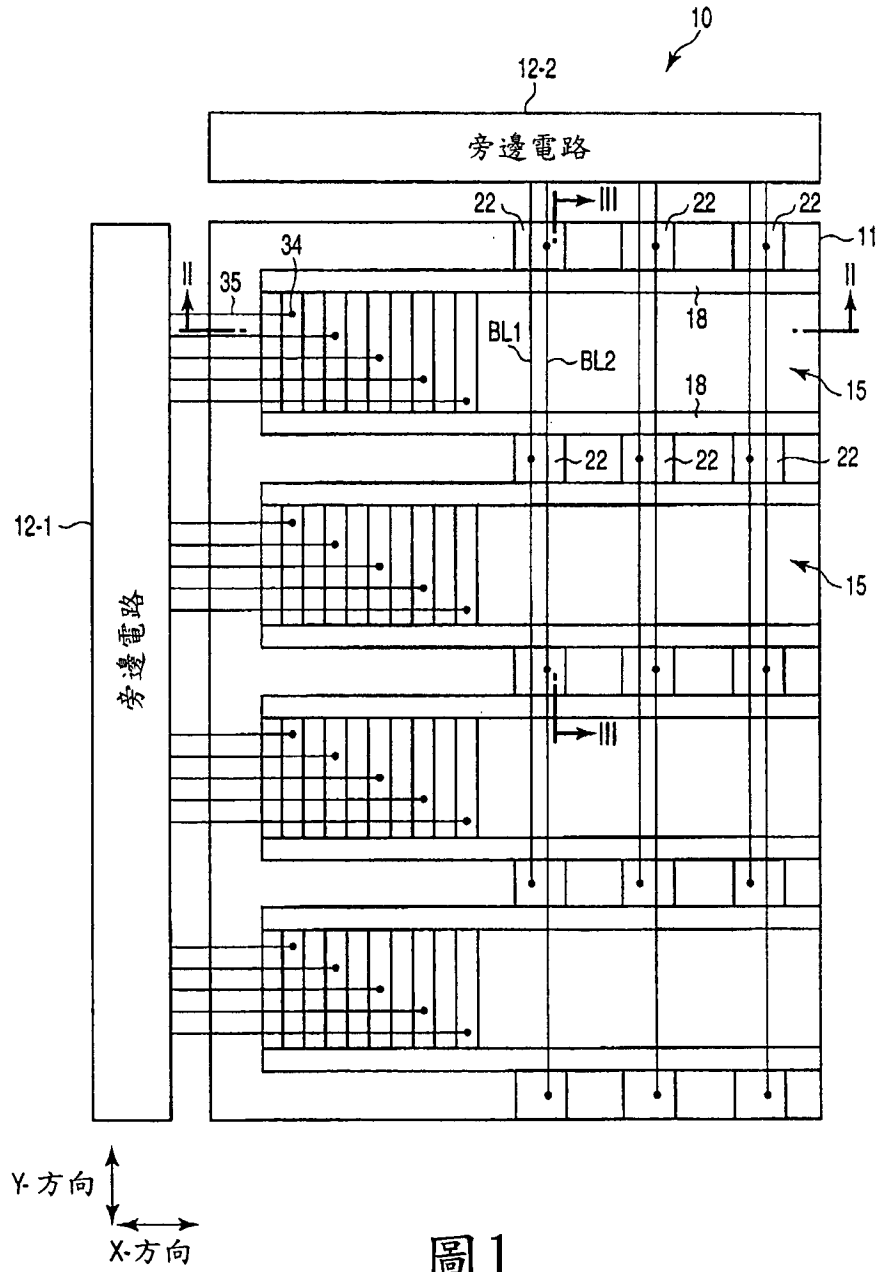
第2電荷儲存層，其係設置於上述第3絕緣膜之側面；

第4絕緣膜，其係設置於上述第2電荷儲存層之側面；及

活性層，其係具有呈U字形且設置於上述第2絕緣膜及上述第4絕緣膜之側面；

上述第1配線層以及上述第2配線層為控制閘電極。

十一、圖式：



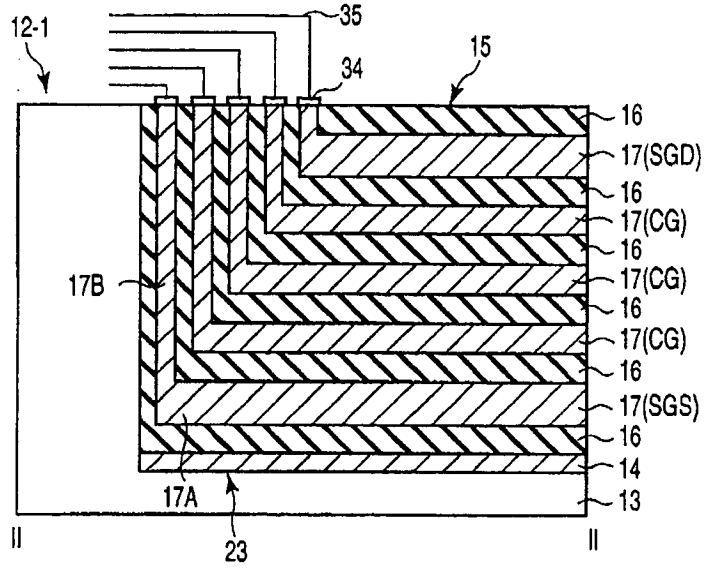


圖 2

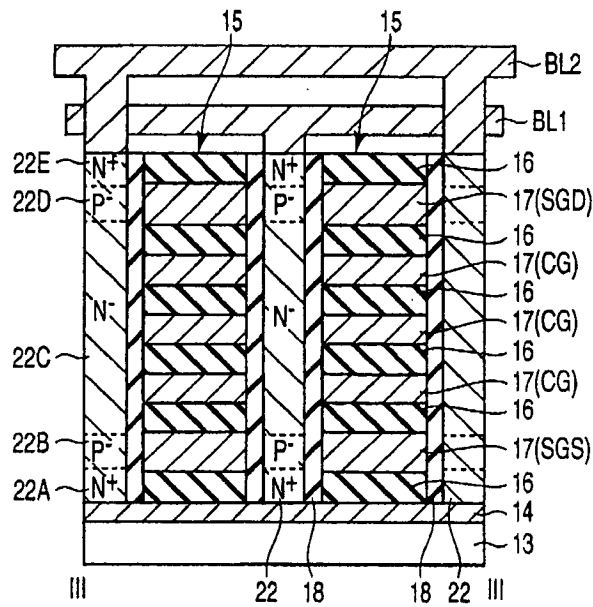


圖 3

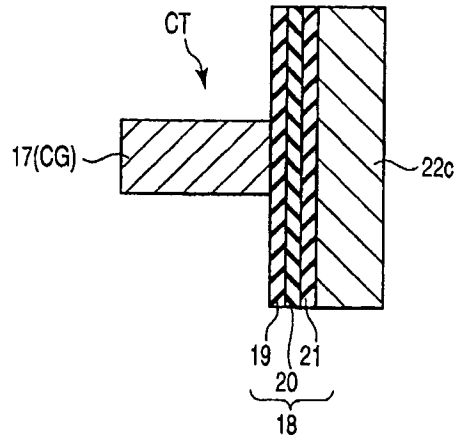


圖 4

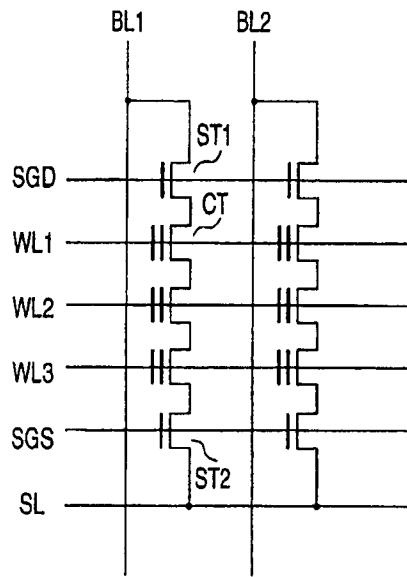


圖 5A

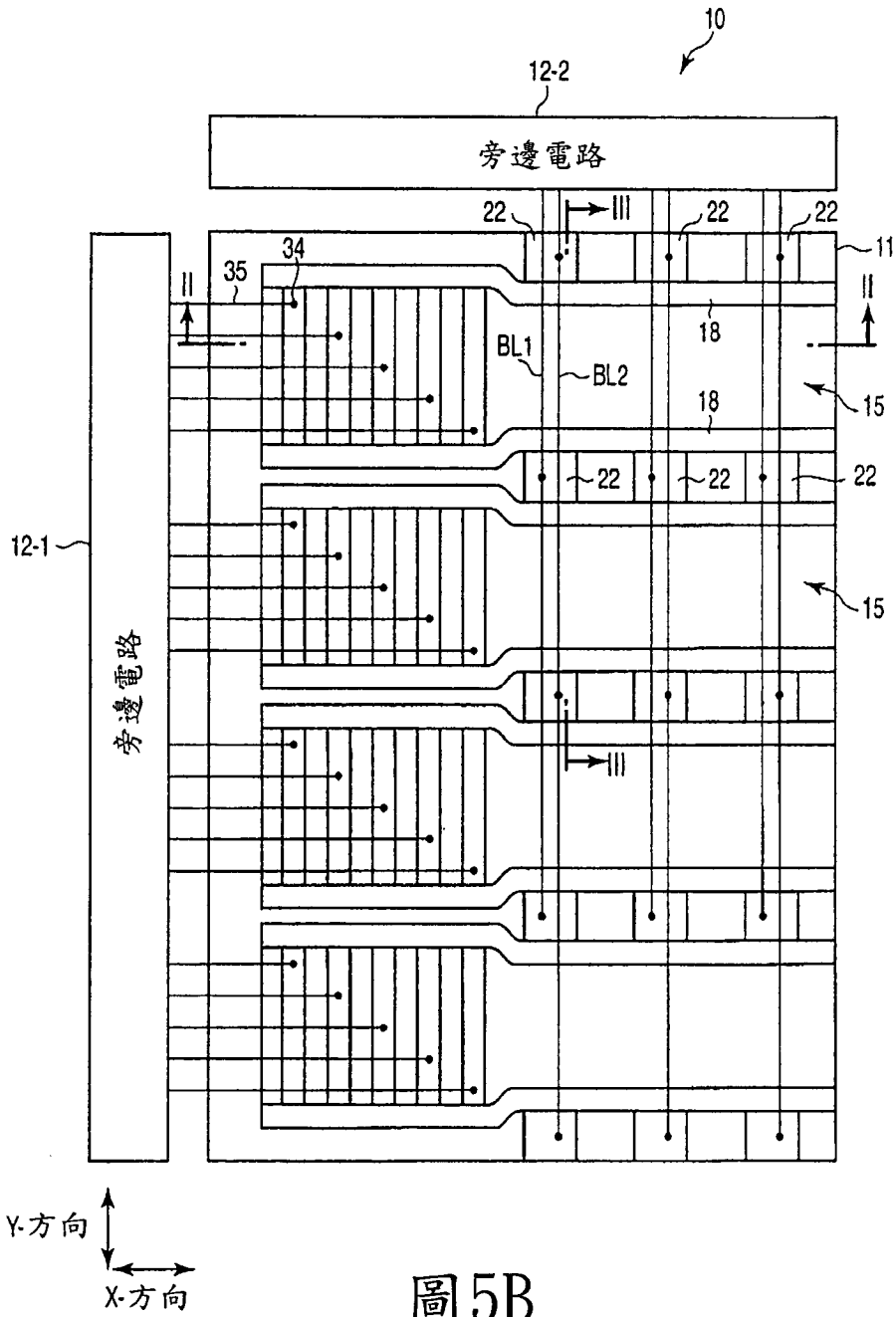


圖5B

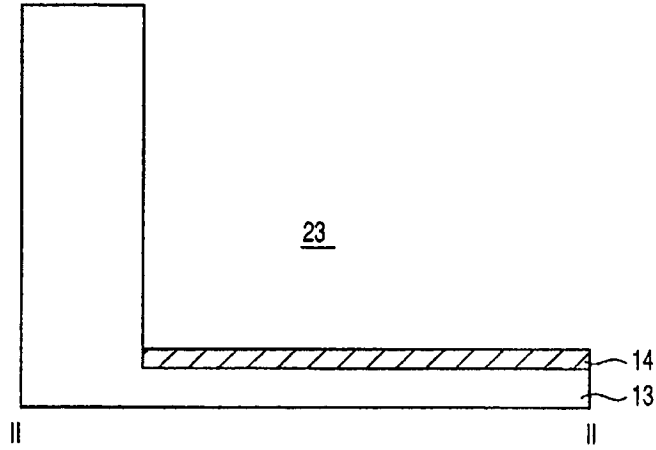


圖6

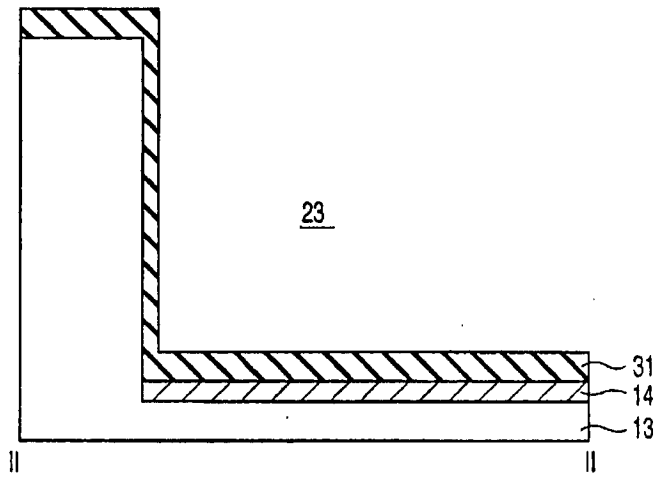


圖7

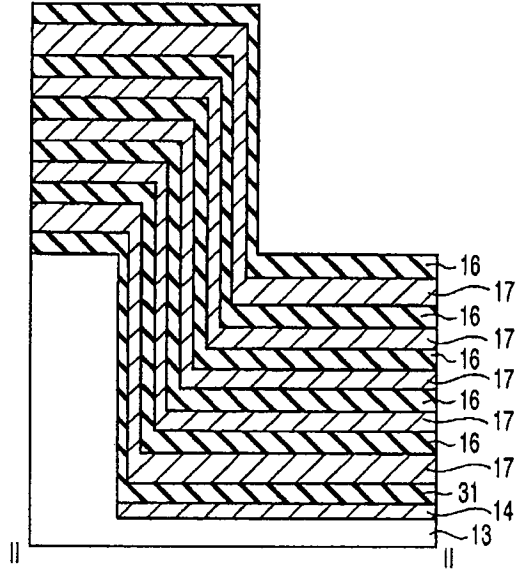


圖 8

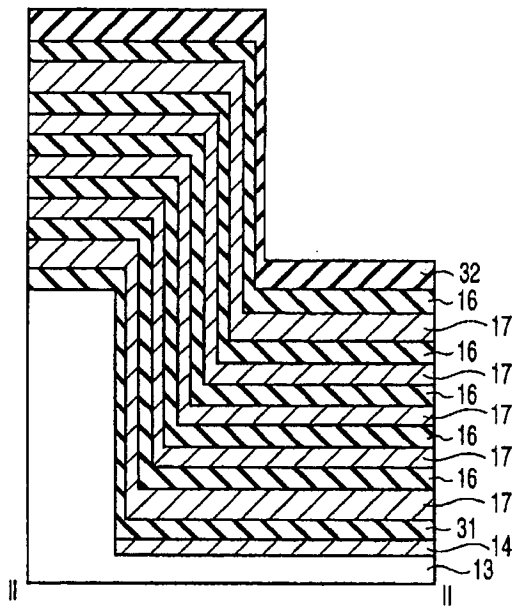


圖 9

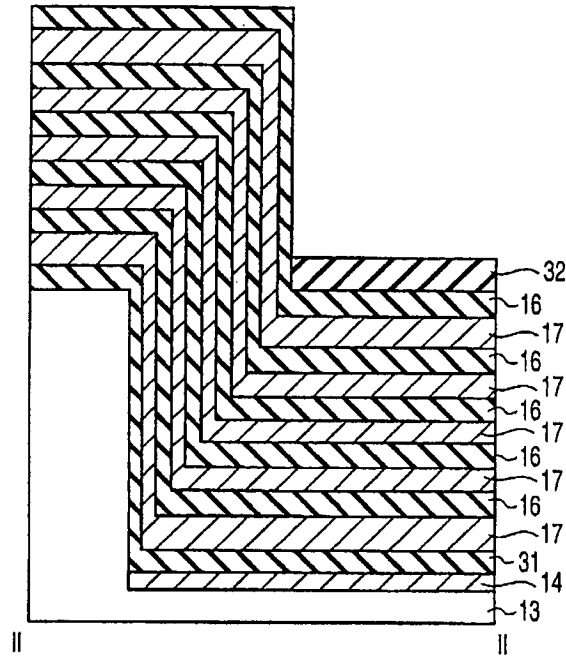


圖 10

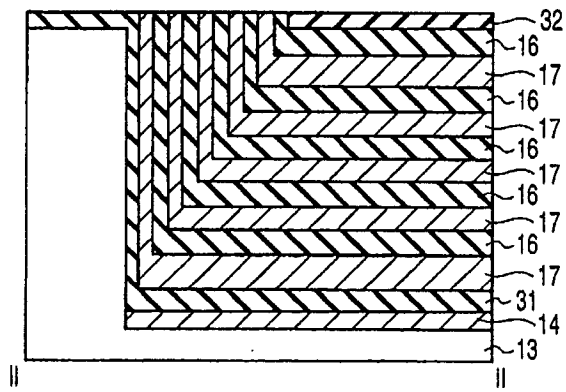


圖 11

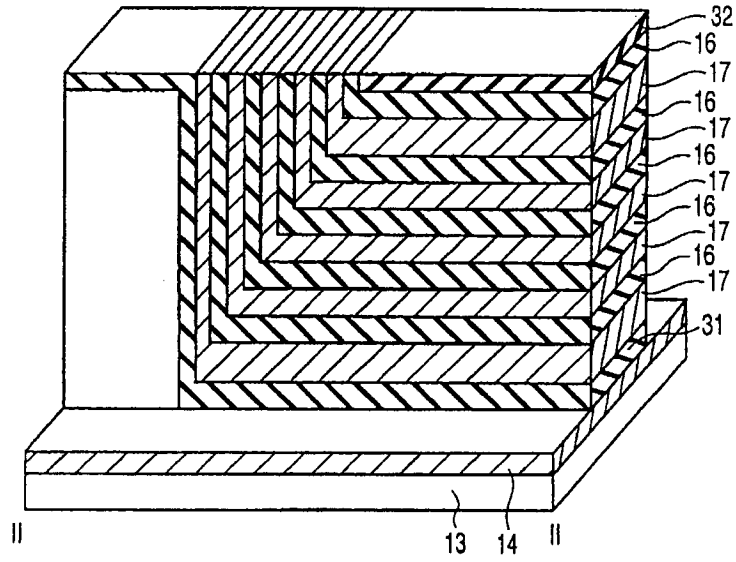


圖 12

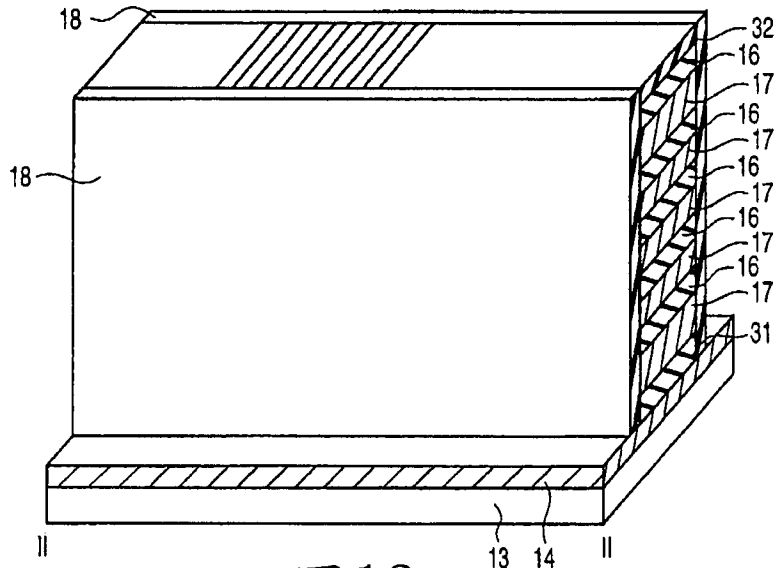


圖 13

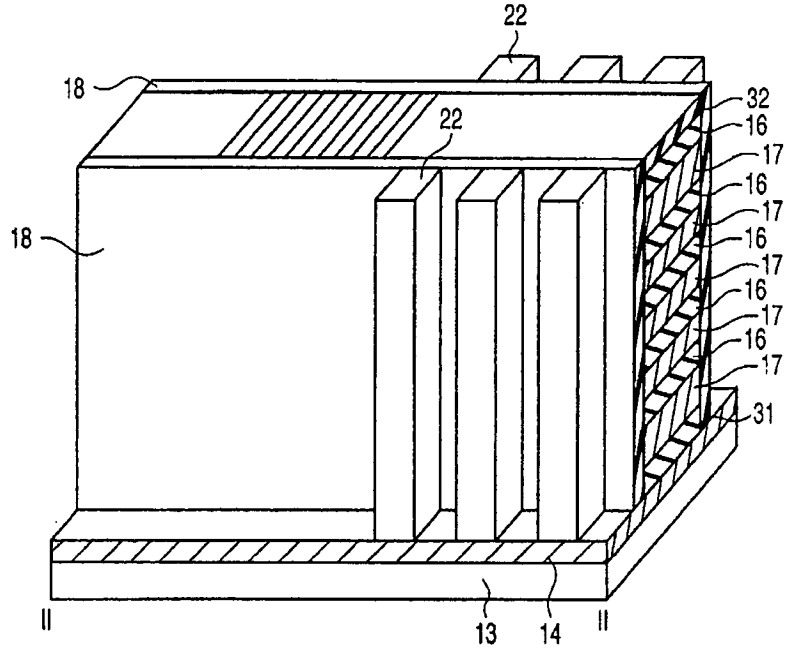


圖 14

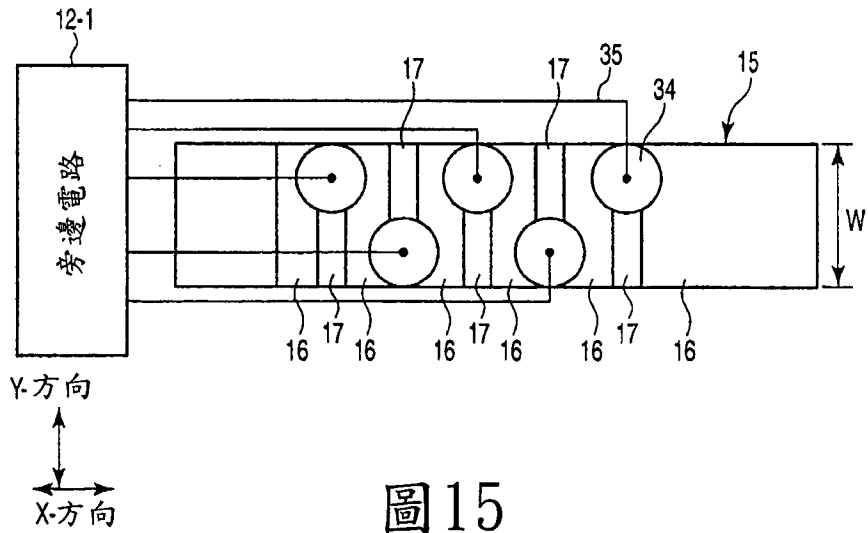


圖 15

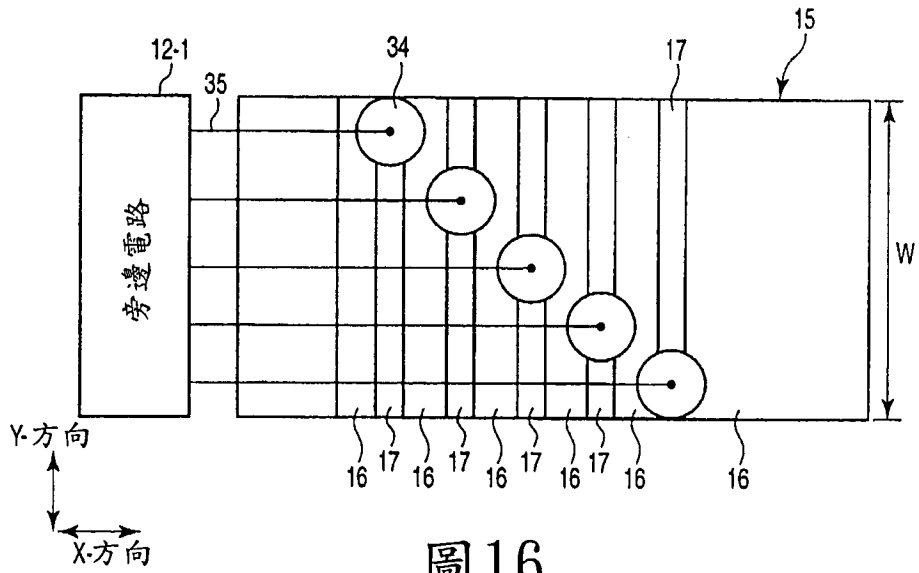


圖16

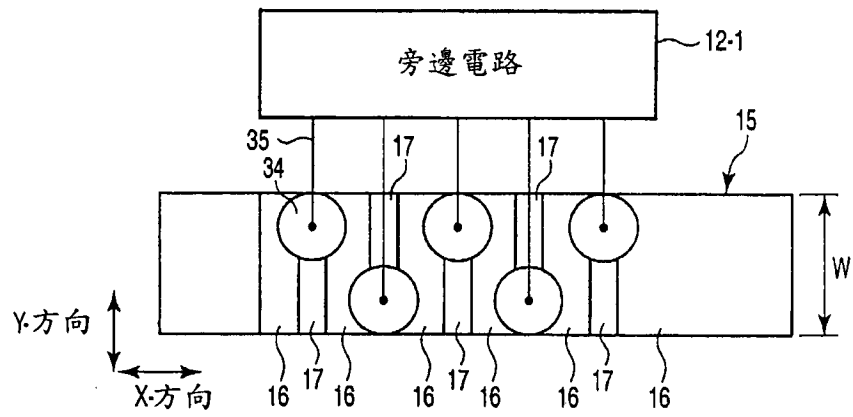


圖17

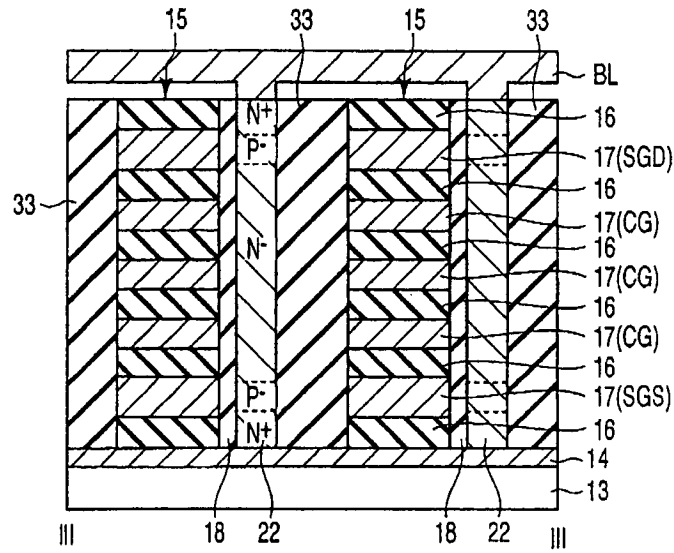


圖 18

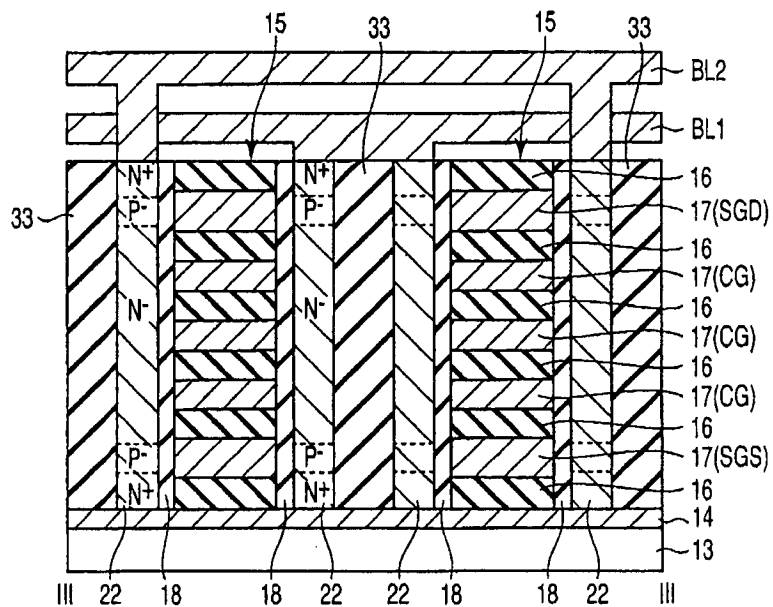


圖 19

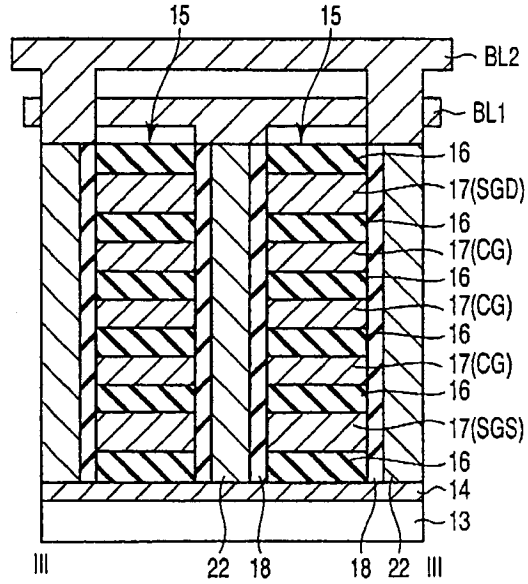


圖 20

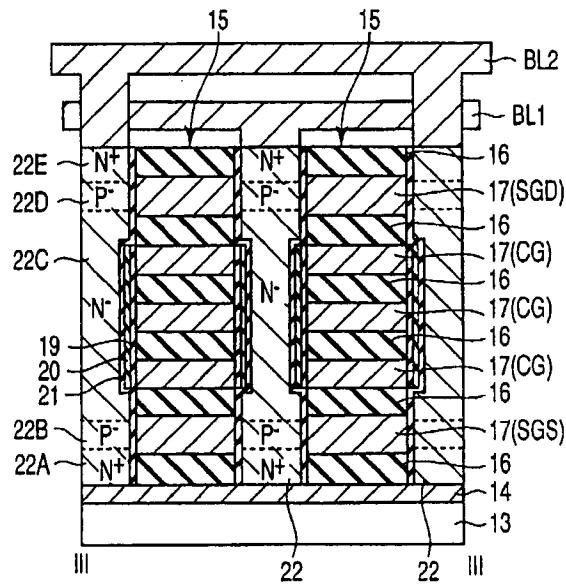


圖 21

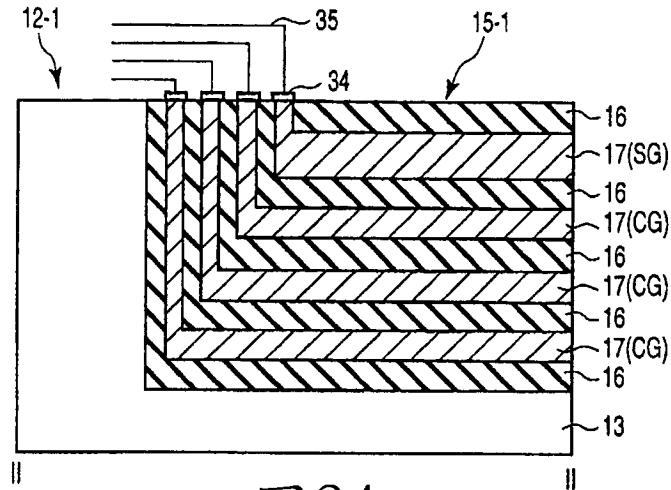


圖 24

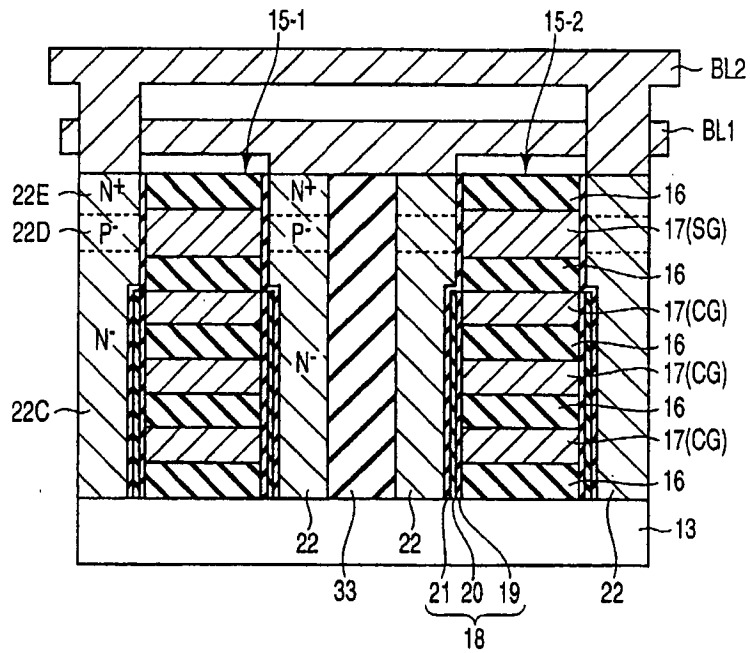


圖 25

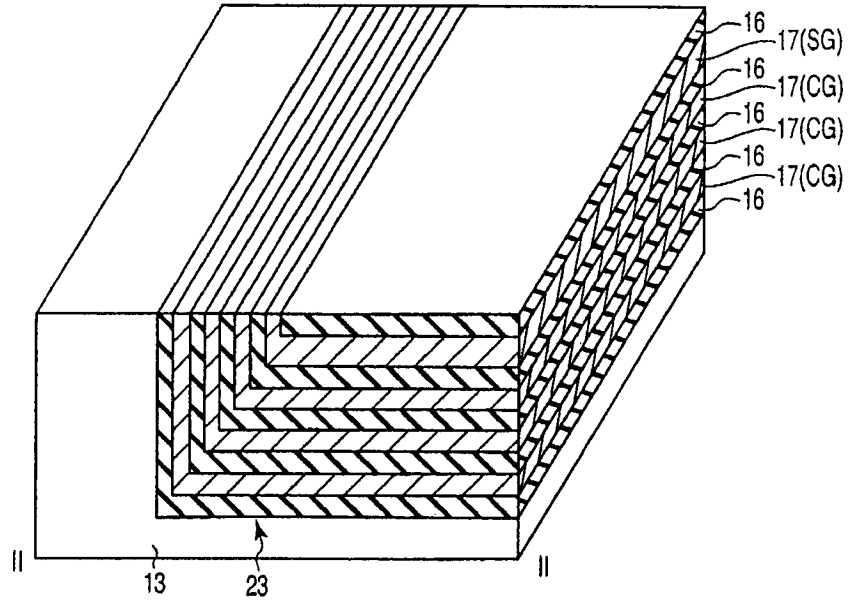


圖 26

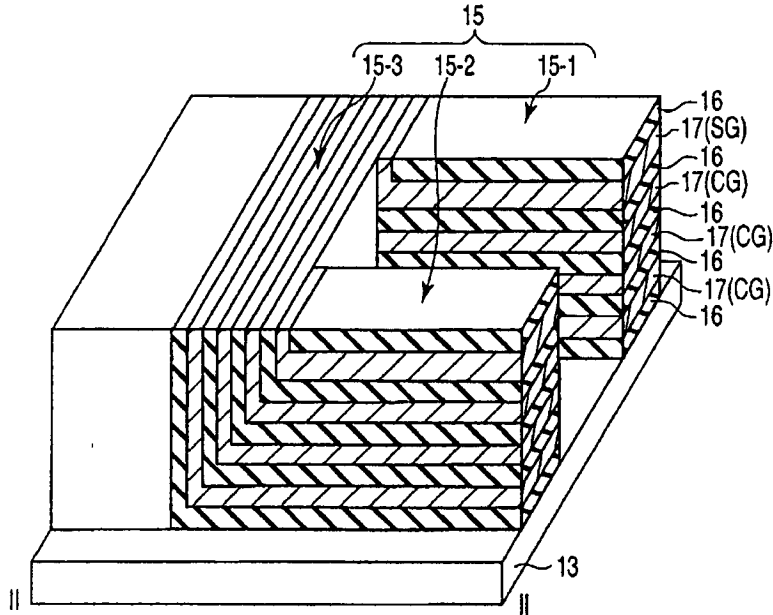


圖 27

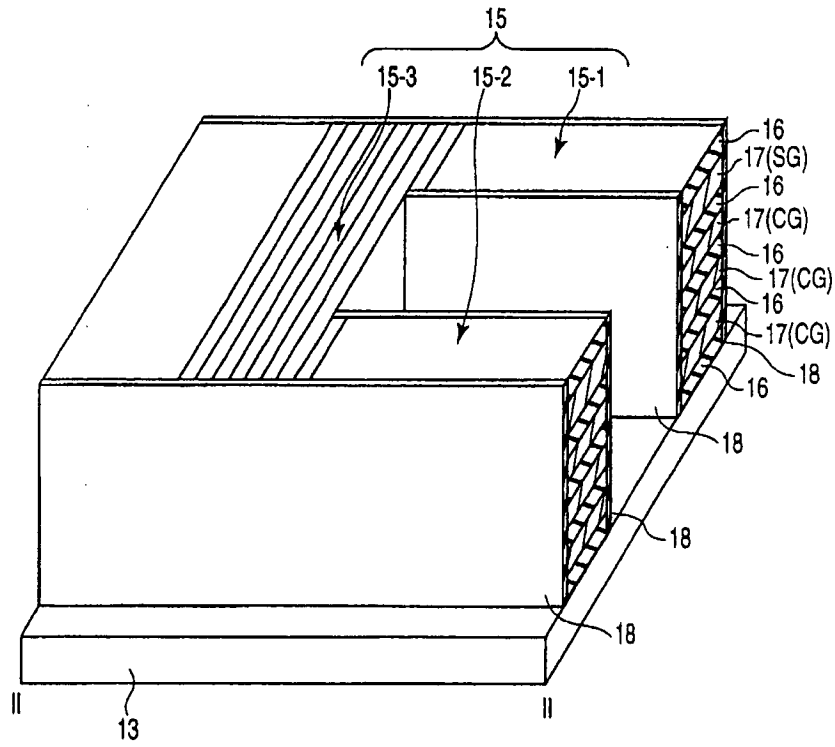


圖 28

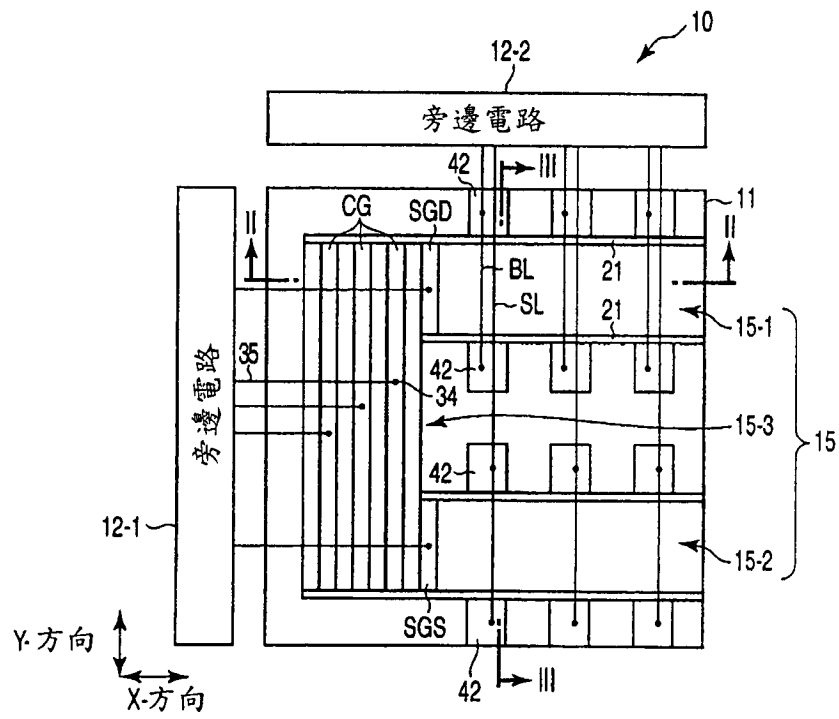


圖30

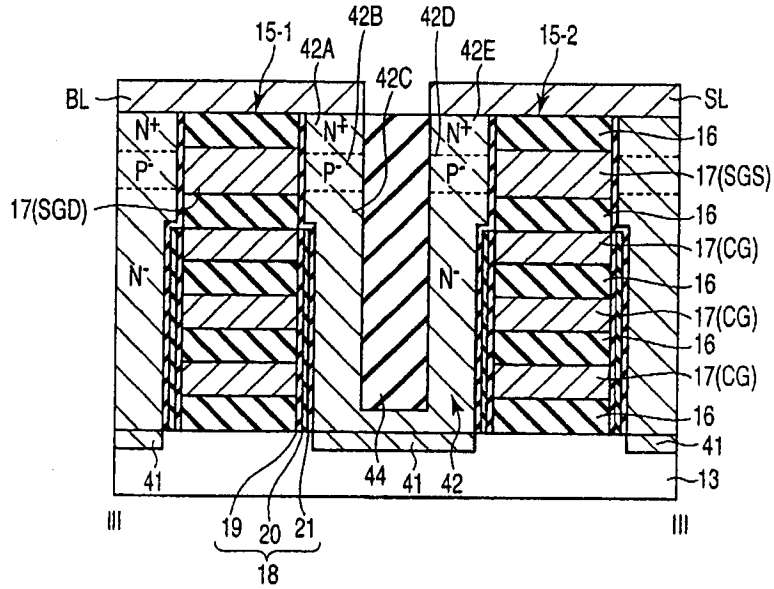


圖 31A

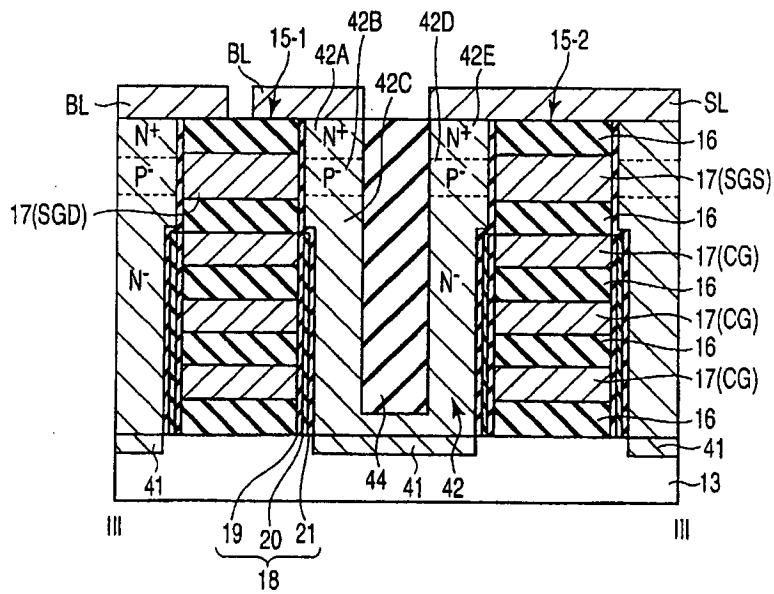


圖 31B

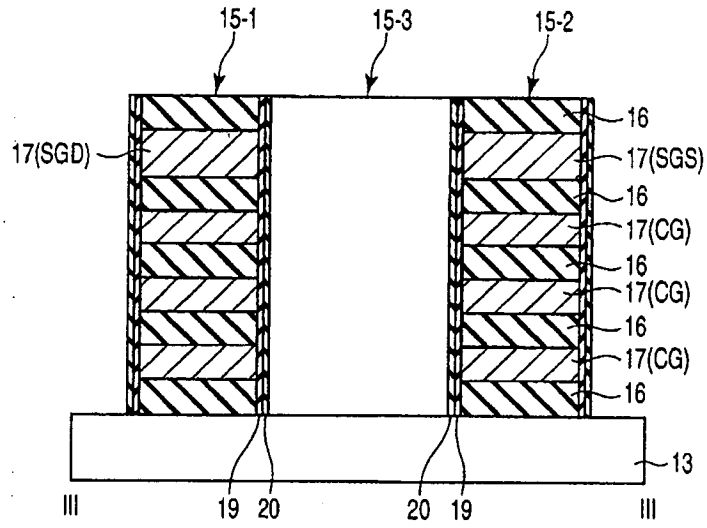


圖 32

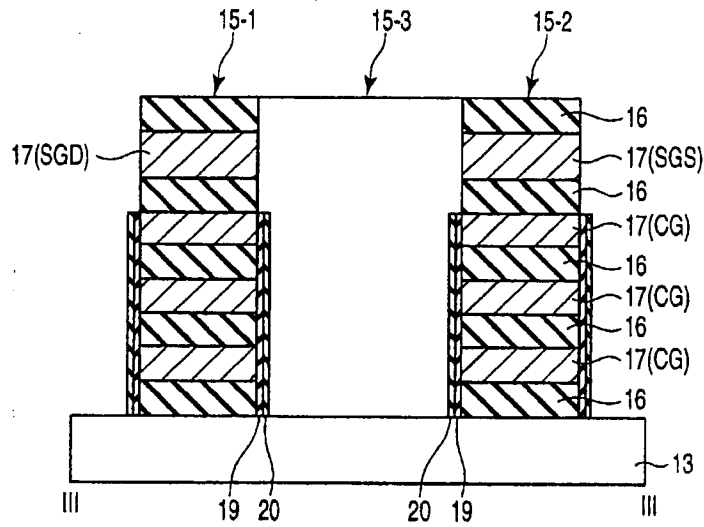


圖 33

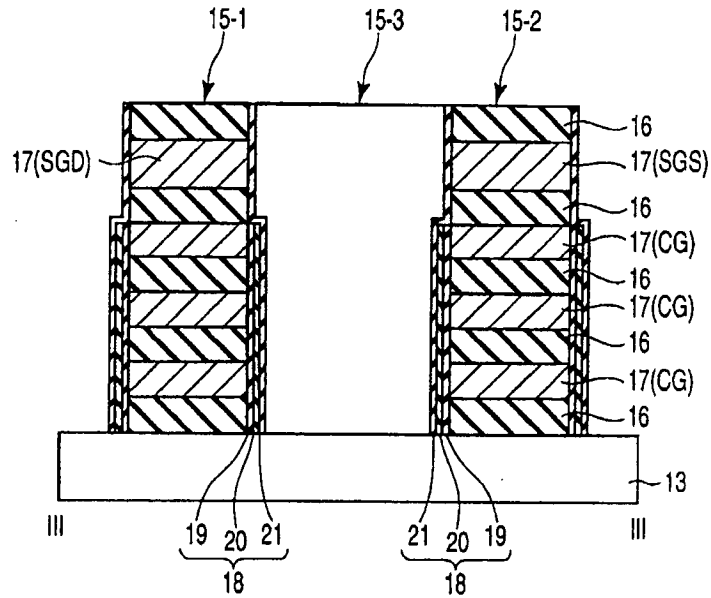


圖 34

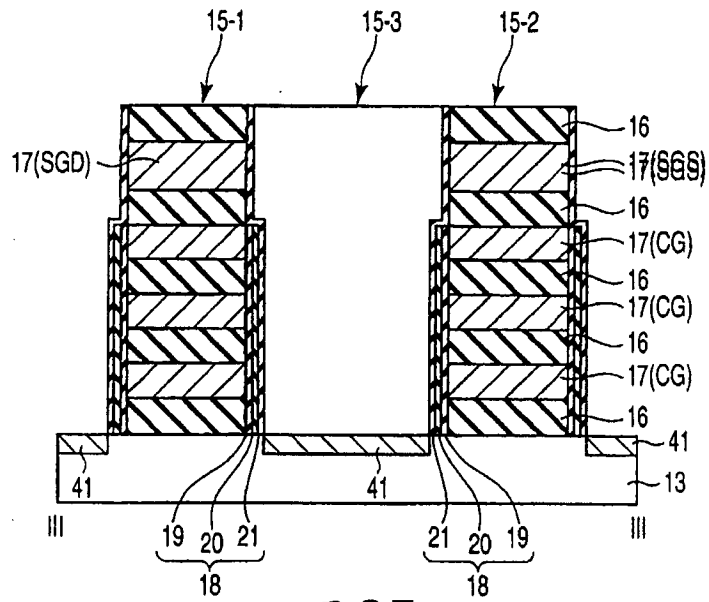


圖 35

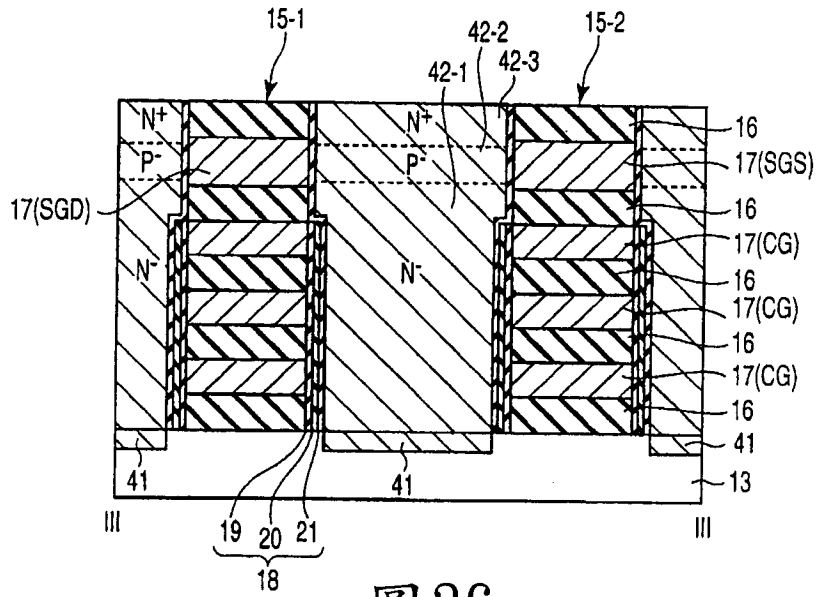


圖 36

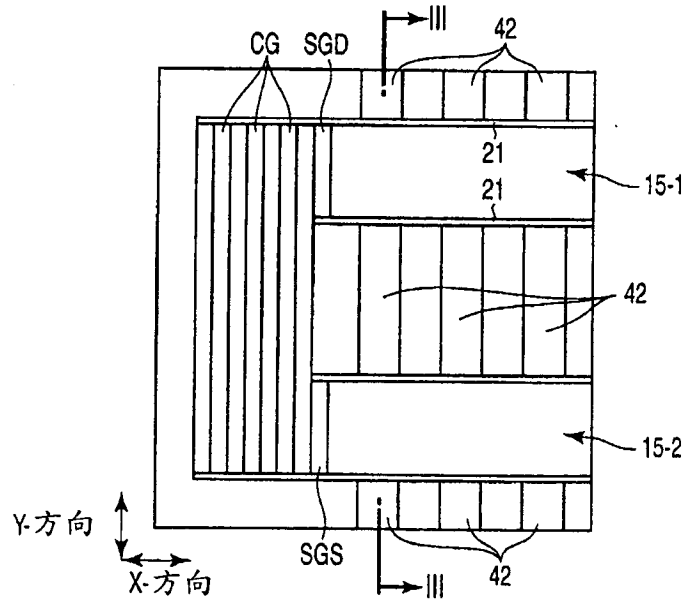


圖 37

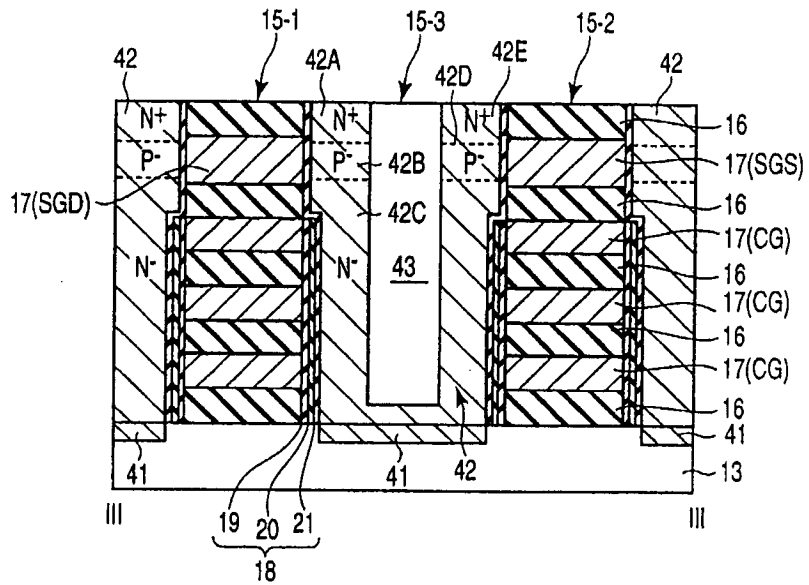


圖 38

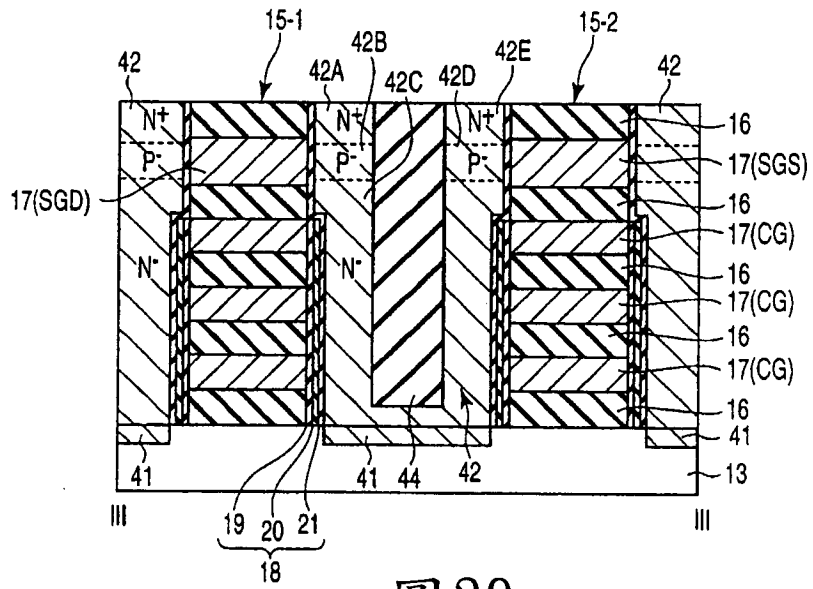


圖 39

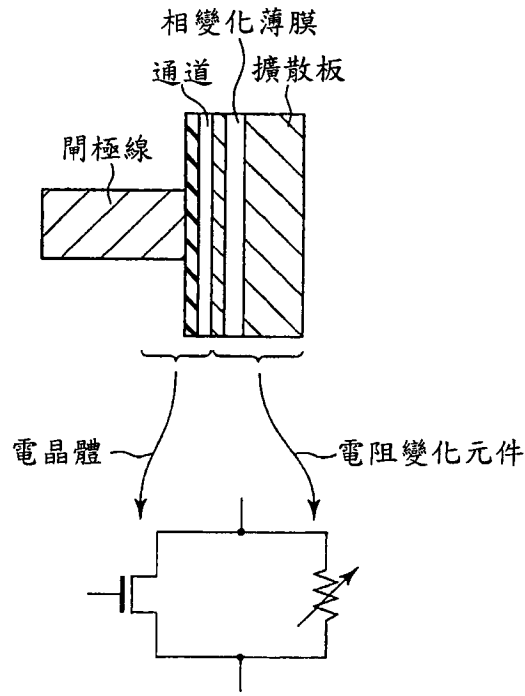


圖 40

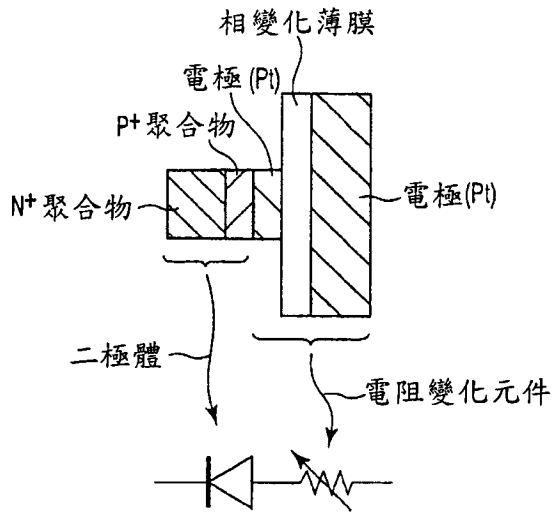


圖 41

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

12-1	周邊電路
13	基板
14	N ⁺ 型擴散區域
15	閘極配線積層體
16	層間絕緣層
17	閘極配線層
17A	第1配線部分
17B	第2配線部分
23	開口部
34	觸點
35	配線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)