

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-111981

(P2021-111981A)

(43) 公開日 令和3年8月2日(2021.8.2)

(51) Int.Cl.		F I				テーマコード (参考)
H02M	1/08	(2006.01)	H02M	1/08	A	5H740
H03K	17/04	(2006.01)	H03K	17/04	E	5J055
H03K	17/042	(2006.01)	H03K	17/042		

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号	特願2020-301 (P2020-301)	(71) 出願人	000004260
(22) 出願日	令和2年1月6日 (2020.1.6)		株式会社デンソー
		(74) 代理人	110000567
			特許業務法人 サトー国際特許事務所
		(72) 発明者	吉谷 崇志
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内
		(72) 発明者	青木 康明
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内
		(72) 発明者	中村 祐太
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内

最終頁に続く

(54) 【発明の名称】 ゲート駆動回路

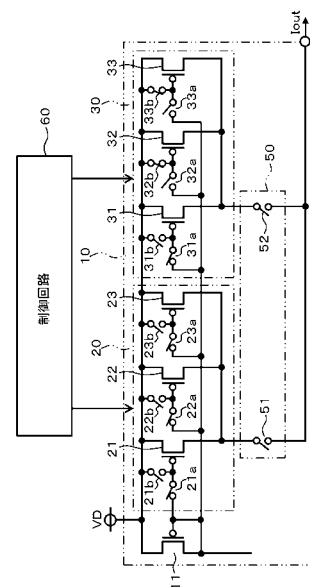
(57) 【要約】

【課題】アクティブゲート制御において、高い時間分解能でゲート制御状態を切り換えることができるようにしたゲート駆動回路を提供する。

【解決手段】半導体スイッチング素子を駆動するゲート駆動回路10は、アクティブゲート制御装置100に設けられる。ゲート駆動回路10は、第1電流設定回路20、第2電流設定回路30および切換制御回路50を備える。電流設定回路20、30は、それぞれMOSトランジスタ21~23、31~33を並列に備え、オンスイッチ、オフスイッチの切換によりゲート電流の駆動能力が切り換えられる。制御回路60により駆動能力が設定されて準備状態の電流設定回路20、30が順次切換制御回路50により選択的に出力端子Ioutに接続される。これにより、駆動能力の設定に要する時間をなくして迅速なアクティブゲート制御を実現できる。

【選択図】 図1

Fig.1



【特許請求の範囲】**【請求項 1】**

制御対象となるゲート駆動形の半導体スイッチング素子に対して、アクティブゲート制御により制御信号を受けてゲート電流の駆動能力を切り換えて駆動するゲート駆動回路であって、

前記半導体スイッチング素子のゲートに供給するゲート電流のレベルを前記制御信号に応じて変更設定可能な複数の電流設定回路（20、20a、20b、30、30a、30b、40）と、

前記複数の電流設定回路に対して、前記制御信号に応じて、前記ゲート電流のレベルが変更設定された状態のものを前記半導体スイッチング素子のゲートに順次接続してゲート電流を通電する出力状態とし、前記ゲート電流のレベルを変更設定する準備状態のものを待機させるようにした切換制御回路（50、50a、50b、50c、50d）とを備えたゲート駆動回路。

10

【請求項 2】

前記複数の電流設定回路のそれぞれは、前記半導体スイッチング素子のゲート電流を設定する複数の低耐圧系の半導体素子を備え、

前記切換制御回路は、前記複数の電流設定回路に対応した複数の高耐圧系の半導体素子を備える請求項 1 に記載のゲート駆動回路。

【請求項 3】

前記複数の電流設定回路のそれぞれに備えられる複数の半導体素子は低耐圧系の MOS トランジスタで構成され、前記切換制御回路の複数の半導体素子は高耐圧系の MOS トランジスタで構成される請求項 2 に記載のゲート駆動回路。

20

【請求項 4】

前記複数の電流設定回路のゲート電流を設定する低耐圧系の半導体素子と前記切換制御回路を構成する高耐圧系の半導体素子との共通接続点は、前記高耐圧系の半導体素子がオフ状態のときに前記低耐圧系の半導体素子の端子間が一定電圧以下となるように保持する電位安定回路が接続される請求項 2 または 3 に記載のゲート駆動回路。

【請求項 5】

前記電位安定回路は、前記共通接続点を電源電位に保持させる抵抗素子である請求項 4 に記載のゲート駆動回路。

30

【請求項 6】

前記電位安定回路は、前記共通接続点を電源電位に接続するダイオードである請求項 4 に記載のゲート駆動回路。

【請求項 7】

前記切換制御回路は、前記複数の電流設定回路のうち準備状態にある前記ゲート電流のレベルを変更設定するものの電流を流すバイアス回路を有する請求項 1 から 6 のいずれか一項に記載のゲート駆動回路。

【請求項 8】

前記バイアス回路は、定電流回路である請求項 7 に記載のゲート駆動回路。

【請求項 9】

前記バイアス回路は、前記ゲート電流を流すための抵抗素子である請求項 7 に記載のゲート駆動回路。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、ゲート駆動回路に関する。

【背景技術】**【0002】**

モータ駆動用のインバータ回路などで用いられるゲート駆動型の半導体素子は、適正な状態でゲート駆動をするために、アクティブゲート制御と呼ばれる制御方法を用いること

50

がある。このアクティブゲート制御では、対象となるMOSトランジスタなどの半導体素子に対して、駆動時にゲート電流を切り換えことにより駆動能力を切り換えている。

【0003】

この場合、駆動能力の切り換えを行うためには、第1に駆動能力切り換えを行い、第2にバイアス状態が変動してから安定するのを待ち、第3に所望の出力状態を得るという3段階を経て行っていた。このため、各段階において制御動作に応じた必要時間が切り換え時間として発生する。このため、特に第2のバイアス状態の変動は必要精度に応じた安定待ち時間が発生するため高速化を妨げる要因となっていた。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】特開2016-136669号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、上記事情を考慮してなされたもので、その目的は、アクティブゲート制御において、高い時間分解能でゲート制御状態を切り換えることができるようにしたゲート駆動回路を提供することにある。

【課題を解決するための手段】

【0006】

20

請求項1に記載のゲート駆動回路は、制御対象となるゲート駆動形の半導体スイッチング素子に対して、アクティブゲート制御により制御信号を受けてゲート電流の駆動能力を切り換えて駆動するゲート駆動回路であって、前記半導体スイッチング素子のゲートに供給するゲート電流のレベルを前記制御信号に応じて変更設定可能な複数の電流設定回路(20、20a、20b、30、30a、30b、40)と、前記複数の電流設定回路に対して、前記制御信号に応じて、前記ゲート電流のレベルが変更設定された状態のものを前記半導体スイッチング素子のゲートに順次接続してゲート電流を通電する出力状態とし、前記ゲート電流のレベルを変更設定する準備状態のものを待機させるようにした切換制御回路(50、50a、50b、50c、50d)とを備えている。

【0007】

30

上記構成を採用することにより、制御対象となるゲート駆動形の半導体スイッチング素子に対して、駆動能力を設定して準備状態が完了した電流設定回路に切り換えてゲート電流を供給し、この間にゲート電流を供給していない他の電流設定回路を次の駆動能力のゲート電流に対応して準備状態に設定する。これにより、駆動能力の切り換え時に発生する切り換え安定時間を要すること無く、迅速にゲート電流の駆動能力を次々に切り換え設定して所望のアクティブゲート制御を実施することができる。

【図面の簡単な説明】

【0008】

【図1】第1実施形態を示す電氣的構成図

【図2】使用形態を示す構成図

40

【図3】タイミングチャートその1

【図4】タイミングチャートその2

【図5】損失およびサージ電圧と切り換え誤差との関係を示す図

【図6】切り換え誤差に対応する波形図

【図7】第2実施形態を示すブロック構成図

【図8】タイミングチャート

【図9】第3実施形態を示す電氣的構成図

【図10】第4実施形態を示す電氣的構成図その1

【図11】第4実施形態を示す電氣的構成図その2

【図12】第5実施形態を示す電氣的構成図その1

50

【図 1 3】第 5 実施形態を示す電氣的構成図その 2

【発明を実施するための形態】

【0009】

(第 1 実施形態)

以下、本発明の第 1 実施形態について、図 1 ~ 図 6 を参照して説明する。

本実施形態のゲート駆動回路 10 は、後述するように、図 2 に示すようなアクティブゲート制御装置 100 に設けられるものである。はじめにゲート駆動回路 10 の構成について説明する。図 1 に示すように、ゲート駆動回路 10 は、基準電流設定用の P チャンネル型の MOS トランジスタ 11、第 1 電流設定回路 20、第 2 電流設定回路 30 および切換制御回路 50 を備えている。2 個の第 1 電流設定回路 20 および第 2 電流設定回路 30 は、複数の電流設定回路として 2 個設けた場合に相当している。

【0010】

MOS トランジスタ 11 は、第 1 電流設定回路 20 および第 2 電流設定回路 30 に電流を流すためのカレントミラー回路を構成するものである。MOS トランジスタ 11 は、ソースが直流電源 V_D に接続され、ゲートはドレインに接続され、ソース・ドレイン間に直流電源 V_D が印加された状態では常時オン状態となる。

【0011】

第 1 電流設定回路 20 および第 2 電流設定回路 30 は、それぞれゲート電流を設定するための MOS トランジスタ 21 ~ 23、31 ~ 33 を並列に備え、MOS トランジスタ 11 とカレントミラー回路を構成している。各 MOS トランジスタ 21 ~ 23 には、オンスイッチ 21a ~ 23a が接続されるとともに、オフスイッチ 21b ~ 23b が接続されている。電流を流さない状態では、オフスイッチ 21b ~ 23b がオンされ MOS トランジスタ 21 ~ 23 はオフ状態に保持されている。

【0012】

オフスイッチ 21b ~ 23b がオフ動作され、この後オンスイッチ 21a ~ 23a がオン動作されると、各 MOS トランジスタ 21 ~ 23 のゲートが MOS トランジスタ 11 のゲートに接続され、MOS トランジスタ 21 ~ 23 がそれぞれ MOS トランジスタ 11 に流れる電流に相当する電流を流す状態になる。

【0013】

オンスイッチ 21a ~ 23a がオフ動作され、この後オフスイッチ 21b ~ 23b がオン動作されると、各 MOS トランジスタ 21 ~ 23 のゲートがソースに接続された状態となり、MOS トランジスタ 21 ~ 23 はオフ状態になる。

【0014】

第 2 電流設定回路 30 の各 MOS トランジスタ 31 ~ 33 には、オンスイッチ 31a ~ 33a が接続されるとともに、オフスイッチ 31b ~ 33b が接続され、第 1 電流設定回路 20 と同等の接続状態とされる。第 1 電流設定回路 20 および第 2 電流設定回路 30 は、各スイッチ 21a ~ 23a、21b ~ 23b、31a ~ 33a、31b ~ 33b は、電流駆動能力を設定するために、制御回路 60 からオンオフの駆動制御がなされる。

【0015】

なお、第 1 電流設定回路 20、第 2 電流設定回路 30 は、一例として、それぞれ 3 個の MOS トランジスタを設ける構成としているが、4 個以上を設ける構成としても良い。また、第 1 電流設定回路 20、第 2 電流設定回路 30 は、互いに同じ構成のものとして設けても良いし、設定電流値が互いに異なるような仕様で異なる構成とすることもできる。

【0016】

切換制御回路 50 は、2 個のスイッチ 51 および 52 を備える。スイッチ 51 は、オン動作によって第 1 電流設定回路 20 の電流を出力端子 I_{out} に流し、スイッチ 52 はオン動作によって第 2 電流設定回路 30 の電流を出力端子 I_{out} に流すように構成されている。

【0017】

次に、図 2 において、アクティブゲート制御装置 100 は、上記したゲート駆動回路 1

0、制御回路60および波形検出回路70を備えている。アクティブゲート制御装置100は、例えば三相インバータ回路200に設けられる6個のMOSトランジスタ201~206のそれぞれに対応して6個が設けられている。6個のMOSトランジスタ201~206は、アクティブゲート制御の対象となるもので、半導体スイッチング素子として設けられるものである。

【0018】

三相インバータ回路200は、Nチャンネル型のMOSトランジスタ201および202、203および204、205および206がそれぞれ直列に接続した状態で各相のアームを構成しており、直流電源VCとグランドとの間に接続されている。なお、グランド側には、電流検出用の抵抗207が直列に接続されている。

10

【0019】

アクティブゲート制御装置100は、駆動対象となるMOSトランジスタ201~206のそれぞれに対応して設けられ、波形検出回路70によりドレイン電圧の波形を検出し、その電圧レベルに応じて制御回路60によりゲート駆動回路10を駆動制御してゲート電流の駆動能力を細かく変更設定することで迅速にオンオフ制御を行う構成である。

次に、上記構成の作用について、図3から図6も参照して説明する。

【0020】

まず、ゲート駆動回路10の基本的な動作について説明する。ゲート駆動回路10においては、制御回路60から指示される駆動能力に対応して第1電流設定回路20および第2電流設定回路30のそれぞれに順次電流を設定して切換制御回路50により切換接続することで出力端子Ioutに出力する。

20

【0021】

このため、まず、第1電流設定回路20においては、通電前に設定すべき駆動能力となるようにMOSトランジスタ21~23のうち駆動能力に対応したゲート電流となるように例えばオフスイッチ21b~23bをオフ動作させ、その後オンスイッチ21a~23aをオン動作させる。これにより、MOSトランジスタ21~23のうちの対応するものがオン状態に移行することで駆動能力が設定される。

【0022】

これにより、3個のMOSトランジスタ21~23のうちのオン駆動されたものがオン状態に移行するまでの期間が準備状態の期間となる。この後、通電タイミングになると、制御回路60からの指示に応じて切換制御回路50のスイッチ51がオン駆動され、出力端子Ioutから駆動能力として設定されたゲート電流がMOSトランジスタ201のゲートに通電する出力状態となる。

30

【0023】

一方、第2電流設定回路30においては、第1電流設定回路20による通電がなされている期間中に、次に設定すべき駆動能力となるようにMOSトランジスタ31~33のうち駆動能力に対応したゲート電流となるように例えばMOSトランジスタ31をオン動作させるため、オフスイッチ31bをオフ動作させ、その後オンスイッチ31aをオン動作させる。これにより、MOSトランジスタ31がオン状態に移行するまでの期間が準備状態の期間となる。

40

【0024】

この後、切り換えタイミングになると、制御回路60からの指示に応じて切換制御回路50のスイッチ51がオフ駆動され、第1電流設定回路20によるゲート電流を停止させ、続いてスイッチ52をオン駆動して出力端子Ioutから第2電流設定回路30により設定された駆動能力のゲート電流がMOSトランジスタ201のゲートに通電する出力状態となる。

【0025】

上記と同様にして、第2電流設定回路30によりゲート電流を供給している状態になると、制御回路60は、第1電流設定回路20に、次のゲート電流を設定するようにスイッチ21a~23aを駆動制御して準備状態となる。

50

【 0 0 2 6 】

このようにして、第 1 電流設定回路 2 0 および第 2 電流設定回路 3 0 により準備状態と出力状態とを交互に実行することで、準備状態で MOS トランジスタ 2 0 1 に通電することがなくなり、確実に設定したゲート電流を出力するように切り換えることができる。

【 0 0 2 7 】

図 3 および図 4 は、このようにしてゲート駆動回路 1 0 が、制御回路 6 0 により駆動能力を切り換えながら MOS トランジスタ 2 0 1 をオフ動作させる場合における駆動能力の切り換えパターンを示している。ここでは、オン状態の MOS トランジスタ 2 0 1 のゲートから電荷を放電させるために、ゲート電流を流すときのパターンとして示している。

【 0 0 2 8 】

まず、時刻 t_1 以前においては、MOS トランジスタ 2 0 1 のゲート電圧 V_g は、所定電圧 V_G が印加された状態に保持されている。時刻 t_1 になると、制御回路 6 0 は、MOS トランジスタ 2 0 1 をオフ動作させるために、5 段階のステージ 1 ~ 5 を経て駆動能力を切り換えながらゲート電流を流してゲート電圧 V_g を低下させる。

5 段階の各ステージでは、次のような意図に基づいてゲート駆動能力に対応したゲート電流 I_g が設定される。

【 0 0 2 9 】

- ・ステージ 1 は、遷移開始までの遅延を短縮するため、駆動能力を最大に設定する。
- ・ステージ 2 は、モータ端子電圧の変動が始まるため、ステージ 1 の駆動能力最大状態から E C M 要求の許容する範囲内まで駆動能力を低下させる。同時にスイッチング損失を抑制するため、駆動能力をその範囲内で最大値に設定する。
- ・ステージ 3 は、損失影響の小さい領域では E M C ノイズを抑えるため、駆動能力をステージ 1 よりもさらに抑える。
- ・ステージ 4 は、モータ端子電圧のサージを耐圧内に収める駆動能力値に設定する。
- ・ステージ 5 は、セルフターンオン防止のため、駆動能力を最大に設定する。

【 0 0 3 0 】

以上の各ステージの意図を考慮して、ゲート駆動能力に対応するゲート電流 I_g は、例えば、図 3 に示すように、ステージ 1 では最も大きいゲート駆動能力 I_{g4} に設定され、ステージ 2 では少し小さいゲート駆動能力 I_{g3} 、ステージ 3 ではさらに少し小さいゲート駆動能力 I_{g2} 、ステージ 4 では最も小さいゲート駆動能力 I_{g1} に設定される。そして、最後のステージ 5 では、ゲート電流 I_g は再びゲート駆動能力 I_{g4} に設定される。

【 0 0 3 1 】

次に、上記のゲート電流 I_g の設定レベルに対応して、制御回路 6 0 は、図 4 に示すように、第 1 電流設定回路 2 0 に対して、ステージ 1、3、5 においてゲート電流を通電し、第 2 電流設定回路 3 0 に対してステージ 2、4 においてゲート電流を通電するように制御し、切換制御回路 5 0 により選択的に通電する。

【 0 0 3 2 】

第 1 電流設定回路 2 0 は、ステージ 1、3、5 に対応してゲート電流 I_g の駆動能力をそれぞれ I_{g4} 、 I_{g2} 、 I_{g4} に設定するように MOS トランジスタ 2 1 ~ 2 3 の導通が制御される。また、第 2 電流設定回路 3 0 は、ステージ 2、4 に対応してゲート電流 I_g の駆動能力をそれぞれ I_{g3} 、 I_{g1} に設定するように MOS トランジスタ 3 1 ~ 3 3 の導通が制御される。

【 0 0 3 3 】

このため、第 1 電流設定回路 2 0 においては、各ステージ 1、3、5 の前の期間においてステージ 1、3、5 のための準備状態となるように制御回路 6 0 により MOS トランジスタ 2 1 ~ 2 3 が選択的に動作制御される。同様に、第 2 電流設定回路 3 0 においては、各ステージ 2、4 の前の期間においてステージ 2、4 のための準備状態となるように制御回路 6 0 により MOS トランジスタ 3 1 ~ 3 3 が選択的に動作制御される。

【 0 0 3 4 】

各ステージ 1 ~ 5 の開始時点 $t_1 \sim t_5$ において、制御回路 6 0 は、切換制御回路 5 0

10

20

30

40

50

に対して準備状態となっている第1電流設定回路20あるいは第2電流設定回路30のいずれかをスイッチ51、52を選択的にオンさせて出力端子Ioutからゲート電流Igを流すように制御する。

【0035】

これにより、電流設定のための切換動作を行う時間や切換に必要な時間を含めた準備時間を経ることなく、迅速にゲート駆動能力を切り換えてゲート電流を供給することができるようになる。上記の説明ではオフ動作におけるゲート電流Igの駆動能力設定について説明しているが、オン動作においても同様に行うことができる。

【0036】

次に、上記のように迅速な駆動能力の切り換え制御によるアクティブゲート制御の効果について、図5および図6を参照して説明する。本実施形態においては、例えば、駆動能力を切り換えるのに要する時間が10ns以内に短くすることができる。これによって、的確なタイミングで迅速に駆動能力を切り換えてアクティブゲート制御を実施することができる。

【0037】

駆動能力の切り換えに要する時間がずれると、例えば、図5の上の図に示すように、タイミング良く切り換えた場合に比べて、切り換え誤差(ns)がマイナス側つまり遅れる場合には、スイッチング素子の損失低減効果(%)が低下することになる。損失低減効果を20%以上とするには、切り換え誤差を10ns以内とする必要がある。

【0038】

また、駆動能力の切り換えに要する時間がプラス側にずれる場合には、図5の下図に示すように、タイミング良く切り換えた場合に比べて、サージ電圧増加割合(%)が増加することになる。サージ電圧増加割合を5%以下にするには、切り換え誤差を15ns以内程度にする必要がある。

【0039】

図6には、駆動能力の切り換えに要する時間のずれについて、3つのケースについて損失低減効果とサージ電圧増加割合を計測した例を示している。第1のケース(1)では、切り換え誤差が-40nsの場合を示しており、この場合には、損失が83μJで、サージ電圧が7.0Vであり、サージ電圧は許容目標を満たすものの、損失低減効果では図5に示しているように、10%以下程度となり、損失低減目標を満たしていない。

【0040】

第2のケース(2)では、駆動能力の切り換え時間のずれがない理想の状態を示している。この場合には、損失が69μJで、サージ電圧が7.0Vとなっており、損失低減効果は目標の20%以上である24%程度となっており、サージ電圧増加割合についても0%となっていて、許容値目標の上限値5%をクリアしている。

【0041】

第3のケース(3)では、切り換え誤差が+40nsの場合を示しており、この場合には、損失が62μJで、サージ電圧が9.7Vであり、損失低減効果は目標を満たす条件となっているが、サージ電圧増加割合が30%を超える値となっていて許容値目標である5%を大幅に超えていて満たしていない。

【0042】

上記したように、駆動能力の切り換え誤差を±10nsの範囲に収まるようにした本実施形態の構成を採用することにより、確実に第2のケースに近い状態でアクティブゲート制御を実施することができるようになる。

【0043】

このような本実施形態によれば、第1電流設定回路20および第2電流設定回路30を設けて、それぞれに予めゲート電流として設定する駆動能力に切り換えた準備状態のものを切換制御回路50により切り換えて出力させるようにしたので、駆動能力を切り換え設定したときの切り換え安定化の時間をなくして迅速に駆動能力を切り換えることができ、アクティブゲート制御を確実に実施することができる。

10

20

30

40

50

【 0 0 4 4 】

(第 2 実施形態)

図 7 および図 8 は第 2 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、ゲート駆動回路 10 a において、第 1 実施形態のゲート駆動回路 10 の構成に第 3 電流設定回路 40 を設ける構成としている。第 3 電流設定回路 40 は、内部構成を示していないが、第 1 電流設定回路 20、第 2 電流設定回路 30 と同様の構成である。また、切換制御回路 50 a は、制御回路 60 の制御により、3つの電流設定回路 20、30、40 の出力を選択的に切り換えるように構成される。

【 0 0 4 5 】

この実施形態では、第 1 実施形態の構成では、短い区間のステージで準備状態が完了しない場合に対応するものである。すなわち、図 8 に示すように、3つの電流設定回路 20、30、40 を順次切り換えることにより、準備状態に要する時間を 2 ステージ分で行えるようにしている。

10

【 0 0 4 6 】

例えば、図 8 に示す場合では、制御回路 60 により、次のように駆動制御される。制御回路 60 は、ステージ 1 の開始時刻 t_1 より前の時点で、第 1 電流設定回路 20 に対してステージ 1 の駆動能力 I_{g4} に対応するように制御して準備状態とし、さらに第 2 電流設定回路 30 に対してステージ 2 の駆動能力 I_{g3} に対応するように制御して準備状態とする。

【 0 0 4 7 】

20

時刻 t_1 になると、制御回路 60 は、ステージ 1 に対応して、第 1 電流設定回路 20 を出力端子 I_{out} に接続するように切換制御回路 50 a に信号を与えて切り換える。これにより、出力端子 I_{out} は、駆動能力 I_{g4} のゲート電流 I_g が出力される。また、時刻 t_1 では、制御回路 60 は、第 3 電流設定回路 40 に対してステージ 3 の駆動能力 I_{g2} に対応するように制御して準備状態とする。なお、時刻 t_1 では、第 2 電流設定回路 30 の準備状態は継続される。

【 0 0 4 8 】

次に、ステージ 1 が終了して時刻 t_2 になると、制御回路 60 は、ステージ 2 に対応して、第 1 電流設定回路 20 の出力を停止し、第 2 電流設定回路 30 を出力端子 I_{out} に接続するように切換制御回路 50 a に信号を与えて切り換える。これにより、出力端子 I_{out} は、駆動能力 I_{g3} のゲート電流 I_g が出力される。また、時刻 t_2 では、制御回路 60 は、第 1 電流設定回路 20 に対してステージ 4 の駆動能力 I_{g1} に対応するように制御して準備状態とする。なお、時刻 t_2 では、第 3 電流設定回路 40 の準備状態は継続される。

30

【 0 0 4 9 】

続いて、ステージ 2 が終了して時刻 t_3 になると、制御回路 60 は、ステージ 3 に対応して、第 2 電流設定回路 30 の出力を停止し、第 3 電流設定回路 40 を出力端子 I_{out} に接続するように切換制御回路 50 a に信号を与えて切り換える。これにより、出力端子 I_{out} は、駆動能力 I_{g2} のゲート電流 I_g が出力される。また、時刻 t_3 では、制御回路 60 は、第 2 電流設定回路 20 に対してステージ 5 の駆動能力 I_{g4} に対応するように制御して準備状態とする。なお、時刻 t_3 では、第 1 電流設定回路 20 の準備状態は継続される。

40

【 0 0 5 0 】

次に、ステージ 3 が終了して時刻 t_4 になると、制御回路 60 は、ステージ 4 に対応して、第 3 電流設定回路 40 の出力を停止し、第 1 電流設定回路 20 を出力端子 I_{out} に接続するように切換制御回路 50 a に信号を与えて切り換える。これにより、出力端子 I_{out} は、駆動能力 I_{g1} のゲート電流 I_g が出力される。また、第 2 電流設定回路 20 の準備状態は継続される。なお、第 3 電流設定回路 40 は時刻 t_4 で動作は終了する。

【 0 0 5 1 】

そして、ステージ 4 が終了して時刻 t_5 になると、制御回路 60 は、ステージ 5 に対応

50

して、第 1 電流設定回路 20 の出力を停止し、第 2 電流設定回路 30 を出力端子 I o u t に接続するように切換制御回路 50 a に信号を与えて切り換える。これにより、出力端子 I o u t は、駆動能力 I g 4 のゲート電流 I g が出力される。なお、第 1 電流設定回路 20 は時刻 t 4 で動作は終了する。

【0052】

このようにして、3つの電流設定回路 20、30、40 はそれぞれ、出力するステージに対して 2 ステージ前に駆動能力を設定するように切り換えられて準備状態となるので、対応するステージに切り換えられるタイミングでは準備動作が終了して、確実に切り換え動作を行うことができる。換言すれば、短いステージの期間でも確実に準備動作を完了させた状態で切り換えることができる。

10

【0053】

このような第 2 実施形態によれば、3つの電流設定回路 20、30、40 を設けて、順次ステージに対応して準備状態および出力状態を切り換えるようにしたので、第 1 実施形態の構成に比べて、更に短いステージの期間でも確実に準備動作を完了させた状態で迅速な切り換え動作を行わせることができるようになる。換言すれば、アクティブゲート制御において、準備期間となる前のステージに対して電流設定回路の準備期間が長くなる場合でも、確実に対応することができるようになる。

【0054】

(第 3 実施形態)

図 9 は第 3 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、切換制御回路 50 b として、スイッチ 51、52 を高耐圧の P チャネル型の MOS トランジスタ 51 a、52 a として設ける構成としている。なお、この構成において、第 1 電流設定回路 20 および第 2 電流設定回路 30 においては、電流設定用の MOS トランジスタ 21 ~ 23 および MOS トランジスタ 31 ~ 33 は、低耐圧系のものが用いられている。

20

【0055】

ここで、低耐圧系および高耐圧系の MOS トランジスタとは、相対的な耐圧関係を示すものであり、電源電圧が印加されたときに、主として高い電圧を担うものを高耐圧系の MOS トランジスタとし、電源電圧がかかると耐圧的に厳しいものを低耐圧系の MOS トランジスタとして設けている。

30

【0056】

上記構成において、切換制御回路 50 b の MOS トランジスタ 51 a および 52 a に対して、ゲート電圧を低耐圧素子の耐圧内でハイレベルおよびローレベルを設定することで、切換スイッチとして用いることができる。

【0057】

このような構成を採用することで、第 1 電流設定回路 20 および第 2 電流設定回路 30 においては、ステージに対応する駆動能力を設定すべく低耐圧系の MOS トランジスタ 21 ~ 23 あるいは 31 ~ 33 のうちの対応するものがオンされると、準備状態となって駆動能力が設定される。この状態で、切換制御回路 50 b の MOS トランジスタ 51 a あるいは 52 a が選択的にオン駆動される。

40

【0058】

このとき、電流設定回路 20 および 30 には高電圧が印加されず、MOS トランジスタ 51 a、52 a のドレイン・ソース間に高電圧が印加された状態とすることができるので、少ない個数の MOS トランジスタ 51 a、52 a を高耐圧のものにすることで対応することができる。

【0059】

したがって、このような第 3 実施形態によれば、切換制御回路 50 b に高耐圧の MOS トランジスタ 51 a、52 a を設け、電流設定回路 20、30 に高電圧が印加される状態を回避できる。これにより、高耐圧の MOS トランジスタの使用を少なくして、電流設定回路を複数設けることによる素子面積の増大を抑制することができる。

50

【 0 0 6 0 】

なお、上記した切換制御回路 5 0 b の高耐圧の M O S トランジスタ 5 1 a 、 5 2 a は、通常はエンハンス型のもので構成するが、デプレッション型のもを使用することで、低耐圧素子の動作範囲を広げるように特性向上を図ることが可能となる。

【 0 0 6 1 】

(第 4 実施形態)

図 1 0 および図 1 1 は第 4 実施形態を示すもので、以下、第 3 実施形態と異なる部分について説明する。この実施形態では、第 3 実施形態において、切換制御回路 5 0 b の M O S トランジスタ 5 1 a や 5 2 a がオフ状態にあるときに、ソース電位が不安定になって電流設定回路 2 0 や 3 0 の低耐圧系の M O S トランジスタ 2 1 ~ 2 3 あるいは 3 1 ~ 3 3 のドレイン・ソース間に高電圧が印加されるのを抑制する構成を採用している。

10

【 0 0 6 2 】

すなわち、図 1 0 に示す第 1 の例では、第 1 電流設定回路 2 0 a として、ドレイン・ソース間を接続する抵抗 2 4 を設けた構成とし、第 2 電流設定回路 3 0 a として、ドレイン・ソース間を接続する抵抗 3 4 を設けた構成としている。抵抗 2 4 、 3 4 は電位安定回路として機能するものである。

【 0 0 6 3 】

これにより、切換制御回路 5 0 b の M O S トランジスタ 5 1 a あるいは 5 2 a がオフ状態にあるときには、第 1 電流設定回路 2 0 a あるいは第 2 電流設定回路 3 0 a のドレイン側は抵抗 2 4 あるいは 3 4 により電源側にプルアップされるので、M O S トランジスタ 2 1 ~ 2 3 あるいは 3 1 ~ 3 3 に高電圧が印加されることを回避できるようになる。

20

【 0 0 6 4 】

また、同様にして、図 1 1 に示す第 2 の例では、第 1 電流設定回路 2 0 b として、ドレイン・ソース間を接続するダイオード 2 5 を逆方向に接続して設けた構成とし、第 2 電流設定回路 3 0 b として、ドレイン・ソース間を接続するダイオード 3 5 を逆方向に接続して設けた構成としている。ダイオード 2 5 、 3 5 は電位安定回路として機能するものである。

【 0 0 6 5 】

これにより、図 1 0 の場合と同様にして、切換制御回路 5 0 b の M O S トランジスタ 5 1 a あるいは 5 2 a がオフ状態にあるときには、第 1 電流設定回路 2 0 b あるいは第 2 電流設定回路 3 0 b のドレイン側はダイオード 2 5 あるいは 3 5 により電源側にプルアップされるので、M O S トランジスタ 2 1 ~ 2 3 あるいは 3 1 ~ 3 3 に高電圧が印加されることを回避できるようになる。

30

【 0 0 6 6 】

このような第 4 実施形態によれば、第 3 実施形態のように構成した場合でも、低耐圧素子を用いる電流設定回路 2 0 a 、 3 0 a あるいは 2 0 b 、 3 0 b に高電圧が印加されることを回避することができる。

【 0 0 6 7 】

(第 5 実施形態)

図 1 2 および図 1 3 は第 5 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、第 1 実施形態において、切換制御回路 5 0 のスイッチ 5 1 あるいは 5 2 が切り換えられるときに、電流設定回路 2 0 や 3 0 側のノード N 1 や N 2 の電位が変動することがある場合に、これを抑制することができるようにしたものである。

40

【 0 0 6 8 】

すなわち、図 1 2 に示す第 1 の例では、切換制御回路 5 0 c のスイッチ 5 1 に並列にスイッチ 5 3 および定電流回路 5 4 の直列回路からなるバイアス回路をノード N 1 に接続する。同様に、スイッチ 5 2 に並列にスイッチ 5 5 および定電流回路 5 6 の直列回路からなるバイアス回路をノード N 2 に接続する。電流源 5 4 および 5 6 は、電流設定回路 2 0 および 3 0 で設定された電流を流すように設けられる。

50

【 0 0 6 9 】

この構成において、制御回路 6 0 により、切換制御回路 5 0 c のスイッチ 5 3 は、スイッチ 5 1 と相補的に動作するように制御され、同じくスイッチ 5 5 は、スイッチ 5 2 と相補的に動作するように制御される。

【 0 0 7 0 】

これにより、スイッチ 5 1 あるいは 5 2 が切り換えられた場合でも、ノード N 1 および N 2 における電位が変化しないようにすることができ、この結果、出力電流の駆動能力を変更する場合において、遅延が発生するのを抑制して迅速な切り換え動作を行わせることができる。

【 0 0 7 1 】

図 1 3 に示す第 2 の例では、電流源 5 4 および 5 6 に代えて抵抗 5 7 および 5 8 をバイアス回路として設ける構成としている。このような構成によっても、図 1 2 の構成と同等の動作を行わせることができるようになる。

【 0 0 7 2 】

(他の実施形態)

なお、本発明は、上述した実施形態のみに限定されるものではなく、その要旨を逸脱しない範囲で種々の実施形態に適用可能であり、例えば、以下のように変形または拡張することができる。

電流設定回路は、Pチャンネル型のMOSトランジスタ以外に、Nチャンネル型のMOSトランジスタや、他の半導体素子を用いて構成することもできる。

【 0 0 7 3 】

第 2 実施形態では、電流設定回路を 3 個設ける構成としたが、4 個以上設けることもできる。これによって、順次準備状態および出力状態を設定することで、さらに短期間で確実に準備状態とすることもできる。

【 0 0 7 4 】

第 4 実施形態では、電位安定回路として抵抗やダイオードを設け、プルアップ機能をもたせる構成としているが、電流設定回路の構成をNチャンネル型のMOSトランジスタなどを用いる場合には、プルダウン機能を持たせる電位安定回路として構成とすることができる。

【 0 0 7 5 】

本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

【 符号の説明 】

【 0 0 7 6 】

図面中、1 0、1 0 a はゲート駆動回路、1 1 はMOSトランジスタ、2 0、2 0 a、2 0 b は第 1 電流設定回路、2 1 ~ 2 3、3 1 ~ 3 3 はMOSトランジスタ(半導体素子)、2 1 a ~ 2 3 a、3 1 a ~ 3 3 a はオンスイッチ、2 1 b ~ 2 3 b、3 1 b ~ 3 3 b はオフスイッチ、3 0、3 0 a、3 0 b は第 2 電流設定回路、2 4、3 4 は抵抗(電位安定回路)、2 5、3 5 はダイオード(電位安定回路)、4 0 は第 3 電流設定回路、5 0、5 0 a ~ 5 0 d は切換制御回路、5 1、5 2、5 3、5 5 はスイッチ、5 1 a、5 2 a はMOSトランジスタ、5 4、5 6 は定電流回路(バイアス回路)、5 7、5 8 は抵抗(バイアス回路)、6 0 は制御回路、7 0 は波形検出回路、1 0 0 はアクティブゲート駆動装置、2 0 0 は三相インバータ回路、2 0 1 ~ 2 0 6 はMOSトランジスタ(半導体スイッチング素子)である。

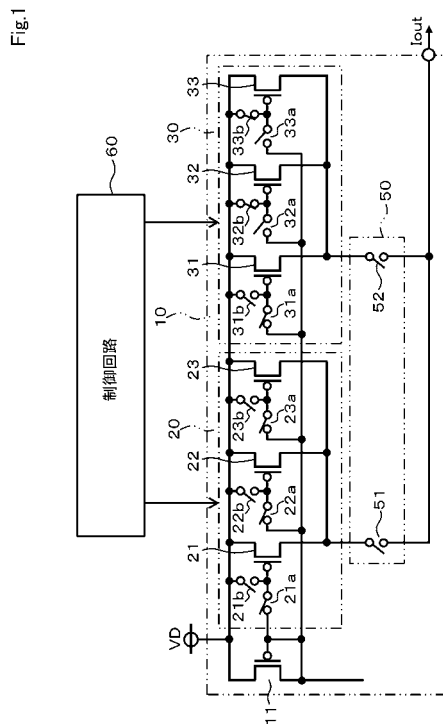
10

20

30

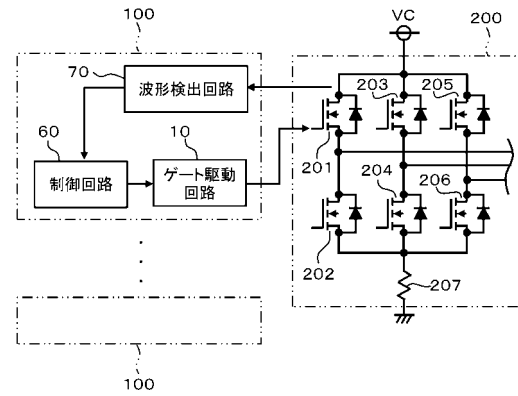
40

【 図 1 】



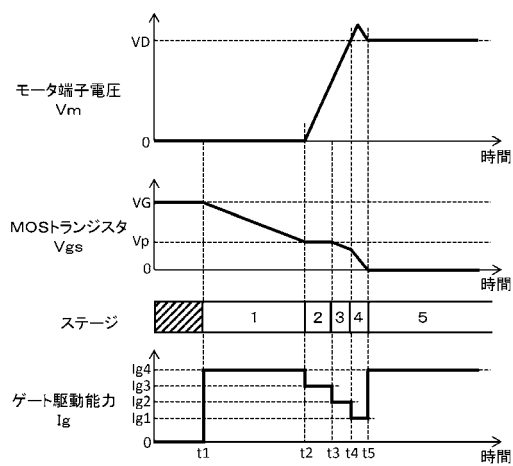
【 図 2 】

Fig.2



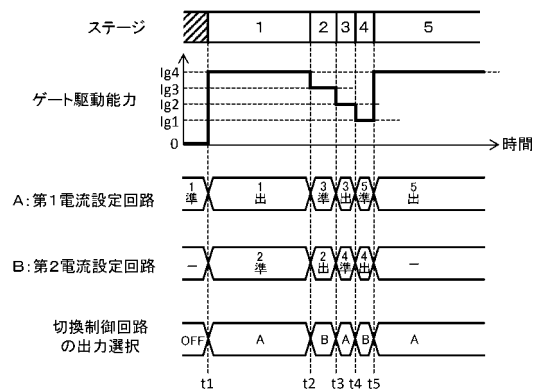
【 図 3 】

Fig.3



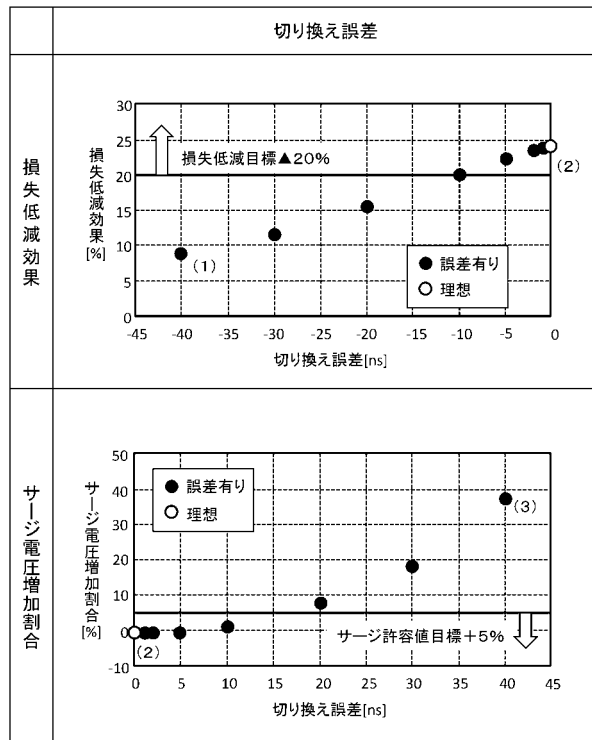
【 図 4 】

Fig.4



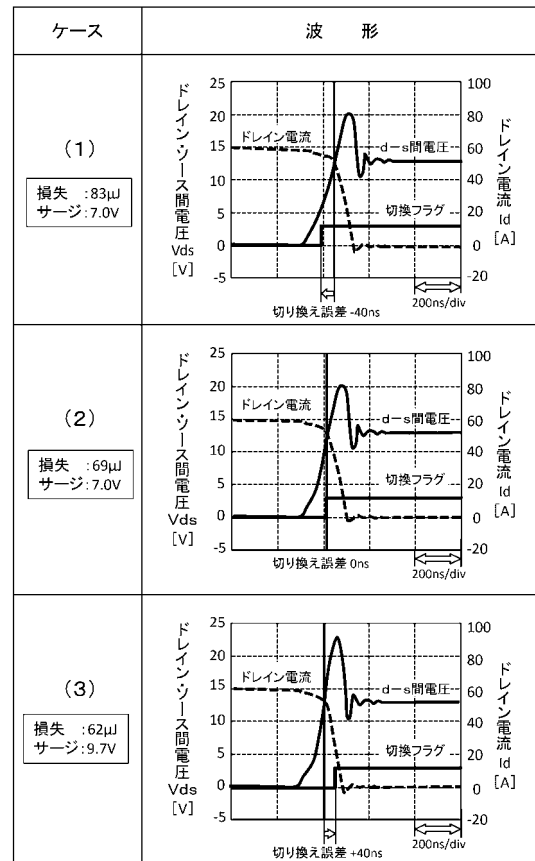
【図 5】

Fig.5



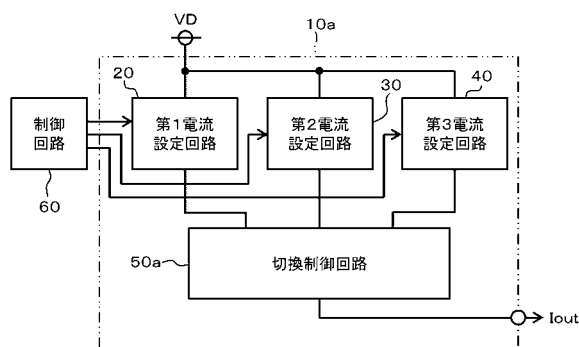
【図 6】

Fig.6



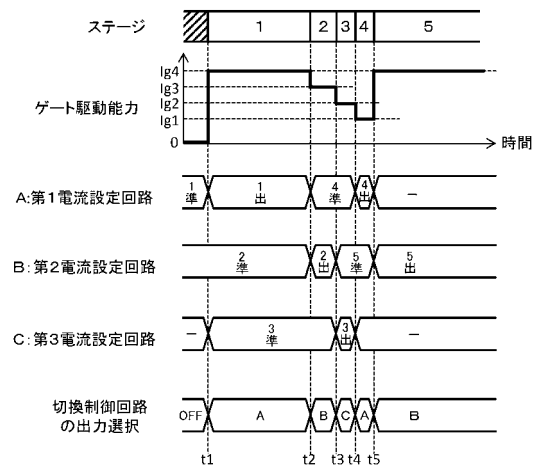
【図 7】

Fig.7



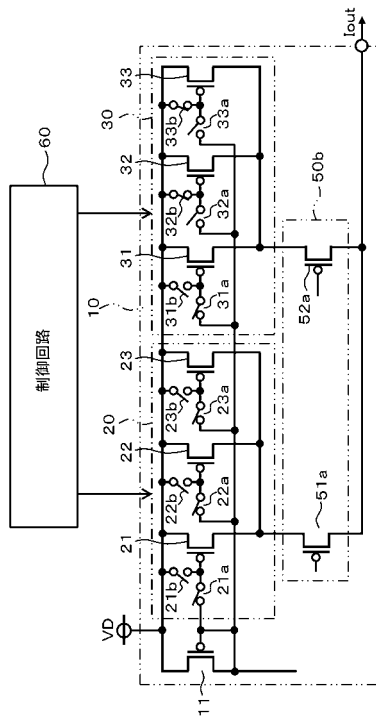
【図 8】

Fig.8



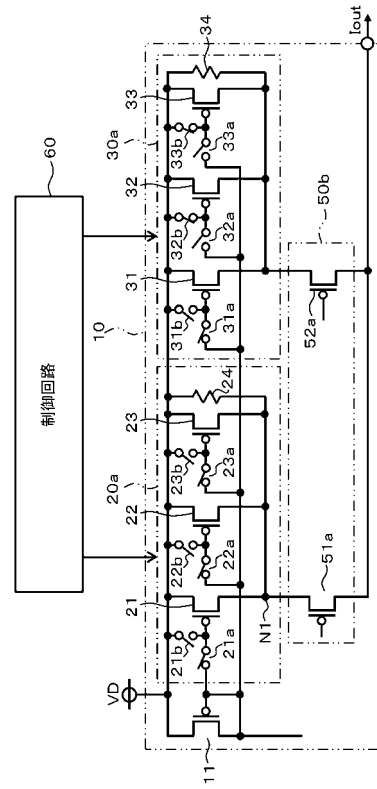
【図 9】

Fig.9



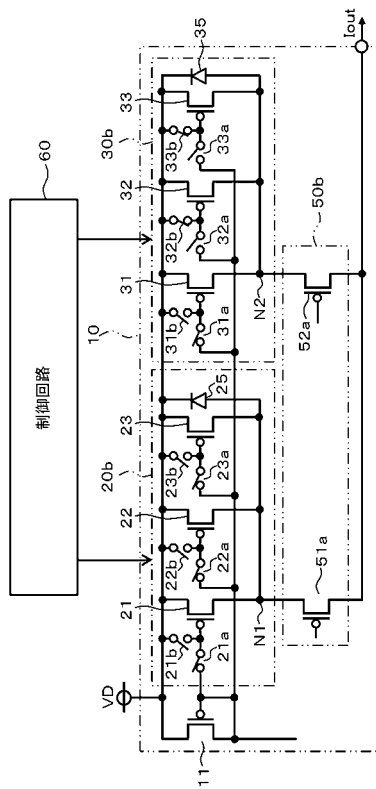
【図 10】

Fig.10



【図 11】

Fig.11



【図 12】

Fig.12

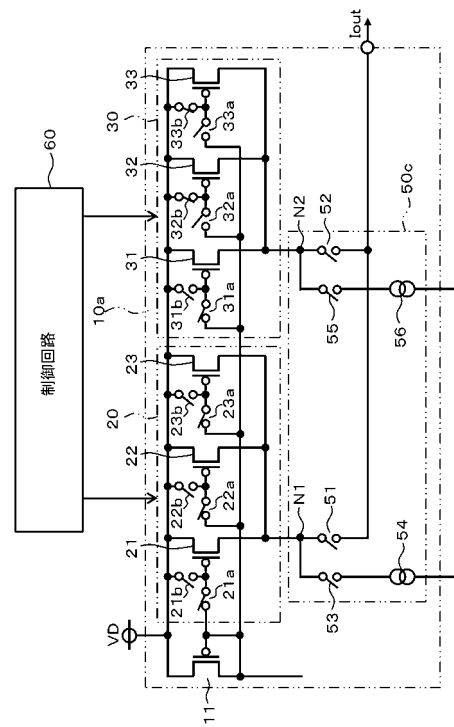
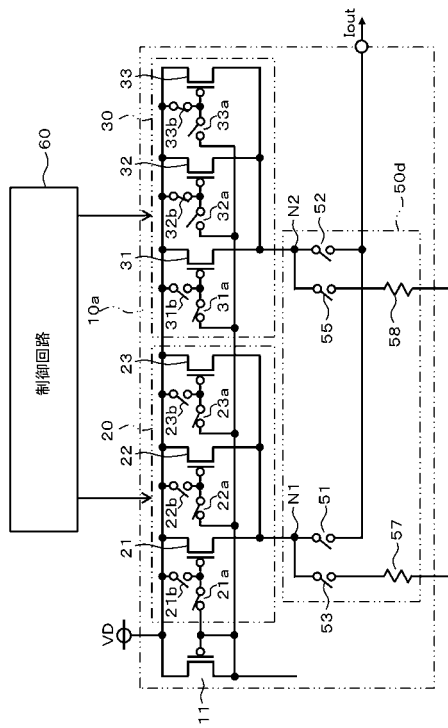


Fig.13



フロントページの続き

(72)発明者 根塚 智裕

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

(72)発明者 伊藤 卓祐

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

F ターム(参考) 5H740 AA05 BA12 BB09 BC01 BC02 HH05 JA01 JB01 KK01

5J055 AX02 BX16 CX20 DX22 DX56 EX01 EX07 EY21 EZ04 GX01

GX02 GX04