



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H03K 17/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월04일 10-0664456 2006년12월27일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0005232 2001년02월03일 2006년01월05일	(65) 공개번호 (43) 공개일자	10-2001-0078319 2001년08월20일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장	09/497,612	2000년02월03일	미국(US)
(73) 특허권자	루센트 테크놀로지스 인크 미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)		
(72) 발명자	웅아드리안케이. 미국07940,뉴저지,매디슨,벨몬트애비뉴26  프로다노프블라디미르아이. 미국07974,뉴저지,뉴프로비던스,호돈드라이브124  타사마우리스제이. 미국07067,뉴저지,콜로니아,모닝사이드로드48		
(74) 대리인	이병호 정상구 신현문 이범래		

심사관 : 여인홍

전체 청구항 수 : 총 17 항

(54) 독립적인 “온” 임피던스를 갖는 샘플링 스위치

(57) 요약

샘플링 디바이스는 샘플 신호의 펄스 열에 응답하여 입력 신호를 샘플링한다. 이 샘플링 디바이스는 샘플 신호에 응답하여 샘플을 작성하기 위한 샘플링 트랜지스터를 포함한다. 샘플링 트랜지스터는 샘플링 트랜지스터의 게이트-소스 전압과 임계 전압사이의 차에 대응하는 임피던스를 갖는다. 또한, 샘플링 디바이스는 제어 신호를 발생하기 위한 제어 디바이스를 포함한다. 제어 디바이스는 샘플 신호에 응답하여 기준 전압을 제공하기 위한 부트스트랩 기준 전압원, 및 샘플 신호에 응답하여 제어 회로 전압을 발생하기 위한 제어 회로를 포함한다, 이러한 설계에 의해서, 제어 신호는 입력 신호와 샘플링 임계 전압의 합을 포함하고, 제어 신호는 제어 회로 전압의 합과 기준 전압을 포함하고, 게이트-소스 전압은 제어 신호와 입력 신호의 차를 포함한다.

대표도

도 2

## 특허청구의 범위

### 청구항 1.

샘플 신호에 응답하여 입력 신호를 샘플링하기 위한 샘플링 디바이스에 있어서, 상기 샘플링 디바이스는,

상기 샘플 신호에 응답하여 상기 입력 신호의 샘플들을 생성하기 위한 샘플링 트랜지스터로서, 상기 샘플링 트랜지스터는 게이트-소스 전압, 임계 전압, 및 상기 게이트-소스 전압과 상기 임계 전압 간의 차에 대응하는 온-임피던스를 갖는, 상기 샘플링 트랜지스터; 및

상기 샘플 신호에 응답하여 제어 신호를 발생함으로써, 상기 샘플링 트랜지스터를 제어하기 위한 제어 디바이스를 포함하고,

상기 제어 디바이스는,

상기 샘플 신호에 응답하여 기준 전압을 제공하기 위한 부트스트랩 기준 전압원; 및

상기 샘플 신호에 응답하여 제어 회로 전압을 발생하기 위한 제어 회로로서, 상기 제어 회로 전압은 상기 입력 신호와 상기 임계 전압의 합을 포함하고, 상기 제어 신호는 상기 제어 회로 전압과 상기 기준 전압의 합을 포함하고, 상기 게이트-소스 전압은 상기 제어 신호와 상기 입력 신호 간의 차를 포함하는, 상기 제어 회로를 포함하는, 샘플링 디바이스.

### 청구항 2.

제 1 항에 있어서,

상기 샘플링 트랜지스터는 MOS 디바이스이고, 상기 제어 신호를 수신하기 위한 게이트, 상기 입력 신호를 수신하기 위한 소스 및 상기 샘플들을 생성하기 위한 드레인을 포함하는, 샘플링 디바이스.

### 청구항 3.

제 2 항에 있어서,

상기 제어 회로는,

입력들로서 상기 입력 신호 및 피드백 루프의 수신에 응답하여 노드 출력을 발생하기 위한 연산 증폭기; 및

상기 노드 출력과 결합된 게이트, 상기 기준 전압과 결합된 드레인, 및 상기 피드백 루프와 결합된 소스를 갖는 제어 MOS 트랜지스터를 포함하는, 샘플링 디바이스.

### 청구항 4.

제 3 항에 있어서,

상기 제어 회로는 상기 피드백 루프가 상기 입력 신호를 포함하도록, 상기 피드백 루프 및 상기 제어 MOS 트랜지스터의 소스와 결합된 정전류원을 포함하는, 샘플링 디바이스.

## 청구항 5.

제 4 항에 있어서,

상기 부트스트랩 기준 전압원은 상기 샘플 신호에 응답하여 상기 기준 전압으로 충전하기 위한 부트스트랩 캐패시터를 포함하는, 샘플링 디바이스.

## 청구항 6.

입력 신호를 샘플링하기 위한 샘플링 디바이스에 있어서, 상기 샘플링 디바이스는,

상기 입력 신호의 샘플들을 생성하기 위한 샘플링 스위치로서, 상기 샘플링 스위치는 턴-온 전압 및 임피던스를 갖는, 상기 샘플링 스위치; 및

상기 샘플링 스위치를 제어하기 위한 제어 신호를 발생하기 위한 제어 디바이스를 포함하고,

상기 제어 디바이스는,

기준 전압을 발생하기 위한 기준 전압원; 및

제어 스위치 전압을 발생하기 위한 제어 스위치로서, 상기 제어 스위치 전압은 상기 입력 전압과 상기 턴-온 전압의 합을 포함하고, 상기 제어 신호는 상기 제어 스위치 전압과 상기 기준 전압의 합을 포함하는, 상기 제어 스위치를 포함하는, 샘플링 디바이스.

## 청구항 7.

제 6 항에 있어서,

상기 샘플링 스위치는, 상기 제어 신호를 수신하기 위한 입력 단자, 상기 입력 신호를 수신하기 위한 제 1 출력 단자, 및 상기 샘플들을 생성하기 위한 제 2 출력 단자를 갖는 제 1 트랜지스터를 포함하는, 샘플링 디바이스.

## 청구항 8.

제 7 항에 있어서,

상기 제어 스위치는,

상기 제어 스위치 전압을 발생하기 위한 연산 증폭기로서, 상기 연산 증폭기는 입력들로서 상기 입력 신호 및 피드백 루프를 수신하는, 상기 연산 증폭기; 및

상기 제어 스위치 전압을 수신하기 위한 입력 단자, 상기 기준 전압과 결합된 제 1 출력 단자, 및 상기 피드백 루프와 결합된 제 2 출력 단자를 갖는 제 2 트랜지스터를 포함하는, 샘플링 디바이스.

## 청구항 9.

제 8 항에 있어서,

상기 제 2 트랜지스터의 상기 제 2 출력 단자는 상기 피드백 루프가 상기 입력 신호를 포함하도록 전류원과 결합되어 있는, 샘플링 디바이스.

## 청구항 10.

제 6 항에 있어서,

상기 기준 전압원은 상기 기준 전압으로 충전하기 위한 부트스트랩 충전 디바이스를 포함하는, 샘플링 디바이스.

## 청구항 11.

입력 신호와 독립하여 샘플링 스위치의 온-임피던스를 생성하는 방법으로서, 상기 샘플링 스위치는 게이트-소스 전압, 임계 전압, 및 상기 게이트-소스 전압과 상기 임계 전압 간의 차에 대응하는 온-임피던스를 포함하는, 상기 샘플링 스위치의 온-임피던스 생성 방법에 있어서, 상기 방법은,

상기 샘플 신호에 응답하여 기준 전압을 제공하는 단계; 및

상기 샘플링 스위치를 제어하기 위해 상기 샘플 신호에 응답하여 제어 신호를 발생하는 단계를 포함하고,

상기 제어 신호를 발생하는 단계는,

상기 샘플 신호에 응답하여 제어 회로 전압을 발생하기 위해 상기 입력 신호와 상기 임계 전압을 합하는 단계;

상기 제어 신호를 발생하기 위해 상기 제어 회로 전압과 상기 기준 전압을 합하는 단계; 및

상기 게이트-소스 전압을 발생하기 위해 상기 입력 신호로부터 상기 제어 신호를 감산하는 단계를 포함하는, 샘플링 스위치의 온-임피던스 생성 방법.

## 청구항 12.

제 11 항에 있어서,

상기 샘플 신호에 응답하여 상기 입력 신호의 샘플들을 생성하는 단계를 더 포함하는, 샘플링 스위치의 온-임피던스 생성 방법.

## 청구항 13.

제 12 항에 있어서,

상기 입력 신호의 샘플들을 생성하는 상기 단계는,

상기 샘플링 스위치의 입력에서 상기 샘플 신호를 수신하는 단계;

상기 샘플링 스위치의 제 1 출력 단자에서 상기 입력 신호를 수신하는 단계; 및

상기 샘플링 스위치의 제 2 출력 단자에서 샘플들을 생성하는 단계를 포함하는, 샘플링 스위치의 온-임피던스 생성 방법.

#### 청구항 14.

제 11 항에 있어서,

제어 회로 전압을 발생하기 위해 상기 입력 신호와 상기 임계 전압을 합하는 상기 단계는,

연산 증폭기에 대한 입력들로서 상기 입력 신호 및 피드백 루프를 수신하는 단계;

제어 트랜지스터의 게이트에서 연산 증폭기 출력을 수신하는 단계;

상기 기준 전압과 상기 제어 트랜지스터의 드레인을 결합하는 단계; 및

상기 연산 증폭기의 상기 피드백 루프와 상기 제어 트랜지스터의 소스를 결합하는 단계를 포함하는, 샘플링 스위치의 온-임피던스 생성 방법.

#### 청구항 15.

제 14 항에 있어서,

상기 제어 트랜지스터의 소스를 결합하는 상기 단계는, 상기 피드백 루프가 상기 입력 신호를 포함하도록 상기 제어 트랜지스터의 소스와 전류원을 결합하는 단계를 포함하는, 샘플링 스위치의 온-임피던스 생성 방법.

#### 청구항 16.

제 11 항에 있어서,

상기 샘플 신호에 응답하여 상기 기준 전압으로 충전하는 단계를 더 포함하는, 샘플링 스위치의 온-임피던스 생성 방법.

#### 청구항 17.

아날로그 입력 신호를 디지털 출력 신호로 변환하기 위한 아날로그-디지털 변환기에 있어서,

상기 아날로그 입력 신호를 샘플링하고 출력 샘플들을 생성하기 위한 샘플링 디바이스로서,

상기 샘플링 디바이스는,

상기 샘플 신호에 응답하여 상기 입력 신호의 샘플들을 생성하기 위한 샘플링 트랜지스터로서, 게이트-소스 전압, 임계 전압, 상기 게이트-소스 전압과 상기 임계 전압 간의 차에 대응하는 온-임피던스를 갖는, 상기 샘플링 트랜지스터; 및

상기 샘플 신호에 응답하여 제어 신호를 발생함으로써, 상기 샘플링 트랜지스터를 제어하기 위한 제어 디바이스를 포함하고,

상기 제어 디바이스는,

상기 샘플 신호에 응답하여 기준 전압을 제공하기 위한 부트스트랩 기준 전압원; 및

상기 샘플 신호에 응답하여 제어 회로 전압을 발생하기 위한 제어 회로로서, 상기 제어 회로 전압은 상기 입력 신호와 상기 임계 전압의 합을 포함하고, 상기 제어 신호는 제어 회로 전압과 상기 기준 전압의 합을 포함하고, 상기 게이트-소스 전압은 상기 제어 신호와 상기 입력 신호의 차를 포함하는, 상기 제어 회로를 포함하는, 상기 샘플링 디바이스;

상기 출력 샘플들을 홀딩하기 위한 홀딩 디바이스;

상기 출력 샘플들을 양자화하기 위한 양자화 디바이스; 및

상기 양자화된 출력 샘플들을 엔코딩하기 위한 엔코딩 디바이스를 포함하는, 아날로그-디지털 변환기.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 샘플 및 홀드 회로에 관한 것이고, 특히, 샘플링되는 입력 신호와 독립적인 "온(on)" 임피던스를 갖는 샘플링 스위치에 관한 것이다.

전자 디바이스들 내 전력 소모를 줄이는 상업적인 구동 장치가 존재한다. 이러한 노력을 지지하여, 산업 분야에서는 높은 전력을 소모하는 아날로그 구성 요소의 사용을 최소화하는 디지털 신호 처리 기술 개발을 시도해왔다. 디지털 처리는 아날로그-디지털 변환기("ADC(analog-to-digital coverter)")를 사용하여 연속적인 아날로그 신호들의 디지털 데이터 포맷으로의 변환을 필요로 한다.

아날로그-디지털 변환기는 아날로그 신호들을 일련의 기능적 단계를 수행함으로써 이산 디지털 데이터로 변환한다. 이들 처리 단계는 샘플링, 홀딩, 양자화 및 엔코딩을 포함한다. 독특하지만, 이들 4 단계는 독립적인 동작으로서 수행될 필요가 없다. 예를 들면, 단일 회로를 사용하여 동시에 샘플링 및 홀딩 기능을 수행하는 것은 알려져 있다.

도 1a 및 1b를 참조하면, 아날로그 신호( $V_{IN}$ )를 샘플링 및 홀딩하기 위한 알려진 회로(10)가 도시된다. 샘플 및 홀드 회로(10)는 연속적인 아날로그 신호( $V_{IN}$ )를 수신하기 위한 소스를 갖는 금속 산화물 반도체("MOS(metal oxide semiconductor)") 형 트랜지스터( $M_a$ )를 포함한다. 또한, 트랜지스터( $M_a$ )의 게이트는 일련의 펄스를 포함하는 샘플 신호( $\Phi_a$ )를 수신한다. 샘플 신호( $\Phi_a$ )의 각각의 펄스는 폭( $\tau$ )과 샘플링 주기( $T_s$ )를 갖는다. 도 1b에 도시된 바와 같이, 샘플 신호( $\Phi_a$ )의 샘플링 펄스가 트랜지스터( $M_a$ )의 게이트에 의해 수신될 때의 간격에서, 연속적인 아날로그 신호( $V_{IN}$ )의 상대적 높이 및 펄스의 펄스 폭에 대응하는 분할된 부분은 샘플로서 포착된다. 그에 따라, 샘플은 임시 저장을 위한 캐패시터( $C_a$ )로 이동되고, 홀드된 샘플은  $V_{OUT}$ 에 의해 표시된다.

아날로그-디지털 변환기의 한가지 문제점은, 특히 MOS 기술에서 실행될 때, 샘플링 스위치의 임피던스의 선형성(linearity)이다. 도 1a의 회로와 같이, MOS 트랜지스터( $M_a$ )는,  $V_{OUT}$  내에서 발견된 샘플들을 생성하는 샘플 신호( $\Phi_a$ )에 의해 턴 온 및 턴 오프된다. 그러나, 관계는 회로(10)의 스위치의 고유 임피던스와 입력 신호( $V_{IN}$ ) 사이에 존재한다. 샘플 신호( $\Phi_a$ )의 샘플링 펄스를 수신할 때, 회로(10)의 스위치의 임피던스는 펄스 폭( $\tau$ )의 지속 동안 트랜지스터( $M_a$ )의 임계 전압(" $V_{TH}$ ")과 트랜지스터( $M_a$ )의 게이트-소스 전압( $V_{GS}$ ) 간 차의 함수이다. 회로(10)의 스위치의 임피던스는, 샘플링 펄스가 트랜지스터( $M_a$ )에 의해 수신되는 동안, 또한  $R_{ON}$ 으로서 불리고, 다음의 공식에 의해 수학적으로 표현될 수 있다.

$$R_{ON} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})}$$

여기서,  $\mu_n$ 은 전자 이동성이고,  $C_{ox}$ 는 게이트 산화물의 캐패시턴스이며,  $W$ 는 폭이며,  $L$ 은 비논리적인 트랜지스터의 드레인 소스 간 전압( $V_{DS}$ )과 제곱 법칙 작용(square law behavior)의 적응성을 가정하는 트랜지스터( $M_a$ )의 채널의 길이이다. 도 1a의 회로(10)의 관점에서 위의 수학적 표현에 의해 보여질 수 있는 바와 같이,  $V_{GS}$ 는 샘플 신호의 펄스의 "온" 피크 전압( $\Phi_a$  또는  $V_{DD}$ )과 입력 신호( $V_{IN}$ ) 사이의 차와 같다.

더욱이,  $V_{TH}$ 는 소스 벌크 전압( $V_{SB}$ )에 의해  $V_{IN}$ 과 함수적으로 대응한다.  $V_{TH}$ 는 다음의 공식에 의해 수학적으로 표현될 수 있다.

$$V_{TH} = V_{TH0} + \gamma * \left[ \sqrt{2|\Phi_f| + V_{SB}} - \sqrt{2|\Phi_f|} \right]$$

여기서  $V_{TH0}$ 는 초기 임계 전압 상수이고,  $\gamma$ 는 본체 효과 매개변수이며,  $\Phi_f$ 는 트랜지스터( $M_a$ )의 퀴시-페르미 전위(quasi-Fermi potential)이다.

상기 수학적 표현이 주어질 때, "온" 저항( $R_{ON}$ )은 따라서 입력 신호( $V_{IN}$ )의 비선형 함수이다. 특히,  $V_{IN}$ 의 입력 전압 레벨이 급격히 변한다면, 신호 왜곡은 일반적으로 입력 신호( $V_{IN}$ )와  $R_{ON}$ 의 수학적 관계의 당연한 부산물이다. 따라서, 보다 낮은 신호 왜곡에 대한 노력은 입력 신호( $V_{IN}$ )에 대한 의존뿐만 아니라  $R_{ON}$ 의 값을 감소시키는데 집중되어 왔다.

몇 가지 해법들은 입력 신호( $V_{IN}$ )에 대한  $R_{ON}$ 의 의존을 감소시키도록 제안되어 왔다. 그러나, 각각의 이들 접근은 특별한 결점들을 갖는다. 이러한 제한은, 샘플 신호의 주파수가  $V_{IN}$ 보다 훨씬 크거나 그렇지 않거나 여부와 관계없이, 입력 신호( $V_{IN}$ ) 상의  $V_{TH}$ 와 이어서 입력 신호( $V_{IN}$ )를 갖는  $R_{ON}$  사이의 의존 관계를 제거하는데 실패할 뿐만 아니라 증가하는 부가적인 비선형성을 포함한다.

### 발명이 이루고자 하는 기술적 과제

그러므로, 게이트 소스 전압, 및 이어서 샘플링되는 입력 신호로부터 독립한 "온" 임피던스( $R_{ON}$ )를 갖는 스위치를 포함하는 샘플링 디바이스를 제공할 필요가 있다. 마찬가지로, 임계 전압, 및 이어서 샘플링되는 입력 신호로부터 독립한 "온" 임피던스( $R_{ON}$ )를 갖는 스위치를 포함하는 샘플링 디바이스에 대한 요구가 또한 존재한다. 더욱이, 샘플 신호의 주파수가 입력 신호의 그것보다 훨씬 크거나 그렇지 않은지 여부와 관계없이, 부가적인 비선형성을 증가시키지 않는, 샘플링되는 입력 신호로부터 독립한 "온" 임피던스를 포함하는 스위치를 갖는 샘플링 디바이스가 필요하다.

### 발명의 구성

샘플 신호에 응답하여 입력 신호를 샘플링하기 위한 샘플링 디바이스가 개시된다. 샘플링 디바이스는 샘플 신호에 응답하여 입력 신호의 샘플을 생성하기 위한 샘플링 트랜지스터를 포함한다. 샘플링 트랜지스터는 게이트-소스 전압, 임계 전압, 게이트-소스 전압과 임계 전압 사이의 차에 대응하는 "온" 임피던스를 갖는다. 또한, 샘플링 디바이스는 샘플 신호에 응답하여 제어 신호를 생성함으로써 샘플링 트랜지스터를 제어하기 위한 제어 디바이스를 포함한다. 제어 디바이스는 샘플 신호에 응답하여 제어 회로 전압을 생성하기 위한 제어 회로뿐만 아니라 샘플 신호에 응답하여 기준 전압을 제공하기 위한 부트스트랩 기준 전압원을 포함한다. 제어 신호가 제어 회로 전압과 기준 전압의 합을 포함하는 반면에, 제어 회로 전압은 입력 신호와 임계 전압의 합을 포함한다. 이러한 배열에 의해, 샘플링 트랜지스터의 게이트-소스 전압은 제어 신호와 입력 신호 간의 차를 포함한다.

본 발명의 다른 실시예에서, 제어 회로는 입력으로서 피드백 루프와 입력 신호의 수신에 응답하여 노드 출력을 생성하기 위한 연산 증폭기를 제공한다. 제어 회로는 또한 제어 MOS 트랜지스터를 포함한다. 제어 MOS 트랜지스터는 노드 출력과 결합된 게이트, 및 예를 들면, 기준 전압과 같은 전원 전압과 결합된 드레인 및 피드백 루프와 결합된 소스를 갖는다.

본 발명의 또 다른 실시예에서, 제어 회로는 정전류원(fixed current source)을 제공한다. 정전류원은 제어 MOS 트랜지스터와 피드백 루프의 소스와 결합된다. 이러한 배열에 의해, 피드백 루프는 입력 신호를 포함한다.

본 발명의 또 다른 실시예에서, 샘플링 디바이스는 입력 신호를 샘플링하기 위해 제공된다. 샘플링 디바이스는 입력 신호의 샘플들을 생성하기 위한 샘플링 스위치를 포함한다. 샘플링 스위치는 턴 "온" 전압과 임피던스를 갖는다. 또한, 샘플링 디바이스는 샘플링 스위치를 제어하는 제어 신호를 생성하기 위한 제어 디바이스를 포함한다. 제어 디바이스는 기준 전압을 생성하기 위한 기준 전압원과 제어 스위치 전압을 생성하기 위한 제어 스위치를 포함한다. 제어 스위치 전압은 입력 신호와 턴 온 전압의 합을 포함한다. 또한, 제어 신호는 제어 스위치 전압과 기준 전압의 합을 포함한다.

본 발명의 또 다른 실시예에서, 제어 스위치는 제어 스위치 전압을 생성하기 위한 연산 증폭기를 포함한다. 연산 증폭기는 입력으로서 피드백 루프와 입력 신호를 수신한다. 제어 스위치는 제어 스위치 전압을 수신하기 위한 입력 단자, 예를 들면, 기준 전압과 같은 전원 전압과 결합된 제 1 출력 단자, 및 피드백 루프와 결합된 제 2 출력 단자를 갖는 제 2 트랜지스터를 포함한다.

본 발명의 다른 실시예에서, 제어 스위치 내의 제 2 트랜지스터의 제 2 출력 단자는 피드백 루프가 입력 신호를 포함하도록 전류원과 결합된다.

본 발명의 다른 실시예에서, 방법은 입력 신호로부터 독립한 샘플링 스위치의 "온" 임피던스를 제조하도록 제공된다. 샘플링 스위치는 게이트-소스 전압, 임계 전압을 수신하고, 게이트-소스 전압과 임계 전압 간의 차에 대응하는 온-임피던스를 갖는다. 상기 방법은 샘플 신호에 응답하여 기준 전압을 제공하는 단계, 및 샘플링 스위치를 제어하는 샘플 신호에 응답하여 제어 신호를 생성하는 단계를 포함한다. 제어 신호를 생성하는 단계는 샘플 신호에 응답하여 제어 회로 전압을 생성하는 임계 전압과 입력 신호를 합하는 단계, 및 제어 신호를 생성하는 기준 전압과 제어 회로 전압을 합하는 단계, 및 게이트-소스 전압을 생성하는 입력 신호로부터 제어 신호를 감산하는(differentiating) 단계를 포함한다.

본 발명의 다른 실시예에서, 제어 회로 전압을 생성하는 임계 전압과 입력 신호를 합하는 단계는 연산 증폭기에 대한 입력으로서 피드백 루프와 입력 신호를 수신하는 단계, 및 제어 트랜지스터의 게이트에서 연산 증폭기 출력을 수신하는 단계, 및 예를 들면, 기준 전압과 같은 전원 전압과 제어 트랜지스터의 드레인을 결합하는 단계, 및 연산 증폭기의 피드백 루프와 제어 트랜지스터의 소스를 결합하는 단계를 포함한다.

본 발명의 다른 실시예에서, 제어 트랜지스터의 소스를 결합하는 단계는 피드백 루프가 입력 신호를 포함하도록 제어 트랜지스터의 소스와 전류원을 결합하는 단계를 포함한다.

본 발명의 다른 실시예에서, 아날로그-디지털 변환기는 아날로그 입력 신호를 샘플링하고, 출력 샘플들을 생성하기 위한 샘플링 디바이스를 이용하여 제공된다. 상기 샘플링 디바이스는 샘플 신호에 응답하여 입력 신호의 샘플들을 생성하기 위한 샘플링 트랜지스터를 포함한다. 샘플링 트랜지스터는 게이트-소스 전압, 임계 전압, 및 게이트-소스 전압과 임계 전압 사이의 차에 대응하는 온-임피던스를 포함한다. 상기 샘플링 디바이스는 샘플 신호에 응답하여 제어 신호를 생성함으로써 샘플링 트랜지스터를 제어하기 위한 제어 디바이스를 포함한다. 상기 제어 디바이스는 샘플 신호에 응답하여 기준 전압을 제공하기 위한 부트스트랩 기준 전압원, 및 샘플 신호에 응답하여 제어 회로 전압을 생성하기 위한 제어 회로를 포함한다. 설계에 의해, 제어 회로 전압은 입력 신호와 임계 전압의 합을 포함하고, 제어 신호는 제어 회로 전압과 기준 전압의 합을 포함하며, 게이트-소스 전압은 제어 신호와 입력 신호 간 차이를 포함한다. 또한 아날로그-디지털 변환기는 출력 샘플들을 홀딩하기 위한 홀딩 디바이스, 출력 샘플들을 양자화하기 위한 양자화 디바이스, 및 양자화된 출력 샘플들을 엔코딩하기 위한 엔코딩 디바이스를 포함한다.

본 발명의 한가지 이점은 게이트 소스 전압, 및 이어서 입력 신호로부터 독립한 "온" 임피던스( $R_{ON}$ )를 갖는 스위치를 포함하는 샘플링 디바이스를 제공하는 것이다.

본 발명의 다른 이점은 임계 전압, 및 이어서 입력 신호로부터 독립한 "온" 임피던스를 갖는 스위치를 가진 샘플링 디바이스를 제공하는 것이다.

더욱이, 본 발명의 또 다른 이점은, 샘플 신호의 주파수가 입력 신호보다 훨씬 크거나 그렇지 않은지 여부와 관계없이, 부가적인 비선형성을 증가시키지 않는 입력 신호로부터 독립한 "온" 임피던스를 가진 스위치를 포함한 샘플링 디바이스를 제공하는 것이다.

다른 실시예와 이점들은 아래에 첨부된 도면과 부가된 청구항과 관련하여 다음의 상세한 설명을 검토함으로써 당업자에게 명백해질 것이다.



본 발명은, 첨부된 도면을 참조하여, 실시예에 제한되지 않는 다음의 상세한 설명을 검토함으로써 더 잘 이해될 것이다.

본원의 도면이 전체가 아니라 단지 개략적인 표시이며, 아래의 정보를 실시함으로써 당업자에 의해 결정될 수 있는 본 발명의 특정 매개 변수 또는 구조적인 세부를 도시하도록 의도되지 않음은 강조되어야 한다.

도 2를 참조하면, 입력 신호로부터 독립하여 "온" 임피던스를 갖는 샘플링 디바이스(20)의 블록도는 본 발명의 제 1 실시예에 따라서 예시된다. 샘플링 디바이스(20)는 입력 신호( $V_{IN}$ )의 샘플들( $V_{OUT}$ )을 생성하기 위한 샘플링 스위치(25)와 캐패시터( $C_s$ )와 같은 각각의 샘플을 홀딩하기 위한 디바이스를 포함한다. 입력 신호( $V_{IN}$ )의 생성된 샘플들은 제어 신호( $\Psi_{cs}$ )에 응답하여 생성된다. 제어 신호( $\Psi_{cs}$ )는 샘플링 스위치(25)를 제어하기 위한 제어 디바이스(30)에 의해 생성되고, 샘플 신호( $\Phi_s$ )로부터 유도된다.

샘플 신호( $\Phi_s$ )는 적어도 2개의 펄스 열( $\Phi_{son}$  및  $\Phi_{soff}$ )을 포함한다. 펄스 열( $\Phi_{son}$ )이 수신될 때, 제어 신호( $\Psi_{cs}$ )는 샘플링 스위치(25)가 입력 신호( $V_{IN}$ )의 샘플을 포착하도록 한다. 반대로, 펄스 열( $\Phi_{soff}$ )이 제어 디바이스(30)에 의해 수신될 때, 제어 신호( $\Psi_{cs}$ )는 샘플링 스위치(25)가 샘플을 포착하지 못하도록 한다. 샘플 신호( $\Phi_s$ )의 시간 순서를 미미킹(mimicking)하는 동안, 아래의 기재로부터 명확해 지는 바와 같이, 제어 신호( $\Psi_{cs}$ )는 펄스 열( $\Phi_{son}$ ) 내의 펄스들에 의해 생성된 전압 레벨에 의해 샘플 신호( $\Phi_s$ )로부터 구별된다.

제어 신호( $\Psi_{cs}$ )의 함수적 목적을 실행하기 위해, 제어 디바이스(30)는 기준 전압원(35) 및 제어 스위치(40)를 포함한다. 기준 전압원은, 펄스 열( $\Phi_{son}$ )로부터의 펄스 수신에 응답하여, 기준 전압( $V_{DD}$ )을 생성한다. 본 발명의 일 실시예에서, 기준 전압원(35)은 샘플 신호( $\Phi_s$ )의 펄스 열에 의존하는 샘플링 디바이스(20)의 기준 전압에 충전하는 부트스트랩 충전 디바이스에 의해 실행된다. 펄스 열( $\Phi_{soff}$ )의 수신 동안, 부트스트랩 디바이스는, 예를 들면, 펄스 열( $\Phi_{son}$ )이 제어 디바이스(30)에 의해 수신될 때, 기준 전압을 생성하는 스위치에 의해 기준 전압으로 충전된다. 이러한 함수적인 목적이 제공되도록, 다른 실시예에서, 부트스트랩 충전 디바이스는 적어도 하나의 캐패시터를 포함한다.

더욱이, 제어 디바이스(30)는 펄스 열( $\Phi_{son}$ )에 응답하여 제어 스위치 전압( $V_{CSV}$ )을 생성하기 위한 제어 스위치(40)를 포함한다. 제어 스위치 전압( $V_{CSV}$ )은 샘플링 스위치(25)에 의해 수신된 입력 신호의 합과 턴 "온" 또는 스위치(25)의 임계 스위치 전압( $V_{TH}$ )을 포함한다. 임계 스위치 전압( $V_{TH}$ )은, 제어 신호( $\Psi_{cs}$ )가 위의 임계 스위치 전압( $V_{TH}$ )일 때만, 샘플링 스위치가 입력 신호( $V_{IN}$ )의 샘플을 포착하도록, 스위치가 온 또는 오프인지 여부와 같은 경계를 설정하는 고유의 전압 레벨이다.

본 발명의 일 실시예에서, 제어 스위치(40)는 입력 신호( $V_{IN}$ )와 임계 스위치 전압( $V_{TH}$ )을 합하기 위한 합산 디바이스를 포함한다. 합산 디바이스는 펄스 열( $\Phi_{son}$ )에 응답하여, 스위치가 제어 스위치 전압( $V_{CSV}$ )을 생성 가능하게 하는 기계 장치에 더 결합된다.

제어 디바이스(30)는 기준 전압원(35)의 출력과 제어 스위치(40)를 합하기 위한 제 2 합산 디바이스를 더 포함한다. 출력의 이들 합은 제어 신호( $\Psi_{cs}$ )를 산출한다. 따라서, 샘플 신호( $\Phi_s$ )의 펄스 열( $\Phi_{son}$ )이 기준 전압원(35)과 제어 스위치(40)에 의해 수신될 때, 제어 신호( $\Psi_{cs}$ )는 제어 스위치 전압( $V_{CSV}$ )과 기준 전압( $V_{DD}$ )의 합을 포함한다.

상기 요소들의 배열에 의해, 샘플링 스위치(25)는 실질적으로 유사한 타이밍 기법으로, 샘플 신호( $\Phi_s$ )로부터 변경된 전압 레벨을 갖는 제어 신호( $\Psi_{cs}$ )를 수신한다. 본 발명의 일 실시예에서, 샘플링 스위치(25)는 MOS 또는 등가형 트랜지스터에 의해 실행된다. 본원에서, 그러한 트랜지스터의 입력 또는 게이트는 제어 신호( $\Psi_{cs}$ )를 수신한다. 제 1 출력 단자 또는 소스는 입력 신호( $V_{IN}$ )를 수신한다. 제 2 출력 단말 또는 드레인인 샘플들( $V_{OUT}$ )을 생성한다. 트랜지스터의 입력과 제 1 출력 단자 간의 트랜지스터 임피던스는 제어 신호( $\Psi_{cs}$ )와 입력 신호( $V_{IN}$ ) 간의 전압차의 함수이고, 이는 회로 분석을 수행함으로써 결정된다. 제어 신호( $\Psi_{cs}$ )의 전압 레벨이 주어진, 샘플 신호( $\Phi_s$ )의 펄스 열( $\Phi_{son}$ ) 동안의 이 임피던스는 따라서 입력 신호( $V_{IN}$ )와 독립이다.

상술된 실현은 트랜지스터의 임피던스가 트랜지스터의 입력과 제 1 출력 단자 간의 차, 또는 예컨대 게이트-소스 전압( $V_{GS}$ )과  $V_{TH}$  간의 차에 수학적으로 종속함을 인지함으로써 더 명확하게 된다. 이 관계로부터,  $V_{GS}$ 가,  $V_{CSV}$ 와  $V_{DD}$ 의 합과 입력 신호( $V_{IN}$ ) 간의 차로서 다시 기재할 수 있는, 제어 신호( $\Psi_{cs}$ )와 입력 신호( $V_{IN}$ ) 간의 차를 포함함이 명백하다.  $V_{CSV}$ 가  $V_{IN}$ 과  $V_{TH}$ 의 합과 동일하므로,  $V_{GS}$ 는  $V_{DD}$ 와  $V_{TH}$ 의 합으로서 결국 표현될 수 있다. 따라서,  $V_{GS}$ 와  $V_{TH}$  간의 유효한 차는 기준 전압( $V_{DD}$ )으로서 표현될 수 있다.

도 3a 및 3b를 참조하면, 입력 신호로부터 독립하여 "온" 임피던스를 갖는 샘플링 회로(50) 및 대응하는 시간도는 본 발명의 다른 실시예에 따라서 도시된다. 샘플링 회로(50)는 입력 신호( $V_{IN}$ )의 샘플을 포착하고 생성하기 위한 샘플링 트랜지스터( $M_s$ )와 캐패시터( $C_s$ )와 같은 각각의 샘플을 홀딩하기 위한 디바이스를 포함한다. 입력 신호( $V_{IN}$ )의 생성된 샘플들은 샘플 신호( $\Phi_s$ )에 응답하여 생성된다.

도 3b를 참조하면, 샘플 신호( $\Phi_s$ )는 적어도 2개의 펄스 열( $\Phi_{son}$  및  $\Phi_{soff}$ )을 포함한다. 펄스 열( $\Phi_{son}$ )에 응답하여, 샘플링 트랜지스터( $M_s$ )는 입력 신호( $V_{IN}$ )의 샘플들을 포착 가능하게 된다. 반대로, 샘플링 트랜지스터( $M_s$ )는 펄스 열( $\Phi_{soff}$ )에 응답하여 샘플들을 포착할 수 없게 된다.

본 발명의 일 실시예에서, 샘플링 트랜지스터( $M_s$ )는 MOS형 디바이스이다. 그러한 배열에서, 샘플링 트랜지스터( $M_s$ )는 임계 전압( $V_{TH}$ )뿐만 아니라 게이트로부터 그 소스( $V_{GS}$ )까지의 전압을 포함한다. 임계 전압( $V_{TH}$ )은 더 높은 전압값이 트랜지스터( $M_s$ )를 "온" 시키고, 더 낮은 전압값이 트랜지스터( $M_s$ )를 오프시키는 것으로부터 샘플링 트랜지스터의 전압 레벨이다. 트랜지스터( $M_s$ )는 더욱이 펄스 열( $\Phi_{son}$ )에 응답하여  $V_{GS}$ 와  $V_{TH}$  간의 전압 차에 수학적으로 대응하는 "온" 임피던스를 갖는다. 그러나,  $V_{GS}$ 와  $V_{TH}$  양쪽의 값은 입력 신호( $V_{IN}$ )에 의존한다.

입력 신호( $V_{IN}$ )와  $V_{GS}$  및  $V_{TH}$  양쪽 사이의 관계의 관점에서, 제어 디바이스(55)는 샘플링 트랜지스터( $M_s$ )에 결합된다. 제어 디바이스(55)는 제어 신호를 생성함으로써 샘플링 트랜지스터( $M_s$ )의  $V_{GS}$ 를 제어한다. 샘플링 트랜지스터( $M_s$ )를 제어하기 위한 제어 신호는 제어 회로 전압을 포함한다.

제어 디바이스(55)는 부트스트랩 기준 전압원을 포함한다. 본 발명의 일 실시예에서, 부트스트랩 기준 전압원은 샘플 신호( $\Phi_s$ )가 펄스 열( $\Phi_{son}$ )을 포함할 때, 기준 전압원을 제공하는 캐패시터( $C_{BOOT}$ )를 야기하는 일련의 스위치와 캐패시터( $C_{BOOT}$ )를 포함한다.

더욱이, 제어 디바이스(55)는 펄스 열( $\Phi_{son}$ )에 응답하여 제어 회로 전압을 생성하기 위한 제어 회로를 포함한다. 제어 회로는 제어 트랜지스터( $M_c$ )를 포함한다. 일 실시예에서, 제어 트랜지스터( $M_c$ )는 드레인과 소스와 게이트를 갖는 MOS형 디바이스이다. 제어 트랜지스터( $M_c$ )의 소스는 노드(A)에서 정전류원(60)에 결합된다. 트랜지스터( $M_c$ )의 드레인이 기준 전압( $V_{DD}$ )에 유리하게 결합되는 동안, 선택적으로, 트랜지스터( $M_c$ )의 동작 상태를 유지하기 위한 전원 전압은 또한 이용될 수 있다.

정전류원(60)은 노드(A)와 트랜지스터( $M_c$ )의 소스를 통해 고정된 전류를 제공함으로써 트랜지스터( $M_c$ )의 동작 상태를 함수적으로 유지한다. 더욱이, 트랜지스터( $M_c$ )의 게이트는 노드(B)에서 연산 증폭기(65)의 출력에 결합된다. 연산 증폭기(65)는 펄스 열( $\Phi_{son}$ )에 응답하여 노드(A)에서 전압과 입력 신호( $V_{IN}$ ) 모두를 입력으로서 수신한다. 피드백 루프는, 노드(B)에서 연산 증폭기(65)의 출력이 트랜지스터를 구동하도록, 노드(A 및 B)에 의해 트랜지스터( $M_c$ ) 및 연산 증폭기(65) 사이에서 생성된다. 이러한 구성에 의해, 제어 회로 전압은 펄스 열( $\Phi_{son}$ )에 응답하여 노드(B)에서의 전압을 포함한다. 노드(B)에서의 전압은 펄스 열( $\Phi_{son}$ )에 응답하여 트랜지스터( $M_c$ )의 임계 전압과 입력 신호( $V_{IN}$ )의 합을 포함한다.

펄스 열( $\Phi_{son}$ )에 응답하는 제어 회로의 동작의 관점에서, 제어 디바이스(55)에 의해 생성된 제어 신호는 노드(B)에서 생성된 제어 회로 전압의 합과 부트스트랩 기준 전압원에 의해 생성된 기준 전압을 포함한다. 이들 전압의 합은 샘플링 트랜지스터( $M_s$ )의 게이트 내로 제공된다. 그렇게 하여, 샘플링 트랜지스터( $M_s$ )의 소스 게이트 간 전압은 제어 신호와 입력 신호

( $V_{IN}$ ) 간의 차와 같다. 이들 용어는, 소스 게이트 간 전압( $V_{GS}$ )이  $V_{DD}$ 와  $V_{TH}$ 의 합으로서 표현될 수 있도록,  $V_{IN}$ ,  $V_{TH}$  및  $V_{DD}$ 의 합인 제어 신호를 다시 부여함으로써 단순화될 수 있다. 샘플 신호( $\Phi_s$ )의 함수로서 게이트-소스 전압( $V_{GS}$ ) 값은 도 3b에 도시된다.

상술된 바와 같이, "온" 임피던스에 대한 수학적 표현은 게이트-소스 전압( $V_{GS}$ )과 샘플링 트랜지스터의 임계 전압( $V_{TH}$ ) 사이의 차의 함수이다. 그러므로, 상기 회로로부터 유도된 값을 이용하는  $V_{GS}$ 와  $V_{TH}$  사이의 이러한 차이는  $V_{TH} + V_{DD} - V_{TH}$  또는 간단히  $V_{DD}$ 로 귀착한다.  $V_{DD}$ 가 안정한 전원 전압으로 주어진다면, 샘플링 트랜지스터( $M_s$ )의 "온" 임피던스는 입력 신호( $V_{IN}$ )로부터 독립적이다.

샘플링 및 제어 트랜지스터( $M_s$  및  $M_c$ ) 모두에 대해 동일한 임계 전압( $V_{TH}$ )을 선택하는 위의 샘플링 디바이스에서 유리하다는 것은 주목되어야 한다. 그렇게 하여, 일반적으로 "온" 임피던스의 유도와 특히, 샘플링 트랜지스터의  $V_{GS}$ 와  $V_{TH}$  간의 차는 임계 조건(threshold terms)이 회로 분석을 수행할 시 보다 효율적으로 드롭 아웃 가능하게 한다. 그러나, 샘플링 및 제어 트랜지스터( $M_s$  및  $M_c$ ) 모두에 대한 임계 전압( $V_{TH}$ ) 내의 변수들은, 본 명세서를 검토할 때, 통상의 당업자 중 한 사람에게 다양한 수단에 의해 명백해지는데 충분하다.

상술된 바와 같이, 제어 회로 및 부트스트랩 기준 전압원은 샘플링 트랜지스터( $M_s$ )를 제어하는 일련의 스위치들을 포함한다. 이들 스위치는 도 3b에서 잘 이해된다. 펄스 열( $\Phi_{soff}$ )이 생성될 때, 일련의 스위치들은 샘플링 트랜지스터( $M_s$ )를 접지한다. 더욱이, 펄스 열( $\Phi_{soff}$ )은 제어 디바이스(55)로부터 샘플링 트랜지스터( $M_s$ )와 분리되고, 임계 전압이 초과되지 않기 때문에, 트랜지스터( $M_s$ )는, 샘플들이 입력 신호( $V_{IN}$ )에 포착되지 않도록 턴 오프된다. 동일한 주기동안, 부트스트랩 캐패시터( $C_{BOOT}$ )는 그라운드와 기준 전압원 사이에 결합되고, 제어 회로의 나머지에서 분리된다. 부트스트랩 캐패시터( $C_{BOOT}$ )는, 결과로서, 펄스 열( $\Phi_{soff}$ ) 동안 기준 전압까지 충전한다.

반대로, 스위치는 샘플링 트랜지스터( $M_s$ )를 펄스 열( $\Phi_{son}$ )에 응답하여 제어 디바이스(55)에 결합한다. 펄스 열( $\Phi_{son}$ )은 부트스트랩 캐패시터( $C_{BOOT}$ )를 노드(B)에 결합한다. 더욱이, 부트스트랩 캐패시터( $C_{BOOT}$ )는 펄스 열( $\Phi_{son}$ )에 응답하여 그라운드 및 기준 전압원으로부터 분리된다.

도 4를 참조하면, 본 발명의 다른 실시예에 따라 입력 신호로부터 독립하여 샘플링 스위치의 온-임피던스를 제조하는 방법의 흐름도가 도시된다. 샘플링 스위치는  $V_{GS}$ 와  $V_{TH}$  간의 차에 대응하는 "온" 임피던스와 임계 전압( $V_{TH}$ )과 게이트-소스 전압( $V_{GS}$ )을 포함한다. 상기 방법은 샘플 신호에 응답하여 기준 전압( $V_{DD}$ )을 제공하는 단계(100)와 같은 일련의 단계를 포함한다. 일 실시예에서 기준 전압은 부트스트랩 캐패시터에 의한 샘플 신호에 응답하여 생성된다.

흐름도에 따르면, 상기 방법은 샘플링 스위치를 제어하는 샘플 신호에 응답하여 제어 신호를 생성하는 단계(105)를 포함한다. 이어서, 제어 회로 전압을 생성하는 입력 신호를 합( $V_{IN}$  및  $V_{TH}$ )하는 단계(110)는 샘플 신호에 응답하여 실행된다. 이러한 합하는 단계는 연산 증폭기에 대한 입력으로서 피드백 루프 및 입력 신호를 수신하고, 제어 신호의 게이트에서 연산 증폭기 출력을 수신하고, 제어 트랜지스터의 드레인을  $V_{DD}$ 와 결합하며, 제어 트랜지스터의 소스를 피드백 루프와 결합하는 단계들(115, 120, 125, 및 130)을 교대로 포함할 수 있다. 부가적인 합하는 단계(135)는 실질적으로 제어 회로 전압과  $V_{DD}$ 를 합하도록 실행된다. 제어 트랜지스터의 드레인을 기준 전압( $V_{DD}$ )과 결합하는 단계(125)가 트랜지스터의 동작 상태를 유지하기 위해 전원 전압을 그 드레인에 결합함으로써 선택적으로 실행될 수 있다는 것은 주목되어야 한다.

이어서, 감산 단계(140)는 제어신호와  $V_{IN}$  간의 차를 부과하기 위해 실행된다. 그렇게 하여, 샘플링 트랜지스터의  $V_{GS}$ 는  $V_{DD}$ 와  $V_{TH}$ 의 합을 포함한다. 그렇게 하여, "온" 임피던스는 입력 신호로부터 독립한다.

특정한 발명이 예시적인 실시예를 참조하여 설명되는 동안, 상기 상세한 설명은 제한적으로 구성되도록 의도되지 않았다. 본 발명이 양호일 실시예에서 설명되었을지라도, 본 발명의 부가적인 실시예뿐만 아니라 상기 예시적인 실시예의 다양한 변형이 부가된 특허 청구 범위에서 청구된 본 발명의 사상으로부터 벗어나지 않고 상기 상세한 설명을 참조할 때 당업자들에게 명백해질 것은 이해된다. 따라서, 예를 들면, 본 발명이 본래 아날로그-디지털 변환기에 사용하기 위한 독립적인 "온" 임피던스를 갖는 샘플링 디바이스를 열거한 반면에, 예컨대, 스위치된 캐패시터 필터 내에서의와 같이 보다 넓은 응용이 당

업자에게 명백해 진다. 또한, 본 발명이, 적어도 2개의 트랜지스터가 각각의 모든 입력 신호들 간의 전압 차를 샘플링하는 모든 상이한 샘플링 구조를 생성하는데 이용될 수 있다는 것도 당업자에게 명백해 진다. 따라서, 부가된 특허 청구 범위가 본 발명의 실제 범위 내의 어떠한 변형 또는 실시예도 포함한다는 것을 알 수 있다.

### 발명의 효과

본 발명의 한가지 이점은 게이트 소스 전압, 및 이어서 입력 신호로부터 독립한 "온" 임피던스( $R_{ON}$ )를 갖는 스위치를 포함하는 샘플링 디바이스를 제공하는 것이다.

본 발명의 다른 이점은 임계 전압, 및 이어서 입력 신호로부터 독립한 "온" 임피던스를 갖는 스위치를 가진 샘플링 디바이스를 제공하는 것이다.

더욱이, 본 발명의 또 다른 이점은, 샘플 신호의 주파수가 입력 신호보다 훨씬 크거나 그렇지 않은지 여부와 관계없이, 부가적인 비선형성을 증가시키지 않는 입력 신호로부터 독립한 "온" 임피던스를 가진 스위치를 포함한 샘플링 디바이스를 제공하는 것이다.

### 도면의 간단한 설명

도 1a 및 1b는 알려진 샘플링 스위치 및 시간도를 도시한 도면.

도 2는 본 발명의 일 실시예의 블록도를 도시한 도면.

도 3a 및 3b는 본 발명의 다른 실시예의 회로도 및 시간도를 도시한 도면.

도 4는 본 발명의 다른 실시예의 흐름도를 도시한 도면.

\* 도면의 주요부분에 대한 부호의 설명 \*

20; 샘플링 디바이스 25; 샘플링 스위치

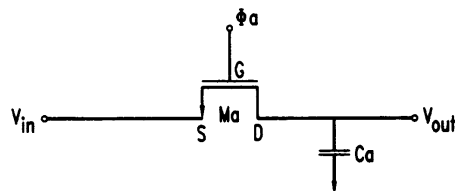
35; 기준 전압원 40; 제어 스위치

60; 정전류원 65; 연산 증폭기

### 도면

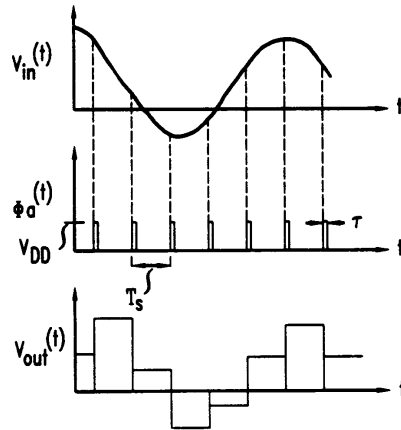
#### 도면 1a

(종래기술)

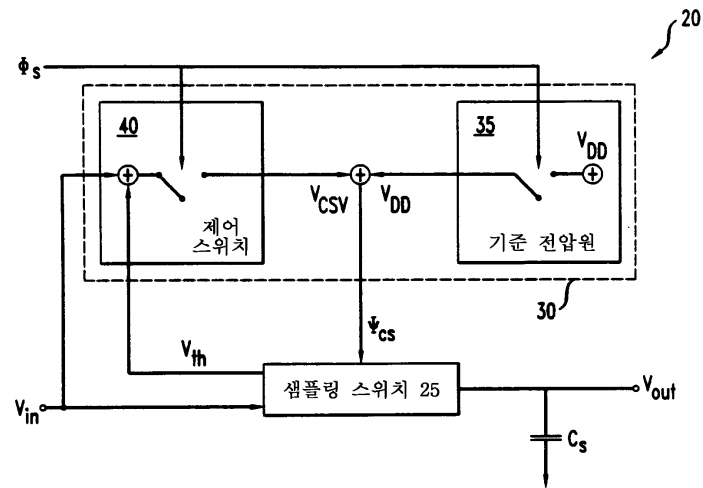


도면1b

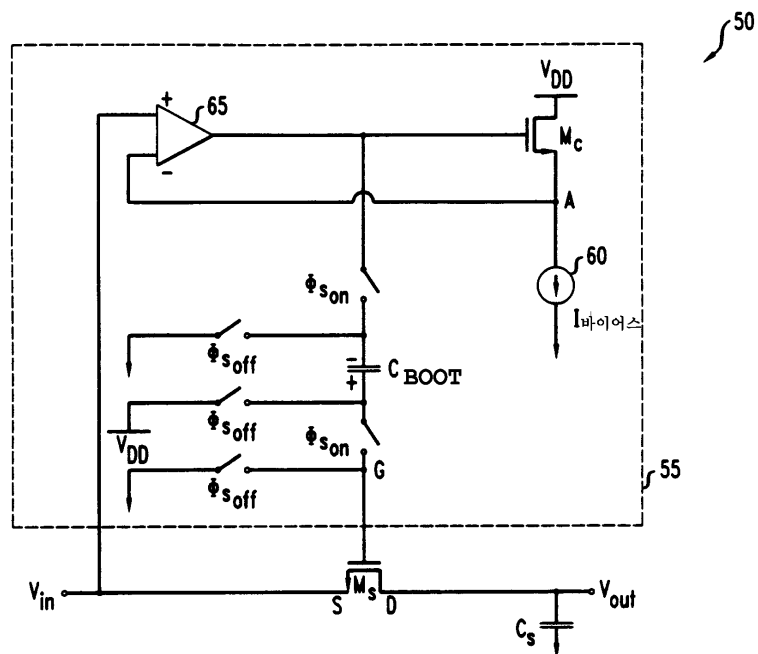
(종래기술)



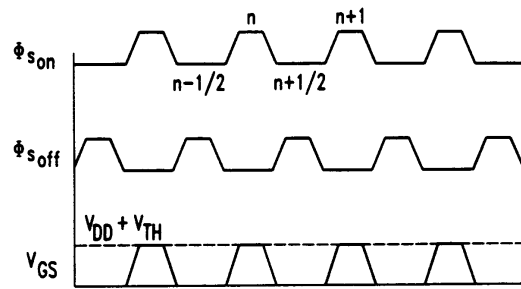
도면2



도면3a



도면3b



도면4

