

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成24年3月22日(2012.3.22)

【公開番号】特開2010-211864(P2010-211864A)

【公開日】平成22年9月24日(2010.9.24)

【年通号数】公開・登録公報2010-038

【出願番号】特願2009-57600(P2009-57600)

【国際特許分類】

G 11 C 11/406 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 11 C 11/34 3 6 3 A

G 06 F 12/00 5 5 0 B

G 11 C 11/34 3 6 3 G

【手続補正書】

【提出日】平成24年2月1日(2012.2.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリのリフレッシュ要求を発生するリフレッシュ制御部と、

メモリとの間でデータ転送を行う複数のモジュールからのデータ転送要求を受信するとともに前記リフレッシュ制御部からのリフレッシュ要求を受信し、前記データ転送要求と前記リフレッシュ要求とを調停して前記メモリに動作要求を与えるアビトレーと、を備えるメモリ制御装置において、

前記リフレッシュ制御部は、

前記メモリのリフレッシュが必要な周期でリフレッシュ要求である第2要求信号を発生するパルス発生回路と、

前記アビトレーを介して入力される前記データ転送要求のカウント値とその変動傾向に基づいて今後のデータ転送要求の回数が増加することが予測される場合にリフレッシュ要求である第1要求信号を発生する変動予測回路と、を備え、

前記アビトレーは、前記第2要求信号、前記第1要求信号、前記データ転送要求の優先順位で要求信号の調停を行う

ことを特徴とするメモリ制御装置。