

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5466818号
(P5466818)

(45) 発行日 平成26年4月9日 (2014.4.9)

(24) 登録日 平成26年1月31日 (2014.1.31)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 3 O 1 X

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 5 3 B

H O 1 L 21/8242 (2006.01)

H O 1 L 29/78 6 5 2 S

H O 1 L 27/108 (2006.01)

H O 1 L 29/78 6 5 2 Q

H O 1 L 29/423 (2006.01)

H O 1 L 27/10 6 7 1 A

請求項の数 5 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2007-251130 (P2007-251130)
 (22) 出願日 平成19年9月27日 (2007.9.27)
 (65) 公開番号 特開2009-81377 (P2009-81377A)
 (43) 公開日 平成21年4月16日 (2009.4.16)
 審査請求日 平成22年8月10日 (2010.8.10)

(73) 特許権者 513192281
 ビーエスフォー ルクスコ エスエイアー
 ルエル
 P S 4 L u x c o S . a . r . l .
 ルクセンブルク大公国エルー 2 1 2 1、ル
 クセンブルク、ヴァル デ ボン マラデ
 ス 2 0 8
 (74) 代理人 100123788
 弁理士 宮崎 昭夫
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (74) 代理人 100127454
 弁理士 緒方 雅昭

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の導電型のゲート電極を共有した複数の縦型 MOS トランジスタを有する半導体装置であって、

該複数の縦型 MOS トランジスタが、側面周囲に形成された第 1 のゲート絶縁膜を介して前記ゲート電極と側面周囲で対峙して成る第 1 の半導体柱を有し、

前記半導体装置は、第 1 の導電型であり、側面周囲に形成された第 2 のゲート絶縁膜を介して前記ゲート電極と側面周囲で対峙して成り、少なくとも一部分の前記第 2 のゲート絶縁膜を除去した部分で前記ゲート電極と接している第 2 の半導体柱を有し、

前記複数の縦型 MOS トランジスタの共有されるゲート電極への電位供給が、前記第 2 の半導体柱を介して行われることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、前記複数の縦型 MOS トランジスタの共有されるゲート電極への電位供給が、前記第 2 の半導体柱上にコンタクトされた電極・配線により行われていることを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、前記複数の縦型 MOS トランジスタの共有されるゲート電極への電位供給が、前記第 2 の半導体柱下に形成された第 1 の導電型の拡散層にコンタクトされた電極・配線により行われていることを特徴とする半導体装置。

【請求項 4】

10

20

請求項 1 に記載の半導体装置において、前記複数の縦型 MOS トランジスタの共有されるゲート電極への電位供給が、前記第 2 の半導体柱下に形成された第 1 の導電型の拡散層を共有した縦型 MOS トランジスタを動作させることにより行われていることを特徴とする半導体装置。

【請求項 5】

前記半導体装置は、第 1 の導電型のゲート電極を共有した複数の縦型 MOS トランジスタからなるトランジスタ列が複数配置され、アレイ状に形成された半導体装置であって、各トランジスタ列と交差する行方向に、各トランジスタ列の一つのトランジスタ同士が、前記第 1 の半導体柱下に形成された第 1 の導電型の拡散層で接続され、各行方向でトランジスタ下にビットラインを構成していることを特徴する請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、縦型 MOS トランジスタのゲート電極への電源供給に関し、特に、ゲート電極を共有した複数の縦型 MOS トランジスタのゲート電極への電源供給に適した構造を有する半導体装置に関する。

【背景技術】

【0002】

従来の 3 次元トランジスタ、即ち縦型 MOS トランジスタは、特許文献 1 記載の Fig . 2 に示すように、ソース・ドレイン拡散層とチャネルを形成する Si 柱において、チャネル部はゲート絶縁膜およびゲート電極に囲まれた構造であり、また、ソース・ドレイン拡散層はシリコン柱全体に形成してチャネル部を完全に覆う構造である。

20

【0003】

又、特許文献 2 には、シリコン基板の表面に格子状に形成された溝により規定された複数のシリコン柱を有し、このシリコン柱の側面に選択トランジスタが形成され、溝底にトランジスタのソース又はドレイン拡散層を有し、このトランジスタを 1 トランジスタ - 1 キャパシタ型の DRAM メモリセルの選択トランジスタとした半導体記憶装置であって、溝底拡散層は、多数のメモリセルに共通の一定電圧に接続されている。又、シリコン柱の一側面にゲート絶縁膜を介して接するように形成されたゲート電極を連続して接続し、ワード線とすることが開示されている。

30

【特許文献 1】米国特許 US 2004 / 262681 A 1

【特許文献 2】特開 2002 - 94027 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記特許文献 1 の縦型 MOS トランジスタにおいて、ゲート電極への電位供給の構造については明確な記載がない。また、ゲート電極を共有した複数の縦型 MOS トランジスタのゲート電極への電源供給の構造についても開示されていない。

【0005】

40

通常は、ゲート電極材のいずれかの位置において、コンタクトを形成して電位供給を行うものと考えられる。しかしながら、微細な縦型 MOS トランジスタが密集するアレイ部分において、ゲート電極材へ直接コンタクトを形成することは容易ではない。又、コンタクトが形成できたとしても、コンタクト位置が制限され、設計の自由度が制限されるという問題もある。

【0006】

特許文献 2 では、シリコン柱の一側面にしかチャネルが形成されないため、チャネル周囲をゲート電極で覆って完全空乏化した特許文献 1 に記載の縦型 MOS トランジスタと比較して、サブスレッショルド特性に劣るという問題がある。

【0007】

50

そこで、本発明の目的は、縦型MOSトランジスタが密集するアレイ部において、設計自由度の高いゲート電極への電位供給手段を有した半導体装置を提供することにある。

【課題を解決するための手段】

【0008】

上記従来の問題点を解決するために、本発明では、以下の特徴を持つ半導体装置を提供する。

【0009】

第1の導電型のゲート電極を共有した複数の角柱縦型MOSトランジスタを有する半導体装置であって、角柱縦型MOSトランジスタが第1の角柱の周りに形成されたゲート絶縁膜を介して前記ゲート電極と対峙して成り、該ゲート電極への電位供給が、前記第1の角柱と同時に形成され、かつ、ゲート電極の導電型と同じ第1の導電型であり、少なくとも一部分のゲート絶縁膜を除去した部分で前記ゲート電極に接している第2の柱を介して行われることを特徴とする半導体装置とする。

10

【0010】

また、上記の半導体装置において、ゲート電極への電位供給が、第2の柱上にコンタクトされた電極・配線により行われている半導体装置とする。

【0011】

さらに、上記の半導体装置において、ゲート電極への電位供給が、第2の柱下に形成された第1の導電型の拡散層にコンタクトされた電極・配線により行われている半導体装置とする。

20

【0012】

さらに、上記の半導体装置において、ゲート電極への電位供給が、第2の柱下に形成された第1の導電型の拡散層を共有した縦型MOSトランジスタを動作させることにより行われている半導体装置とする。

【0013】

加えて、前記半導体装置は、第1の導電型のゲート電極を共有した複数の角柱縦型MOSトランジスタからなるトランジスタ列が複数配置され、アレイ状に形成された半導体装置であって、各トランジスタ列と交差する行方向に、各トランジスタ列の一つのトランジスタ同士が、第1の角柱下に形成された第1の導電型の拡散層で接続され、各行方向でトランジスタ下にビットラインを構成していることを特徴する。

30

【発明の効果】

【0014】

ゲート電極を共有した複数の角柱縦型MOSトランジスタによりアレイ部を構成する場合、角柱縦型MOSトランジスタのゲート電極への電位供給をアレイ部周辺において自由に構成できるので、設計の自由度が増える。

【発明を実施するための最良の形態】

【0015】

〔第1の実施例の構成〕

図1に示すように、シリコン基板1の主表面に形成された第1の導電型のゲート電極2を共有した複数の角柱縦型MOSトランジスタ3, 4, 5のゲート電極2の電位供給6が、角柱縦型MOSトランジスタの第1の角柱3, 4, 5と同時に形成され、かつ、一部分にゲート絶縁膜7を有しない、かつ、ゲート電極2の導電型と同じ第1の導電型である第2の柱8の拡散層22を介して行われていて、ゲート電極2への電位供給が、第2の柱8上にコンタクトされた電極・配線6により行なう構造とする。

40

【0016】

〔第1の実施例の製法〕

第1の実施例の製法は、以下の通りである。

【0017】

図2(a)の断面図に示したように、シリコン基板1の表面から深さ500nmの部分までボロンを $3 \times 10^{17} / \text{cm}^3$ の濃度となるようにドーピングした後、シリコン基板1表

50

面に5 nmのシリコン酸化膜11と100 nmのシリコン窒化膜12から成るエッチングマスクを形成し、ドライエッチングによりシリコン基板1を加工してシリコン柱3, 4, 5, 8を形成した。柱の高さは、150 nmとした。なお、ここで、図2(b)の平面図に示したように、シリコン柱3, 4, 5はライン状に形成され、シリコン柱8は矩形状に形成される。その後、シリコン露出面を熱酸化して5 nmのシリコン酸化膜13を形成した。

【0018】

つぎに、図3(a)の断面図に示したように、シリコン酸化膜15を堆積し、CMPにより平坦化して、シリコン柱3, 4, 5, 8の周辺にシリコン酸化膜15を埋め込んだ。

【0019】

つぎに、図4(b)の平面図に示したように、レジストマスク16を形成してシリコン窒化膜12を加工し、平面的に図のようにシリコン窒化膜12が残るようにした。シリコン窒化膜12を除去した部分ではシリコン柱3, 4, 5上のシリコン酸化膜11が露出する。

【0020】

つぎに、図5(a)の断面図に示したように、シリコン酸化膜15をエッチングして後退させた。ここで、エッチング量は100 nmであり、残存シリコン酸化膜15は50 nmである。この時、シリコン窒化膜12の無い部分のシリコン柱3, 4, 5の側壁のシリコン酸化膜11, 13も同時にエッチングされ、シリコン柱3, 4, 5が露出する。

【0021】

つぎに、図6に示したように、シリコン窒化膜12をマスクとして、シリコン窒化膜12の無い部分に露出したシリコン柱3, 4, 5をエッチングした。ここで、シリコンのエッチング量は100 nmとした。図6(a)は図6(c)のA-A線での断面図であり、図5(a)の断面図と変わらないが、図6(c)のB-B線での断面(図6(b))では、シリコン酸化膜15とほぼ同じ高さになりシリコン面17が露出する。

【0022】

つぎに、図7(a)の断面図に示すように、シリコン酸化膜13をエッチングして、シリコン柱3, 4, 5, 8の側面のシリコンを露出させた。

【0023】

つぎに、図8(a)の断面図に示すように、熱酸化により7 nmのゲート酸化膜18を形成した。

【0024】

つぎに、図9(b)の平面図に示すように、レジストマスク19を開口した。この際、断面図は図9(a)に示すようになり、この状態でゲート酸化膜18をエッチングして、シリコン柱8の一部のシリコンを露出させた。

【0025】

つぎに、図10(a)の断面図に示すように、リンを $4 \times 10^{20} / \text{cm}^3$ ドーピングした多結晶シリコン膜を10 nm堆積した。ここで、砒素を50 keVで $1 \times 10^{14} / \text{cm}^2$ だけ注入し1000、10秒の熱処理を行い、図10(c)の平面図に示したように、シリコン柱以外のシリコン部分17にドーピングした。この時、シリコン部分17からの横方向広がりにより、図10(b)の断面図に示すように、n型の下部拡散層21が形成される。なお、上記熱処理により、多結晶シリコンにドーピングされたリンがシリコン柱8に拡散し、シリコン柱8はn型層22になる。ここで、図10(a)は図10(c)におけるA-A線での断面図、図10(b)はC-C線での断面図を示す。

【0026】

つぎに、図11(a)の断面図に示すように、リンを $4 \times 10^{20} / \text{cm}^3$ ドーピングした多結晶シリコン膜23を20 nm堆積した。この時、シリコン柱3, 4, 5, 8の間には上記多結晶シリコン膜20、23で埋め込まれる。

【0027】

つぎに、図12(a)の断面図に示すように、多結晶シリコン20, 23を150 nm

10

20

30

40

50

分だけエッチバックする。その結果、図12(b)の平面図に示すように、シリコン柱3, 4, 5, 8の側壁部分がゲート電極2(多結晶シリコン20, 23)で覆われた構造となり、各シリコン柱3, 4, 5, 8の周りのゲート電極2(多結晶シリコン20, 23)は図面横方向に電氣的に接続された構造となる。

【0028】

また、図面縦方向ではシリコン柱同士が離れているため、ゲート電極2(多結晶シリコン20, 23)は分離されている。

【0029】

つぎに、図13(a)の断面図に示すように、シリコン酸化膜24を堆積し、CMPにより平坦化した。

10

【0030】

つぎに、図14(a)の断面図に示すように、これまでシリコン柱3, 4, 5, 8の上部にあったシリコン窒化膜12を除去した。その後、砒素を20keVで $5 \times 10^{13} / \text{cm}^2$ だけ注入し1000、10秒の熱処理を施して上部拡散層25を形成した。この時、シリコン柱8の上部にも砒素が注入され、n型層22の上部では不純物濃度が高くなる。

【0031】

つぎに、図15(a)の断面図に示すように、10nmのシリコン窒化膜を堆積しエッチバックしてシリコン窒化膜サイドウォール26を形成した。

【0032】

つぎに、図16(a)の断面図に示すように、これまでシリコン柱3, 4, 5, 8の上部にあったシリコン酸化膜11を除去したのち、エピタキシャル成長層27を形成した。なお、このエピタキシャル成長層27は、50nm成長させた。この後、エピタキシャル成長層27の低抵抗化のために、砒素を30keVで $1 \times 10^{15} / \text{cm}^2$ だけ注入し1000、10秒の熱処理を行った。

20

【0033】

最後に、図1に示すように、100nmのシリコン酸化膜28を堆積し、コンタクト穴を開け電極29を形成した。なお、本実施例をDRAMに適用する場合には、縦型MOSトランジスタ3, 4, 5の上部拡散層25はキャパシタ30下部電極に接続され、キャパシタ30の一方の電極はプレート電位31が供給できるようにする。また、シリコン柱8上部のエピタキシャル成長層27はワード線電位6が供給できるようにする。

30

【0034】

〔第1の実施例の効果〕

第1の実施例によれば、DRAMのセルトランジスタを縦型MOSトランジスタ3, 4, 5で構成し、シリコン柱8をワード線電位供給に利用できるため、以下のような効果がある。

【0035】

各縦型MOSトランジスタでゲート電極を共有する場合、ゲート電極2である多結晶シリコン20, 23を厚くできないため、ワード線抵抗が高くなってしまう。この場合、メモリマット端までの抵抗が非常に大きくなるため、正常な動作が期待できない。本発明のワード線電位供給方法によれば、必要な場所にワード電位供給部6を設けることで、その上部に形成した低抵抗のワード線にワード電位供給部6を接続できる。その結果、実質的にメモリマット端まで低抵抗ワード線とすることができるため、正常な動作が行える。このようなワード電位供給部6を任意に設けることで設計の自由度が大幅に増すようになる。

40

【0036】

〔第2の実施例の構成〕

図17に示すように、シリコン基板1の主表面に形成された第1の導電型のゲート電極2を共有した複数の角柱縦型MOSトランジスタ4, 5のゲート電極2への電位供給6が、角柱縦型MOSトランジスタの第1の角柱4, 5と同時に形成され、かつ、一部分にゲート絶縁膜7を有しない、かつ、ゲート電極2の導電型と同じ第1の導電型である第2の

50

柱 8 の拡散層 2 2 を介して行われていて、ゲート電極の電位供給 6 が、第 2 の柱 8 下に形成された第 1 の導電型の拡散層 3 2 より行なわれ、ゲート電極の電位供給 6 用のコンタクト 3 3 が上記拡散層 3 2 に形成されている構造とする。なお、図 1 7 では、シリコン柱 8 上にサイドウォール 2 6、エピタキシャル成長層 2 7 を同様に形成しているが、シリコン柱 8 上のマスク層 1 2 を除去せずに上部への不純物注入を行わず、サイドウォール 2 6、エピタキシャル成長層 2 7 を形成しない構成や、上部への不純物注入を行った後、開口部を絶縁膜で埋め込み、サイドウォール 2 6、エピタキシャル成長層 2 7 を形成しない構成としても問題はない。

【 0 0 3 7 】

〔第 2 の実施例の製法〕

第 2 の実施例の製法は、第 1 の実施例と同じであるが、上記図 2 で示した構造を図 1 8 に示した構造に置き換えることと、上記図 4 で示した構造を図 1 9 に示した構造に置き換えることと、上記図 5 で示した構造を図 2 0 に示した構造に置き換えることと、上記図 6 で示した構造を図 2 1 に示した構造に置き換えることにより実現できる。

【 0 0 3 8 】

すなわち、図 1 8 に示すように、シリコン柱 8 を第 1 の実施例よりも横長（シリコン柱 8 ' ）に形成し、次に、図 1 9 に示すように、レジストマスク 1 6 をシリコン柱 8 ' 上のシリコン窒化膜 1 2 が一部露出するように形成する。つぎに、図 2 0 に示したように、シリコン窒化膜 1 2 をマスクとして、シリコン窒化膜 1 2 の無い部分に露出したシリコン柱 4 , 5 、 8 ' をエッチングした。ここで、シリコンのエッチング量は 1 0 0 n m とした。図 2 0 (a) は図 2 0 (c) の A - A 線での断面図であり、図 2 0 (a) は図 2 0 (c) の B - B 線での断面である。シリコン酸化膜 1 5 とほぼ同じ高さに、シリコン面 1 7 、 1 7 ' が露出する。以後、第 1 の実施例と同様にしてシリコン酸化膜 2 8 の形成まで行った後、コンタクト穴を開け電極 2 9 、コンタクト 3 3 を形成した。

【 0 0 3 9 】

〔第 2 の実施例の効果〕

第 2 の実施例によれば、第 1 の実施例と同様の効果を有する。なお、ゲート電極の電位供給 6 に必要な面積が増加するものの、コンタクト 3 3 の配置に自由度が増す。

【 0 0 4 0 】

〔第 3 の実施例の構成〕

次に第 3 の実施例は、図 2 2 に示すように、第 1 の導電型のゲート電極を共有した複数の角柱縦型 MOS トランジスタ 4 , 5 のゲート電極 2 への電位供給が、角柱縦型 MOS トランジスタ 4 , 5 の第 1 の角柱と同時に形成され、かつ、少なくとも一部分にゲート絶縁膜を有しない、かつ、ゲート電極の導電型と同じ第 1 の導電型である第 2 の柱 8 の拡散層 2 2 を介して行われていて、ゲート電極の電位供給が、第 2 の柱下に形成された第 1 の導電型の拡散層を共有した縦型 MOS トランジスタ 3 4 を動作させることにより行なう構造とする。

【 0 0 4 1 】

〔第 3 の実施例の製法〕

第 3 の実施例の製法は、第 1 の実施例及び第 2 の実施例の製法を組み合わせたものであり、詳細は省略する。

【 0 0 4 2 】

〔第 3 の実施例の効果〕

第 3 の実施例によれば、第 1 の実施例と同様の効果を有する。なお、ゲート電極の電位供給 6 に必要な縦型 MOS トランジスタ 3 4 分の面積が増加するものの、縦型 MOS トランジスタ 3 4 の上部拡散層 2 5 からの電位供給が可能になるので配置に自由度が増す。

【図面の簡単な説明】

【 0 0 4 3 】

【図 1】本発明の第 1 の実施例を説明する断面構造図

【図 2】本発明の第 1 の実施例の製法を説明する断面図および平面図

10

20

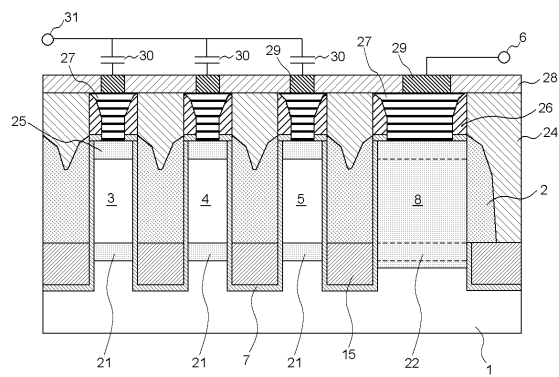
30

40

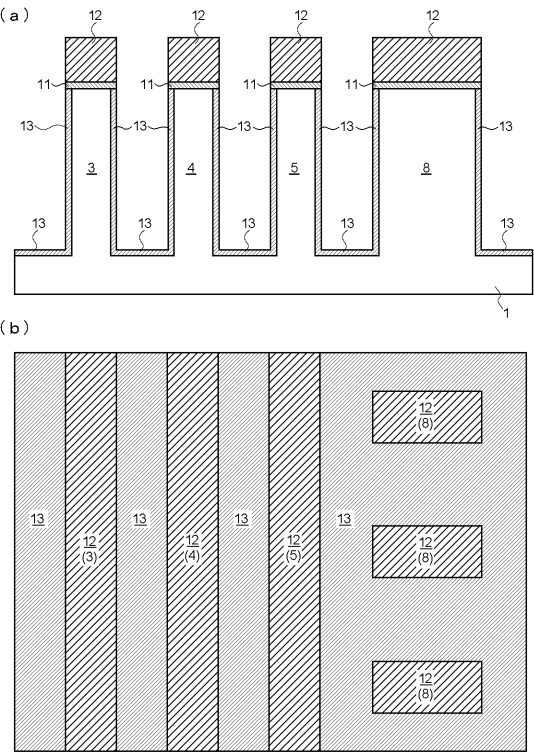
50

【図 3】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 4】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 5】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 6】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 7】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 8】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 9】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 10】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 11】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 12】本発明の第 1 の実施例の製法を説明する断面図および平面図	10
【図 13】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 14】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 15】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 16】本発明の第 1 の実施例の製法を説明する断面図および平面図	
【図 17】本発明の第 2 の実施例を説明する断面構造図	
【図 18】本発明の第 2 の実施例の製法を説明する断面図および平面図	
【図 19】本発明の第 2 の実施例の製法を説明する断面図および平面図	
【図 20】本発明の第 2 の実施例の製法を説明する断面図および平面図	
【図 21】本発明の第 2 の実施例の製法を説明する断面図および平面図	
【図 22】本発明の第 3 の実施例を説明する断面構造図	20
【符号の説明】	
【 0 0 4 4 】	
1・・・シリコン基板	
2・・・ゲート電極	
3、4、5、34・・・縦型 MOS トランジスタ	
6・・・ワード線電位供給	
7・・・ゲート酸化膜	
8・・・第 2 の柱	
11、13、15、24、28・・・シリコン酸化膜	
12・・・シリコン窒化膜	30
16、19・・・レジスト膜	
17・・・シリコン露出面	
18・・・ゲート酸化膜	
20、23・・・多結晶シリコン膜	
21・・・下部拡散層	
22・・・n 型層	
25・・・上部拡散層	
26・・・サイドウォール	
27・・・エピタキシャル成長層	
29、33・・・電極	40
30・・・キャパシタ	
31・・・プレート電位供給	
32・・・下部拡散層と同じ導電型層	

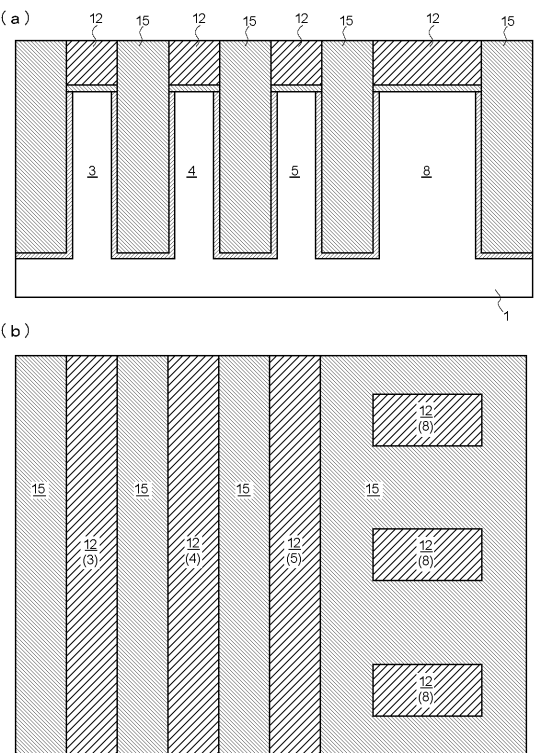
【図 1】



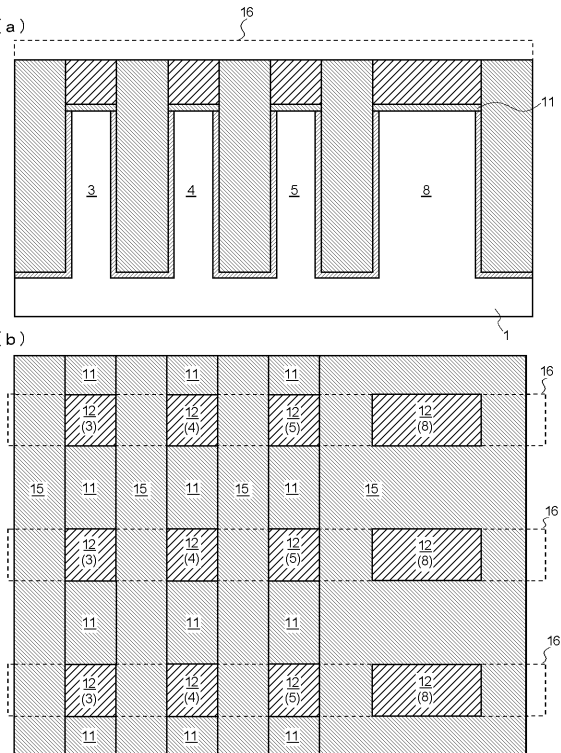
【図 2】



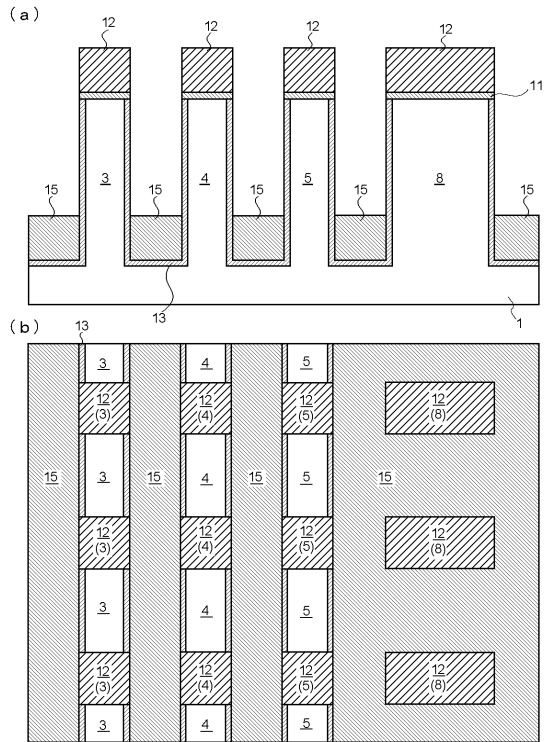
【図 3】



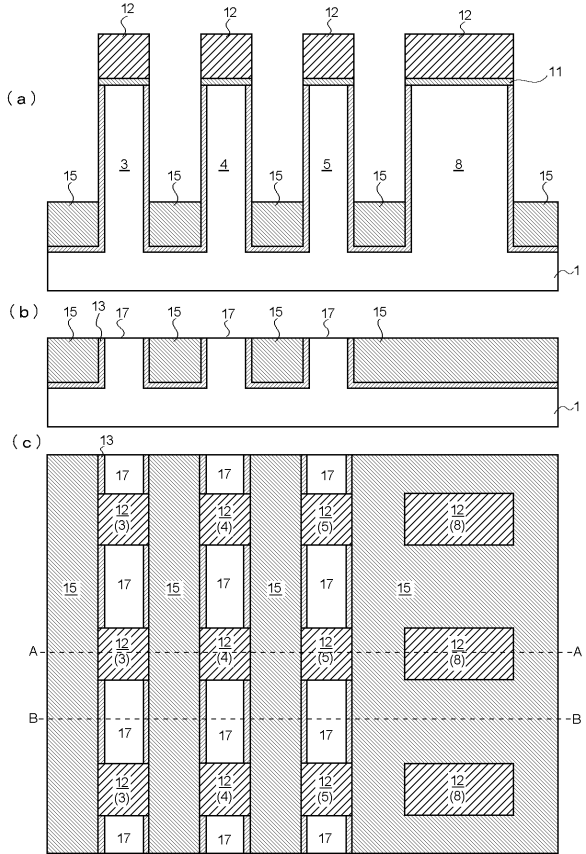
【図 4】



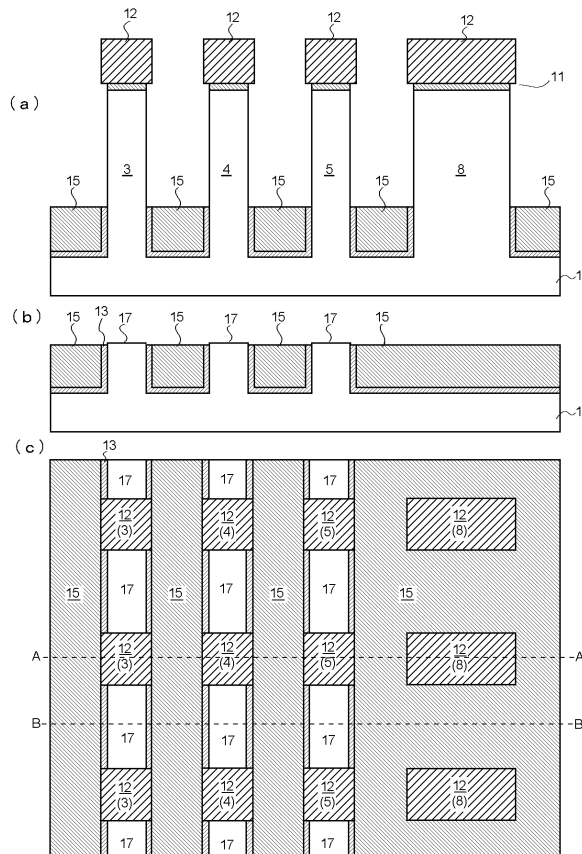
【図 5】



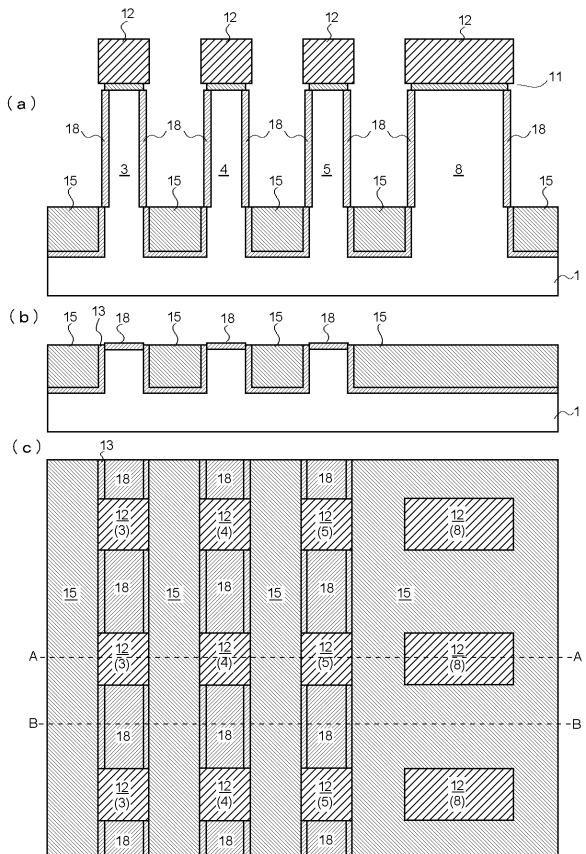
【図 6】



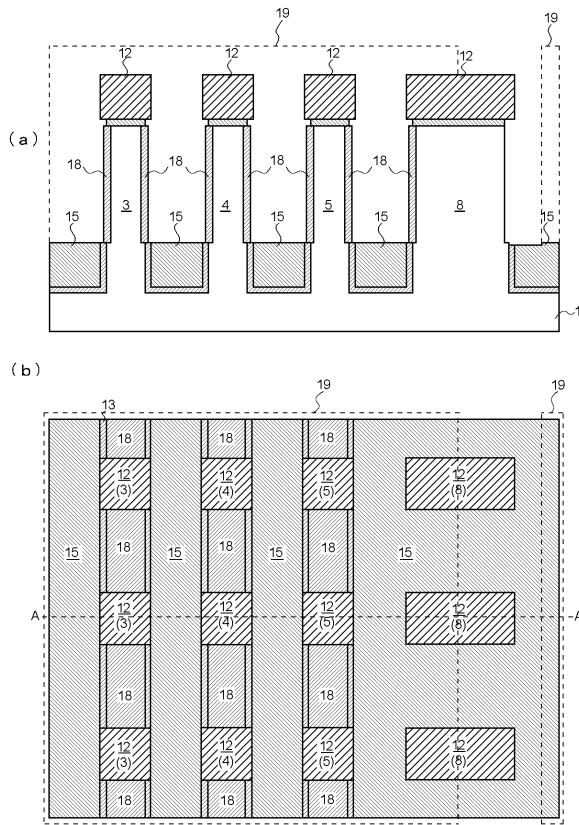
【図 7】



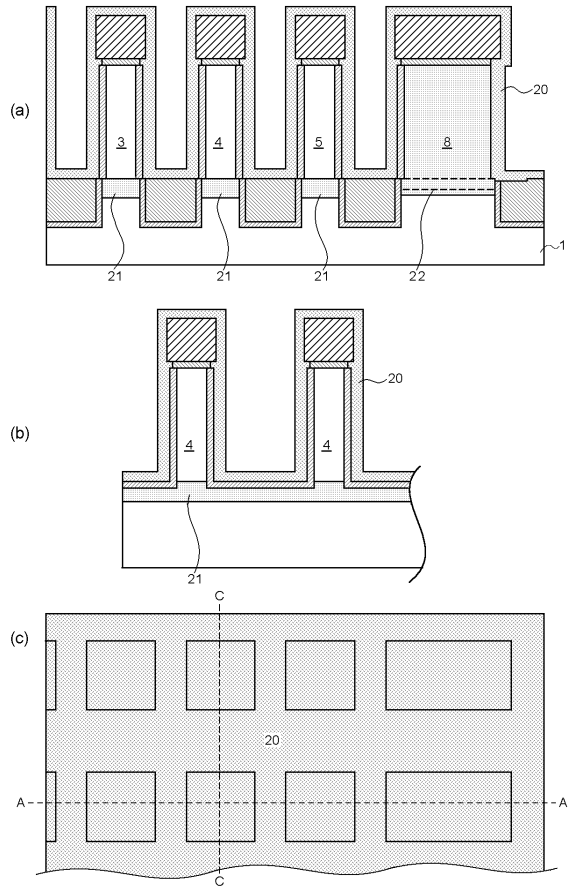
【図 8】



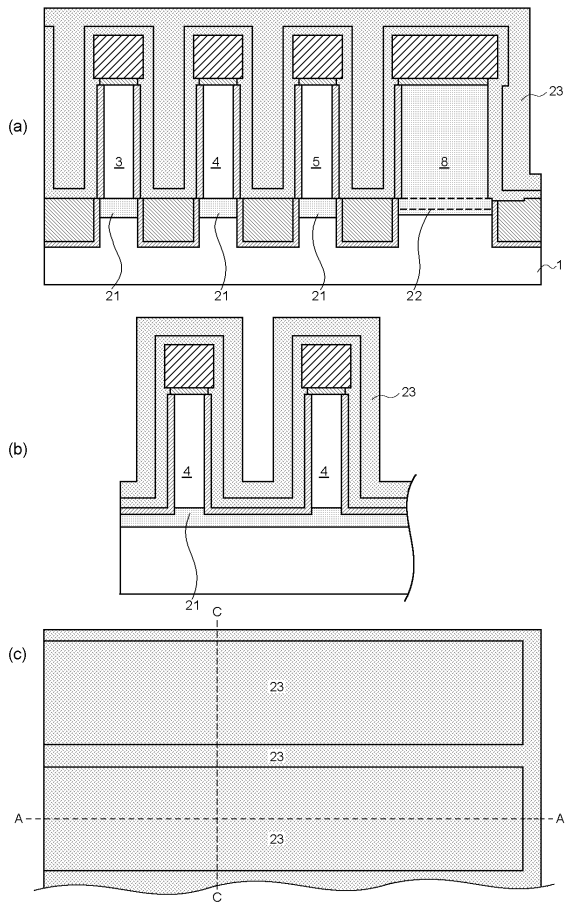
【図 9】



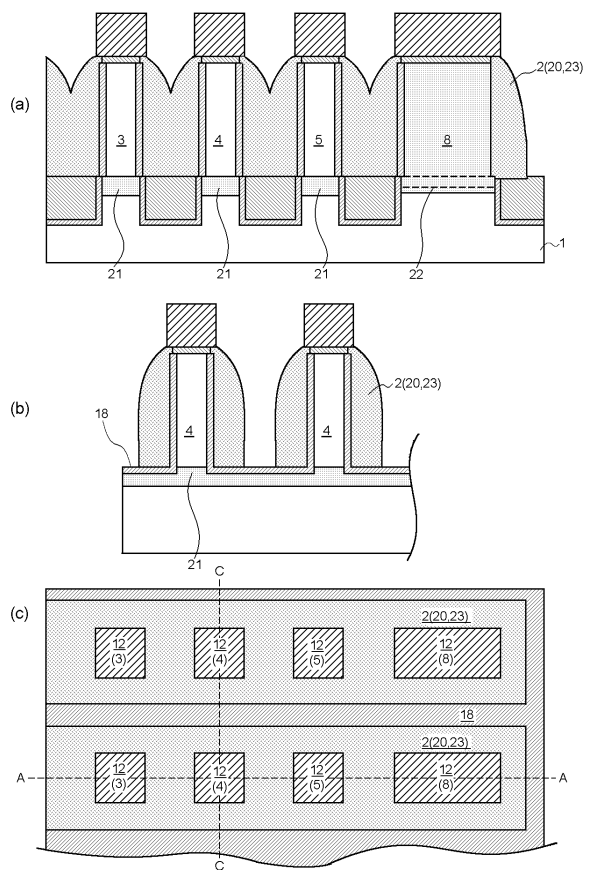
【図 10】



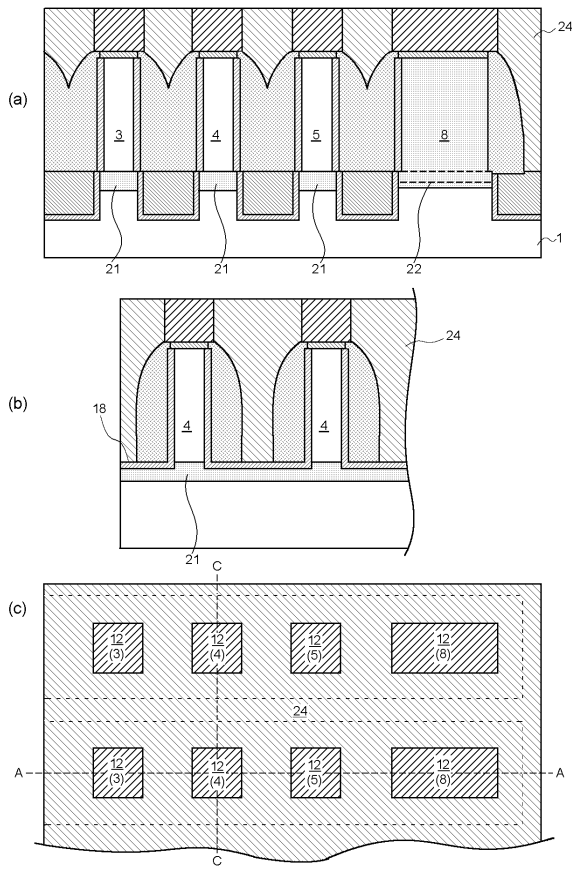
【図 11】



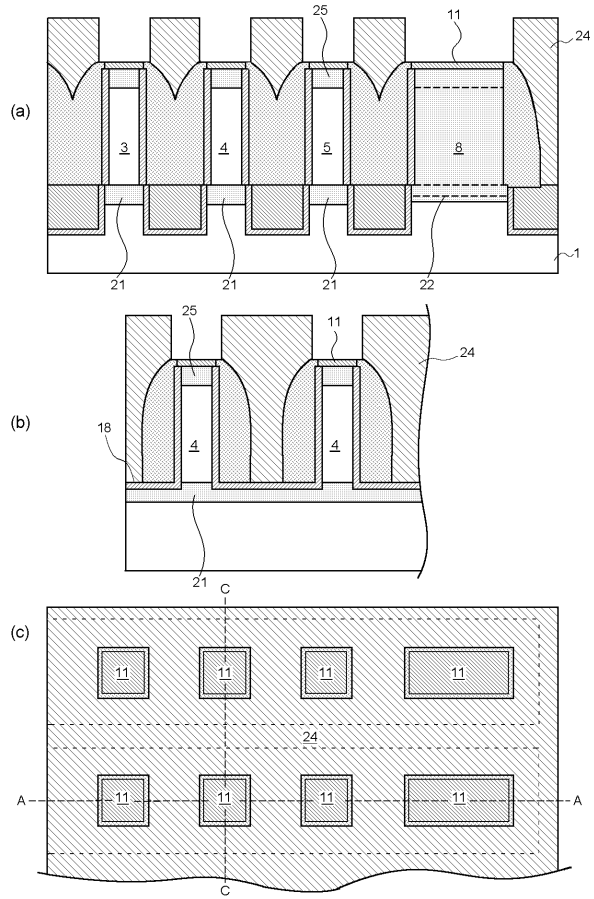
【図 12】



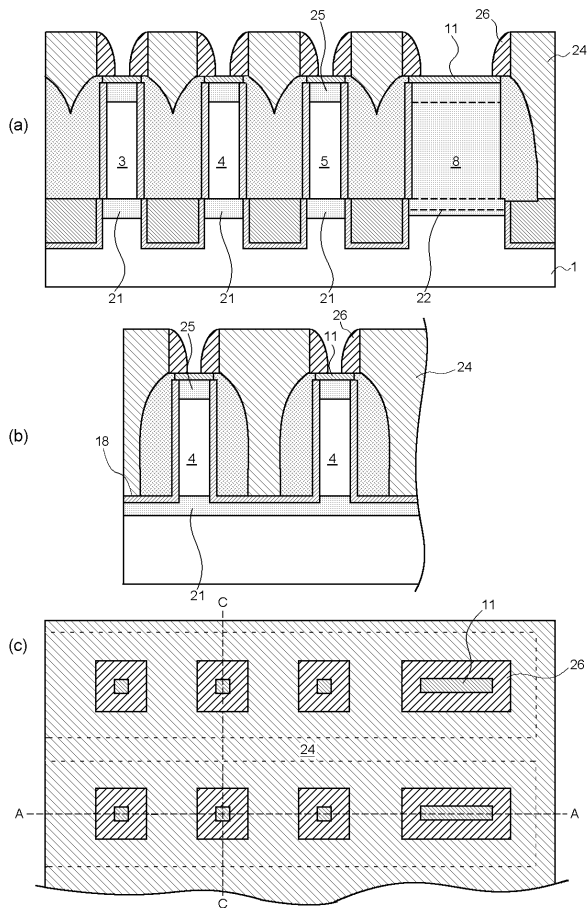
【図 13】



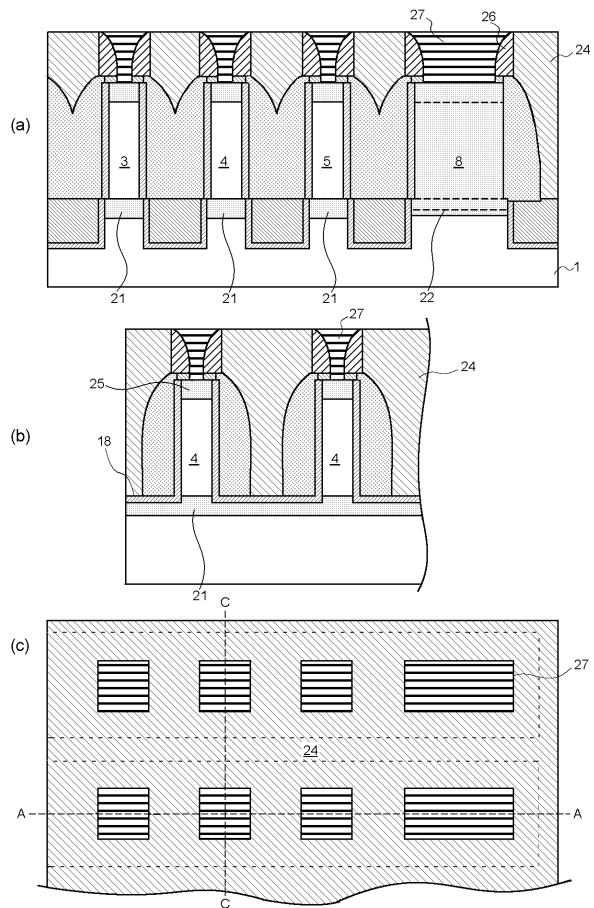
【図 14】



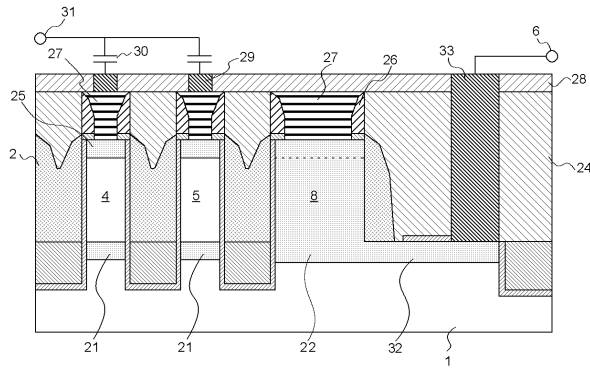
【図 15】



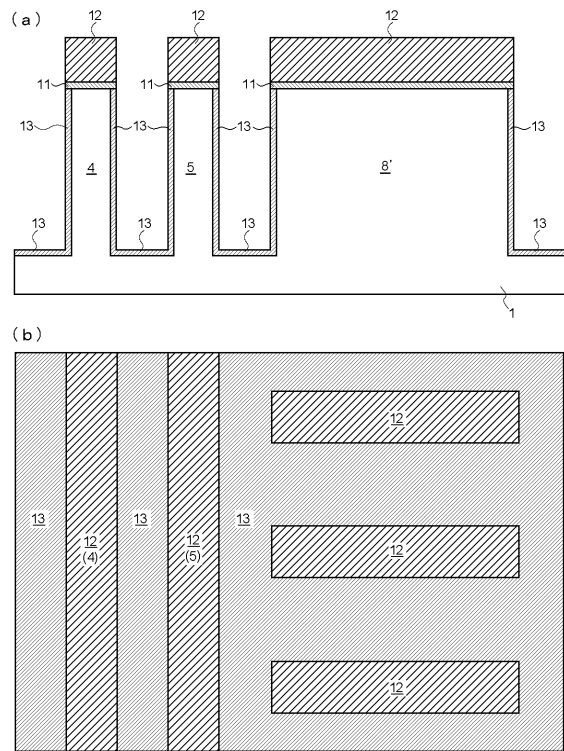
【図 16】



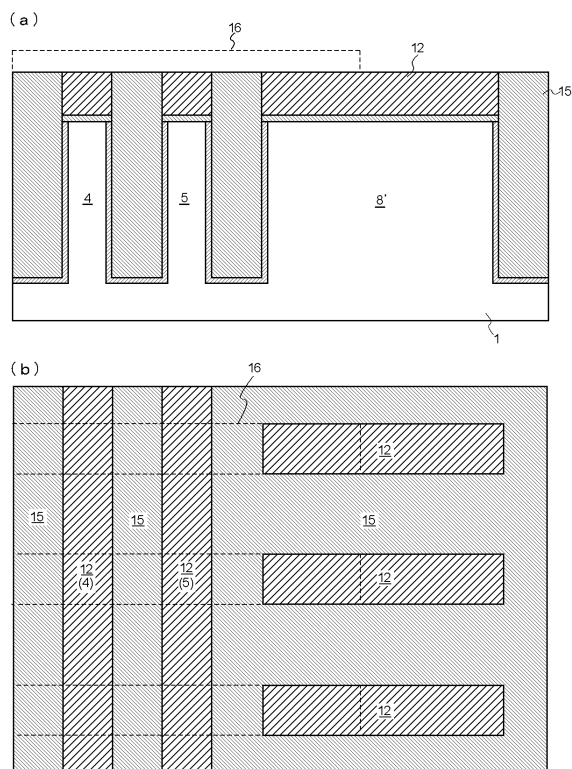
【図 17】



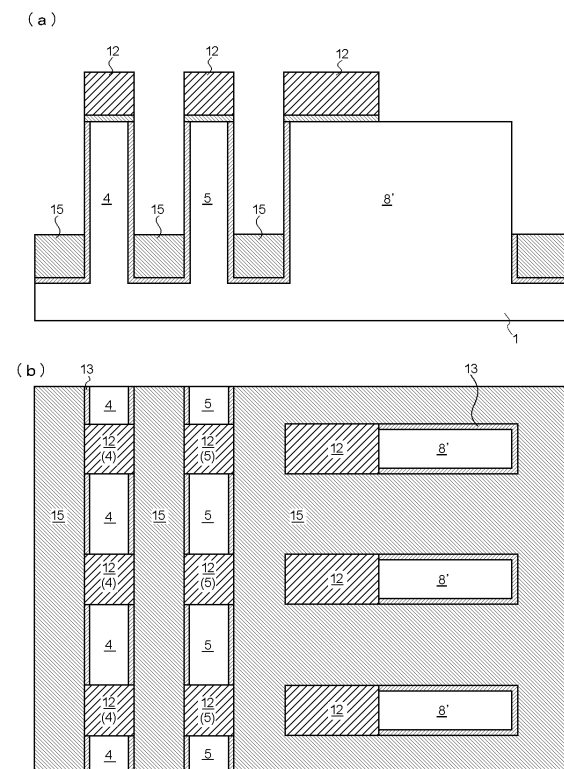
【図 18】



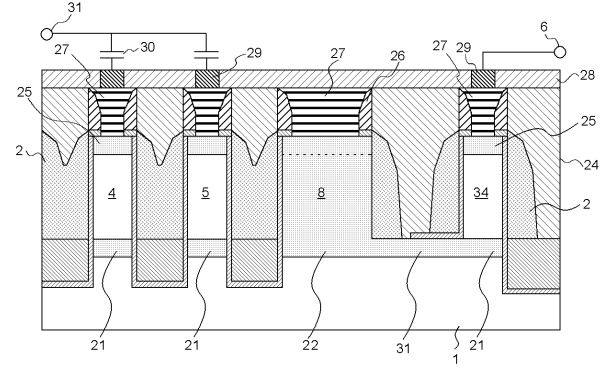
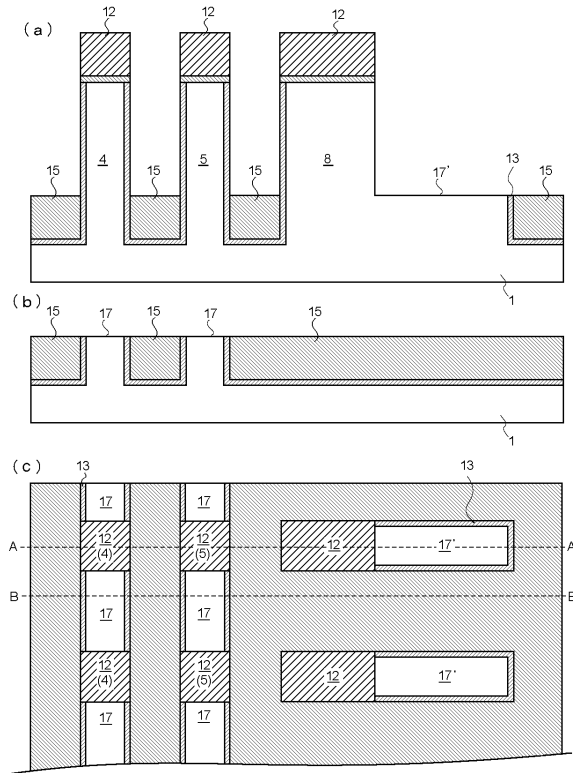
【図 19】



【図 20】



【 図 2 2 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/49 (2006.01) H 0 1 L 27/10 6 2 1 Z
H 0 1 L 29/58 G

(72)発明者 大湯 静憲
東京都中央区八重洲 2 - 2 - 1 エルピーダムメモリ株式会社内

審査官 井上 弘亘

(56)参考文献 特開平 5 - 1 3 6 3 7 4 (J P , A)
特開 2 0 0 3 - 2 1 8 2 4 2 (J P , A)
特開平 0 4 - 0 7 9 3 6 9 (J P , A)
特開平 0 2 - 1 8 8 9 6 6 (J P , A)
特表 2 0 0 5 - 5 3 8 5 3 7 (J P , A)
特開平 0 3 - 2 3 1 4 6 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 4 2
H 0 1 L 2 7 / 1 0 8
H 0 1 L 2 9 / 4 2 3
H 0 1 L 2 9 / 4 9
H 0 1 L 2 9 / 7 8