(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G06F 12/00 (2006.01)

(45) 공고일자 2006년09월14일
(11) 등록번호 10-0623892
(24) 등록일자 2006년09월07일

(21) 출원번호 10-1999-0001943
(22) 출원일자 1999년01월22일

(65) 공개번호 10-1999-0068072
(43) 공개일자 1999년08월25일

(30) 우선권주장 09/010,976 1998년01월23일 미국(US)

(73) 특허권자 프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501

(72) 발명자 빅스테리
미국,텍사스78749,오스틴,젠틀오크7208

(74) 대리인 이병호
신현문
정상구
이범래

심사관 : 김종택

(54) 메모리 제어기 및 메모리 액세스 방법

요약

메모리 제어기(42)는 연속 페이지 모드로서 알려진 모드를 지원한다. 메모리 제어기(42)는 파이프라인 내부 버스에 연결되어 외부 버스로 제어 신호를 제공함으로써, DRAM(43)과 같은 메모리를 제어한다. 메모리 제어기(42)는, 현재 어드레스의 페이지 부분을 다음 어드레스의 페이지 부분과 비교한다. 이들 어드레스들이 매칭하면, 메모리 제어기(42)는 다음 사이클 동안 페이지를 오픈 상태로 유지한다. 그러나 어드레스들이 매칭하지 않거나, 다음 어드레스가 제 1 액세스 동안 동일한 시점에서 유효하지 않다면, 메모리 제어기(42)는 제 1 사이클 동안 페이지를 클로징시킨다. 메모리 제어기(42)는 페이지가 클로징될 때 페널티의 발생 없이 연속 페이지 모드를 실행한다.

대표도

도 1

색인어

메모리 제어기, 어드레스 페이지, 연속 페이지 모드, DRAM

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 메모리 제어기를 구비한 데이터 처리 시스템의 블록도.

도 2는 도 1의 페이지 히트 로직의 블록도.

도 3은 도 1의 메모리 제어기의 동작을 이해하기에 유용한 타이밍도.

* 도면 주요 부분에 대한 부호의 설명 *

41 : 프로세서 44 : 페이지 히트 로직

45 : 어드레스 비교기 46 : 어드레스 멀티플렉서

47 : 제어 레지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 메모리 시스템에 관한 것으로서, 특히 메모리 제어기에 관련된 것이다.

메모리 디바이스들은 통상적으로, 모든 제조업자들에 의해 사용되는 제어 신호들의 비교적 표준 세트에 의해 액세스되었다. 예를 들어, 동적 랜덤 액세스 메모리들(DRAMs)은 통상적으로, 로우 어드레스 스트로브(row address strobe: RAS) 신호와, 컬럼 어드레스 스트로브(column address strobe: CAS) 신호와, 기록 인에이블(write enable: WE) 신호에 의해 액세스되었다. 이들 신호들은 메모리 상의 내부 회로의 타이밍을 제어하기 위해 사용되었고, 메모리는 일반적으로, 임의의 다른 시스템 클럭 신호들과 관련하여 비동기적으로 실행하였다. 최근에는, 동기 DRAMs도 대중화되었다.

일반적으로, 메모리 제어기는 로우 어드레스를 DRAM에 공급하고 RAS를 활성화하여, DRAM 액세스를 개시한다. DRAM이 로우 어드레스를 래치한 후, 메모리 제어기는 DRAM에 컬럼 어드레스를 제공하고 CAS를 활성화한다. 일단, DRAM이 컬럼 어드레스를 래치하면, 데이터를 데이터 버스에 제공하거나, 데이터 버스에 존재하는 데이터를 적절히 래치한다. 사이클을 종료시키기 위해, 메모리 제어기는 RAS 및 CAS 모두를 비활성화시킨다. RAS의 비활성화에 응답하여, DRAM은 다른 로우에 대한 후속 액세스에 대비하여 모든 로우들을 프리차지(precharge)한다.

발명이 이루고자 하는 기술적 과제

종래 기술 분야에 알려진 기본 DRAM 타이밍에 대한 두 가지 중요한 변동들이 있다. 첫 번째 변동은 버스트 페이지 모드(burst page mode)로서 알려져 있다. 버스트 페이지 모드 액세스 동안, 메모리 제어기는 관련된 액세스 그룹의 제 1 어드레스를 DRAM에 제공하여 액세스를 시작한다. 예를 들어, 어드레스들은 제 1 어드레스 후의 연속하는 어드레스들일 수 있거나, 또는 미리 정해진 방식으로 순서화될 수도 있다. 예를 들어, 어드레스들은, 미국 특허 제 4,799,199호에 개시된 바와 같이, 제 1 어드레스 주위의 클러스터화된 모듈로 m(clustered modulo m)일 수 있다. DRAM은 선택된 로우에 대응하는 워드 라인을 활성화시켜 버스트 액세스를 시작한다. 데이터의 복수의 컬럼들이 선택된 로우를 따라 위치되기 때문에, 버스트의 후속 액세스들은 선택되지 않은 로우 없이 진행한다. 따라서 메모리 제어기는 상이한 컬럼을 선택하기 위해, 버스트 사이클 동안 RAS을 활성 상태로 유지하고, CAS만을 비활성화한다. DRAMs은, 동일한 로우 어드레스의 불필요한 반복 디코딩을 제거하기 때문에, 대응하는 수의 논버스트(nonburst) 액세스들보다 더 빠른 버스트 페이지 모드 액세스들을 수행할 수 있다. 그러나 버스트 페이지 모드에서는 미리 결정된 순서가 아닌 동일한 로우에 대한 2회 이상의 액세스들을 허용하지 않는다.

다른 변동은 풀 페이지 모드(full page mode)로서 알려져 있다. 풀 페이지 모드 시스템에서, 페이지로서도 알려진 바와 같이, 후속 액세스가 동일한 로우에 대한 것인지 여부를 결정하기 위하여 후속 어드레스를 종래의 어드레스와 비교한다. 후속 어드레스가 동일한 페이지에 대한 것이면, 메모리 제어기는 동일한 로우 어드레스를 DRAM에 제공하고 RAS를 활성화시킴으로써 중복 로우 선택(redundant row selection)을 행할 필요가 없다. 따라서 메모리 제어기는 RAS를 활성 상태로 유지하고, 동일한 로우에 대한 모든 후속 액세스에 대해 로우 어드레스 선택 사이클을 회피한다. 그러나 비교를 위해, 풀

페이지 모드를 실행하는 메모리 제어기는, 제 2 어드레스가 이용 가능하고 어드레스 비교가 완료하기까지, RAS를 비활성화함으로써 DRAM의 프리차지를 시작할 수 없다. 풀 페이지 액세스에 필요한 부가적인 프리차지 시간은 통상, 임의의 순서로 동일한 로우 상의 어드레스에 액세스하는 이점을 상쇄시킨다. 풀 페이지 모드의 다른 단점은 확장 데이터 출력(extended data out: EDO) 메모리들로는 동작하지 않는다는 점이다. EDO 메모리들은, CAS가 비활성화된 후, 데이터 출력 핀들 상에서 연장된 기간 동안 데이터를 유효 상태로 유지한다. 풀 페이지 모드 메모리는, RAS를 비활성화하는지 여부를 결정하기 위해, 후속 어드레스가 유효할 필요가 있으므로, 다음 사이클이 시작되고, 데이터 버스 상의 경합(contention)을 유발할 수 있다.

필요한 것은, 프리차지 페널티 없이 최소한의 회로 영역으로 풀 페이지 액세스들을 허용하는 동적 메모리용 제어기이다. 본 발명은 메모리 제어기 및 관련 방법과, 그들 특징들 및 이점들을 첨부한 도면을 참고로 설명한다.

발명의 구성 및 작용

본 발명에 따라, 메모리 제어기는 연속 페이지 모드로서 알려져 있는 메모리에 액세스하는 모드를 갖는다. 메모리 제어기는 파이프라인 버스에 연결되고, 여기서, 제 1 액세스에 대한 데이터를 전송하기 전에, 제 2 후속 액세스에 대한 어드레스가 버스 상에 나타난다. 메모리 제어기는 제 1 어드레스를 저장하고, 이를 제 2 어드레스와 비교한다. 제 2 어드레스의 페이지 어드레스 부분이 제 1 어드레스의 페이지 어드레스 부분과 매칭하는 경우, 메모리 제어기는 제 1 사이클 및 제 2 사이클 사이의 프리차지를 개시하지 않고 페이지를 오픈 상태로 유지한다. 제 2 어드레스의 페이지 어드레스 부분이 제 1 어드레스의 페이지 어드레스 부분과 매칭하지 않거나, 제 2 어드레스가 제공되지 않았다면, 메모리 제어기는 종래의 풀 페이지 모드와 연관된 프리차지 페널티를 회피하기 위하여, 제 1 사이클 동안 프리차지를 개시하여 페이지를 클로징시킨다.

이들 및 다른 특징들을, 본 발명에 따른 메모리 제어기(42)를 구비한 데이터 처리 시스템(40)의 블록도인 도 1을 참고하면 이해될 것이다. 데이터 처리 시스템(40)은 일반적으로, 프로세서(41)와, 메모리 제어기(42)와, DRAM(43)을 포함한다. 본 발명은 DRAM의 배경으로 개시되어 있지만, 동기 DRAM(SDRAM)에도 동일하게 응용될 수 있다. 프로세서(41)는 대응 내부 버스를 통해 "CONTROL"로 표시된 제어 신호들을 전달(control)하는 양방향 제어 단자와, 대응 내부 버스를 통해 "ADDRESS"로 표시된 신호들을 전달하는 어드레스 출력 단자와, "DATA"로 표시된 신호들을 전달하는 양방향 데이터 단자를 포함한다.

메모리 제어기(42)는, 페이지 히트 로직(page hit logic:44)과, 어드레스 비교기 또는 어드레스 비교 회로(45)와, 어드레스 멀티플렉서(46)와, 제어 레지스터(47)와, 제어부 또는 상태 머신(56)을 포함한다. 페이지 히트 로직(44)은, ADDRESS 버스에 연결된 제 1 입력 단자와, CONTROL 버스에 연결된 제 2 입력 단자와, "PAGE HIT"라고 표시된 신호를 제공하는 출력 단자를 포함한다. 어드레스 비교 회로(45)는 ADDRESS의 부분을 수신하는 입력 단자와, "DRAM HIT"로 표시된 신호를 제공하는 출력 단자를 구비한다. 실시예에서, 프로세서(41)는 32비트 어드레스(A_{31} - A_0)를 출력하고, 어드레스 비교 회로(45)는 "A_{31} - A_{N+1}"로 표시된 어드레스 신호 부분을 수신한다. 어드레스 비교 회로(45)는 어드레스 신호(A_{31} - A_{N+1})를 수신하기 위한 입력 단자와, "DRAM HIT"로 표시된 신호를 제공하기 위한 출력 단자를 포함한다. 어드레스 멀티플렉서(46)는 어드레스 신호 A_N - A_0 를 수신하기 위한 입력 단자와, 제어 입력 단자와, M개의 어드레스 신호들을 제공하는 출력 단자를 포함한다. DRAM(43)은 하위 어드레스 비트들로 맵핑되는 것이 아니라, M개의 상위 어드레스 비트들로 맵핑된다. 제어 레지스터(47)는 양방향 제어 단자와, DATA 버스에 접속된 양방향 단자를 포함한다. 상태 머신(56)은 CONTROL 신호들을 전달하기 위한 프로세서(41)의 제어 단자에 접속된 양방향 제어 단자와, 제어 레지스터(47)의 제어 단자에 접속된 양방향 제어 단자와, DRAM HIT 신호를 수신하기 위한 입력 단자와, 활성 로직 로우(active logic low) 형태로 RAS, CAS, WE 제어 신호를 제공하기 위한 출력 단자를 포함한다. DRAM(43)은 활성 로직 로우 형태의 RAS, CAS, WE 신호를 수신하기 위한 제어 입력 단자와, 프로세서(41)의 데이터 단자에 접속된 양방향 데이터 단자를 포함한다.

일반적인 동작에서, DRAM(43)은 "A_N . . . A_9"로 표시된 M개의 고차 어드레스 비트들로 맵핑된다. M개의 어드레스 비트들은 연속적일 필요는 없음에 유의해야 한다. DRAM(43)은, 먼저 로우 어드레스가 어드레스 버스에 제공되는 것을 필요로 하기 때문에, 메모리 제어기(42)는 어드레스를 멀티플렉싱 기능없이 버스에 직접 제공할 수 있다. 멀티플렉싱 기능은 어드레스 비교 회로(45)가 DRAM HIT 신호를 출력할 때까지 시작할 수 없으며, 이것은 현 메모리 사이클을 연장시킨다.

본 발명에 따르면, 메모리 제어기(42)는, 연속 페이지 모드로서 알려진 새로운 모드에서 풀 페이지 액세스와 연관된 프리차지 페널티 없이 풀 페이지 액세스를 행할 수 있다. 프로세서(41)는, 먼저 액세스에 대한 데이터가 전송되기 전에 다음 액세스에 대한 어드레스를 제공하여 연속 메모리 액세스를 파이프라인으로 연결(pipelining)할 수 있는 파이프라인 프로세서(pipelined process)이다. 페이지 히트 로직(44)은 DRAM(43)의 페이지를 어드레싱하는 ADDRESS의 부분을 수신하는

입력을 구비한다. 이 부분은 DRAM(43)의 페이지에 위치한 바이트의 수를 고려할 때 전체 어드레스 비트들보다 적다. 페이지 히트 로직(44)은 또한, 프로세서(41)에 의해 제공된 CONTROL 신호의 일부를 수신하는 입력을 구비한다. 제어 신호들은 전송이 시작됨을 표시하는 적어도 하나의 제어 신호와, 제 1 어드레스에 뒤따르는 다음 어드레스가 유효함을 표시하는 다른 제어 신호를 포함한다. 페이지 히트 로직(44)은 동일한 페이지에 대한 한 쌍의 파이프라인 어드레스들의 다음 어드레스에 응답하여 PAGE HIT 신호를 활성화시킨다.

상태 머신(56)은, PAGE HIT 신호와 다른 CONTROL 신호를 사용하여 다음 파이프라인 액세스가 동일한 페이지에 대한 것인지를 결정하고, 다른 로우 어드레스 사이클을 예상하여 DRAM(43)을 프리차지할 것인지 여부에 대해 조기에(early) 판단한다. 상태 머신(56)은, 다음 사이클의 파이프라인 어드레스가 유효한 제 1 메모리 액세스 동안 PAGE HIT 신호를 샘플링한다. PAGE HIT가 시간 동안 활성이고 다음 어드레스가 유효하면, 상태 머신(56)은 RAS를 활성 상태로 유지한다. 이때, PAGE HIT가 비활성이거나 다음 어드레스가 유효하지 않으면, 상태 머신(56)은 즉시(전파 지연 후에) RAS를 비활성화시킨다. 파이프라인 어드레스에 응답한 즉각적인 비활성화는, 프리차지를 조기에 시작하게 하고, 풀 페이지 모드의 프리차지 페널티를 회피한다.

또한, 메모리 제어기(42)는 최소한의 회로로 연속 페이지 모드를 실행한다. 이점은, 도 1의 페이지 히트 로직(44)의 블록도인 도 2에 도시되어 있다. 페이지 히트 로직(44)은 페이지 홀딩 레지스터(60)와 페이지 히트 비교 블록(62)을 포함한다. 페이지 홀딩 레지스터(60)는 ADDRESS 버스에 접속된 제 1 입력을 포함하고, DRAM(43)의 페이지를 인코딩하는 ADDRESS의 부분을 수신한다. 페이지 홀딩 레지스터는 CONTROL 버스에 접속된 제 2 입력을 포함하여, 적절한 때에 ADDRESS의 페이지 부분을 래치하는데 필요한 CONTROL 신호의 일부분을 수신한다. 이들 CONTROL 신호들이 전송의 시작을 표시하는 신호들을 포함하는 것이 바람직하다. 페이지 홀딩 레지스터(60)는 또한 ADDRESS의 래치된 부분을 제공하기 위한 출력을 구비한다.

페이지 히트 비교 블록(62)은 페이지 홀딩 레지스터(60)의 출력에 접속된 제 1 입력과, ADDRESS 버스의 페이지 부분에 접속된 제 2 입력과, PAGE HIT 신호를 제공하는 출력을 포함한다. 페이지 히트 비교 블록(62)은, 페이지 홀딩 레지스터(60)에 저장된 값이 ADDRESS의 페이지 부분과 매칭하면 PAGE HIT 신호를 활성화시킨다. 페이지 히트 비교 블록(62)도, 비교가 무의미한 시간 기간 동안의 전력 소비를 회피하기 위해, 비교를 행할 것인지를 결정하는 제어 입력을 포함할 수 있음에 유의해야 한다.

페이지 히트 로직(44)은, DRAM(43)이 분할되는 뱅크(banks)의 수에 상관없이, 단 하나의 페이지 홀딩 레지스터와 비교 회로만을 필요로 함에 유의해야 한다. 따라서 메모리 제어기(42)는 단지 최소량의 여분의 회로로 연속 페이지 모드를 구현한다.

도 3은 도 1의 메모리 제어기의 동작을 이해하는데 유용한 타이밍도를 도시한다. 본 발명은 동기 DRAM 및 비동기 DRAM 모두에 응용할 수 있지만, 비동기 DRAM의 배경으로 도시되었음을 주지한다. 그러나 도 3에서, 메모리 제어기(42)를 제어하는데 사용될 수 있는 마스터 클럭 신호(CLOCK)가 도시되고, 이 신호는 기준으로 유용하다. 또한, 도 3에는 메모리 제어기(42)가 RAS를 조기에 비활성화할 수 있는 두 경우를 도시한다. 제 1 경우는 "INTERNAL ADDRESS 1"로 표시된 신호에 의해 도시된다. "BUS CYCLE 1"로 표시된 제 1 버스 사이클 동안, INTERNAL ADDRESS 1은 R1C1으로 표시된 값을 갖는다(여기서, R1은 로우 어드레스 부분을 나타내고, C1은 컬럼 어드레스 부분을 나타낸다). 메모리 제어기(42)는 어드레스 R1을 외부 어드레스로 제공하고 RAS를 활성화시켜 BUS CYCLE 1을 실행한다. 계속해서, INTERNAL ADDRESS 1은, 제 1 액세스와 파이프라인으로 연결되는 제 2 액세스에 대한 제 2 어드레스를 전달한다. 이 값은 어드레스 R2C2로 도시된다. 이 경우, R2=R1이고, 페이지 히트 로직(44)은 PAGE HIT 신호를 활성화시킨다. 신호 AS(address strobe)는 외부 버스 사이클들의 시작을 표시한다. PAGE HIT 신호의 활성화에 응답하여, 상태 머신(56)은 RAS를 활성 상태로 유지하지만, 어드레스 R1C1에서 제 1 데이터 요소의 전송 후 CAS를 비활성화시킨다.

INTERNAL ADDRESS 1의 일련의 값은 제 2 버스 사이클 동안 발생하고 R3C3로 표시된다. 이 경우, R3≠R2이고, 페이지 히트 로직(44)은 BUS CYCLE 2 동안 비활성으로 된다. 상태 머신이 BUS CYCLE 2 동안 PAGE HIT를 샘플링하고 비활성으로 되는 것을 발견하면, RAS 및 CAS 모두를 비활성화시켜 페이지 모드 액세스를 종료시킨다. 그러나 본 발명에 따르면, 상태 머신(56)은 버스 사이클 2의 도중에 RAS를 조기에 비활성화시킨다. RAS의 조기 비활성화로 인해, DRAM(43)의 로우는 조기에 프리차지되고, 다음 버스 사이클(BUS CYCLE 3)은 지연되지 않게 된다. 또한, 경합 없는 확장 데이터 출력(EDO) 동작을 허용한다.

대안적으로, "INTERNAL ADDRESS 2"로 표시된 후속 어드레스들이 ADDRESS BUS 상에서 전달될 수 있다. INTERNAL ADDRESS 2와 INTERNAL ADDRESS 1 사이의 차이점은, 상태 머신(56)이 PAGE HIT를 샘플링할 때 BUS CYCLE 3에 대한 어드레스가 버스 상에서 유효하지 않다는 점이다. 메모리 제어기(42)는 다음 사이클이 동일한 페이지가 아니라고 가정하고, INTERNAL ADDRESS 1과 동일한 방식으로 RAS 프리차지 사이클을 조기에 시작한다.

발명의 효과

비록 본 발명을 특정 실시예를 바탕으로 설명하였지만, 당업자라면 다른 수정이나 개선이 가능함을 알 것이다. 예를 들어, 개시된 메모리 제어기는 비동기 DRAM 및 동기 DRAM 모두에 유용할 수 있다. 또한, 저장 용량에 기준해 유사한 다른 형태의 메모리들도 사용될 수 있다. 따라서 본 발명은 첨부된 청구범위에 정의된 발명의 범위를 벗어나지 않는 모든 수정들을 포함한다고 할 수 있다.

(57) 청구의 범위

청구항 1.

연속 페이지 모드(continuos page mode)를 갖는 메모리 제어기에 있어서:

파이프라인 버스(pipelined bus)의 어드레스 부분에 연결된 어드레스 입력 단자;

상기 어드레스 입력 단자에 연결된 입력 단자와, 활성화시 전송(transfer)의 시작을 표시하는 제 1 제어 신호를 수신하는 제어 입력 단자와, 출력 단자를 구비한 레지스터로서, 상기 제 1 제어 신호의 활성화에 응답하여 입력 단자의 값을 저장하는 상기 레지스터;

상기 레지스터의 상기 출력 단자에 연결된 제 1 입력 단자와, 상기 파이프라인 버스의 상기 어드레스 부분에 연결된 제 2 입력 단자와, 페이지 히트 신호(page hit signal)를 공급하는 출력 단자를 구비한 비교기; 및

상기 페이지 히트 신호를 수신하는 제 1 입력 단자와, 활성화시 제 1 액세스의 완료에 앞서 상기 파이프라인 버스의 상기 어드레스 부분에서 다음 어드레스가 유효함을 표시하는 제 2 제어 신호를 수신하는 제 2 입력 단자와, 외부 버스의 제어 부분에 연결된 출력 단자를 구비한 상태 머신(state machine)으로서, 적어도 하나의 외부 제어 신호를 활성화시켜 상기 외부 버스 상의 상기 제 1 액세스를 제어하고, 후속적으로, 상기 제 1 액세스 동안 상기 제 2 제어 신호의 비활성화(deactivation) 또는 상기 제 2 제어 신호가 활성일 때 상기 페이지 히트 신호의 비활성화에 응답하여, 상기 제 1 액세스 동안 상기 적어도 하나의 외부 제어 신호를 비활성화하여 상기 외부 버스 상의 프리차지(precharge)를 개시하는 상기 상태 머신을 포함하는, 메모리 제어기.

청구항 2.

메모리 제어기에 의해 메모리에 액세스하는 방법에 있어서:

파이프라인 내부 버스(pipelined internal bus)로부터 제 1 내부 액세스의 제 1 어드레스를 수신하는 단계;

적어도 하나의 외부 제어 신호를 활성화하여 외부 버스 상의 상기 제 1 내부 액세스에 대응하는 제 1 외부 액세스를 제어하는 단계; 및

상기 제 1 외부 액세스의 완료 전에 제 2 내부 액세스의 제 2 어드레스가 상기 파이프라인 내부 버스로부터 수신된다면,

상기 제 2 어드레스를 상기 제 1 어드레스와 비교하는 단계와;

상기 제 2 어드레스가 상기 제 1 어드레스와 동일하지 않을 경우 상기 제 1 외부 액세스 동안 상기 적어도 하나의 외부 제어 신호를 비활성화하여 상기 메모리의 프리차지를 개시하는 단계를 실행하는 단계를 포함하는, 메모리 액세스 방법.

청구항 3.

메모리 제어기에 의해 메모리에 액세스하는 방법에 있어서:

파이프라인 내부 버스로부터 제 1 내부 액세스의 제 1 어드레스를 수신하는 단계;

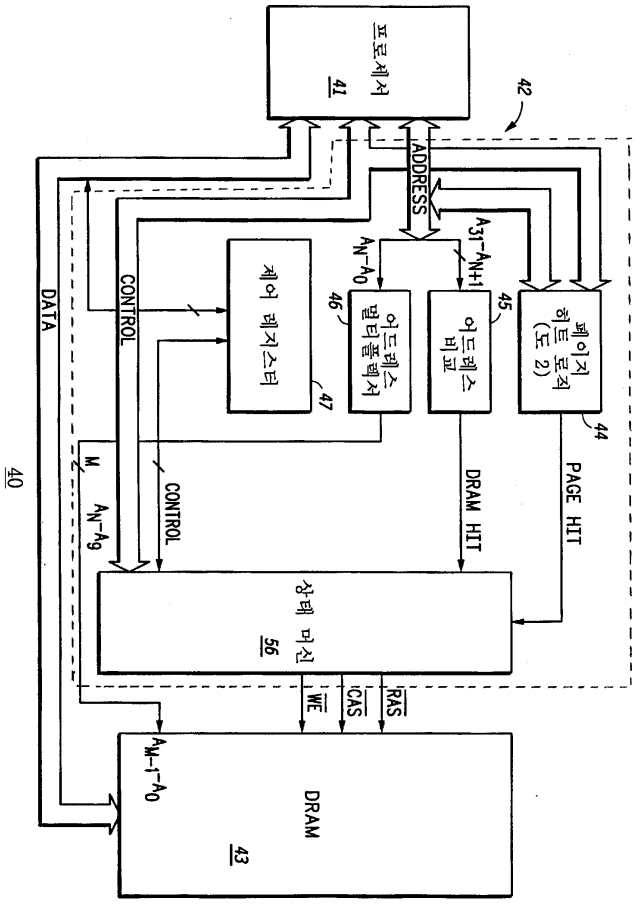
적어도 하나의 외부 제어 신호를 활성화하여 외부 버스 상에서 상기 메모리로의 상기 제 1 내부 액세스에 대응하는 제 1 외부 액세스를 제어하는 단계;

상기 제 1 내부 액세스의 완료 전에 상기 파이프라인 내부 버스로부터 제 2 내부 액세스의 제 2 어드레스를 선택적으로 수신하는 단계; 및

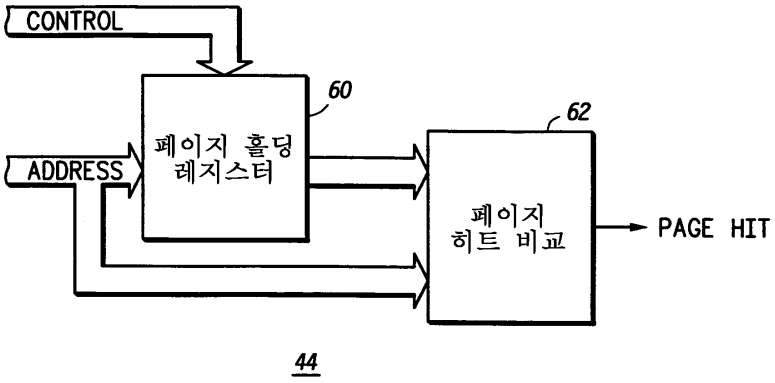
상기 제 1 내부 액세스의 상기 완료 전에 상기 제 2 어드레스가 상기 파이프라인 내부 버스로부터 수신되지 않으면, 상기 제 1 외부 액세스 동안 상기 적어도 하나의 외부 제어 신호를 비활성화하여 상기 메모리의 프리차지를 개시하는 단계를 포함하는, 메모리 액세스 방법.

도면

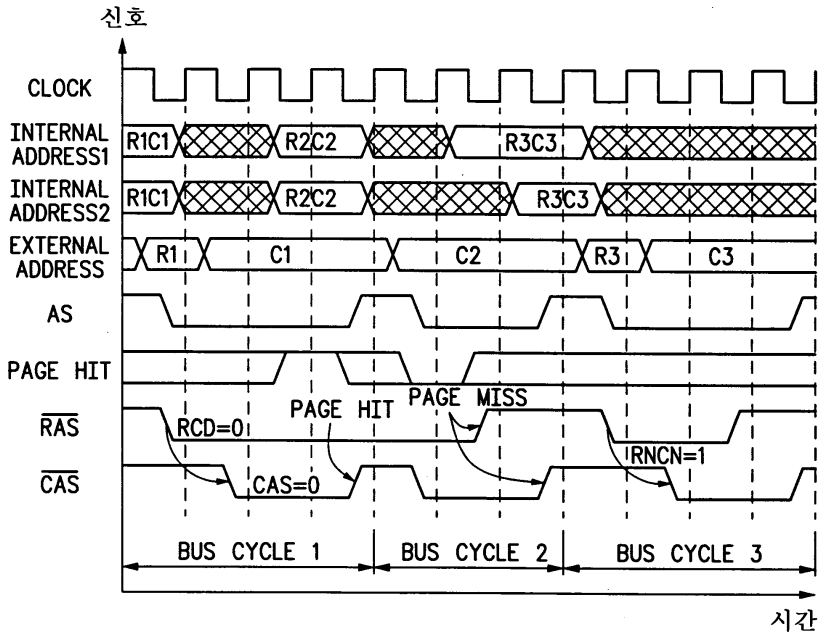
도면1



도면2


CONTROL
ADDRESS
60
페이지 홀딩 레지스터
62
페이지 히트 비교
PAGE HIT
44

도면3


신호
CLOCK
INTERNAL ADDRESS1
INTERNAL ADDRESS2
EXTERNAL ADDRESS
AS
PAGE HIT
RAS
CAS
R1C1
R2C2
R3C3
R1
C1
C2
R3
C3
PAGE HIT
PAGE MISS
RCD=0
CAS=0
RNCN=1
BUS CYCLE 1
BUS CYCLE 2
BUS CYCLE 3
시간