

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6862470号
(P6862470)

(45) 発行日 令和3年4月21日(2021.4.21)

(24) 登録日 令和3年4月2日(2021.4.2)

(51) Int.Cl.	F 1
H03K 19/0185 (2006.01)	H03K 19/0185 240
G11C 5/14 (2006.01)	G11C 5/14 370
H03K 19/00 (2006.01)	H03K 19/00 108
H03K 17/693 (2006.01)	H03K 17/693 A

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2018-550674 (P2018-550674)
(86) (22) 出願日	平成29年3月10日 (2017.3.10)
(65) 公表番号	特表2019-516280 (P2019-516280A)
(43) 公表日	令和1年6月13日 (2019.6.13)
(86) 國際出願番号	PCT/US2017/021935
(87) 國際公開番号	W02017/172329
(87) 國際公開日	平成29年10月5日 (2017.10.5)
審査請求日	令和2年2月12日 (2020.2.12)
(31) 優先権主張番号	15/087,812
(32) 優先日	平成28年3月31日 (2016.3.31)
(33) 優先権主張国・地域又は機関	米国 (US)

(73) 特許権者	595020643 クアアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
(74) 代理人	100108855 弁理士 蔵田 昌俊
(74) 代理人	100109830 弁理士 福原 淑弘
(74) 代理人	100158805 弁理士 井関 守三
(74) 代理人	100112807 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】電力効率のよい電圧レベルトランスレータ回路

(57) 【特許請求の範囲】

【請求項 1】

電圧レベル変換の方法であって、

電圧レベルトランスレータにおいて、通常モードで第1の電圧領域における入力信号を第2の電圧領域における出力信号に変換することと、ここにおいて、前記第1の電圧領域の第1の供給電圧は、前記第2の電圧領域の第2の供給電圧とは異なる。

バイパスモードでバイパス信号に基づいて前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第1の電圧領域における前記出力信号として供給することと、ここにおいて、前記第1の供給電圧と前記第2の供給電圧は、実質的に同じである。

通常モードではなく、前記バイパスモードで前記バイパス信号に基づいて前記電圧レベルトランスレータをパワーダウンすることであって、前記電圧レベルトランスレータの出力ノードが前記バイパスモードでフロートすることを防ぐために、前記電圧レベルトランスレータの前記出力ノードを前記バイパスモードで前記第2の供給電圧に接続するか、または前記電圧レベルトランスレータの前記出力ノードをグラウンドに接続する、パワーダウンすることと、

を備える、方法。

【請求項 2】

前記電圧レベルトランスレータをパワーダウンすることは、前記バイパスモードでグラウンド接続から前記電圧レベルトランスレータをゲートオフするための第1のプルダウントランジスタをオフにすることを備える、請求項1に記載の方法。

10

20

【請求項 3】

前記電圧レベルトランスレータの出力ノードを前記第2の供給電圧に接続する場合に、前記バイパスモードで前記電圧レベルトランスレータの前記出力ノードを前記第2の供給電圧に接続するための第1のプルアップトランジスタをオンにすることをさらに備える、請求項2に記載の方法。

【請求項 4】

前記電圧レベルトランスレータをパワーダウンすることは、前記バイパスモードで前記第2の供給電圧と前記電圧レベルトランスレータとの間の接続をゲートオフするように構成された第2のプルアップトランジスタをオフにすることを備える、請求項1に記載の方法。

10

【請求項 5】

前記電圧レベルトランスレータの出力ノードをグラウンドに接続する場合に、前記バイパスモードで前記電圧レベルトランスレータの前記出力ノードをグラウンドに接続するための第2のプルダウントランジスタをオンにすることをさらに備える、請求項4に記載の方法。

【請求項 6】

前記バイパスモードでは前記電圧レベルトランスレータとグラウンドとの間の接続をゲートオフするための第3のプルダウントランジスタをオフにすることをさらに備える、請求項4に記載の方法。

【請求項 7】

前記電圧レベルトランスレータの出力ノードをグラウンドに接続する場合に、前記バイパスモードで前記電圧レベルトランスレータの前記出力ノードをグラウンドに接続するための第4のプルダウントランジスタをオンにすること、または

20

前記電圧レベルトランスレータの出力ノードを前記第2の供給電圧に接続する場合に、前記バイパスモードで前記電圧レベルトランスレータの前記出力ノードを前記第2の供給電圧に接続するための第4のプルアップトランジスタをオンにすること、

をさらに備える、請求項6に記載の方法。

【請求項 8】

装置であつて、

通常モードで第1の電圧領域における入力信号を第2の電圧領域における出力信号に変換するための手段と、ここにおいて、前記第1の電圧領域の第1の供給電圧は、前記第2の電圧領域の第2の供給電圧とは異なる、

30

バイパスモードでバイパス信号に基づいて前記変換するための手段をバイパスし、前記第1の電圧領域における前記出力信号を供給するための手段と、ここにおいて、前記第1の供給電圧と前記第2の供給電圧は、実質的に同じである、

通常モードではなく、前記バイパスモードで前記バイパス信号に基づいて前記変換するための手段をパワーダウンするための手段と、前記パワーダウンするための手段は、前記変換するための手段の出力ノードが前記バイパスモードでフロートすることを防ぐために、前記変換するための手段の前記出力ノードを前記バイパスモードで前記第2の供給電圧に接続するようにか、または前記変換するための手段の前記出力ノードをグラウンドに接続するようにかのいずれかで構成される、

40

を備える、装置。

【請求項 9】

前記パワーダウンするための手段は、前記バイパスモードでグラウンド接続から前記変換するための手段をゲートオフするための手段を備える、請求項8に記載の装置。

【請求項 10】

前記バイパスモードで前記変換するための手段の出力ノードを前記第2の供給電圧に接続するための手段をさらに備える、請求項9に記載の装置。

【請求項 11】

前記パワーダウンするための手段は、前記バイパスモードで前記第2の供給電圧と前記

50

変換するための手段との間の接続をゲートオフするための手段を備える、請求項 8 に記載の装置。

【請求項 1 2】

前記バイパスモードで前記第 1 の電圧領域における前記入力信号を選択し、前記通常モードで前記第 2 の電圧領域における前記変換するための手段の出力を選択するための手段をさらに備える、請求項 8 に記載の装置。

【請求項 1 3】

前記変換するための手段は、電圧レベルトランスレータであり、

前記バイパスするための手段は、バイパス回路であり、

前記パワーダウンするための手段は、パワーダウン回路である、

請求項 8 に記載の装置。

10

【請求項 1 4】

前記第 1 の電圧領域は、論理セルを備える論理電圧領域に対応し、前記第 2 の電圧領域は、メモリセルを備えるメモリ電圧領域に対応し、前記バイパスモードは、ターボモードに対応する、請求項 8 に記載の装置。

【請求項 1 5】

セットトップボックス、ミュージックプレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定ロケーションデータユニット、サーバ、モバイルフォン、およびコンピュータからなるグループから選択されたデバイスに一体化される、請求項 8 に記載の装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 開示される態様は、処理システムのための電圧供給（voltage supply）に関する。より具体的には、実例的な態様は、第 1 の電圧領域と第 2 の電圧領域との間の電圧レベル変換（voltage level translation）のための、電力効率のよい電圧レベルトランスレータ回路（voltage level translator circuit）を対象とする。

【背景技術】

【0002】

[0002] 現代の処理システム（例えば、システムオンチップすなわち「SOC」）は、異なる周波数および電力条件（power considerations）を有することができる様々なサブシステムまたは構成要素を含み得る。これに対応して、SOC の異なる区画には、異なる供給電圧（supply voltage）が提供され得る。例えば、メモリシステムは、より高い供給電圧が供給され得るメモリセル（例えば、スタティックランダムアクセスメモリすなわち「SRAM」セル）を含み得るのに対して、中央処理ユニット（CPU）またはプロセッサコアの論理セルは、より低い供給電圧をサポートできる。従って、SOC は、2つ以上の電圧アイランドまたは電圧領域（例えば、論理電圧領域、メモリ電圧領域、等）を用いて設計され得、対応する電圧供給を有する各電圧領域は、電圧領域における構成要素（例えば、論理セル、メモリセル、等）の電圧条件（voltage considerations）に適合するように合わせられる。

30

【0003】

[0003] 2つの電圧領域を渡る信号があり得、例えば、論理電圧領域における CPU によってメモリ電圧領域におけるメモリシステムに発行される読み込みまたは書き込みコマンドである。このような信号のために、本技術分野では「電圧レベルトランスレータ」として知られている変換回路（translation circuit）が、第 1 の電圧領域から第 2 の電圧領域への信号を変換するために提供され得る。しかしながら、いくつかのケースでは、1つまたは複数の電圧領域の電圧は動的にスケーリングされ得、これは、第 1 および第 2 の電圧領域の供給電圧が同等または実質的に同じになることをもたらし得る（例えば、これは本技術分野で既知である「ターボモード」において行われ、ここにおいて、論理電圧領域の以前の低い供給電圧は、より高い周波数で論理セルを動作させるためにより高い供給電圧

40

50

にスケーリングされ得、論理電圧領域のより高い供給電圧は、メモリ電圧領域の供給電圧と実質的に同じであり得る)。このようなケースでは、第1および第2の電圧領域の供給電圧が実質的に同じであるので、第1の電圧領域と第2の電圧領域との間に電圧レベルトランスレータの必要はないことになる。

【0004】

[0004] しかしながら、従来の設計では、電圧レベルトランスレータはそれにもかかわらずアクティブのままであり、第1および第2の電圧領域の供給電圧が実質的に同じである場合でも、第1の電圧領域と第2の電圧領域との間の信号の電圧変換を不必要に実行し得る。アクティブのままであり、信号の経路内に留まることによって、電圧レベルトランスレータは電力を消費し、電圧レベル変換が必要ないときでも常に信号の経路に遅延を付加する。10

【発明の概要】

【0005】

[0005] 本発明の実例的な態様は、電力効率のよい電圧レベルトランスレータのためのシステムおよび方法を対象とする。第1の電圧領域の第1の供給電圧と第2の電圧領域の第2の供給電圧が異なる通常モードでは、電圧レベルトランスレータは、第1の電圧領域における入力信号を第2の電圧領域における出力信号に変換する。第1の供給電圧と第2の供給電圧が実質的に同じであるバイパスモードでは、バイパス回路 (bypass circuit) は、電圧レベルトランスレータをバイパスし、入力信号を第1の電圧領域における出力信号として供給するように構成され、よって、バイパスモードで電圧レベルトランスレータによって挿入される遅延を回避する。さらに、パワーダウン回路 (power-down circuit) が、バイパスモードでは電圧レベルトランスレータをパワーダウンするが、通常モードではパワーダウンしないように構成される。20

【0006】

[0006] 例えば、実例的な態様は、第1の電圧領域の第1の供給電圧が第2の電圧領域の第2の供給電圧とは異なる通常モードでは、前記第1の電圧領域における入力信号を前記第2の電圧領域における出力信号に変換するように構成された電圧レベルトランスレータと、前記第1の供給電圧と前記第2の供給電圧が実質的に同じであるバイパスモードでは、前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第1の電圧領域における前記出力信号として供給するように構成されたバイパス回路と、前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないように構成されたパワーダウン回路と、を備える装置を対象とする。30

【0007】

[0007] 別の実例的な態様は、電圧レベル変換の方法を対象とし、前記方法は、電圧レベルトランスレータにおいて、第1の電圧領域の第1の供給電圧が第2の電圧領域の第2の供給電圧とは異なる通常モードでは、前記第1の電圧領域における入力信号を前記第2の電圧領域における出力信号に変換することと、前記第1の供給電圧と前記第2の供給電圧が実質的に同じであるバイパスモードでは、前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第1の電圧領域における前記出力信号として供給することと、前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないことと、を備える。40

【0008】

[0008] さらに別の実例的な態様は、第1の電圧領域の第1の供給電圧が第2の電圧領域の第2の供給電圧とは異なる通常モードでは、前記第1の電圧領域における入力信号を前記第2の電圧領域における出力信号に変換するための手段と、前記第1の供給電圧と前記第2の供給電圧が実質的に同じであるバイパスモードでは、変換するための前記手段をバイパスし、前記第1の電圧領域における前記出力信号を供給するための手段と、前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないための手段と、を備える装置を対象とする。

【0009】

[0009] 添付の図面は、本発明の態様の説明を助けるために提示されており、それら態様の限定ではなく、その例示のためだけに提供されている。

【図面の簡単な説明】

【0010】

【図1A】従来の電圧レベルトランスレータを例示する図。

【図1B】従来の電圧レベルトランスレータを例示する図。

【図2A】本開示の実例的な態様にしたがう、電圧レベルトランスレータに関連する回路を例示する図。

【図2B】本開示の実例的な態様にしたがう、電圧レベルトランスレータに関連する回路を例示する図。 10

【図2C】本開示の実例的な態様にしたがう、電圧レベルトランスレータに関連する回路を例示する図。

【図2D】本開示の実例的な態様にしたがう、電圧レベルトランスレータに関連する回路を例示する図。

【図3】本開示の実例的な態様にしたがう、電圧レベル変換を実行する方法に対応するブロック図を例示する図。

【図4】本開示の一態様が有利に用いられ得る実例的なコンピューティングデバイスを例示する図。

【詳細な説明】

【0011】

[0014] 本発明の態様は、本発明の特定の態様に向けられた以下の説明および関連の図面で開示される。代替の態様が、本発明の範囲から逸脱することなく考案され得る。追加的に、本発明の周知の要素は、本発明の関連する詳細を曖昧にしないように、詳細には説明されないかまたは省略されるであろう。

【0012】

[0015] 「実例的な」という用語は、本明細書では、「例、事例、または例示としての役割を果たす」という意味で使用されている。「実例的な」ものとして、本明細書で説明される任意の態様は、必ずしも他の態様に対して好ましいまたは有利なものとして解釈されるべきではない。同様に、「本発明の態様」という用語は、本発明の全ての態様が、説明される特徴、利点、または動作モードを含むことを必要としない。 30

【0013】

[0016] 本明細書で使用される専門用語は、特定の態様を説明することのみを目的としたものであり、本発明の態様を限定することを意図したものではない。本明細書で使用されるとき、単数形「a」、「an」、および「the」は、別途コンテキストから明らかに示されていない限り、複数形もまた含むように意図されている。「備える」、「備えている」、「含む」、および／または「含んでいる」という用語は、本明細書で使用されるとき、記述された特徴、整数、ステップ、動作、要素、および／または構成要素の存在を指定するが、1つまたは複数の他の特徴、整数、ステップ、動作、要素、構成要素、および／またはそれらのグループの存在または追加を妨げないことがさらに理解されるであろう。

【0014】

[0017] さらに、多くの態様が、例えば、コンピューティングデバイスの要素によって実行されることになるアクションのシーケンスの観点から説明される。本明細書で説明される様々なアクションが、特定の回路（例えば、特定用途向け集積回路（ASIC））によって、1つまたは複数のプロセッサによって実行されているプログラム命令によって、または両方の組合せによって、行われることができることが認識されるであろう。追加的に、本明細書で説明されるこれらのアクションのシーケンスは、実行時に、関連したプロセッサに本明細書で説明される機能を行わせることになるコンピュータ命令の対応のセットを記憶した任意の形態のコンピュータ可読記憶媒体内で全体的に具現化されるものと考えられることができる。よって、本発明の様々な態様は、いくつかの異なる形態で具現化され得、それらの全ては、特許請求される主題の範囲内にあるものと企図されている。加 40
50

えて、本明細書で説明される態様の各々に関して、任意のそのような態様の対応する形態は、例えば、説明されているアクションを行う「ように構成された論理」として、本明細書では説明され得る。

【0015】

[0018] 本開示の実例的な態様は、第1の電圧領域から第2の電圧領域への信号を変換するように構成された電圧レベルトランスレータを対象としている。第1の電圧領域が第2の電圧領域と同等である場合には、第1の電圧領域と第2の電圧領域との間の信号の経路に電圧レベルトランスレータによって挿入される遅延を回避するために電圧レベルトランスレータをバイパスするための、選択的なバイパス回路が含まれる。さらに、実例的な態様では、上記の方式で電圧レベルトランスレータがバイパスされるとき、電圧レベルトランスレータをパワーダウンまたはシャットオフ(shut off)するための、電力制御回路が含まれ得る。よって、実例的な態様では、信号の経路内に電圧レベルトランスレータが必要ではないとき、電圧レベルトランスレータに関連する電力消費と遅延が回避され得る。これらの態様および関連する態様が、以下のセクションで、図を参照してこれから説明される。10

【0016】

[0019] 最初に、図1A～図1Bを参照して、従来の電圧レベルトランスレータ100が説明される。電圧レベルトランスレータ100は、第1の供給電圧VDD1によって供給される第1の電圧領域における相補的な入力信号a114およびa_n116を、第2の供給電圧VDD2によって供給される第2の電圧領域における出力信号z120に変換するように構成される。一般性の喪失なく、第1の供給電圧VDD1は、通常の動作条件下では第2の電圧供給VDD2よりも少ないこともあるが、いくつかの事例では、第1および第2の電圧供給VDD1およびVDD2は、実質的に同じ電圧値であり得る。第1および第2の電圧供給VDD1およびVDD2が異なる値を想定し得る特定の条件、またはこれらの電圧供給が生成される方式は本考案に密接に関連しないが、一例は、論理セルを有する処理システムのプロセッサコアまたは同様のものを備える第1の電圧領域、ここで第1の電圧供給VDD1が論理供給電圧と称され得る、第1の電圧領域と、メモリセルを有するメモリシステムを備える第2の電圧領域、ここで第2の電圧供給VDD2がメモリ供給電圧と称され得る、第2の電圧領域と、に関係する場合もある。20

【0017】

[0020] 図1A～図1Bに例示されている構成では、電圧レベルトランスレータ100は、p型金属酸化物半導体(PMOS)デバイスまたはp型電界効果トランジスタ(PFET)で構成され得る、プルアップトランジスタ(pull-up transistor)102および104と、n型金属酸化物半導体(NMOS)デバイスまたはn型電界効果トランジスタ(NFET)で構成され得るプルダウントランジスタ(pull-down transistor)108および112と、PMOSデバイスまたはPFETとして構成され得るプルアップトランジスタ106および110を備える。相補的な入力信号a114およびa_n116の電圧レベル変換の出力は、ノード122から導出され得、通過されるインバータ118が出力信号z120を供給できる。図1A～図1Bに例示されているような電圧レベルトランスレータ100の動作可能な詳細が周知であるが、いくつかの簡単な詳細が以下のセクションで提供され、本開示の実例的な態様が適用され得る、電圧レベルトランスレータの他の様々な構成が可能であることに留意されたい。40

【0018】

[0021] 図1Aを参照すると、入力信号a114が立ち上がる、または低論理状態(例えば、バイナリ「0」)から高論理状態(例えば、バイナリ「1」)に遷移し、これに対応して入力信号a_n116が立ち下がるケースが例示されている。これに対応して、第1段階では、プルアップトランジスタ106はシャットオフし始め、プルダウントランジスタ108はオンになり始めることになり、これは、ノード122を放電し始める。一方、入力信号a_n116は立ち下がり、プルアップトランジスタ110をオンにしながらプルダウントランジスタ112をシャットオフする。一旦ノード122が十分に低い値に50

立ち下がると、第2段階では、プルアップトランジスタ104がオンになり、プルアップトランジスタ104および110はノード123を第2の供給電圧VDD2にチャージし始める。

【0019】

[0022] ノード123がチャージし終わる(charge up)と、プルアップトランジスタ102はシャットオフし始め、それは、プルダウントランジスタ108がノード122をさらにプルダウンするのを助ける。プルダウンされるノード122は、プルアップトランジスタ104がオンにされるプロセスを助け、これはさらにノード123をチャージする。最終的には、プルアップトランジスタ102は完全にシャットオフされ、ノード122は「0」の論理状態に遷移するが、ノード123は第2の電圧領域において論理「1」に遷移する。ノード122および123は、相補的な入力信号a114およびa_n116の値にその後の変化が起きるまで、それらの「0」および「1」の論理状態を維持する。
10

【0020】

[0023] よって、インバータ118を通過した後、ノード122のインバートされた値は、第2の電圧領域において立ち上がる出力信号z120として現れ、第1の電圧領域における入力信号a114の立ち上がりと入力信号a_n116の立ち下がりに対応する。電圧レベルトランスレータ100の上記段階は、相補的な入力信号a114およびa_n116と出力信号z120との間の経路に、対応する遅延またはレイテンシを挿入する。

【0021】

[0024] ここで図1Bを参照して、入力信号a114が立ち下がりa_n116が立ち上がる、反対のシナリオがこれから説明される。このケースでは、プルアップトランジスタ110はシャットオフし始め、プルダウントランジスタ112はオンになり始めることになり、よって、ノード123を放電する。一方、入力信号a114が立ち下がると、プルダウントランジスタ108は、プルアップトランジスタ106をオンにしながら、シャットオフされることを引き起こされる。一旦ノード123が十分に低い値に立ち下がると、第2段階では、プルアップトランジスタ102がオンになり、プルアップトランジスタ102および106はノード122を第2の供給電圧VDD2にチャージし始める。ノード122がチャージし終わると、プルアップトランジスタ104はシャットオフさせられ、それは、プルダウントランジスタ112がノード123をさらにプルダウンするのに役立つ。プルダウンされるノード123は、プルアップトランジスタ102がオンにされるのを助け、これはさらにノード122をチャージする。最終的には、プルアップトランジスタ104は完全にシャットオフし、ノード123は「0」の論理状態に遷移するが、ノード122は第2の電圧領域において「1」の論理状態に遷移する。ノード122の論理状態は、第2の電圧領域において、立ち下がり出力信号z120として現れるように、インバータ118によってインバートされる。ノード122および123は、相補的な入力信号a114およびa_n116上にその後の変化が生じるまで、それらの「1」および「0」の論理状態をそれぞれ維持する。図に示すように、このケースでの電圧レベルトランスレータ100の動作に関わる上記段階もまた、著しい遅延を引き起こす。
20
30

【0022】

[0025] 第1および第2の供給電圧VDD1およびVDD2の電圧値間の差が大きいケースの場合、電圧レベルトランスレータ100の左側にあるプルアップトランジスタ102および106のスタックは、入力信号a114が立ち上がり(またはlowからhighに遷移し)、これに対応して入力信号a_n116が立ち下がる(またはhighからlowに遷移する)ケースの場合に、プルダウントランジスタ108が例えばノード122を効率的にプルダウンすることを可能にするために、弱められ得る。同様に、電圧レベルトランスレータ100の右側にあるプルアップトランジスタ104および110のスタックは、入力信号a114が立ち下がり、これに対応して入力信号a_n116が立ち上がるケースの場合、プルダウントランジスタ112が効率的にノード123をプルダウンすることを可能にするために、弱められ得る。このプルダウントランジスタおよびプルアップトランジスタの相対的なサイジングは、相補的な入力信号a114およびa_n11
40
50

6ならびに出力信号 z_{120} からの遅延をさらに増大させ得る。

【0023】

[0026] 電圧レベルトランスレータ100の上記考察から、図1A～図1Bに示される両方のケースでは、かなりの遅延が挿入されることが理解され得る。さらに、様々なプルアップおよびプルダウントランジスタをオンにしたりオフにしたりする複数の段階もまた電力を消費する。第1の電圧領域の第1の電圧供給VDD1と第2の電圧領域の第2の電圧供給VDD2が実質的に同じである場合、図2A～図2Bを参照してこれから説明される実例的な態様では、電圧レベルトランスレータ100に関連する遅延および電力は回避され得る。

【0024】

[0027] 図2Aを参照すると、回路200が示されており、これは、電圧レベルトランスレータ250およびバイパス回路252を備える。電圧レベルトランスレータ250は、図1A～図1Bを参照して説明された従来の電圧レベルトランスレータ100と同様であるように構成され得るか、または第1の電圧供給VDD1によって供給される第1の電圧領域における相補的な入力信号 a_{214} および a_n_{216} を、第2の電圧供給VDD2によって供給される第2の電圧領域におけるノード222において導出される中間出力信号 y_n に変換するのに好適な他の任意の電圧レベルトランスレータ構成であり得る。一例となる態様では、第1の電圧領域は、論理セルを備える論理電圧領域に対応し、第2の電圧領域は、メモリセルを備えるメモリ電圧領域に対応する。

【0025】

[0028] 電圧レベルトランスレータ250の構成が電圧レベルトランスレータ100の構成と同様である態様では、電圧レベルトランスレータ250の構成要素は、電圧レベルトランスレータ100の対応する構成要素と同様の機能性を有し得るので、電圧レベルトランスレータ250の動作可能な詳細は、簡潔さのために繰り返されない。簡単に、電圧レベルトランスレータ250の、プルアップトランジスタ202、204、206、210、およびプルダウントランジスタ208、212は、電圧レベルトランスレータ100の対応するプルアップトランジスタ102、104、106、110、およびプルダウントランジスタ108、112と同様に構成され得る。従って、ノード222および223は、図1A～図1Bで説明されたような相補的な入力信号 a_{114} および a_n_{116} の立ち上がりと立ち下がりに基づくノード122および123と同様の方式で、相補的な入力信号 a_{214} および a_n_{216} の立ち上がりと立ち下がりに基づいて第2の電圧領域に変換される電圧を受け取り得る。

【0026】

[0029] さらに、回路200は、いくつかの動作モードを併い得る。例えば、通常の動作モードは、第1の電圧供給VDD1が第2の電圧供給VDD2とは異なる（例えば、それよりも少ないまたは多い）状況を含むと定義され得、相補的な入力信号 a_{214} および a_n_{216} の第1の電圧領域から第2の電圧領域への電圧レベル変換が望まれる。通常モードでは、電圧レベルトランスレータ250の機能性は、電圧レベルトランスレータ100の機能性と実質的に同様であり得る。

【0027】

[0030] 回路200の第2の動作モードはバイパスモードと定義され、ここにおいて、第1の電圧供給VDD1は、第2の電圧供給VDD2と実質的に同じであるので、相補的な入力信号 a_{214} および a_n_{216} の第1の電圧領域から第2の電圧領域への電圧レベル変換は、バイパスモードでは回避され得る。バイパスモードは、例えば、前述したターボモードに対応し得、ここにおいて、第1の電圧領域（例えば、論理電圧領域）および第2の電圧領域（例えば、メモリ電圧領域）の供給電圧が同等または実質的に同じであり得る。このコンテキストでは、実質的に同等とは、オフにされるべきである高い方の電圧領域におけるデバイスが、望まないリーク電流を引き起こすほどオンにならないように、第1の電圧領域と第2の電圧領域との間の電圧差が十分小さいものと当業者によって理解されるであろう。バイパスモードでは、バイパス回路252が電圧レベルトランスレータ

10

20

30

40

50

250をバイパスするために用いられ得、それにより、電圧レベルトランスレータ250を横断する相補的な入力信号a214およびa_n216によって生じ得る遅延を回避する。

【0028】

[0031] いくつかの態様では、バイパス回路252は、バイパスモードでは入力信号a_n216をバイパス回路252の出力として選択し、通常モードでは、中間信号y_nとして現れるノード222をバイパス回路252の出力として選択するためのセレクタまたはマルチブレクサとして実装され得る。この目的のために、バイパス回路252は、各々がP F E TとN F E Tデバイスの並列結合によって形成される、2つの送信ゲート回路234および236を含み得る。信号bypass232は、回路200がバイパスモードで動作されることになる場合にアサートされ得る。bypass232の補数が、信号bypass_n230として示されている。bypass232がhighである場合、bypass_n230はlowであり、送信ゲート回路234はバイパス回路252の出力にa_n216を渡すためにオンにされる。これに対して、bypass232がlowである場合、bypass_n230はhighであり、送信ゲート回路236は、バイパス回路252の出力に中間信号y_n（すなわち、ノード222）を渡すためにオンにされる。バイパス回路252の出力は、回路200の出力信号z220として現れるようにインバータ218によってインバートされる。従って、バイパスモードでは（例えば、第1および第2の供給電圧VDD1およびVDD2が実質的に同じであることに基づいてbypass232がアサートされるとき）、電圧レベルトランスレータ250および対応する遅延を完全にバイパスしながら、a_n216がバイパス回路252の出力として選択され得る。
10

【0029】

[0032] 図2B～図2Dは、バイパスモードでの電力節約のために使用され得るパワーダウン回路に関する実例的な態様を例示している。パワーダウン回路は、以下のセクションで詳細に説明されるように、bypass232がアサートされ、電圧レベルトランスレータ250がバイパスされるときに選択的に展開(deploy)され得る。
20

【0030】

[0033] 最初に図2Bを参照すると、バイパスモードでの電力節約の実例的な態様による、回路270が例示されている。回路270は、図2Aの回路200に追加されたパワーダウン回路275を含む。より詳細には、回路270もまた、上記図2Aを参照して説明された電圧レベルトランスレータ250およびバイパス回路252を含み、パワーダウン回路275は、示されているように電圧レベルトランスレータ250に結合される。バイパスモードでは、つまりbypass232がアサートされたとき、パワーダウン回路275は、電圧レベルトランスレータ250を選択的にパワーダウンするように構成される。しかし通常モードでは、つまりbypass232がアサートされないとき（または言い換えると、bypass_n230がアサートされたとき）、パワーダウン回路275は、通常動作のために電圧レベルトランスレータ250をアクティブに保つ。パワーダウン回路275は、以下でさらに詳細に説明される。
30

【0031】

[0034] 示されているように、パワーダウン回路275は、第1のプルダウントランジスタ240（例えば、N M O SトランジスタまたはN F E T）を含む。第1のプルダウントランジスタ240は、電圧レベルトランスレータ250のプルダウントランジスタ208および212の各々に、およびグラウンドに直列に接続され、第1のプルダウントランジスタ240のゲートはbypass_n230によって制御される。よって、通常モードでは、つまりbypass232がアサートされずbypass_n230がアサートされたとき、第1のプルダウントランジスタ240がオンにされ、これは、プルダウントランジスタ208および212のソース端子をグラウンドに接続し、よって、電圧レベルトランスレータ250の通常構成を保持する、または言い換えると、電圧レベルトランスレータ250がアクティブに留まることを引き起こす。これに対して、バイパスモードで
40

は、`bypass232`がアサートされ、`bypass_n230`を`low`に駆動させ、第1のプルダウントランジスタ`240`をオフにし、次に、プルダウントランジスタ`208`および`212`についてのグラウンドまでの経路をゲートオフし(`gating off`)、電圧レベルトランスレータ`250`をパワーダウンさせる。

【0032】

[0035] パワーダウン回路`275`はまた、第1のプルアップトランジスタ`242`(例えば、PMOSトランジスタまたはPFET)を含むことができるが、これはオプションであり得る。パワーダウン回路`275`に含まれるとき、第1のプルアップトランジスタ`242`は、電圧レベルトランスレータ`250`の中間信号`y_n`(またはノード`222`)に、および第2の供給電圧`VDD2`に接続され、第1のプルアップトランジスタ`242`のゲートもまた、`bypass_n230`によって制御される。通常モードでは、`bypass232`は`low`であり、`bypass_n230`がアサートされ、よって、第1のプルアップトランジスタ`242`をオフにし、これは、電圧レベルトランスレータ`250`の通常構成に影響を及ぼさない。これに対して、バイパスモードでは、`bypass232`がアサートされ、`bypass_n230`を`low`に駆動させ、第1のプルアップトランジスタ`242`をオンにし、よって、ノード`222`を第2の供給電圧`VDD2`に接続し、プルアップトランジスタ`204`をオフにする。それゆえ、第1のプルアップトランジスタ`242`は、含まれるとき、(ノード`222`を第2の供給電圧`VDD2`に接続することによって)バイパスモードでノード`222`がフロート(float)することを引き起こさないと考えられ、これは、バイパス回路`252`における反結合(back coupling)の低減につながり、それにより、バイパスモードでの回路`270`のパフォーマンスを向上させる。これに対応して、バイパスモードでは、第2の電圧供給`VDD2`からプルアップトランジスタ`210`およびプルダウントランジスタ`212`への電力供給もまたカットオフされる。
10
20

【0033】

[0036] よって、`bypass_n230`がアサートされたときのバイパスモードで、第1のプルダウントランジスタ`240`をオフにすることと第1のプルアップトランジスタ`242`をオンにすることの複合効果は、電力供給から電圧レベルトランスレータ`250`のスイッチングトランジスタを全て分離することであり、よって、電圧レベルトランジスタ`250`をパワーダウンする。従って、電圧レベルトランジスタ`250`がバイパスされるとき(例えば、第1および第2の供給電圧`VDD1`および`VDD2`が実質的に同じであるとき)、電圧レベルトランジスタ`250`はパワーダウンもされ、電力節約をもたらす。
30

【0034】

[0037] パワーダウン回路`275`が第1のプルアップトランジスタ`242`を含まないケースでは、ノード`222`に結合された中間信号`y_n`は、バイパスモードの間フロートさせられることになるが、先述されたように第1のプルダウントランジスタ`240`がゲートオフされることになるので、電圧レベルトランジスタ`250`は、依然としてパワーダウンされたままであることになる。パワーダウン回路`275`に第1のプルアップトランジスタ`242`を含まないことは、パワーダウン回路`275`に関連する面積を低減させ得る。
40

【0035】

[0038] 次に、図`2C`を参照すると、バイパスモードでの電力節約の別の実例的な態様による、回路`280`が例示されている。回路`270`のように、回路`280`もまた、図`2A`の回路`200`に追加された、このケースではパワーダウン回路`285`と特定されている、パワーダウン回路を含む。より詳細には、回路`280`もまた、上記図`2A`を参照して説明された電圧レベルトランジスタ`250`およびバイパス回路`252`を含み、パワーダウン回路`285`は、示されているように電圧レベルトランジスタ`250`に結合される。バイパスモードでは、つまり`bypass232`がアサートされたとき、パワーダウン回路`285`は、電圧レベルトランジスタ`250`を選択的にパワーダウンするように構成される。しかし通常モードでは、つまり`bypass232`がアサートされないと(または言い換えると、`bypass_n230`がアサートされたとき)、パワーダウン回路`285`
50

は、通常動作のために電圧レベルトランスレータ 250 をアクティブに保つ。パワーダウン回路 285 は、以下でさらに詳細に説明される。

【0036】

[0039] 示されているように、パワーダウン回路 285 は、第 2 の供給電圧 VDD2 と電圧レベルトランスレータ 250 との間に（例えば、示されているように、電圧レベルトランスレータ 250 のプルアップトランジスタ 202 および 204 に）結合された第 2 のプルアップトランジスタ 282 を含み、第 2 のプルアップトランジスタ 282 のゲートは bypass232 によって制御される。バイパスモードでは、つまり bypass232 が high であるとき、第 2 のプルアップトランジスタ 282 はオフにされ、よって、第 2 の供給電圧 VDD2 から電圧レベルトランスレータ 250 への電圧供給をゲートオフし、ノード 222 および信号 y_n がフロートすることを引き起こす。そうでない場合、通常モードでは、bypass232 は low であり、第 2 のプルアップトランジスタ 282 をオンにさせ、通常通り第 2 の供給電圧 VDD2 を電圧レベルトランスレータ 250 に接続する。10

【0037】

[0040] パワーダウン回路 285 は、オプションとして、電圧レベルトランスレータ 250 のノード 222 に接続された第 2 のプルダウントランジスタ 284（例えば、N MOS トランジスタまたはN F E T）を含むことができ、第 2 のプルダウントランジスタ 284 のゲートは、bypass232 によって制御される。第 2 のプルダウントランジスタ 284 がこの方式で構成されるとき、バイパスモードでは、つまり bypass232 が high であるとき、第 2 のプルダウントランジスタ 284 はオンにされ、ノード 222 または信号 y_n をグラウンドまたは論理「0」に接続する。それゆえ、第 2 のプルダウントランジスタ 284 はまた、ノード 222 がバイパスモードでフロートすることを防ぐことができ、バイパス回路 252 における反結合を低減し、それによって、バイパスモードでの回路 280 のパフォーマンスを向上させる。通常モードでは、bypass232 は low であり、第 2 のプルダウントランジスタ 284 をオフにさせ、ノード 222 または信号 y_n に対するいずれの影響も除去する。20

【0038】

[0041] これから図 2D を参照すると、バイパスモードでの電力節約のさらに別の実例的な態様による、回路 290 が例示されている。回路 270 および 280 のように、回路 290 もまた、図 2A の回路 200 に追加された、このケースではパワーダウン回路 295 と特定されている、パワーダウン回路を含む。より詳細には、回路 290 もまた、上記図 2A を参照して説明された電圧レベルトランスレータ 250 およびバイパス回路 252 を含み、パワーダウン回路 295 は、示されているように電圧レベルトランスレータ 250 に結合される。バイパスモードでは、つまり bypass232 がアサートされたとき、パワーダウン回路 295 は、電圧レベルトランスレータ 250 を選択的にパワーダウンするように構成される。しかし通常モードでは、つまり bypass232 がアサートされないと（または言い換えると、bypass_n230 がアサートされたとき）、パワーダウン回路 295 は、通常動作のために電圧レベルトランスレータ 250 をアクティブに保つ。パワーダウン回路 295 は、以下でさらに詳細に説明される。3040

【0039】

[0042] 示されているように、パワーダウン回路 295 はまた、上述されたパワーダウン回路 285 の第 2 のプルアップトランジスタ 282 と同様に構成され、かつ第 2 の供給電圧 VDD2 と電圧レベルトランスレータ 250 との間に（例えば、示されているように、電圧レベルトランスレータ 250 のプルアップトランジスタ 202 および 204 に）結合された第 2 のプルアップトランジスタ 282 を含み、第 2 のプルアップトランジスタ 282 のゲートは bypass232 によって制御される。バイパスモードでは、つまり bypass232 が high であるとき、第 2 のプルアップトランジスタ 282 は同様にオフにされ、よって、第 2 の供給電圧 VDD2 から電圧レベルトランスレータ 250 への電圧供給をゲートオフし、ノード 222 および信号 y_n がフロートすることを引き起こ50

す。そうでない場合、通常モードでは、`bypass232`は`low`であり、第2のプルアップトランジスタ`282`をオンにさせ、通常通り第2の供給電圧`VDD2`を電圧レベルトランスレータ`250`に結合させる。

【0040】

[0043] パワーダウン回路`295`はまた、電圧レベルトランスレータ`250`とグラウンドとの間に結合された第3のプルダウントランジスタ`294`も含み、第3のプルダウントランジスタ`294`のゲートは`bypass_n230`によって制御される。バイパスモードでは、つまり`bypass_n230`が`low`であるとき、第3のプルダウントランジスタ`294`はオフにされ、よって、電圧レベルトランスレータ`250`のためのグラウンドまでの経路をゲートオフする。そうではない場合、通常モードでは、`bypass_n230`が`high`であり、第3のプルダウントランジスタ`294`をオンにさせ、電圧レベルトランスレータ`250`を通常通りグラウンドに結合させる。10

【0041】

[0044] パワーダウン回路`295`は、オプションとして、電圧レベルトランスレータ`250`のノード`222`に接続された、第4のプルダウントランジスタ`296`または第4のプルアップトランジスタ`298`という2つのうちの1つを含むことができるが、両方ではない。第4のプルダウントランジスタ`296`がパワーダウン回路`295`に含まれる場合、第4のプルダウントランジスタ`296`のゲートは、`bypass232`によって制御される。バイパスモードでは、つまり`bypass232`が`high`であるとき、第4のプルダウントランジスタ`296`はオンにされ、よって、ノード`222`をグラウンドまたは論理「0」に接続する。通常モードでは、`bypass232`は`low`であり、第4のプルダウントランジスタ`296`をオフにさせ、ノード`222`または信号`y_n`に対するいずれの影響も除去する。20

【0042】

[0045] これに対して、第4のプルアップトランジスタ`298`がパワーダウン回路`295`に含まれる場合、第4のプルアップトランジスタ`298`のゲートは`bypass_n230`によって制御される。バイパスモードでは、つまり`bypass_n230`が`low`であるとき、第4のプルアップトランジスタ`298`はオンにされ、よって、ノード`222`を第2の供給電圧`VDD2`または論理「1」に接続する。通常モードでは、`bypass_n230`は`high`であり、第4のプルアップトランジスタ`298`をオフにさせ、ノード`222`または信号`y_n`に対するいずれの影響も除去する。認識されるように、第4のプルダウントランジスタ`296`または第4のプルアップトランジスタ`298`のうちのいずれか1つが、パワーダウン回路`295`に含まれ、上記のように構成されるとき、ノード`222`は、バイパスモードでフロートすることが防がれ、それは、バイパス回路`252`における反結合の低減につながり、それによって、バイパスモードでの回路`290`のパフォーマンスを向上させる。30

【0043】

[0046] 従って、実例的な態様では、回路`270`、`280`、または`290`のような回路は、電圧レベルトランスレータ`250`がバイパスモードで使用されないときの電力消費を回避するために、パワーダウン回路`275`、`285`、または`295`それぞれを用いて構成され得る。回路`270`、`280`、および`290`はまた、バイパスモードで電圧レベルトランスレータを通る遅延を回避するためのバイパス回路`252`も含む。40

【0044】

[0047] 例えば`bypass232`をアサートするバイパスモードに入る状況は、第1および第2の電圧供給`VDD1`および`VDD2`が実質的に同じ電圧値になることの検出を伴うことができる。この検出は、本技術分野では既知である方法およびシステムを用いて行われることができる。例えば、バッテリで動作するモバイルデバイスのバッテリレベルまたは充電状態が、バイパスモードに入る、またはそれを終了するために使用され得る。例えば、モバイルデバイスが外部電源にプラグインされる場合、またはバッテリレベルが高い（または、ある特定の充電レベルを上回る）場合、モバイルデバイスは、高いパフォ50

ーマンスまたはターボモードをサポートするようにプログラミングされ得、ここにおいて、第1および第2の電圧供給VDD1およびVDD2は実質的に同じにされ得る。しかしながら、バッテリレベルが、例えば低バッテリモードまで所定のレベルよりも下がる場合、第1および第2の電圧供給VDD1およびVDD2の別個の電圧レベルが維持され得、バイパスモードは終了し得る。デジタルおよび/またはアナログ回路は、バッテリレベルまたは外部電源への接続を検出して、これに対応してバイパスモードが選択され得るかどうか、または通常動作条件が電圧レベルトランスレータに適用されるかのインジケーションを提供するように構成され得る。いくつかの例では、プログラマまたはオペレーティングシステムが、バイパスモードに入るまたはそれを終了するために使用され得るソフトウェア制御を提供することも可能であり得る。（例えば、`bypass232`をアサートする）バイパスモードの検出または決定のための他の様々なオプションが当業者によって認識されることになり、従って、本明細書ではさらに詳細には説明されない。10

【0045】

[0048] 実例的な態様が、本明細書で開示されるプロセス、関数、および/またはアルゴリズムを実行するための様々な方法を含むことが認識されるであろう。例えば、図3に例示されているように、実例的な態様は、電圧レベル変換を実行する方法（300）を含むことができる。方法300は、例えば、回路270、280、または290の通常動作モードに関するブロック302を含むことができ、ブロック303は、例えば、回路270、280、または290のバイパス動作モードに関する。図3は、通常モードからバイパスモードに、または場合によってはバイパスモードから通常モードに遷移することが可能であることを示すために、ブロック302および303間に両矢印を示している。これらブロック302および303は、以下でさらに詳細に説明される。20

【0046】

[0049] 述べたように、ブロック302は、通常動作モードに関する、ここにおいて、第1の電圧領域の第1の供給電圧VDD1は、第2の電圧領域の第2の供給電圧VDD2とは異なる。通常モードでは、ブロック302は、例えば電圧レベルトランスレータ250において、第1の電圧領域における入力信号、例えば入力信号`a214`を、通常モードでは、第2の電圧領域における出力信号、例えば出力信号`z220`に変換することを含むことができる。

【0047】

[0050] ブロック303は、バイパス動作モードに関する、ここにおいて、第1および第2の供給電圧VDD1およびVDD2は、実質的に同じである。ブロック303は、同時に実行され得るブロック304および306を備えることができる。30

【0048】

[0051] 従って、ブロック304は、バイパスモードでは電圧レベルトランスレータをバイパスすることと、入力信号を第1の電圧領域における出力信号として供給することを含むことができる。例えば、ブロック304は、`bypass232`がアサートされたときにバイパス回路252を使用して電圧レベルトランスレータ250をバイパスすることと、入力信号を第1の電圧領域における出力信号として供給することを含むことができる。40

【0049】

[0052] ブロック306は、バイパスモードでは電圧レベルトランスレータを選択的にパワーダウンすることを含むことができる。例えば、ブロック306は、（例えば、回路270、280、または290についての実装形態が実例的な態様で選ばれるかどうかに依存してパワーダウン回路275、285、または295を使用して）電圧レベルトランスレータ250をパワーダウンすることを含むことができる。具体的には、本明細書で説明されているパワーダウン技法のいずれかを使用して、電圧レベルトランスレータ250は、バイパスモードでは（`bypass232`が`high`であり、`bypass_n230`が`low`であるとき）、パワーダウンされ得、電圧レベルトランスレータ250は、通常モードでは（`bypass232`が`low`であり、`bypass_n230`が`high`50

であるとき)、アクティブに維持され得る。この方式で、方法 300 は、**bypass 232** がアサートされたときのバイパスモードで回路 270、280、または 290 における電圧レベルトランスレータ 250 に関連する遅延および電力を回避するために使用され得る。

【0050】

[0053] これから図 4 を参照すると、電力効率のよい電圧レベル変換のための回路 270、280、または 290 のような回路を含むコンピューティングデバイスの特定の例示的な態様のブロック図が図示されており、概して 400 と指定されている。コンピューティングデバイス 400 は、上記図 3 を参照して説明された方法 300 を実行するための機能性を含み得る。さらに、いくつかの態様では、コンピューティングデバイス 400 は、10 ワイヤレス通信デバイスとして構成され得る。

【0051】

[0054] コンピューティングデバイス 400 は、プロセッサ 464 およびメモリ 432 を含むように示されている。いくつかの態様では、プロセッサ 464 は、第 1 の供給電圧 VDD1 を有する第 1 の電圧領域または論理電圧領域に属し得、メモリ 432 は、第 2 の供給電圧 VDD2 を有する第 2 の電圧領域またはメモリ電圧領域に属し得る。従って、上記図 2B ~ 図 2D を参照して説明された回路 270、280、または 290 の概略図は、20 プロセッサ 464 とメモリ 432との間で構成されると示されている。回路 270 / 280 / 290 は、通常モードでは、電圧レベルトランスレータ 250 を使用して、例えば入力信号 a214 (例えば、プロセッサ 464 からメモリ 432 への読み取り / 書込みコマンドに対応) の、出力信号 z220 への電圧レベル変換を行い得る。回路 270 / 280 / 290 は、バイパスモードでは、バイパス回路 252 および対応するパワーダウン回路 275 / 285 / 295 を使用して電圧レベルトランスレータ 250 をバイパスおよびパワーダウンして、電圧レベル変換を伴わずに、プロセッサ 464 からの相補的な入力信号 a214 および a_n216 を、出力信号 z220 としてメモリ 432 に供給するように構成され得、ここにおいて、第 1 および第 2 の供給電圧 VDD1 および VDD2 は、バイパスモードでは実質的に同じである。前述されたように、バイパスモードは、本技術分野で既知のターボモードに対応し得る。図 4 の回路 270 / 280 / 290 の表現は、対応する30 図 2B ~ 図 2D に示された様々な詳細を、明確さのために省略していることに留意されたい。

【0052】

[0055] コンピューティングデバイス 400 はまた、プロセッサ 464 に、およびディスプレイ 428 に結合されたディスプレイコントローラ 426 も備え得る。図 4 はまた、コンピューティングデバイス 400 において提供され得るオプションの態様を示す。例えば、コンピューティングデバイスは、オプションとして、プロセッサ 464 に結合されたコーダ / デコーダ (CODEC) 434 (例えば、オーディオおよび / または音声 CODEC) と、ここで、スピーカ 436 およびマイクロフォン 438 が CODEC 434 に結合され、プロセッサ 464 に結合された (モデムを含み得る) ワイヤレスコントローラ 440 とを備え得、ワイヤレスコントローラ 440 はワイヤレスアンテナ 442 に結合される。40

【0053】

[0056] 上記オプションとしての特徴のうちの 1 つまたは複数が存在する一例となる態様では、プロセッサ 464、回路 270 / 280 / 290、メモリ 432、CODEC 434、ディスプレイコントローラ 426、およびワイヤレスコントローラ 440 は、システムインパッケージまたはシステムオンチップデバイス 422 に含まれることができる。いくつかの態様では、入力デバイス 430 および電源 444 は、システムオンチップデバイス 422 に結合され得る (いくつかのケースでは、第 1 および第 2 の電圧供給 VDD1 および VDD2 が、電源 444 から導出または供給され得ることも留意されたい) が、いくつかの態様では、ディスプレイ 428、入力デバイス 430、スピーカ 436、マイクロフォン 438、ワイヤレスアンテナ 442、および電源 444 は、システムオンチップ50

デバイス 422 の外部にあり得る。しかしながら、ディスプレイ 428、入力デバイス 430、スピーカ 436、マイクロフォン 438、ワイヤレスアンテナ 442、および電源 444 の各々は、インターフェースまたはコントローラのような、システムオンチップデバイス 422 の構成要素に結合され得る。

【0054】

[0057] 図 4 は概してコンピューティングデバイスを図示しているが、プロセッサ 464、およびメモリ 432 はまた、セットトップボックス、ミュージックプレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定ロケーションデータユニット、モバイルフォン、サーバ、およびコンピュータへと一体化され得ることが留意されるべきである。

10

【0055】

[0058] 当業者は、情報および信号が、様々な異なる技術および技法の任意のものを使用して表され得ることを認識するであろう。例えば、上記の説明全体を通して参照され得る、データ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界または磁気粒子、光場または光粒子、もしくはこれらの任意の組合せによって表わされ得る。

【0056】

[0059] さらに当業者は、本明細書で開示された態様に関連して説明された様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、またはその両方の組合せとして実装され得ることを認識するであろう。このハードウェアとソフトウェアの互換性を明確に例示するために、様々な例示的なコンポーネント、ブロック、モジュール、回路、およびステップが、概して、それらの機能性の観点から上述されている。このような機能性が、ハードウェアとして実装されるか、ソフトウェアとして実装されるかは、特定の用途およびシステム全体に課せられる設計制約に依存する。当業者は、特定のアプリケーションごとに、説明された機能性を多様な方法で実装できるが、このような実装の判断は本発明の範囲からの逸脱を引き起こすものとして解釈されるべきではない。

20

【0057】

[0060] 本明細書で開示された態様に関連して説明された方法、シーケンス、および／またはアルゴリズムは、直接的にハードウェアにおいて、プロセッサによって実行されるソフトウェアモジュールにおいて、またはそれら 2 つの組合せで、具現化され得る。ソフトウェアモジュールは、RAM メモリ、フラッシュメモリ、ROM メモリ、EPROM メモリ、EEPROM（登録商標）メモリ、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当該技術分野で既知の他の任意の形態の記憶媒体に存在し得る。実例的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、また記憶媒体に情報を書き込むことができるよう、プロセッサに結合される。代替として、記憶媒体は、プロセッサと一体であり得る。

30

【0058】

[0061] 従って、本発明の一態様は、電力効率のよい電圧レベル変換のための方法を具現化するコンピュータ可読媒体を含むことができる。従って、本発明は、例示された例に限定されるわけではなく、本明細書で説明された機能を行うためのあらゆる手段が本発明の態様に含まれる。

40

【0059】

[0062] 先の開示は、本発明の例示的な態様を示しているが、添付の特許請求の範囲によって定義される本発明の範囲から逸脱することなく、様々な変更および修正が本明細書で行われ得ることが留意されるべきである。本明細書で説明された発明の態様にしたがつた方法の請求項の機能、ステップ、および／またはアクションは、任意の特定の順序で行われる必要はない。さらに、本発明の要素は、単数形で説明および特許請求され得るが、単数形に限定することが明記されていない限り、複数形が企図される。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

50

[C 1]

装置であって、

通常モードでは、第1の電圧領域における入力信号を第2の電圧領域における出力信号に変換するように構成された電圧レベルトランスレータと、ここにおいて、前記第1の電圧領域の第1の供給電圧は、前記第2の電圧領域の第2の供給電圧とは異なる。

バイパスモードでは、前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第1の電圧領域における前記出力信号として供給するように構成されたバイパス回路と、ここにおいて、前記第1の供給電圧と前記第2の供給電圧は、実質的に同じである、前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないように構成されたパワーダウン回路と

を備える、装置。

10

[C 2]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータへのグラウンド接続をゲートオフするように構成された第1のプルダウントランジスタを備える、C 1 に記載の装置。

[C 3]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第2の供給電圧に接続するように構成された第1のプルアップトランジスタをさらに備える、C 2 に記載の装置。

[C 4]

20

前記パワーダウン回路は、前記バイパスモードでは前記第2の供給電圧と前記電圧レベルトランスレータとの間の接続をゲートオフするように構成された第2のプルアップトランジスタを備える、C 1 に記載の装置。

[C 5]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するように構成された第2のプルダウントランジスタをさらに備える、C 4 に記載の装置。

[C 6]

30

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータとグラウンドとの間の接続をゲートオフするように構成された第3のプルダウントランジスタをさらに備える、C 4 に記載の装置。

[C 7]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するように構成された第4のプルダウントランジスタをさらに備える、C 6 に記載の装置。

[C 8]

40

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第2の供給電圧に接続するように構成された第4のプルアップトランジスタをさらに備える、C 6 に記載の装置。

[C 9]

前記バイパス回路は、前記バイパスモードでは前記第1の電圧領域における前記入力信号を選択し、前記通常モードでは前記第2の電圧領域における前記電圧レベルトランスレータの出力を選択するように構成されたマルチプレクサを備える、C 1 に記載の装置。

[C 10]

前記第1の電圧領域は、論理セルを備える論理電圧領域に対応し、前記第2の電圧領域は、メモリセルを備えるメモリ電圧領域に対応し、前記バイパスモードは、ターボモードに対応する、C 1 に記載の装置。

[C 11]

セットトップボックス、ミュージックプレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定口

50

ケーションデータユニット、サーバ、モバイルフォン、およびコンピュータからなるグループから選択されたデバイスに一体化される、C 1 に記載の装置。

[C 1 2]

電圧レベル変換の方法であって、

通常モードでは、電圧レベルトランスレータにおいて、第1の電圧領域における入力信号を第2の電圧領域における出力信号に変換することと、ここにおいて、前記第1の電圧領域の第1の供給電圧は、前記第2の電圧領域の第2の供給電圧とは異なる、

バイパスモードでは、前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第1の電圧領域における前記出力信号として供給することと、ここにおいて、前記第1の供給電圧と前記第2の供給電圧は、実質的に同じである、

前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないことと

を備える、方法。

[C 1 3]

前記電圧レベルトランスレータをパワーダウンすることは、前記バイパスモードではグラウンド接続から前記電圧レベルトランスレータをゲートオフするために第1のプルダウントランジスタをオフにすることを備える、C 1 2 に記載の方法。

[C 1 4]

前記バイパスモードでは、前記電圧レベルトランスレータの出力ノードを前記第2の供給電圧に接続するために第1のプルアップトランジスタをオンにすることをさらに備える、C 1 3 に記載の方法。

[C 1 5]

前記電圧レベルトランスレータをパワーダウンすることは、前記バイパスモードでは前記第2の供給電圧と前記電圧レベルトランスレータとの間の接続をゲートオフするように構成された第2のプルアップトランジスタをオフにすることを備える、C 1 2 に記載の方法。

[C 1 6]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するために第2のプルダウントランジスタをオンにすることをさらに備える、C 1 5 に記載の方法。

[C 1 7]

前記バイパスモードでは前記電圧レベルトランスレータとグラウンドとの間の接続をゲートオフするために第3のプルダウントランジスタをオフにすることをさらに備える、C 1 5 に記載の方法。

[C 1 8]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するために第4のプルダウントランジスタをオンにすることをさらに備える、C 1 7 に記載の方法。

[C 1 9]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第2の供給電圧に接続するために第4のプルアップトランジスタをオンにすることをさらに備える、C 1 7 に記載の方法。

[C 2 0]

前記バイパスモードでは前記第1の電圧領域における前記入力信号を選択し、前記通常モードでは前記第2の電圧領域における前記電圧レベルトランスレータの出力を選択することを備える、C 1 2 に記載の方法。

[C 2 1]

前記第1の電圧領域は、論理セルを備える論理電圧領域に対応し、前記第2の電圧領域は、メモリセルを備えるメモリ電圧領域に対応し、前記バイパスモードは、ターボモードに対応する、C 1 2 に記載の方法。

[C 2 2]

装置であつて、

通常モードでは、第1の電圧領域における入力信号を第2の電圧領域における出力信号に変換するための手段と、ここにおいて、前記第1の電圧領域の第1の供給電圧は、前記第2の電圧領域の第2の供給電圧とは異なる、

バイパスモードでは、変換するための前記手段をバイパスし、前記第1の電圧領域における前記出力信号を供給するための手段と、ここにおいて、前記第1の供給電圧と前記第2の供給電圧は、実質的に同じである、

前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないための手段と

を備える、装置。

[C 2 3]

前記電圧レベルトランスレータをパワーダウンするための前記手段は、前記バイパスモードではグラウンド接続から前記電圧レベルトランスレータをゲートオフするための手段を備える、C 2 2 に記載の装置。

[C 2 4]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第2の供給電圧に接続するための手段をさらに備える、C 2 3 に記載の装置。

[C 2 5]

前記電圧レベルトランスレータをパワーダウンするための前記手段は、前記バイパスモードでは前記第2の供給電圧と前記電圧レベルトランスレータとの間の接続をゲートオフするための手段を備える、C 2 2 に記載の装置。

[C 2 6]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するための手段をさらに備える、C 2 5 に記載の装置。

[C 2 7]

前記バイパスモードでは前記電圧レベルトランスレータとグラウンドとの間の接続をゲートオフするための手段をさらに備える、C 2 5 に記載の装置。

[C 2 8]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するための手段をさらに備える、C 2 7 に記載の装置。

[C 2 9]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第2の供給電圧に接続するための手段をさらに備える、C 2 7 に記載の装置。

[C 3 0]

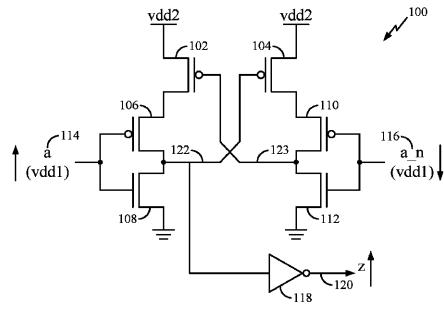
前記バイパスモードでは前記第1の電圧領域における前記入力信号を選択し、前記通常モードでは前記第2の電圧領域における前記電圧レベルトランスレータの出力を選択するための手段をさらに備える、C 2 2 に記載の装置。

10

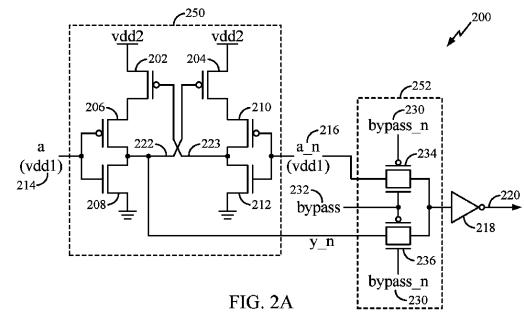
20

30

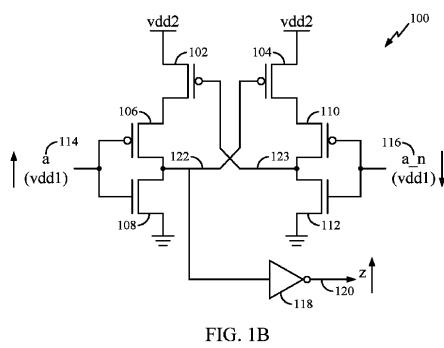
【図1A】



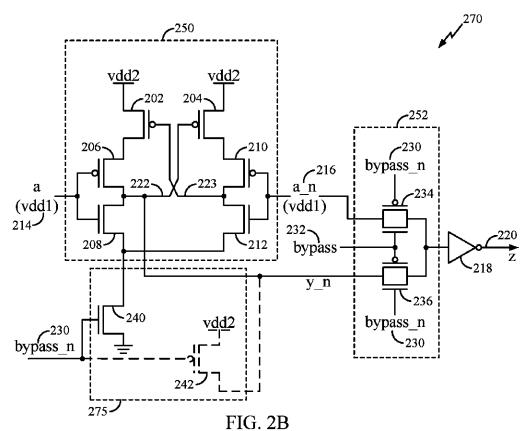
【図2A】



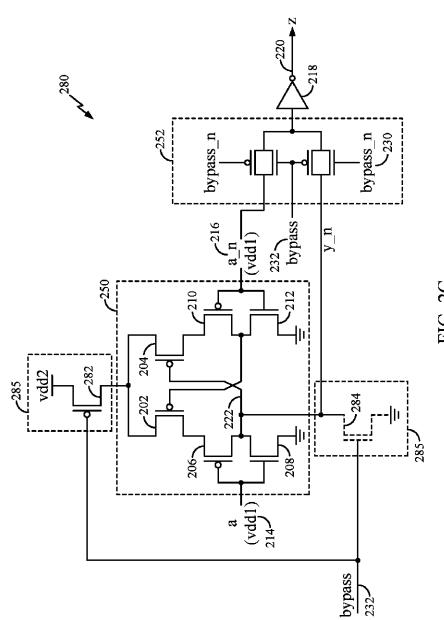
【図1B】



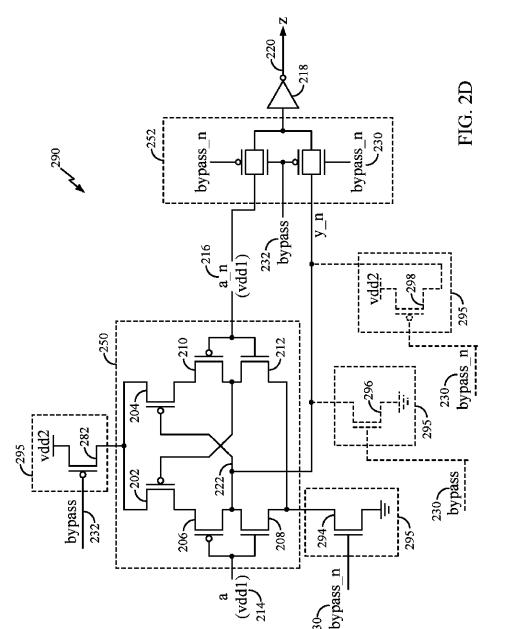
【図2B】



【図2C】



【図2D】



【図3】

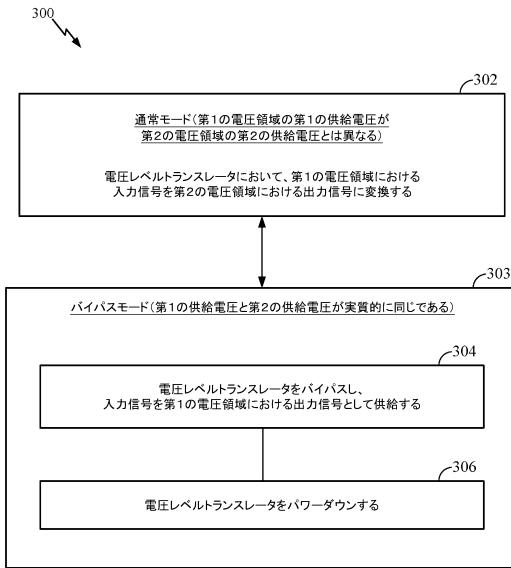


FIG. 3

【図4】

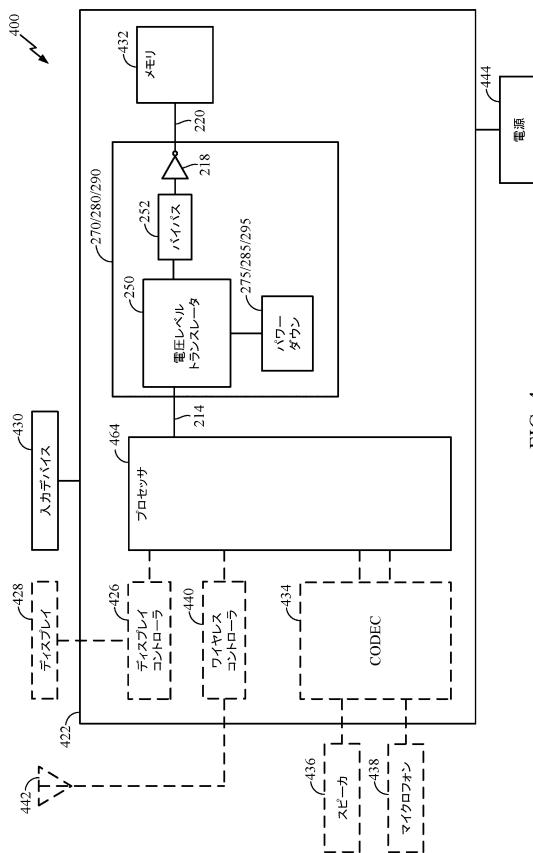


FIG. 4

フロントページの続き

(74)代理人 100184332

弁理士 中丸 康洋

(72)発明者 ナドカルニ、ラーフル・クリシュナクマー

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クワアルコム・インコーポレイテッド内

(72)発明者 コレアーレ・ジュニア、アンソニー

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クワアルコム・インコーポレイテッド内

審査官 渡井 高広

(56)参考文献 特開2005-117628(JP,A)

特開2001-036398(JP,A)

特開平10-084274(JP,A)

特表2014-510424(JP,A)

特開平11-195975(JP,A)

特開2007-228330(JP,A)

特表2013-527699(JP,A)

特開2003-218687(JP,A)

特開2006-238449(JP,A)

特開2007-306042(JP,A)

特開2003-283327(JP,A)

Canh Q. Tran, Hiroshi Kawaguchi and Takayasu Sakurai, Low-power High-speed Level Shifter Design for Block-level Dynamic Voltage Scaling Environment, 2005 IEEE International Conference on Integrated Circuit and Technology, 米国, IEEE, 2005年 5月 9日, p.229-232

(58)調査した分野(Int.Cl., DB名)

H03K 19/0185

H03K 19/00

H03K 17/693

G11C 5/14