

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6862470号
(P6862470)

(45) 発行日 令和3年4月21日 (2021.4.21)

(24) 登録日 令和3年4月2日 (2021.4.2)

(51) Int. Cl.	F I
H03K 19/0185 (2006.01)	H03K 19/0185 240
G11C 5/14 (2006.01)	G11C 5/14 370
H03K 19/00 (2006.01)	H03K 19/00 108
H03K 17/693 (2006.01)	H03K 17/693 A

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2018-550674 (P2018-550674)	(73) 特許権者	595020643
(86) (22) 出願日	平成29年3月10日 (2017.3.10)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2019-516280 (P2019-516280A)		QUALCOMM INCORPORATED
(43) 公表日	令和1年6月13日 (2019.6.13)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2017/021935		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02017/172329		ハウス・ドライブ 5775
(87) 国際公開日	平成29年10月5日 (2017.10.5)	(74) 代理人	100108855
審査請求日	令和2年2月12日 (2020.2.12)		弁理士 蔵田 昌俊
(31) 優先権主張番号	15/087,812	(74) 代理人	100109830
(32) 優先日	平成28年3月31日 (2016.3.31)		弁理士 福原 淑弘
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100112807
			弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 電力効率のよい電圧レベルトランスレータ回路

(57) 【特許請求の範囲】

【請求項 1】

電圧レベル変換の方法であって、

電圧レベルトランスレータにおいて、通常モードで第1の電圧領域における入力信号を第2の電圧領域における出力信号に変換することと、ここにおいて、前記第1の電圧領域の第1の供給電圧は、前記第2の電圧領域の第2の供給電圧とは異なる、

バイパスモードでバイパス信号に基づいて前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第1の電圧領域における前記出力信号として供給することと、ここにおいて、前記第1の供給電圧と前記第2の供給電圧は、実質的に同じである、

通常モードではなく、前記バイパスモードで前記バイパス信号に基づいて前記電圧レベルトランスレータをパワーダウンすることであって、前記電圧レベルトランスレータの出力ノードが前記バイパスモードでフロートすることを防ぐために、前記電圧レベルトランスレータの前記出力ノードを前記バイパスモードで前記第2の供給電圧に接続するか、または前記電圧レベルトランスレータの前記出力ノードをグラウンドに接続する、パワーダウンすることと、

を備える、方法。

【請求項 2】

前記電圧レベルトランスレータをパワーダウンすることは、前記バイパスモードでグラウンド接続から前記電圧レベルトランスレータをゲートオフするための第1のプルダウントランジスタをオフにすることを備える、請求項1に記載の方法。

10

20

【請求項 3】

前記電圧レベルトランスレータの出力ノードを前記第 2 の供給電圧に接続する場合に、前記バイパスモードで前記電圧レベルトランスレータの前記出力ノードを前記第 2 の供給電圧に接続するための第 1 のプルアップトランジスタをオンにすることをさらに備える、請求項 2 に記載の方法。

【請求項 4】

前記電圧レベルトランスレータをパワーダウンすることは、前記バイパスモードで前記第 2 の供給電圧と前記電圧レベルトランスレータとの間の接続をゲートオフするように構成された第 2 のプルアップトランジスタをオフにすることを備える、請求項 1 に記載の方法。

10

【請求項 5】

前記電圧レベルトランスレータの出力ノードをグラウンドに接続する場合に、前記バイパスモードで前記電圧レベルトランスレータの前記出力ノードをグラウンドに接続するための第 2 のプルダウントランジスタをオンにすることをさらに備える、請求項 4 に記載の方法。

【請求項 6】

前記バイパスモードでは前記電圧レベルトランスレータとグラウンドとの間の接続をゲートオフするための第 3 のプルダウントランジスタをオフにすることをさらに備える、請求項 4 に記載の方法。

【請求項 7】

前記電圧レベルトランスレータの出力ノードをグラウンドに接続する場合に、前記バイパスモードで前記電圧レベルトランスレータの前記出力ノードをグラウンドに接続するための第 4 のプルダウントランジスタをオンにすること、または

20

前記電圧レベルトランスレータの出力ノードを前記第 2 の供給電圧に接続する場合に、前記バイパスモードで前記電圧レベルトランスレータの前記出力ノードを前記第 2 の供給電圧に接続するための第 4 のプルアップトランジスタをオンにすること、
をさらに備える、請求項 6 に記載の方法。

【請求項 8】

装置であって、

通常モードで第 1 の電圧領域における入力信号を第 2 の電圧領域における出力信号に変換するための手段と、ここにおいて、前記第 1 の電圧領域の第 1 の供給電圧は、前記第 2 の電圧領域の第 2 の供給電圧とは異なる、

30

バイパスモードでバイパス信号に基づいて前記変換するための手段をバイパスし、前記第 1 の電圧領域における前記出力信号を供給するための手段と、ここにおいて、前記第 1 の供給電圧と前記第 2 の供給電圧は、実質的に同じである、

通常モードではなく、前記バイパスモードで前記バイパス信号に基づいて前記変換するための手段をパワーダウンするための手段と、前記パワーダウンするための手段は、前記変換するための手段の出力ノードが前記バイパスモードでフロートすることを防ぐために、前記変換するための手段の前記出力ノードを前記バイパスモードで前記第 2 の供給電圧に接続するようにか、または前記変換するための手段の前記出力ノードをグラウンドに接続するようにかのいずれかで構成される、

40

を備える、装置。

【請求項 9】

前記パワーダウンするための手段は、前記バイパスモードでグラウンド接続から前記変換するための手段をゲートオフするための手段を備える、請求項 8 に記載の装置。

【請求項 10】

前記バイパスモードで前記変換するための手段の出力ノードを前記第 2 の供給電圧に接続するための手段をさらに備える、請求項 9 に記載の装置。

【請求項 11】

前記パワーダウンするための手段は、前記バイパスモードで前記第 2 の供給電圧と前記

50

変換するための手段との間の接続をゲートオフするための手段を備える、請求項 8 に記載の装置。

【請求項 1 2】

前記バイパスモードで前記第 1 の電圧領域における前記入力信号を選択し、前記通常モードで前記第 2 の電圧領域における前記変換するための手段の出力を選択するための手段をさらに備える、請求項 8 に記載の装置。

【請求項 1 3】

前記変換するための手段は、電圧レベルトランスレータであり、
前記バイパスするための手段は、バイパス回路であり、
前記パワーダウンするための手段は、パワーダウン回路である、
請求項 8 に記載の装置。

10

【請求項 1 4】

前記第 1 の電圧領域は、論理セルを備える論理電圧領域に対応し、前記第 2 の電圧領域は、メモリセルを備えるメモリ電圧領域に対応し、前記バイパスモードは、ターボモードに対応する、請求項 8 に記載の装置。

【請求項 1 5】

セットトップボックス、ミュージックプレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (P D A)、固定ロケーションデータユニット、サーバ、モバイルフォン、およびコンピュータからなるグループから選択されたデバイスに一体化される、請求項 8 に記載の装置。

20

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

[0001] 開示される態様は、処理システムのための電圧供給 (voltage supply) に関する。より具体的には、実例的な態様は、第 1 の電圧領域と第 2 の電圧領域との間の電圧レベル変換 (voltage level translation) のための、電力効率のよい電圧レベルトランスレータ回路 (voltage level translator circuit) を対象とする。

【背景技術】

【 0 0 0 2 】

[0002] 現代の処理システム (例えば、システムオンチップすなわち「 S O C 」) は、異なる周波数および電力条件 (power considerations) を有することができる様々なサブシステムまたは構成要素を含み得る。これに対応して、 S O C の異なる区画には、異なる供給電圧 (supply voltage) が提供され得る。例えば、メモリシステムは、より高い供給電圧が供給され得るメモリセル (例えば、スタティックランダムアクセスメモリすなわち「 S R A M 」セル) を含み得るのに対して、中央処理ユニット (C P U) またはプロセッサコアの論理セルは、より低い供給電圧をサポートできる。従って、 S O C は、2 つ以上の電圧アイランドまたは電圧領域 (例えば、論理電圧領域、メモリ電圧領域、等) を用いて設計され得、対応する電圧供給を有する各電圧領域は、電圧領域における構成要素 (例えば、論理セル、メモリセル、等) の電圧条件 (voltage considerations) に適合するように合わせられる。

30

40

【 0 0 0 3 】

[0003] 2 つの電圧領域を渡る信号があり得、例えば、論理電圧領域における C P U によってメモリ電圧領域におけるメモリシステムに発行される読み込みまたは書き込みコマンドである。このような信号のために、本技術分野では「電圧レベルトランスレータ」として知られている変換回路 (translation circuit) が、第 1 の電圧領域から第 2 の電圧領域への信号を変換するために提供され得る。しかしながら、いくつかのケースでは、1 つまたは複数の電圧領域の電圧は動的にスケールリングされ得、これは、第 1 および第 2 の電圧領域の供給電圧が同等または実質的に同じになることをもたらし得る (例えば、これは本技術分野で既知である「ターボモード」において行われ、ここにおいて、論理電圧領域の以前の低い供給電圧は、より高い周波数で論理セルを動作させるためにより高い供給電圧

50

にスケーリングされ得、論理電圧領域のより高い供給電圧は、メモリ電圧領域の供給電圧と実質的に同じであり得る)。このようなケースでは、第1および第2の電圧領域の供給電圧が実質的に同じであるので、第1の電圧領域と第2の電圧領域との間に電圧レベルトランスレータの必要はないことになる。

【0004】

[0004] しかしながら、従来の設計では、電圧レベルトランスレータはそれにもかかわらずアクティブのままであり、第1および第2の電圧領域の供給電圧が実質的に同じである場合でも、第1の電圧領域と第2の電圧領域との間の信号の電圧変換を不必要に実行し得る。アクティブのままであり、信号の経路内に留まることによって、電圧レベルトランスレータは電力を消費し、電圧レベル変換が必要ないときでも常に信号の経路に遅延を付加する。

10

【発明の概要】

【0005】

[0005] 本発明の実例的な態様は、電力効率のよい電圧レベルトランスレータのためのシステムおよび方法を対象とする。第1の電圧領域の第1の供給電圧と第2の電圧領域の第2の供給電圧が異なる通常モードでは、電圧レベルトランスレータは、第1の電圧領域における入力信号を第2の電圧領域における出力信号に変換する。第1の供給電圧と第2の供給電圧が実質的に同じであるバイパスモードでは、バイパス回路(bypass circuit)は、電圧レベルトランスレータをバイパスし、入力信号を第1の電圧領域における出力信号として供給するように構成され、よって、バイパスモードで電圧レベルトランスレータによって挿入される遅延を回避する。さらに、パワーダウン回路(power-down circuit)が、バイパスモードでは電圧レベルトランスレータをパワーダウンするが、通常モードではパワーダウンしないように構成される。

20

【0006】

[0006] 例えば、実例的な態様は、第1の電圧領域の第1の供給電圧が第2の電圧領域の第2の供給電圧とは異なる通常モードでは、前記第1の電圧領域における入力信号を前記第2の電圧領域における出力信号に変換するように構成された電圧レベルトランスレータと、前記第1の供給電圧と前記第2の供給電圧が実質的に同じであるバイパスモードでは、前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第1の電圧領域における前記出力信号として供給するように構成されたバイパス回路と、前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないように構成されたパワーダウン回路と、を備える装置を対象とする。

30

【0007】

[0007] 別の実例的な態様は、電圧レベル変換の方法を対象とし、前記方法は、電圧レベルトランスレータにおいて、第1の電圧領域の第1の供給電圧が第2の電圧領域の第2の供給電圧とは異なる通常モードでは、前記第1の電圧領域における入力信号を前記第2の電圧領域における出力信号に変換することと、前記第1の供給電圧と前記第2の供給電圧が実質的に同じであるバイパスモードでは、前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第1の電圧領域における前記出力信号として供給することと、前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないことと、を備える。

40

【0008】

[0008] さらに別の実例的な態様は、第1の電圧領域の第1の供給電圧が第2の電圧領域の第2の供給電圧とは異なる通常モードでは、前記第1の電圧領域における入力信号を前記第2の電圧領域における出力信号に変換するための手段と、前記第1の供給電圧と前記第2の供給電圧が実質的に同じであるバイパスモードでは、変換するための前記手段をバイパスし、前記第1の電圧領域における前記出力信号を供給するための手段と、前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないための手段と、を備える装置を対象とする。

【0009】

50

[0009] 添付の図面は、本発明の態様の説明を助けるために提示されており、それら態様の限定ではなく、その例示のためだけに提供されている。

【図面の簡単な説明】

【0010】

【図1A】従来の電圧レベルトランスレータを例示する図。

【図1B】従来の電圧レベルトランスレータを例示する図。

【図2A】本開示の実例的な態様にしたがう、電圧レベルトランスレータに関連する回路を例示する図。

【図2B】本開示の実例的な態様にしたがう、電圧レベルトランスレータに関連する回路を例示する図。

【図2C】本開示の実例的な態様にしたがう、電圧レベルトランスレータに関連する回路を例示する図。

【図2D】本開示の実例的な態様にしたがう、電圧レベルトランスレータに関連する回路を例示する図。

【図3】本開示の実例的な態様にしたがう、電圧レベル変換を実行する方法に対応するブロック図を例示する図。

【図4】本開示の一態様が有利に用いられ得る実例的なコンピューティングデバイスを例示する図。

【詳細な説明】

【0011】

[0014] 本発明の態様は、本発明の特定の態様に向けられた以下の説明および関連の図面で開示される。代替の態様が、本発明の範囲から逸脱することなく考案され得る。追加的に、本発明の周知の要素は、本発明の関連する詳細を曖昧にしないように、詳細には説明されないかまたは省略されるであろう。

【0012】

[0015] 「実例的な」という用語は、本明細書では、「例、事例、または例示としての役割を果たす」という意味で使用されている。「実例的な」ものとして、本明細書で説明される任意の態様は、必ずしも他の態様に対して好ましいまたは有利なものとして解釈されるべきではない。同様に、「本発明の態様」という用語は、本発明の全ての態様が、説明される特徴、利点、または動作モードを含むことを必要としない。

【0013】

[0016] 本明細書で使用される専門用語は、特定の態様を説明することのみを目的としたものであり、本発明の態様を限定することを意図したものではない。本明細書で使用时、単数形「a」、「an」、および「the」は、別途コンテキストから明らかに示されていない限り、複数形もまた含むように意図されている。「備える」、「備えている」、「含む」、および/または「含んでいる」という用語は、本明細書で使用时、記述された特徴、整数、ステップ、動作、要素、および/または構成要素の存在を指定するが、1つまたは複数の他の特徴、整数、ステップ、動作、要素、構成要素、および/またはそれらのグループの存在または追加を妨げないことがさらに理解されるであろう。

【0014】

[0017] さらに、多くの態様が、例えば、コンピューティングデバイスの要素によって実行されることになるアクションのシーケンスの観点から説明される。本明細書で説明される様々なアクションが、特定の回路（例えば、特定用途向け集積回路（ASIC））によって、1つまたは複数のプロセッサによって実行されているプログラム命令によって、または両方の組合せによって、行われることができることが認識されるであろう。追加的に、本明細書で説明されるこれらのアクションのシーケンスは、実行時に、関連したプロセッサに本明細書で説明される機能を行わせることになるコンピュータ命令の対応のセットを記憶した任意の形態のコンピュータ可読記憶媒体内で全体的に具現化されるものと考えられることができる。よって、本発明の様々な態様は、いくつかの異なる形態で具現化され得、それらの全ては、特許請求される主題の範囲内にあるものと企図されている。加

10

20

30

40

50

えて、本明細書で説明される態様の各々に関して、任意のそのような態様の対応する形態は、例えば、説明されているアクションを行う「ように構成された論理」として、本明細書では説明され得る。

【 0 0 1 5 】

[0018] 本開示の実例的な態様は、第1の電圧領域から第2の電圧領域への信号を変換するように構成された電圧レベルトランスレータを対象としている。第1の電圧領域が第2の電圧領域と同等である場合には、第1の電圧領域と第2の電圧領域との間の信号の経路に電圧レベルトランスレータによって挿入される遅延を回避するために電圧レベルトランスレータをバイパスするための、選択的なバイパス回路が含まれる。さらに、実例的な態様では、上記の方式で電圧レベルトランスレータがバイパスされるとき、電圧レベルトランスレータをパワーダウンまたはシャットオフ (shut off) するための、電力制御回路が含まれ得る。よって、実例的な態様では、信号の経路内に電圧レベルトランスレータが必要ではないとき、電圧レベルトランスレータに関連する電力消費と遅延が回避され得る。これらの態様および関連する態様が、以下のセクションで、図を参照してこれから説明される。

【 0 0 1 6 】

[0019] 最初に、図1A～図1Bを参照して、従来の電圧レベルトランスレータ100が説明される。電圧レベルトランスレータ100は、第1の供給電圧VDD1によって供給される第1の電圧領域における相補的な入力信号a114およびa_n116を、第2の供給電圧VDD2によって供給される第2の電圧領域における出力信号z120に変換するように構成される。一般性の喪失なく、第1の供給電圧VDD1は、通常の動作条件下では第2の電圧供給VDD2よりも少ないこともあるが、いくつかの事例では、第1および第2の電圧供給VDD1およびVDD2は、実質的に同じ電圧値であり得る。第1および第2の電圧供給VDD1およびVDD2が異なる値を想定し得る特定の条件、またはこれらの電圧供給が生成される方式は本考察に密接に関連しないが、一例は、論理セルを有する処理システムのプロセッサコアまたは同様のものを備える第1の電圧領域、ここで第1の電圧供給VDD1が論理供給電圧と称され得る、第1の電圧領域と、メモリセルを有するメモリシステムを備える第2の電圧領域、ここで第2の電圧供給VDD2がメモリ供給電圧と称され得る、第2の電圧領域と、に関係する場合もある。

【 0 0 1 7 】

[0020] 図1A～図1Bに例示されている構成では、電圧レベルトランスレータ100は、p型金属酸化物半導体 (PMOS) デバイスまたはp型電界効果トランジスタ (PFET) で構成され得る、プルアップトランジスタ (pull-up transistor) 102および104と、n型金属酸化物半導体 (NMOS) デバイスまたはn型電界効果トランジスタ (NFET) で構成され得るプルダウントランジスタ (pull-down transistor) 108および112と、PMOS デバイスまたはPFETとして構成され得るプルアップトランジスタ106および110を備える。相補的な入力信号a114およびa_n116の電圧レベル変換の出力は、ノード122から導出され得、通過されるインバータ118が出力信号z120を供給できる。図1A～図1Bに例示されているような電圧レベルトランスレータ100の動作可能な詳細が周知であるが、いくつかの簡単な詳細が以下のセクションで提供され、本開示の実例的な態様が適用され得る、電圧レベルトランスレータの他の様々な構成が可能であることに留意されたい。

【 0 0 1 8 】

[0021] 図1Aを参照すると、入力信号a114が立ち上がる、または低論理状態 (例えば、バイナリ「0」) から高論理状態 (例えば、バイナリ「1」) に遷移し、これに対応して入力信号a_n116が立ち下がるケースが例示されている。これに対応して、第1段階では、プルアップトランジスタ106はシャットオフし始め、プルダウントランジスタ108はオンになり始めることになり、これは、ノード122を放電し始める。一方、入力信号a_n116は立ち下がり、プルアップトランジスタ110をオンにしながらかプルダウントランジスタ112をシャットオフする。一旦ノード122が十分に低い値に

立ち下がると、第２段階では、プルアップトランジスタ１０４がオンになり、プルアップトランジスタ１０４および１１０はノード１２３を第２の供給電圧ＶＤＤ２にチャージし始める。

【００１９】

[0022] ノード１２３がチャージし終わる（charge up）と、プルアップトランジスタ１０２はシャットオフし始め、それは、プルダウントランジスタ１０８がノード１２２をさらにプルダウンするのを助ける。プルダウンされるノード１２２は、プルアップトランジスタ１０４がオンにされるプロセスを助け、これはさらにノード１２３をチャージする。最終的には、プルアップトランジスタ１０２は完全にシャットオフされ、ノード１２２は「０」の論理状態に遷移するが、ノード１２３は第２の電圧領域において論理「１」に遷移する。ノード１２２および１２３は、相補的な入力信号 a_{114} および $a_{\overline{n}116}$ の値にその後の変化が起きるまで、それらの「０」および「１」の論理状態を維持する。

10

【００２０】

[0023] よって、インバータ１１８を通過した後、ノード１２２のインバートされた値は、第２の電圧領域において立ち上がる出力信号 z_{120} として現れ、第１の電圧領域における入力信号 a_{114} の立ち上がりと入力信号 $a_{\overline{n}116}$ の立ち下がりに対応する。電圧レベルトランスレータ１００の上記段階は、相補的な入力信号 a_{114} および $a_{\overline{n}116}$ と出力信号 z_{120} との間の経路に、対応する遅延またはレイテンシを挿入する。

【００２１】

[0024] ここで図１Ｂを参照して、入力信号 a_{114} が立ち下がり $a_{\overline{n}116}$ が立ち上がる、反対のシナリオがこれから説明される。このケースでは、プルアップトランジスタ１１０はシャットオフし始め、プルダウントランジスタ１１２はオンになり始めることになり、よって、ノード１２３を放電する。一方、入力信号 a_{114} が立ち下がると、プルダウントランジスタ１０８は、プルアップトランジスタ１０６をオンにしながら、シャットオフされることを引き起こされる。一旦ノード１２３が十分に低い値に立ち下がると、第２段階では、プルアップトランジスタ１０２がオンになり、プルアップトランジスタ１０２および１０６はノード１２２を第２の供給電圧ＶＤＤ２にチャージし始める。ノード１２２がチャージし終わると、プルアップトランジスタ１０４はシャットオフさせられ、それは、プルダウントランジスタ１１２がノード１２３をさらにプルダウンするのに役立つ。プルダウンされるノード１２３は、プルアップトランジスタ１０２がオンにされるのを助け、これはさらにノード１２２をチャージする。最終的には、プルアップトランジスタ１０４は完全にシャットオフし、ノード１２３は「０」の論理状態に遷移するが、ノード１２２は第２の電圧領域において「１」の論理状態に遷移する。ノード１２２の論理状態は、第２の電圧領域において、立ち下がり出力信号 z_{120} として現れるように、インバータ１１８によってインバートされる。ノード１２２および１２３は、相補的な入力信号 a_{114} および $a_{\overline{n}116}$ 上にその後の変化が生じるまで、それらの「１」および「０」の論理状態をそれぞれ維持する。図に示すように、このケースでの電圧レベルトランスレータ１００の動作に関わる上記段階もまた、著しい遅延を引き起こす。

20

30

【００２２】

[0025] 第１および第２の供給電圧ＶＤＤ１およびＶＤＤ２の電圧値間の差が大きいケースの場合、電圧レベルトランスレータ１００の左側にあるプルアップトランジスタ１０２および１０６のスタックは、入力信号 a_{114} が立ち上がり（または low から $high$ に遷移し）、これに対応して入力信号 $a_{\overline{n}116}$ が立ち下がる（または $high$ から low に遷移する）ケースの場合に、プルダウントランジスタ１０８が例えばノード１２２を効率的にプルダウンすることを可能にするために、弱められ得る。同様に、電圧レベルトランスレータ１００の右側にあるプルアップトランジスタ１０４および１１０のスタックは、入力信号 a_{114} が立ち下がり、これに対応して入力信号 $a_{\overline{n}116}$ が立ち上がるケースの場合、プルダウントランジスタ１１２が効率的にノード１２３をプルダウンすることを可能にするために、弱められ得る。このプルダウントランジスタおよびプルアップトランジスタの相対的なサイジングは、相補的な入力信号 a_{114} および $a_{\overline{n}116}$

40

50

6 ならびに出力信号 z 1 2 0 からの遅延をさらに増大させ得る。

【 0 0 2 3 】

[0026] 電圧レベルトランスレータ 1 0 0 の上記考察から、図 1 A ~ 図 1 B に示される両方のケースでは、かなりの遅延が挿入されることが理解され得る。さらに、様々なプルアップおよびプルダウントランジスタをオンにしたりオフにしたりする複数の段階もまた電力を消費する。第 1 の電圧領域の第 1 の電圧供給 V D D 1 と第 2 の電圧領域の第 2 の電圧供給 V D D 2 が実質的に同じである場合、図 2 A ~ 図 2 B を参照してこれから説明される実例的な態様では、電圧レベルトランスレータ 1 0 0 に関連する遅延および電力は回避され得る。

【 0 0 2 4 】

[0027] 図 2 A を参照すると、回路 2 0 0 が示されており、これは、電圧レベルトランスレータ 2 5 0 およびバイパス回路 2 5 2 を備える。電圧レベルトランスレータ 2 5 0 は、図 1 A ~ 図 1 B を参照して説明された従来の電圧レベルトランスレータ 1 0 0 と同様であるように構成され得るか、または第 1 の電圧供給 V D D 1 によって供給される第 1 の電圧領域における相補的な入力信号 a 2 1 4 および a $_n$ 2 1 6 を、第 2 の電圧供給 V D D 2 によって供給される第 2 の電圧領域におけるノード 2 2 2 において導出される中間出力信号 y $_n$ に変換するのに好適な他の任意の電圧レベルトランスレータ構成であり得る。一例となる態様では、第 1 の電圧領域は、論理セルを備える論理電圧領域に対応し、第 2 の電圧領域は、メモリセルを備えるメモリ電圧領域に対応する。

【 0 0 2 5 】

[0028] 電圧レベルトランスレータ 2 5 0 の構成が電圧レベルトランスレータ 1 0 0 の構成と同様である態様では、電圧レベルトランスレータ 2 5 0 の構成要素は、電圧レベルトランスレータ 1 0 0 の対応する構成要素と同様の機能性を有し得るので、電圧レベルトランスレータ 2 5 0 の動作可能な詳細は、簡潔さのために繰り返されない。簡単に、電圧レベルトランスレータ 2 5 0 の、プルアップトランジスタ 2 0 2、2 0 4、2 0 6、2 1 0、およびプルダウントランジスタ 2 0 8、2 1 2 は、電圧レベルトランスレータ 1 0 0 の対応するプルアップトランジスタ 1 0 2、1 0 4、1 0 6、1 1 0、およびプルダウントランジスタ 1 0 8、1 1 2 と同様に構成され得る。従って、ノード 2 2 2 および 2 2 3 は、図 1 A ~ 図 1 B で説明されたような相補的な入力信号 a 1 1 4 および a $_n$ 1 1 6 の立ち上がりとしち下がりに基づくノード 1 2 2 および 1 2 3 と同様の方式で、相補的な入力信号 a 2 1 4 および a $_n$ 2 1 6 の立ち上がりとしち下がりに基づいて第 2 の電圧領域に変換される電圧を受け取り得る。

【 0 0 2 6 】

[0029] さらに、回路 2 0 0 は、いくつかの動作モードを伴い得る。例えば、通常の動作モードは、第 1 の電圧供給 V D D 1 が第 2 の電圧供給 V D D 2 とは異なる（例えば、それよりも少ないまたは多い）状況を含むと定義され得、相補的な入力信号 a 2 1 4 および a $_n$ 2 1 6 の第 1 の電圧領域から第 2 の電圧領域への電圧レベル変換が望まれる。通常モードでは、電圧レベルトランスレータ 2 5 0 の機能性は、電圧レベルトランスレータ 1 0 0 の機能性と実質的に同様であり得る。

【 0 0 2 7 】

[0030] 回路 2 0 0 の第 2 の動作モードはバイパスモードと定義され、ここにおいて、第 1 の電圧供給 V D D 1 は、第 2 の電圧供給 V D D 2 と実質的に同じであるので、相補的な入力信号 a 2 1 4 および a $_n$ 2 1 6 の第 1 の電圧領域から第 2 の電圧領域への電圧レベル変換は、バイパスモードでは回避され得る。バイパスモードは、例えば、前述したターボモードに対応し得、ここにおいて、第 1 の電圧領域（例えば、論理電圧領域）および第 2 の電圧領域（例えば、メモリ電圧領域）の供給電圧が同等または実質的に同じであり得る。このコンテキストでは、実質的に同等とは、オフにされるべきである高い方の電圧領域におけるデバイスが、望まないリーク電流を引き起こすほどオンにならないように、第 1 の電圧領域と第 2 の電圧領域との間の電圧差が十分小さいものと当業者によって理解されるであろう。バイパスモードでは、バイパス回路 2 5 2 が電圧レベルトランスレータ

250をバイパスするために用いられ得、それにより、電圧レベルトランスレータ250を横断する相補的な入力信号a214およびa__n216によって生じ得る遅延を回避する。

【0028】

[0031] いくつかの態様では、バイパス回路252は、バイパスモードでは入力信号a__n216をバイパス回路252の出力として選択し、通常モードでは、中間信号y__nとして現れるノード222をバイパス回路252の出力として選択するためのセクタまたはマルチプレクサとして実装され得る。この目的のために、バイパス回路252は、各々がPFEETとNFETデバイスの並列結合によって形成される、2つの送信ゲート回路234および236を含み得る。信号bypass232は、回路200がバイパスモードで動作されることになる場合にアサートされ得る。bypass232の補数が、信号bypass__n230として示されている。bypass232がhighである場合、bypass__n230はlowであり、送信ゲート回路234はバイパス回路252の出力にa__n216を渡すためにオンにされる。これに対して、bypass232がlowである場合、bypass__n230はhighであり、送信ゲート回路236は、バイパス回路252の出力に中間信号y__n（すなわち、ノード222）を渡すためにオンにされる。バイパス回路252の出力は、回路200の出力信号z220として現れるようにインバータ218によってインバートされる。従って、バイパスモードでは（例えば、第1および第2の供給電圧VDD1およびVDD2が実質的に同じであることに基

10

20

【0029】

[0032] 図2B～図2Dは、バイパスモードでの電力節約のために使用され得るパワーダウン回路に関する実例的な態様を例示している。パワーダウン回路は、以下のセクションで詳細に説明されるように、bypass232がアサートされ、電圧レベルトランスレータ250がバイパスされるときに選択的に展開（deploy）され得る。

【0030】

[0033] 最初に図2Bを参照すると、バイパスモードでの電力節約の実例的な態様による、回路270が例示されている。回路270は、図2Aの回路200に追加されたパワーダウン回路275を含む。より詳細には、回路270もまた、上記図2Aを参照して説明された電圧レベルトランスレータ250およびバイパス回路252を含み、パワーダウン回路275は、示されているように電圧レベルトランスレータ250に結合される。バイパスモードでは、つまりbypass232がアサートされたとき、パワーダウン回路275は、電圧レベルトランスレータ250を選択的にパワーダウンするように構成される。しかし通常モードでは、つまりbypass232がアサートされないとき（または言い換えると、bypass__n230がアサートされたとき）、パワーダウン回路275は、通常動作のために電圧レベルトランスレータ250をアクティブに保つ。パワーダウン回路275は、以下でさらに詳細に説明される。

【0031】

[0034] 示されているように、パワーダウン回路275は、第1のプルダウントランジスタ240（例えば、NMOSTランジスタまたはNFET）を含む。第1のプルダウントランジスタ240は、電圧レベルトランスレータ250のプルダウントランジスタ208および212の各々に、およびグラウンドに直列に接続され、第1のプルダウントランジスタ240のゲートはbypass__n230によって制御される。よって、通常モードでは、つまりbypass232がアサートされずbypass__n230がアサートされたとき、第1のプルダウントランジスタ240がオンにされ、これは、プルダウントランジスタ208および212のソース端子をグラウンドに接続し、よって、電圧レベルトランスレータ250の通常構成を保持する、または言い換えると、電圧レベルトランスレータ250がアクティブに留まることを引き起こす。これに対して、バイパスモードで

30

40

50

は、`bypass232`がアサートされ、`bypass_n230`を`low`に駆動させ、第1のプルダウントランジスタ240をオフにし、次に、プルダウントランジスタ208および212についてのグラウンドまでの経路をゲートオフし(`gating off`)、電圧レベルトランスレータ250をパワーダウンさせる。

【0032】

[0035] パワーダウン回路275はまた、第1のプルアップトランジスタ242(例えば、PMOSトランジスタまたはPFEET)を含むことができるが、これはオプションであり得る。パワーダウン回路275に含まれるとき、第1のプルアップトランジスタ242は、電圧レベルトランスレータ250の中間信号`y_n`(またはノード222)に、および第2の供給電圧`VDD2`に接続され、第1のプルアップトランジスタ242のゲートもまた、`bypass_n230`によって制御される。通常モードでは、`bypass232`は`low`であり、`bypass_n230`がアサートされ、よって、第1のプルアップトランジスタ242をオフにし、これは、電圧レベルトランスレータ250の通常構成に影響を及ぼさない。これに対して、バイパスモードでは、`bypass232`がアサートされ、`bypass_n230`を`low`に駆動させ、第1のプルアップトランジスタ242をオンにし、よって、ノード222を第2の供給電圧`VDD2`に接続し、プルアップトランジスタ204をオフにする。それゆえ、第1のプルアップトランジスタ242は、含まれるとき、(ノード222を第2の供給電圧`VDD2`に接続することによって)バイパスモードでノード222がフロート(`float`)することを引き起こさないと考えられ、これは、バイパス回路252における反結合(`back coupling`)の低減につながり、それにより、バイパスモードでの回路270のパフォーマンスを向上させる。これに対応して、バイパスモードでは、第2の電圧供給`VDD2`からプルアップトランジスタ210およびプルダウントランジスタ212への電力供給もまたカットオフされる。

【0033】

[0036] よって、`bypass_n230`がアサートされたときのバイパスモードで、第1のプルダウントランジスタ240をオフにすることと第1のプルアップトランジスタ242をオンにすることの複合効果は、電力供給から電圧レベルトランスレータ250のスイッチングトランジスタを全て分離することであり、よって、電圧レベルトランスレータ250をパワーダウンする。従って、電圧レベルトランスレータ250がバイパスされるとき(例えば、第1および第2の供給電圧`VDD1`および`VDD2`が実質的に同じであるとき)、電圧レベルトランスレータ250はパワーダウンもされ、電力節約をもたらす。

【0034】

[0037] パワーダウン回路275が第1のプルアップトランジスタ242を含まないケースでは、ノード222に結合された中間信号`y_n`は、バイパスモードの間フロートさせられることになるが、先述されたように第1のプルダウントランジスタ240がゲートオフされることになるので、電圧レベルトランスレータ250は、依然としてパワーダウンされたままであることになる。パワーダウン回路275に第1のプルアップトランジスタ242を含まないことは、パワーダウン回路275に関連する面積を低減させ得る。

【0035】

[0038] 次に、図2Cを参照すると、バイパスモードでの電力節約の別の実例的な態様による、回路280が例示されている。回路270のように、回路280もまた、図2Aの回路200に追加された、このケースではパワーダウン回路285と特定されている、パワーダウン回路を含む。より詳細には、回路280もまた、上記図2Aを参照して説明された電圧レベルトランスレータ250およびバイパス回路252を含み、パワーダウン回路285は、示されているように電圧レベルトランスレータ250に結合される。バイパスモードでは、つまり`bypass232`がアサートされたとき、パワーダウン回路285は、電圧レベルトランスレータ250を選択的にパワーダウンするように構成される。しかし通常モードでは、つまり`bypass232`がアサートされないとき(または言い換えると、`bypass_n230`がアサートされたとき)、パワーダウン回路285

は、通常動作のために電圧レベルトランスレータ250をアクティブに保つ。パワーダウン回路285は、以下でさらに詳細に説明される。

【0036】

[0039] 示されているように、パワーダウン回路285は、第2の供給電圧VDD2と電圧レベルトランスレータ250との間に（例えば、示されているように、電圧レベルトランスレータ250のプルアップトランジスタ202および204に）結合された第2のプルアップトランジスタ282を含み、第2のプルアップトランジスタ282のゲートはbypass232によって制御される。バイパスモードでは、つまりbypass232がhighであるとき、第2のプルアップトランジスタ282はオフにされ、よって、第2の供給電圧VDD2から電圧レベルトランスレータ250への電圧供給をゲートオフし、ノード222および信号y_nがフロートすることを引き起こす。そうでない場合、通常モードでは、bypass232はlowであり、第2のプルアップトランジスタ282をオンにさせ、通常通り第2の供給電圧VDD2を電圧レベルトランスレータ250に接続する。

【0037】

[0040] パワーダウン回路285は、オプションとして、電圧レベルトランスレータ250のノード222に接続された第2のプルダウントランジスタ284（例えば、NMOSTランジスタまたはNFET）を含むことができ、第2のプルダウントランジスタ284のゲートは、bypass232によって制御される。第2のプルダウントランジスタ284がこの方式で構成されるとき、バイパスモードでは、つまりbypass232がhighであるとき、第2のプルダウントランジスタ284はオンにされ、ノード222または信号y_nをグラウンドまたは論理「0」に接続する。それゆえ、第2のプルダウントランジスタ284はまた、ノード222がバイパスモードでフロートすることを防ぐことができ、バイパス回路252における反結合を低減し、それによって、バイパスモードでの回路280のパフォーマンスを向上させる。通常モードでは、bypass232はlowであり、第2のプルダウントランジスタ284をオフにさせ、ノード222または信号y_nに対するいずれの影響も除去する。

【0038】

[0041] これから図2Dを参照すると、バイパスモードでの電力節約のさらに別の実例的な態様による、回路290が例示されている。回路270および280のように、回路290もまた、図2Aの回路200に追加された、このケースではパワーダウン回路295と特定されている、パワーダウン回路を含む。より詳細には、回路290もまた、上記図2Aを参照して説明された電圧レベルトランスレータ250およびバイパス回路252を含み、パワーダウン回路295は、示されているように電圧レベルトランスレータ250に結合される。バイパスモードでは、つまりbypass232がアサートされたとき、パワーダウン回路295は、電圧レベルトランスレータ250を選択的にパワーダウンするように構成される。しかし通常モードでは、つまりbypass232がアサートされないとき（または言い換えると、bypass_n230がアサートされたとき）、パワーダウン回路295は、通常動作のために電圧レベルトランスレータ250をアクティブに保つ。パワーダウン回路295は、以下でさらに詳細に説明される。

【0039】

[0042] 示されているように、パワーダウン回路295はまた、上述されたパワーダウン回路285の第2のプルアップトランジスタ282と同様に構成され、かつ第2の供給電圧VDD2と電圧レベルトランスレータ250との間に（例えば、示されているように、電圧レベルトランスレータ250のプルアップトランジスタ202および204に）結合された第2のプルアップトランジスタ282を含み、第2のプルアップトランジスタ282のゲートはbypass232によって制御される。バイパスモードでは、つまりbypass232がhighであるとき、第2のプルアップトランジスタ282は同様にオフにされ、よって、第2の供給電圧VDD2から電圧レベルトランスレータ250への電圧供給をゲートオフし、ノード222および信号y_nがフロートすることを引き起こ

す。そうでない場合、通常モードでは、b y p a s s 2 3 2 は l o w であり、第 2 のプルアップトランジスタ 2 8 2 をオンにさせ、通常通り第 2 の供給電圧 V D D 2 を電圧レベルトランスレータ 2 5 0 に結合させる。

【 0 0 4 0 】

[0043] パワーダウン回路 2 9 5 はまた、電圧レベルトランスレータ 2 5 0 とグラウンドとの間に結合された第 3 のプルダウントランジスタ 2 9 4 も含み、第 3 のプルダウントランジスタ 2 9 4 のゲートは b y p a s s _ n 2 3 0 によって制御される。バイパスモードでは、つまり b y p a s s _ n 2 3 0 が l o w であるとき、第 3 のプルダウントランジスタ 2 9 4 はオフにされ、よって、電圧レベルトランスレータ 2 5 0 のためのグラウンドまでの経路をゲートオフする。そうではない場合、通常モードでは、b y p a s s _ n 2 3 0 が h i g h であり、第 3 のプルダウントランジスタ 2 9 4 をオンにさせ、電圧レベルトランスレータ 2 5 0 を通常通りグラウンドに結合させる。

10

【 0 0 4 1 】

[0044] パワーダウン回路 2 9 5 は、オプションとして、電圧レベルトランスレータ 2 5 0 のノード 2 2 2 に接続された、第 4 のプルダウントランジスタ 2 9 6 または第 4 のプルアップトランジスタ 2 9 8 という 2 つのうちの 1 つを含むことができるが、両方ではない。第 4 のプルダウントランジスタ 2 9 6 がパワーダウン回路 2 9 5 に含まれる場合、第 4 のプルダウントランジスタ 2 9 6 のゲートは、b y p a s s 2 3 2 によって制御される。バイパスモードでは、つまり b y p a s s 2 3 2 が h i g h であるとき、第 4 のプルダウントランジスタ 2 9 6 はオンにされ、よって、ノード 2 2 2 をグラウンドまたは論理「0」に接続する。通常モードでは、b y p a s s 2 3 2 は l o w であり、第 4 のプルダウントランジスタ 2 9 6 をオフにさせ、ノード 2 2 2 または信号 y _ n に対するいずれの影響も除去する。

20

【 0 0 4 2 】

[0045] これに対して、第 4 のプルアップトランジスタ 2 9 8 がパワーダウン回路 2 9 5 に含まれる場合、第 4 のプルアップトランジスタ 2 9 8 のゲートは b y p a s s _ n 2 3 0 によって制御される。バイパスモードでは、つまり b y p a s s _ n 2 3 0 が l o w であるとき、第 4 のプルアップトランジスタ 2 9 8 はオンにされ、よって、ノード 2 2 2 を第 2 の供給電圧 V D D 2 または論理「1」に接続する。通常モードでは、b y p a s s _ n 2 3 0 は h i g h であり、第 4 のプルアップトランジスタ 2 9 8 をオフにさせ、ノード 2 2 2 または信号 y _ n に対するいずれの影響も除去する。認識されるように、第 4 のプルダウントランジスタ 2 9 6 または第 4 のプルアップトランジスタ 2 9 8 のうちのいずれか 1 つが、パワーダウン回路 2 9 5 に含まれ、上記のように構成されるとき、ノード 2 2 2 は、バイパスモードでフロートすることが防がれ、それは、バイパス回路 2 5 2 における反結合の低減につながり、それによって、バイパスモードでの回路 2 9 0 のパフォーマンスを向上させる。

30

【 0 0 4 3 】

[0046] 従って、実例的な態様では、回路 2 7 0、2 8 0、または 2 9 0 のような回路は、電圧レベルトランスレータ 2 5 0 がバイパスモードで使用されないときの電力消費を回避するために、パワーダウン回路 2 7 5、2 8 5、または 2 9 5 それぞれを用いて構成され得る。回路 2 7 0、2 8 0、および 2 9 0 はまた、バイパスモードで電圧レベルトランスレータを通る遅延を回避するためのバイパス回路 2 5 2 も含む。

40

【 0 0 4 4 】

[0047] 例えば b y p a s s 2 3 2 をアサートするバイパスモードに入る状況は、第 1 および第 2 の電圧供給 V D D 1 および V D D 2 が実質的に同じ電圧値になることの検出を伴うことができる。この検出は、本技術分野では既知である方法およびシステムを用いて行われることができる。例えば、バッテリーで動作するモバイルデバイスのバッテリーレベルまたは充電状態が、バイパスモードに入る、またはそれを終了するために使用され得る。例えば、モバイルデバイスが外部電源にプラグインされる場合、またはバッテリーレベルが高い（または、ある特定の充電レベルを上回る）場合、モバイルデバイスは、高いパフォ

50

ーマンスまたはターボモードをサポートするようにプログラミングされ得、ここにおいて、第1および第2の電圧供給VDD1およびVDD2は実質的に同じにされ得る。しかしながら、バッテリーレベルが、例えば低バッテリーモードまで所定のレベルよりも下がる場合、第1および第2の電圧供給VDD1およびVDD2の別個の電圧レベルが維持され得、バイパスモードは終了し得る。デジタルおよび/またはアナログ回路は、バッテリーレベルまたは外部電源への接続を検出して、これに対応してバイパスモードが選択され得るかどうかが、または通常動作条件が電圧レベルトランスレータに適用されるかのインジケーションを提供するように構成され得る。いくつかの例では、プログラマまたはオペレーティングシステムが、バイパスモードに入るまたはそれを終了するために使用され得るソフトウェア制御を提供することも可能であり得る。(例えば、bypass232をアサートする)バイパスモードの検出または決定のための他の様々なオプションが当業者によって認識されることになり、従って、本明細書ではさらに詳細には説明されない。

10

【0045】

[0048] 実例的な態様が、本明細書で開示されるプロセス、関数、および/またはアルゴリズムを実行するための様々な方法を含むことが認識されるであろう。例えば、図3に例示されているように、実例的な態様は、電圧レベル変換を実行する方法(300)を含むことができる。方法300は、例えば、回路270、280、または290の通常動作モードに係するブロック302を含むことができ、ブロック303は、例えば、回路270、280、または290のバイパス動作モードに係できる。図3は、通常モードからバイパスモードに、または場合によってはバイパスモードから通常モードに遷移することが可能であることを示すために、ブロック302および303間に両矢印を示している。これらブロック302および303は、以下でさらに詳細に説明される。

20

【0046】

[0049] 述べたように、ブロック302は、通常動作モードに係でき、ここにおいて、第1の電圧領域の第1の供給電圧VDD1は、第2の電圧領域の第2の供給電圧VDD2とは異なる。通常モードでは、ブロック302は、例えば電圧レベルトランスレータ250において、第1の電圧領域における入力信号、例えば入力信号a214を、通常モードでは、第2の電圧領域における出力信号、例えば出力信号z220に変換することを含むことができる。

【0047】

30

[0050] ブロック303は、バイパス動作モードに係でき、ここにおいて、第1および第2の供給電圧VDD1およびVDD2は、実質的に同じである。ブロック303は、同時に実行され得るブロック304および306を備えることができる。

【0048】

[0051] 従って、ブロック304は、バイパスモードでは電圧レベルトランスレータをバイパスすることと、入力信号を第1の電圧領域における出力信号として供給することとを含むことができる。例えば、ブロック304は、bypass232がアサートされたときにバイパス回路252を使用して電圧レベルトランスレータ250をバイパスすることと、入力信号を第1の電圧領域における出力信号として供給することとを含むことができる。

40

【0049】

[0052] ブロック306は、バイパスモードでは電圧レベルトランスレータを選択的にパワーダウンをすることを含むことができる。例えば、ブロック306は、(例えば、回路270、280、または290についての実装形態が実例的な態様で選ばれるかどうかに依存してパワーダウン回路275、285、または295を使用して)電圧レベルトランスレータ250をパワーダウンをすることを含むことができる。具体的には、本明細書で説明されているパワーダウン技法のいずれかを使用して、電圧レベルトランスレータ250は、バイパスモードでは(bypass232がhighであり、bypass_n230がlowであるとき)、パワーダウンされ得、電圧レベルトランスレータ250は、通常モードでは(bypass232がlowであり、bypass_n230がhigh

50

であるとき)、アクティブに維持され得る。この方式で、方法300は、bypass 32がアサートされたときのバイパスモードで回路270、280、または290における電圧レベルトランスレータ250に関連する遅延および電力を回避するために使用され得る。

【0050】

[0053] これから図4を参照すると、電力効率のよい電圧レベル変換のための回路270、280、または290のような回路を含むコンピューティングデバイスの特定の例示的な態様のブロック図が図示されており、概して400と指定されている。コンピューティングデバイス400は、上記図3を参照して説明された方法300を実行するための機能性を含み得る。さらに、いくつかの態様では、コンピューティングデバイス400は、ワイヤレス通信デバイスとして構成され得る。

10

【0051】

[0054] コンピューティングデバイス400は、プロセッサ464およびメモリ432を含むように示されている。いくつかの態様では、プロセッサ464は、第1の供給電圧VDD1を有する第1の電圧領域または論理電圧領域に属し得、メモリ432は、第2の供給電圧VDD2を有する第2の電圧領域またはメモリ電圧領域に属し得る。従って、上記図2B~図2Dを参照して説明された回路270、280、または290の概略図は、プロセッサ464とメモリ432との間で構成されると示されている。回路270/280/290は、通常モードでは、電圧レベルトランスレータ250を使用して、例えば入力信号a214(例えば、プロセッサ464からメモリ432への読取り/書込みコマンドに対応)の、出力信号z220への電圧レベル変換を行い得る。回路270/280/290は、バイパスモードでは、バイパス回路252および対応するパワーダウン回路275/285/295を使用して電圧レベルトランスレータ250をバイパスおよびパワーダウンして、電圧レベル変換を伴わずに、プロセッサ464からの相補的な入力信号a214およびa_n216を、出力信号z220としてメモリ432に供給するように構成され得、ここにおいて、第1および第2の供給電圧VDD1およびVDD2は、バイパスモードでは実質的に同じである。前述されたように、バイパスモードは、本技術分野で既知のターボモードに対応し得る。図4の回路270/280/290の表現は、対応する図2B~図2Dに示された様々な詳細を、明確さのために省略していることに留意されたい。

20

30

【0052】

[0055] コンピューティングデバイス400はまた、プロセッサ464に、およびディスプレイ428に結合されたディスプレイコントローラ426も備え得る。図4はまた、コンピューティングデバイス400において提供され得るオプションの態様を示す。例えば、コンピューティングデバイスは、オプションとして、プロセッサ464に結合されたコーダ/デコーダ(CODEC)434(例えば、オーディオおよび/または音声CODEC)と、ここで、スピーカ436およびマイクロフォン438がCODEC434に結合され、プロセッサ464に結合された(モデムを含み得る)ワイヤレスコントローラ440とを備え得、ワイヤレスコントローラ440はワイヤレスアンテナ442に結合される。

40

【0053】

[0056] 上記オプションとしての特徴のうちの1つまたは複数が存在する一例となる態様では、プロセッサ464、回路270/280/290、メモリ432、CODEC434、ディスプレイコントローラ426、およびワイヤレスコントローラ440は、システムインパッケージまたはシステムオンチップデバイス422に含まれることができる。いくつかの態様では、入力デバイス430および電源444は、システムオンチップデバイス422に結合され得る(いくつかのケースでは、第1および第2の電圧供給VDD1およびVDD2が、電源444から導出または供給され得ることも留意されたい)が、いくつかの態様では、ディスプレイ428、入力デバイス430、スピーカ436、マイクロフォン438、ワイヤレスアンテナ442、および電源444は、システムオンチップ

50

デバイス 4 2 2 の外部にあり得る。しかしながら、ディスプレイ 4 2 8、入力デバイス 4 3 0、スピーカ 4 3 6、マイクロフォン 4 3 8、ワイヤレスアンテナ 4 4 2、および電源 4 4 4 の各々は、インターフェースまたはコントローラのような、システムオンチップデバイス 4 2 2 の構成要素に結合され得る。

【 0 0 5 4 】

[0057] 図 4 は概してコンピューティングデバイスを図示しているが、プロセッサ 4 6 4、およびメモリ 4 3 2 はまた、セットトップボックス、ミュージックプレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (P D A)、固定ロケーションデータユニット、モバイルフォン、サーバ、およびコンピュータへと一体化され得ることが留意されるべきである。

10

【 0 0 5 5 】

[0058] 当業者は、情報および信号が、様々な異なる技術および技法の任意のものを使用して表され得ることを認識するであろう。例えば、上記の説明全体を通して参照され得る、データ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界または磁気粒子、光場または光粒子、もしくはこれらの任意の組合せによって表わされ得る。

【 0 0 5 6 】

[0059] さらに当業者は、本明細書で開示された態様に関連して説明された様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、またはその両方の組合せとして実装され得ることを認識するであろう。このハードウェアとソフトウェアの互換性を明確に例示するために、様々な例示的なコンポーネント、ブロック、モジュール、回路、およびステップが、概して、それらの機能性の観点から上述されている。このような機能性が、ハードウェアとして実装されるか、ソフトウェアとして実装されるかは、特定の用途およびシステム全体に課せられる設計制約に依存する。当業者は、特定のアプリケーションごとに、説明された機能性を多様な方法で実装できるが、このような実装の判断は本発明の範囲からの逸脱を引き起こすものとして解釈されるべきではない。

20

【 0 0 5 7 】

[0060] 本明細書で開示された態様に関連して説明された方法、シーケンス、および / またはアルゴリズムは、直接的にハードウェアにおいて、プロセッサによって実行されるソフトウェアモジュールにおいて、またはそれら 2 つの組合せで、具現化され得る。ソフトウェアモジュールは、 R A M メモリ、フラッシュメモリ、 R O M メモリ、 E P R O M メモリ、 E E P R O M (登録商標) メモリ、レジスタ、ハードディスク、リムーバブルディスク、 C D - R O M、または当該技術分野で既知の他の任意の形態の記憶媒体に存在し得る。実例的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、また記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体は、プロセッサと一体であり得る。

30

【 0 0 5 8 】

[0061] 従って、本発明の一態様は、電力効率のよい電圧レベル変換のための方法を具現化するコンピュータ可読媒体を含むことができる。従って、本発明は、例示された例に限定されるわけではなく、本明細書で説明された機能を行うためのあらゆる手段が本発明の態様に含まれる。

40

【 0 0 5 9 】

[0062] 先の開示は、本発明の例示的な態様を示しているが、添付の特許請求の範囲によって定義される本発明の範囲から逸脱することなく、様々な変更および修正が本明細書で行われ得ることが留意されるべきである。本明細書で説明された発明の態様にしたがった方法の請求項の機能、ステップ、および / またはアクションは、任意の特定の順序で行われる必要はない。さらに、本発明の要素は、単数形で説明および特許請求され得るが、単数形に限定することが明記されていない限り、複数形が企図される。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

50

[C 1]

装置であって、

通常モードでは、第 1 の電圧領域における入力信号を第 2 の電圧領域における出力信号に変換するように構成された電圧レベルトランスレータと、ここにおいて、前記第 1 の電圧領域の第 1 の供給電圧は、前記第 2 の電圧領域の第 2 の供給電圧とは異なる、

バイパスモードでは、前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第 1 の電圧領域における前記出力信号として供給するように構成されたバイパス回路と、ここにおいて、前記第 1 の供給電圧と前記第 2 の供給電圧は、実質的に同じである、前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないように構成されたパワーダウン回路と

を備える、装置。

10

[C 2]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータへのグラウンド接続をゲートオフするように構成された第 1 のプルダウントランジスタを備える、C 1 に記載の装置。

[C 3]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第 2 の供給電圧に接続するように構成された第 1 のプルアップトランジスタをさらに備える、C 2 に記載の装置。

20

[C 4]

前記パワーダウン回路は、前記バイパスモードでは前記第 2 の供給電圧と前記電圧レベルトランスレータとの間の接続をゲートオフするように構成された第 2 のプルアップトランジスタを備える、C 1 に記載の装置。

[C 5]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するように構成された第 2 のプルダウントランジスタをさらに備える、C 4 に記載の装置。

[C 6]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータとグラウンドとの間の接続をゲートオフするように構成された第 3 のプルダウントランジスタをさらに備える、C 4 に記載の装置。

30

[C 7]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するように構成された第 4 のプルダウントランジスタをさらに備える、C 6 に記載の装置。

[C 8]

前記パワーダウン回路は、前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第 2 の供給電圧に接続するように構成された第 4 のプルアップトランジスタをさらに備える、C 6 に記載の装置。

[C 9]

前記バイパス回路は、前記バイパスモードでは前記第 1 の電圧領域における前記入力信号を選択し、前記通常モードでは前記第 2 の電圧領域における前記電圧レベルトランスレータの出力を選択するように構成されたマルチプレクサを備える、C 1 に記載の装置。

40

[C 1 0]

前記第 1 の電圧領域は、論理セルを備える論理電圧領域に対応し、前記第 2 の電圧領域は、メモリセルを備えるメモリ電圧領域に対応し、前記バイパスモードは、ターボモードに対応する、C 1 に記載の装置。

[C 1 1]

セットトップボックス、ミュージックプレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (P D A)、固定口

50

ケーションデータユニット、サーバ、スマートフォン、およびコンピュータからなるグループから選択されたデバイスに一体化される、C 1 に記載の装置。

[C 1 2]

電圧レベル変換の方法であって、

通常モードでは、電圧レベルトランスレータにおいて、第 1 の電圧領域における入力信号を第 2 の電圧領域における出力信号に変換することと、ここにおいて、前記第 1 の電圧領域の第 1 の供給電圧は、前記第 2 の電圧領域の第 2 の供給電圧とは異なる、

バイパスモードでは、前記電圧レベルトランスレータをバイパスし、前記入力信号を前記第 1 の電圧領域における前記出力信号として供給することと、ここにおいて、前記第 1 の供給電圧と前記第 2 の供給電圧は、実質的に同じである、

前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないことと

を備える、方法。

[C 1 3]

前記電圧レベルトランスレータをパワーダウンすることは、前記バイパスモードではグラウンド接続から前記電圧レベルトランスレータをゲートオフするために第 1 のプルダウントランジスタをオフにすることを備える、C 1 2 に記載の方法。

[C 1 4]

前記バイパスモードでは、前記電圧レベルトランスレータの出力ノードを前記第 2 の供給電圧に接続するために第 1 のプルアップトランジスタをオンにすることをさらに備える、C 1 3 に記載の方法。

[C 1 5]

前記電圧レベルトランスレータをパワーダウンすることは、前記バイパスモードでは前記第 2 の供給電圧と前記電圧レベルトランスレータとの間の接続をゲートオフするように構成された第 2 のプルアップトランジスタをオフにすることを備える、C 1 2 に記載の方法。

[C 1 6]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するために第 2 のプルダウントランジスタをオンにすることをさらに備える、C 1 5 に記載の方法。

[C 1 7]

前記バイパスモードでは前記電圧レベルトランスレータとグラウンドとの間の接続をゲートオフするために第 3 のプルダウントランジスタをオフにすることをさらに備える、C 1 5 に記載の方法。

[C 1 8]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するために第 4 のプルダウントランジスタをオンにすることをさらに備える、C 1 7 に記載の方法。

[C 1 9]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第 2 の供給電圧に接続するために第 4 のプルアップトランジスタをオンにすることをさらに備える、C 1 7 に記載の方法。

[C 2 0]

前記バイパスモードでは前記第 1 の電圧領域における前記入力信号を選択し、前記通常モードでは前記第 2 の電圧領域における前記電圧レベルトランスレータの出力を選択することを備える、C 1 2 に記載の方法。

[C 2 1]

前記第 1 の電圧領域は、論理セルを備える論理電圧領域に対応し、前記第 2 の電圧領域は、メモリセルを備えるメモリ電圧領域に対応し、前記バイパスモードは、ターボモードに対応する、C 1 2 に記載の方法。

10

20

30

40

50

[C 2 2]

装置であって、

通常モードでは、第 1 の電圧領域における入力信号を第 2 の電圧領域における出力信号に変換するための手段と、ここにおいて、前記第 1 の電圧領域の第 1 の供給電圧は、前記第 2 の電圧領域の第 2 の供給電圧とは異なる、

バイパスモードでは、変換するための前記手段をバイパスし、前記第 1 の電圧領域における前記出力信号を供給するための手段と、ここにおいて、前記第 1 の供給電圧と前記第 2 の供給電圧は、実質的に同じである、

前記バイパスモードでは前記電圧レベルトランスレータをパワーダウンするが、前記通常モードではパワーダウンしないための手段と

を備える、装置。

10

[C 2 3]

前記電圧レベルトランスレータをパワーダウンするための前記手段は、前記バイパスモードではグラウンド接続から前記電圧レベルトランスレータをゲートオフするための手段を備える、C 2 2 に記載の装置。

[C 2 4]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第 2 の供給電圧に接続するための手段をさらに備える、C 2 3 に記載の装置。

[C 2 5]

前記電圧レベルトランスレータをパワーダウンするための前記手段は、前記バイパスモードでは前記第 2 の供給電圧と前記電圧レベルトランスレータとの間の接続をゲートオフするための手段を備える、C 2 2 に記載の装置。

20

[C 2 6]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するための手段をさらに備える、C 2 5 に記載の装置。

[C 2 7]

前記バイパスモードでは前記電圧レベルトランスレータとグラウンドとの間の接続をゲートオフするための手段をさらに備える、C 2 5 に記載の装置。

[C 2 8]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードをグラウンドに接続するための手段をさらに備える、C 2 7 に記載の装置。

30

[C 2 9]

前記バイパスモードでは前記電圧レベルトランスレータの出力ノードを前記第 2 の供給電圧に接続するための手段をさらに備える、C 2 7 に記載の装置。

[C 3 0]

前記バイパスモードでは前記第 1 の電圧領域における前記入力信号を選択し、前記通常モードでは前記第 2 の電圧領域における前記電圧レベルトランスレータの出力を選択するための手段をさらに備える、C 2 2 に記載の装置。

【図 1 A】

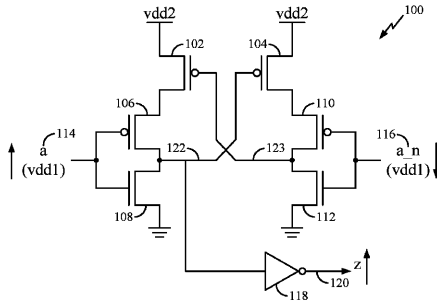


FIG. 1A

【図 1 B】

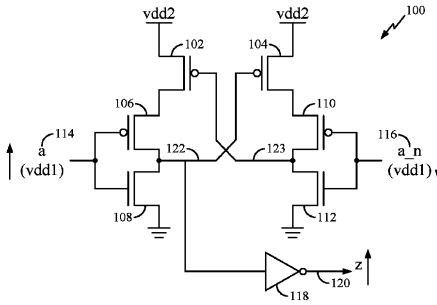


FIG. 1B

【図 2 A】

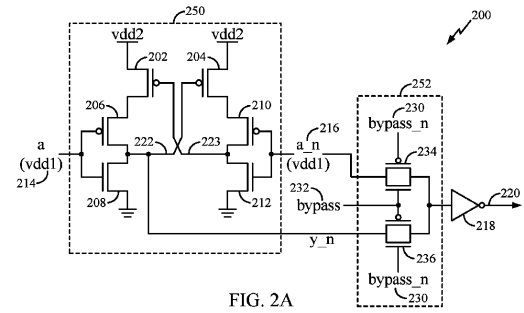


FIG. 2A

【図 2 B】

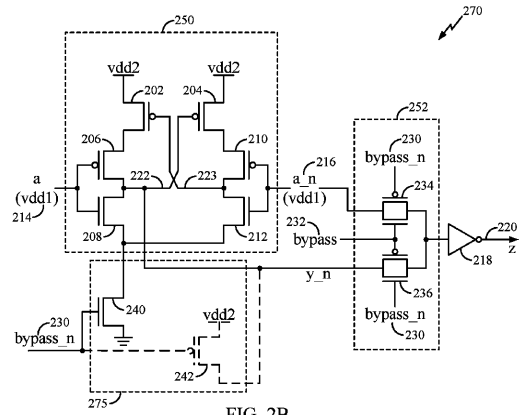


FIG. 2B

【図 2 C】

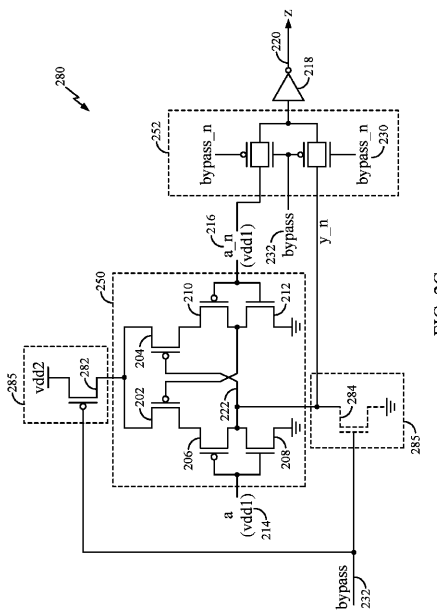


FIG. 2C

【図 2 D】

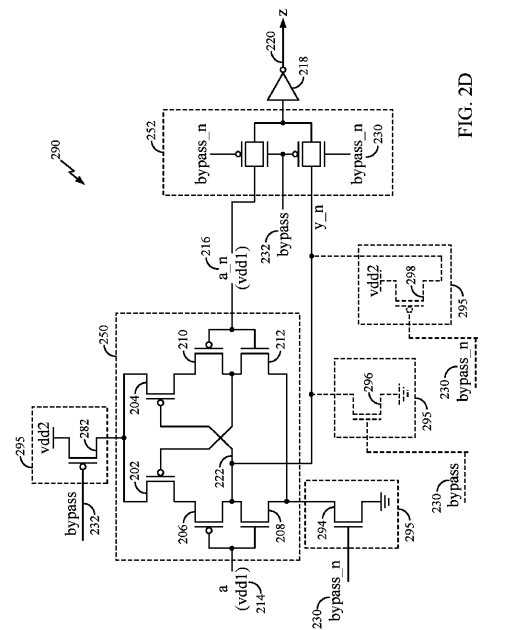


FIG. 2D

【図 3】

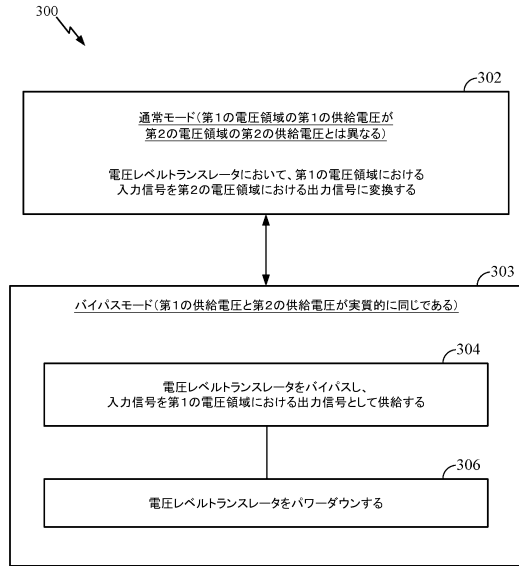


FIG. 3

【図 4】

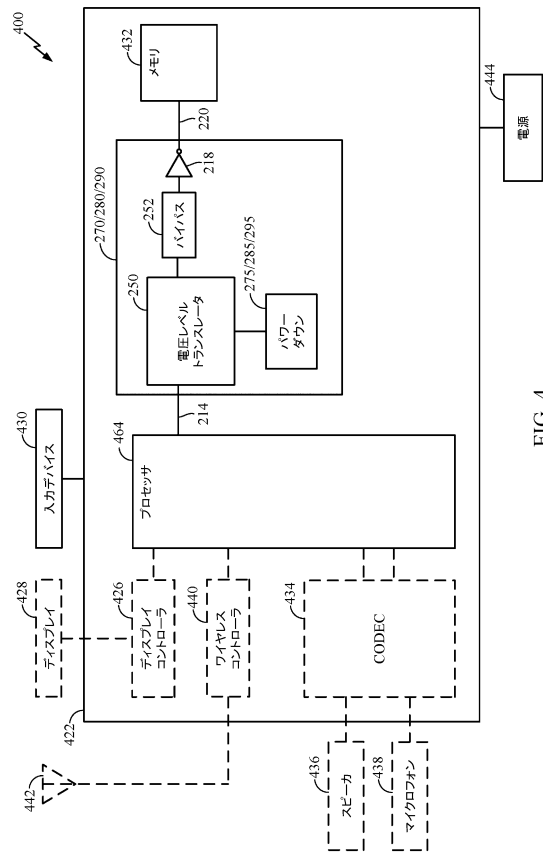


FIG. 4

フロントページの続き

(74)代理人 100184332

弁理士 中丸 慶洋

(72)発明者 ナドカルニ、ラーフル・クリシュナクマー

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クアルコム・インコーポレイテッド内

(72)発明者 コレアーレ・ジュニア、アンソニー

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クアルコム・インコーポレイテッド内

審査官 渡井 高広

(56)参考文献 特開2005-117628(JP,A)

特開2001-036398(JP,A)

特開平10-084274(JP,A)

特表2014-510424(JP,A)

特開平11-195975(JP,A)

特開2007-228330(JP,A)

特表2013-527699(JP,A)

特開2003-218687(JP,A)

特開2006-238449(JP,A)

特開2007-306042(JP,A)

特開2003-283327(JP,A)

Canh Q. Tran, Hiroshi Kawaguchi and Takayasu Sakurai, Low-power High-speed Level Shifter Design for Block-level Dynamic Voltage Scaling Environment, 2005 IEEE International Conference on Integrated Circuit and Technology, 米国, IEEE, 2005年 5月 9日, p.229-232

(58)調査した分野(Int.Cl., DB名)

H03K 19/0185

H03K 19/00

H03K 17/693

G11C 5/14